

# 计算机组成与结构-总复习

人工智能-机考版本

主讲教师：王 娟

**考试范围：**  
**教材、作业以及课件**

**最终成绩： 作业20%+实验10%+考试70%**

**考试形式：闭卷机考，百分制。**

**从登入开始**计时90分钟**，时间耗尽自动提交。**

**考试题型：单选（30道/40分。基础题 20道，1分1道；**

**提高题10道，2分1道）**

**判断（10道/10分。1分1道，基础7道，提高题3道）**

**多选（20道/50。基础15道，2分1道；提高题5道，4分一道）**

**共60道题，总分100分。**

**每个题目会有标识：提高题和基础题，供大家规划时间。**

**多选题正确答案大于等于1，只要有错项则扣全分。**

**一页一题，题目相同，题序不同，可以回看，请安排好时间。**

**考试当天请提前15分钟到场，考试不需要计算器，请自备二张A4大小的  
演草纸。**

## 第1章

- 存储程序概念; CPU; 主机; 总线;
- 计算机系统
- CPI、MIPS、CPU执行时间

## 第2章

- 无符号数

- 带符号数

真值、机器数

- 原码、补码、反码表示

- 三种机器数对于真值0的表示方法

- 三种机器数的比较

- 定点小数表示范围/定点整数表示范围（原码、补码）
- 浮点数表示范围，如设阶码和尾数均用补码表示
- 规格化的浮点数
- 阶码的移码表示

## 实用浮点数——IEEE754标准（单精度）

- 格式、偏置值、特点、转换

## 非数值数据表示：

ASCII码、汉字国标码、汉字区位码、汉字机内码、汉字字形码

- 国标码、区位码与机内码之间的转换

- 8421码、2421码、余3码
- 奇偶校验码
- 奇偶校验位

## 数值数据计算，对应教材第4章

- **补码加/减法运算**
- 溢出检测方法：一位符号位，进位位，**双符号位补码**
- 补码的移位运算
- 加法器：串行加法器与并行加法器
- 影响并行加法器速度的关键因素：**进位的产生和传递**

**并行加法器快速进位：**串行进位方式、并行进位方式

分组并行进位方式（单级先行进位方式和多级先行进位方式）

- **补码一位乘法补码加减交替除法**
- 浮点加减乘除算法
- 逻辑运算



**乘除法运算需要的3个寄存器，各寄存器的作用（初始内容和最终结果）。**

**定点补码一位乘法（Booth乘法）和定点补码不恢复余数除法的运算过程。**

**浮点加、减、乘、除算法。**

**逻辑运算是按位进行的，位与位之间没有进位/借位的关系。**

## 第3章

- 非规整型指令的操作码（扩展操作码）

- 编址方式

  - 字编址、字节编址

- 指令中地址码的位数

  - 主存容量、最小寻址单位

如：假设主存容量为32MB，机器字长64位。若最小寻址单位为字节（按字节编址），其地址码应为**25位**；若最小寻址单位为字（按字编址），其地址码只需**22位**。

- 数据寻址和指令寻址
- 常见寻址方式/有效地址EA的计算
  - 立即寻址、直接寻址、间接寻址、相对寻址、变址寻址、页面寻址
- 存储器堆栈操作
  - 进栈、出栈时栈指针的修改和数据的压入和弹出
- 程序控制类指令
  - 转移、转子、返回指令的区别
- 输入/输出类指令
  - 独立编址I/O、统一编址I/O
- CISC:复杂指令系统计算机
- RISC:精简指令系统计算机
- VLSW: 超长指令字
- EPIC: 显式并行指令代码

## 第5章

- 主存储器的基本结构
- 主存储器的存储单元  
位，存储字，存储单元，存储体
- 主存储器的主要技术指标  
存取时间 $T_a$ ，存取周期 $T_m$
- 数据在主存中的存放  
边界对齐存放

- **半导体随机存储器 (RAM)**
  - **静态RAM (SRAM)** , 其存储电路以双稳态触发器为基础。
  - **动态RAM (DRAM)** , 其存储电路以栅极电容为基础。
- **动态RAM的刷新**  
**集中、分散、异步刷新方式的区别**
- **半导体只读存储器**  
**ROM的类型**

- **主存容量的扩展**

**字扩展，位扩展，同时扩展**

主存储器是整个存储系统的核心，通常分为RAM和ROM两大部分。

主存储器容量的扩展

位扩展指只在位数方向扩展（加大字长），而芯片的字数和存储器的字数是一致的。

字扩展是指仅在字数方向扩展，而位数不变。

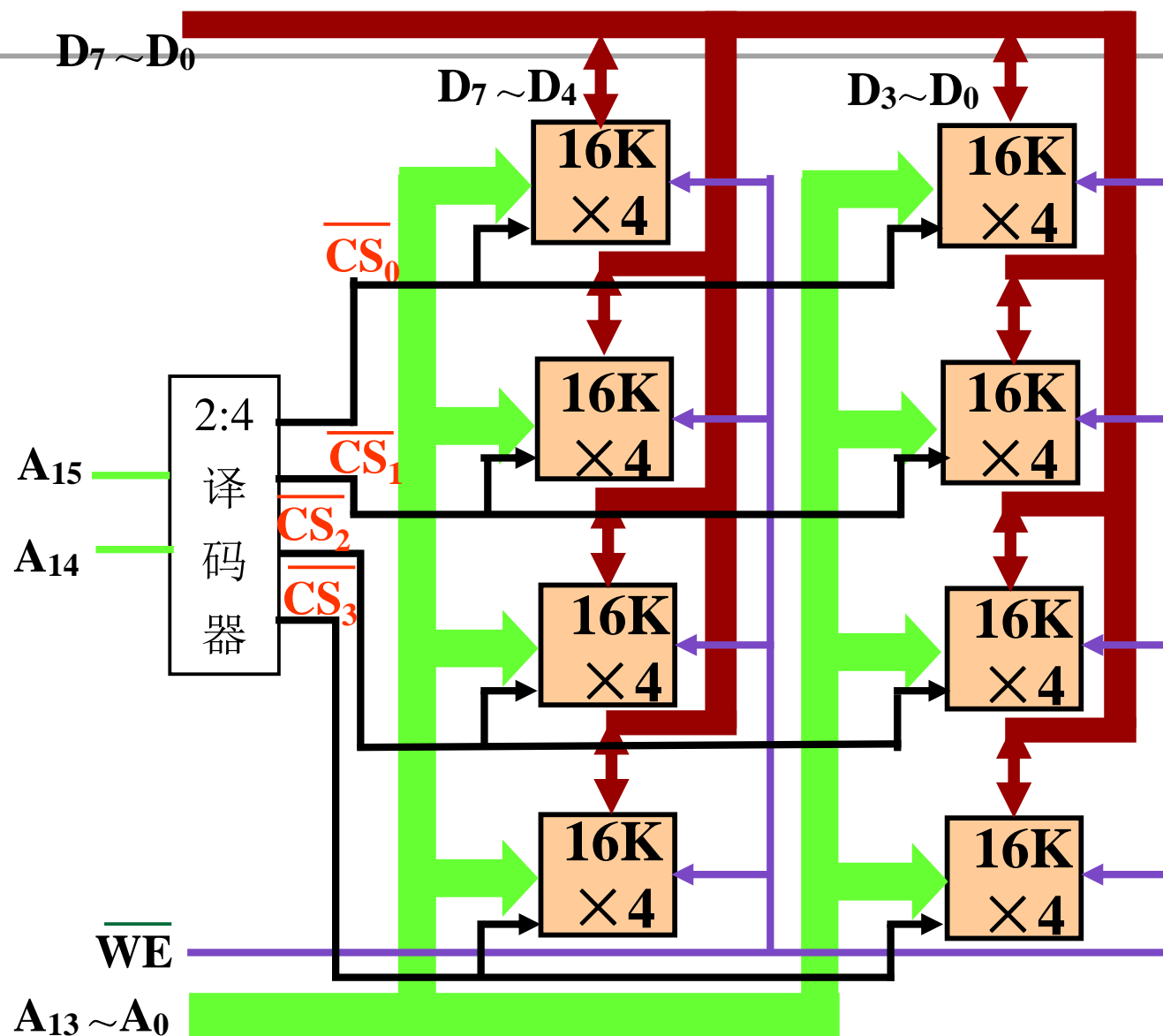
- 存储芯片的地址分配和片选
- 主存储器和CPU的连接： 硬连接，软连接

## 字和位同时扩展

当构成一个容量较大的存储器时，往往需要在字数方向和位数方向上同时扩展。

如用 $16\text{K} \times 4$ 的SRAM组成 $64\text{K} \times 8$ 的存储器，需要8个芯片。

	容量	地址	数据
存储器	$64\text{K} \times 8$	16	8
存储芯片	$16\text{K} \times 4$	14	4







# Cache基本原理

## Cache地址映像与变换方式

## 命中与替换算法

## 读写策略

## 第6章

- 控制器的功能： 指令流， 数据流
- CPU中的主要寄存器： 专用寄存器作用。
- 控制器的组成
- 控制器的硬件实现方法

### 组合逻辑控制器和微程序控制器的区别

- 时序系统： 指令周期， 机器周期
- 控制方式： 同步， 异步， 联合
- 指令执行的基本过程： 取指令操作

(PC)→MAR  
Read  
((MAR))→MDR→IR  
(PC) + 1→PC

- 微程序控制的基本概念

## 微程序控制器涉及的两个层次

一个是机器语言或汇编语言程序员所看到的传统机器层，包括：机器指令、工作程序、主存储器；另一个是机器设计者看到的微程序层，包括：微指令、微程序和控制存储器。

一条微指令通常至少包含两大部分信息：操作控制字段和顺序控制字段。

**微指令编码法：**直接控制法（不译码法）、最短编码法、字段编码法

- 微程序控制器的组成和工作过程：**微程序控制器的各部件的作用**  
控制存储器（CM）、微指令寄存器（ $\mu\text{IR}$ ）、微地址形成部件  
微地址寄存器（ $\mu\text{MAR}$ ）

- **微程序入口地址的形成**

- **后继微地址的形成：增量方式和断定方式**

**字段编码法**中操作控制字段的分段原则：

- (1) 把互斥性的微命令分在同一段内，兼容性的微命令分在不同段内。
- (2) 应与数据通路结构相适应。
- (3) 每个小段中包含的信息位不能太多。
- (4) 一般每个小段还要留出一个状态，表示本字段不发出任何微命令。因此当某字段的长度为三位时，最多只能表示七个互斥的微命令，通常用000表示不操作。

**流水线基本原理与参数计算**

## 第7章

- 三态门
- 总线分类
- 总线的主要性能指标

**总线带宽：**  $B = W \times F / N$

其中， $W$ 为数据总线宽度，通常以字节为单位； $F$ 为总线的时钟频率； $N$ 为完成一次数据传送所用的时钟周期数。

- 总线标准

## 第8章

- 磁表面存储原理  
记录介质，磁头
- 磁表面存储器的技术指标  
记录密度，存储容量，平均存取时间，数据传送率
- 数字磁记录方式  
常用的磁记录方式
- 硬盘的信息分布和磁盘地址：圆柱面（磁道）、盘面、扇区。

## 第9章

- 输入/输出接口
- 接口的基本组成：接口，端口
- 中断的基本概念
- 程序中断与调用子程序指令的区别
- 中断的基本类型
- CPU响应中断的条件
- 中断隐指令
- 中断现场的保护和恢复、允许和禁止中断
- 中断屏蔽

## 输入/输出信息传送控制方式

- (1) 程序查询方式
- (2) 程序中断方式
- (3) 直接存储器存取 (DMA) 方式
- (4) I/O通道控制方式



## DMA方式的特点

在外设和主存之间开辟一条“直接数据通道”，不需要CPU 干预也不需要软件介入在两者之间进行的高速数据传送方式。

### DMA接口（控制器）组成

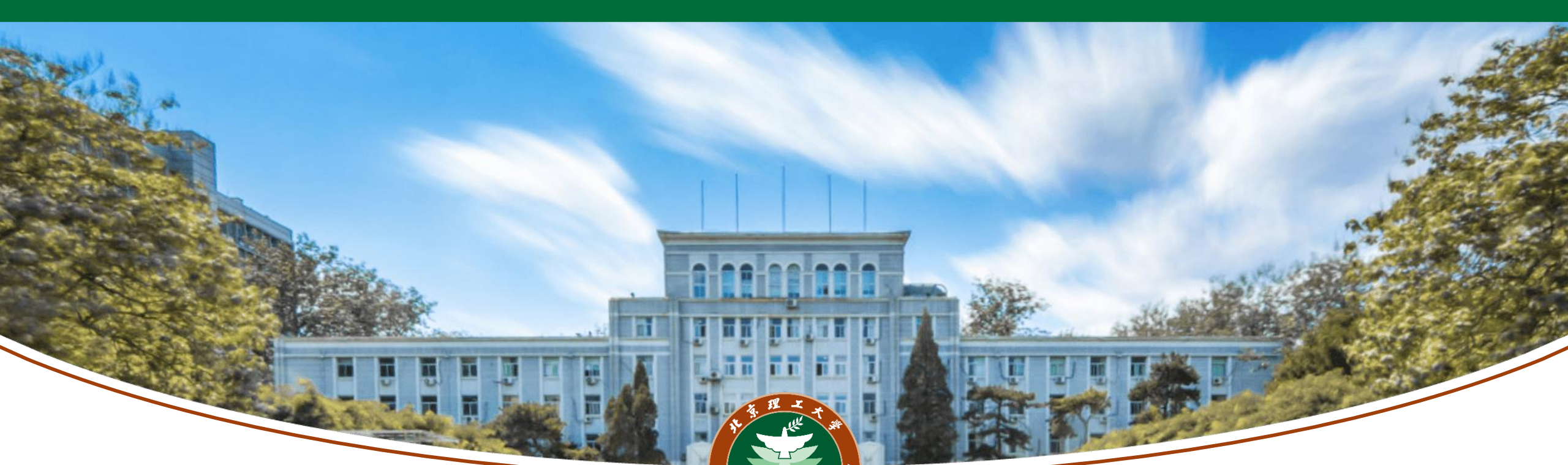
主存地址计数器  
传送长度计数器  
数据缓冲寄存器  
DMA请求触发器  
控制/状态逻辑  
中断机构

### DMA传送方法

- (1) CPU停止访问主存法
- (2) 存储器分时法
- (3) 周期挪用法

### DMA传送过程

- (1) DMA预处理
- (2) 数据传送
- (3) DMA后处理



# Q&A