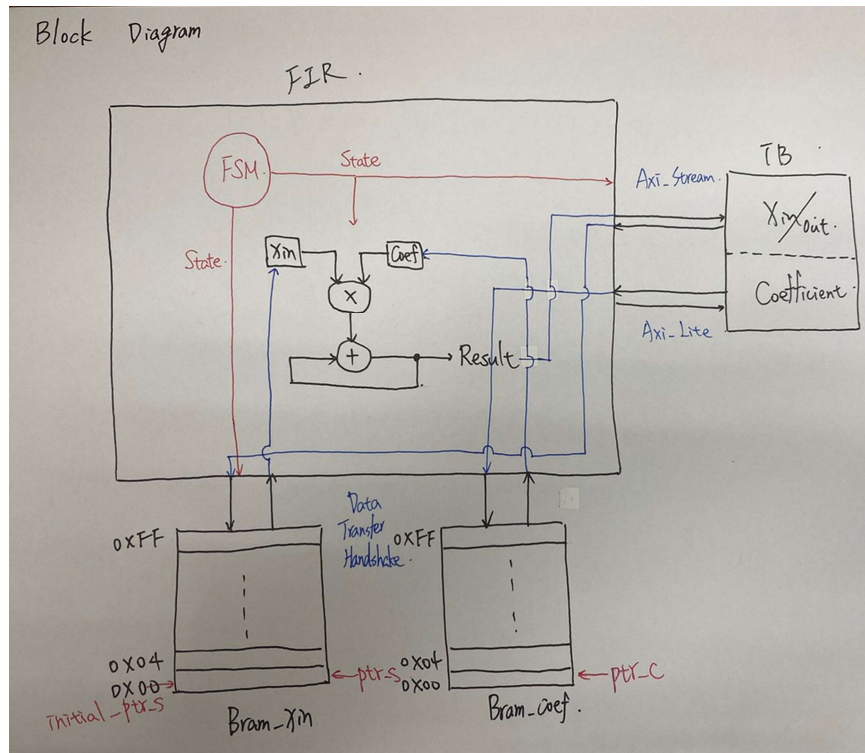


# Soc Lab – Lab3

311510216 廖智緯

## 一、Block Diagram



## 二、Describe operation

### 1. 接收 Data-in 和 tap parameters :

Data length 是使用一個 register 暫存起來，以便後面確認需要輸出幾筆資料使用；而 Xin 和 coefficient 是各別使用一個 Bram11 來儲存，而 coefficient 的 Bram 內的值是固定的，而根據不同時間點將裡面存的值哪拿出來做乘法，另外的 Xin 內的 Bram 值是不固定的，會根據目前輸出到哪裡，就會將 Bram 內最舊的值覆蓋掉，更新成新的 Xin。

而 tap parameter 是使用 AXI-Lite 跟 testbench 拿值，另外的 Data-in(Xin) 則是使用 AXI-Stream 來接收。再使用 Data Transfer Handshake 將值儲存在 Bram 內。

### 2. 存取 shiftram 和 tapRam 來去做計算：

我使用了兩個 Bram，一個是儲存 Xin shiftreg 的值(Bram\_xin)，另一個是儲存 coefficient 的值(Bram\_coef)，我會各別有一個 pointer 來去指向現在需要存取哪一個 address 的 data，我有三個 pointer(ptr\_s、initial\_ptr\_s、ptr\_c)，ptr\_c 是指向目前需要將哪一個 coefficient 值拿出來做計算，順序是[10 9 8 ... 2 1 0]；ptr\_s 是指向目前需要將哪一個 xin 值拿出來做計算，順序可能會改變，第一次的話是[0 1 2 ... 8 9 10]，第

二次的順序就會變成[1 2 3 ... 9 10 0]，以此類推；initial\_ptr\_s 是指向最一開始 ptr\_s 指向的 address，可以幫助我判斷是否已經計算完成。由於前 10 次計算不需要做滿 11 次乘法和加法，因此不會有遞迴的問題，initial\_ptr\_s 的值保值在 0，ptr\_s 的值會是[0]、[0 1]、[0 1 2].....[0 1 2 .... 9]，initial\_ptr\_s 會再輸出一個後就再加 1，紀錄每次計算 ptr\_s 的初始值位置，而 ptr\_c 的值會是[0]、[1 0]、[2 1 0]、[3 2 1 0].....[9 8 7.....1 0]，在之後的計算。

### 3. ap\_start、ap\_done、ap\_idle 如何控制：

ap\_start 是在當 awaddr=0x00 的時候且 wdata=1 的時候 high，且只亮一個 cycle 的時間，其餘時間都是 low。

ap\_done 是在最後一個 output 輸出後的下個 cycle on，其餘都是 low。

ap\_idle 在 reset 後會維持在 high，當 ap\_strat high 的時候，他會變為 low，當最後在 ap\_done high 的時候，又再變回 high。

### 4.

## 三、Resource usage

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	419	0	0	53200	0.79
LUT as Logic	291	0	0	53200	0.55
LUT as Memory	128	0	0	17400	0.74
LUT as Distributed RAM	128	0			
LUT as Shift Register	0	0			
Slice Registers	151	0	0	106400	0.14
Register as Flip Flop	119	0	0	106400	0.11
Register as Latch	32	0	0	106400	0.03
F7 Muxes	0	0	0	26600	0.00
F8 Muxes	0	0	0	13300	0.00

### 1. FF

我使用了數個 FF 來儲存我運算的 data

### 2. LUT

這次這個 Lab 我沒有使用到 Look up table。

### 3. BRAM

我使用了 2 個 BRAM，一個是 BRAM\_coef，一個是 BRAM\_xin。

BRAM\_coef 是儲存 coefficient 的值。

BRAM\_xin 是儲存 xin 的值，在前 10 次計算會依序放進 BRAM 內，在後面的計算，每一次計算結束就會將最舊的值更新成最新的。

### 4. 55

## 四、Timing report

## Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 0.175 ns	Worst Hold Slack (WHS): 0.116 ns	Worst Pulse Width Slack (WPWS): 5.250 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 818	Total Number of Endpoints: 818	Total Number of Endpoints: 248

All user specified timing constraints are met.

Timing Details					
-----					
From Clock: axis_clk					
To Clock: axis_clk					
Setup :	0 Failing Endpoints,	Worst Slack	0.175ns,	Total Violation	0.000ns
Hold :	0 Failing Endpoints,	Worst Slack	0.116ns,	Total Violation	0.000ns
PW :	0 Failing Endpoints,	Worst Slack	5.250ns,	Total Violation	0.000ns
-----					
Max Delay Paths					
-----					
Slack (MET) :	0.175ns (required time - arrival time)				
Source:	xin/r_A_reg_rep_bsel[2]/C				
	(rising edge-triggered cell FDRE clocked by axis_clk {rise@0.000ns fall@6.500ns period=13.000ns})				
Destination:	result_reg[31]/D				
	(rising edge-triggered cell FDCE clocked by axis_clk {rise@0.000ns fall@6.500ns period=13.000ns})				
Path Group:	axis_clk				
Path Type:	Setup (Max at Slow Process Corner)				
Requirement:	13.000ns (axis_clk rise@13.000ns - axis_clk rise@0.000ns)				
Data Path Delay:	12.688ns (Logic 8.753ns (68.984%) route 3.935ns (31.016%))				
Logic Levels:	11 (CARRY4=5 DSP48E1=2 LUT2=3 RAMD32=1)				
Clock Path Skew:	-0.145ns (DCD - SCD + CPR)				
Destination Clock Delay (DCD):	2.128ns = ( 15.128 - 13.000 )				
Source Clock Delay (SCD):	2.456ns				
Clock Pessimism Removal (CPR):	0.184ns				
Clock Uncertainty:	0.035ns ((TSJ*2 + TIJ*2)^1/2 + DJ) / 2 + PE				
Total System Jitter (TSJ):	0.071ns				
Total Input Jitter (TIJ):	0.000ns				
Discrete Jitter (DJ):	0.000ns				
Phase Error (PE):	0.000ns				

Location	Delay type	Incr(ns)	Path(ns)	Netlist Resource(s)
-----				
(clock axis_clk rise edge)				
		0.000	0.000	r
		0.000	0.000	r
net (fo=0)		0.000	0.000	r
				axis_clk (IN)
				axis_clk
IBUF (Prop_ibuf_I_O)		0.972	0.972	r
net (fo=1, unplaced)		0.800	1.771	r
				axis_clk_IBUF_inst/I
				axis_clk_IBUF_inst/O
				axis_clk_IBUF
BUFG (Prop_bufg_I_O)		0.101	1.872	r
net (fo=247, unplaced)		0.584	2.456	r
				axis_clk_IBUF_BUFG_inst/I
				axis_clk_IBUF_BUFG_inst/O
				xin/axis_clk_IBUF_BUFG
				xin/r_A_reg_rep_bsel[2]/C
-----				
FDRE (Prop_fdre_C_Q)		0.478	2.934	r
net (fo=32, unplaced)		1.036	3.970	r
				xin/r_A_reg_rep_bsel[2]/Q
				xin/RAM_reg_0_15_16_16/DPRAO
				xin/RAM_reg_0_15_16_16/DP/RADR0
RAMD32 (Prop_ramd32_RADR0_Q)		0.295	4.265	r
net (fo=3, unplaced)		0.800	5.065	r
				xin/RAM_reg_0_15_16_16/DP/O
				data_Do_IBUF[16]
				mult_r_0/A[16]
DSP48E1 (Prop_dsp48e1_A[16]_PCOUT[47])		4.036	9.101	r
net (fo=1, unplaced)		0.055	9.156	r
				mult_r_0/PCOUT[47]
				mult_r_0_n_107
				mult_r_1/PCIN[47]
DSP48E1 (Prop_dsp48e1_PCIN[47]_P[0])		1.518	10.674	r
net (fo=2, unplaced)		0.800	11.474	r
				mult_r_1/P[0]
				mult_r_1_n_106
				result[19]_i_10/I0
LUT2 (Prop_lut2_I0_O)		0.124	11.598	r
net (fo=1, unplaced)		0.000	11.598	r
				result[19]_i_10/O
				result[19]_i_10_n_1
				result_reg[19]_i_7/S[1]
CARRY4 (Prop_carry4_S[1]_CO[3])		0.533	12.131	r
net (fo=1, unplaced)		0.009	12.140	r
				result_reg[19]_i_7/CO[3]
				result_reg[19]_i_7_n_1
				result_reg[23]_i_7/CI
CARRY4 (Prop_carry4_CI_CO[3])		0.117	12.257	r
net (fo=1, unplaced)		0.000	12.257	r
				result_reg[23]_i_7/CO[3]
				result_reg[23]_i_7_n_1
				result_reg[27]_i_7/CI
CARRY4 (Prop_carry4_CI_O[3])		0.331	12.588	r
net (fo=1, unplaced)		0.618	13.206	r
				result_reg[27]_i_7/O[3]
				mult_r_3[27]
				result[27]_i_3/I1
LUT2 (Prop_lut2_I1_O)		0.307	13.513	r
net (fo=1, unplaced)		0.000	13.513	r
				result[27]_i_3/O
				result[27]_i_3_n_1
				result_reg[27]_i_2/S[3]
CARRY4 (Prop_carry4_S[3]_CO[3])		0.376	13.889	r
net (fo=1, unplaced)		0.000	13.889	r
				result_reg[27]_i_2/CO[3]
				result_reg[27]_i_2_n_1
				result_reg[31]_i_3/CI
CARRY4 (Prop_carry4_CI_O[3])		0.331	14.220	r
net (fo=1, unplaced)		0.618	14.838	r
				result_reg[31]_i_3/O[3]
				result0[31]
				result[31]_i_1/I1
LUT2 (Prop_lut2_I1_O)		0.307	15.145	r
net (fo=1, unplaced)		0.000	15.145	r
				result[31]_i_1/O
				result[31]_i_1_n_1
				result_reg[31]/D
FDCE				r
-----				

(clock axis_clk rise edge)			
	13.000	13.000	r
net (fo=0)	0.000	13.000	r
	0.000	13.000	r
IBUF (Prop_ibuf_I_0)	0.838	13.838	r
net (fo=1, unplaced)	0.760	14.598	r
			r
BUFG (Prop_bufg_I_0)	0.091	14.689	r
net (fo=247, unplaced)	0.439	15.128	r
FDCE			r
clock pessimism	0.184	15.311	r
clock uncertainty	-0.035	15.276	r
FDCE (Setup_fdce_C_D)	0.044	15.320	r
			r
			result_reg[31]/C
			result_reg[31]
required time		15.320	
arrival time		-15.145	
slack		0.175	

Simulation Waveform

## 1. FSM

```

#####
//
//          FSM
#####
// FSM
parameter idle      = 4'd0;
parameter input_coef = 4'd1;
parameter write_coef = 4'd2;
parameter output_coef = 4'd3;
parameter read_coef  = 4'd4;
parameter calculate  = 4'd5;
parameter calculate_full = 4'd6;
parameter out_state  = 4'd7;
parameter check      = 4'd8;
//cs
always@(posedge axis_clk or negedge axis_rst_n) begin
    if(!axis_rst_n)
        cs <= idle;
    else
        cs <= ns;
end

//ns
always@(*) begin
    case(cs)
        idle: //0
            begin
                ns = input_coef;
            end

        input_coef: // 1
            begin
                if(awvalid && awready)
                    ns = write_coef;
                else
                    ns = input_coef;
            end
    end
end

```

```

input_coef: // 1
begin
    if(awvalid && awready)
        ns = write_coef;
    else
        ns = input_coef;
end

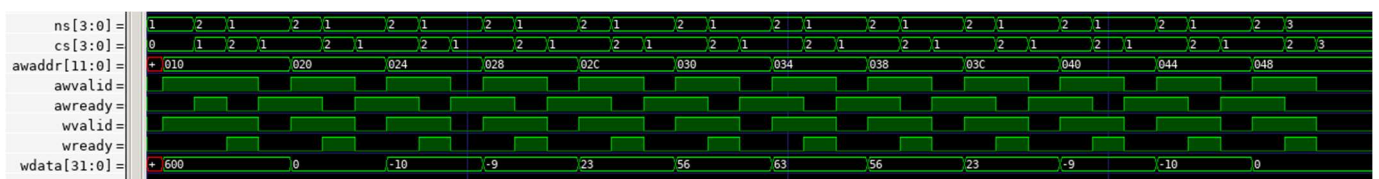
write_coef :
begin
    if(wready && wvalid)
        if(count == 11)
            ns = output_coef;
        else
            ns = input_coef;
    else
        ns = write_coef;
end

output_coef: // 1
begin
    if(arvalid && arready)
        ns = read_coef;
    else
        ns = output_coef;
end

```

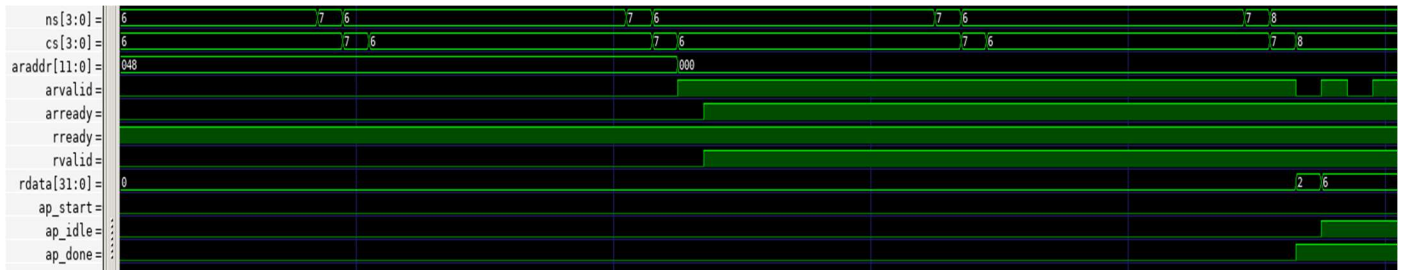
## 2. Data-in stream-in

### Data-in:

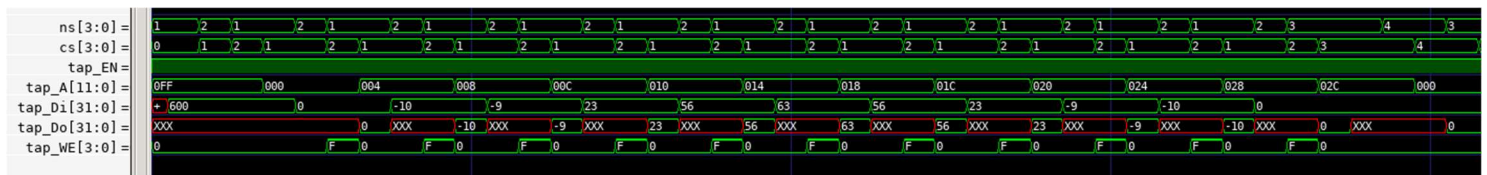




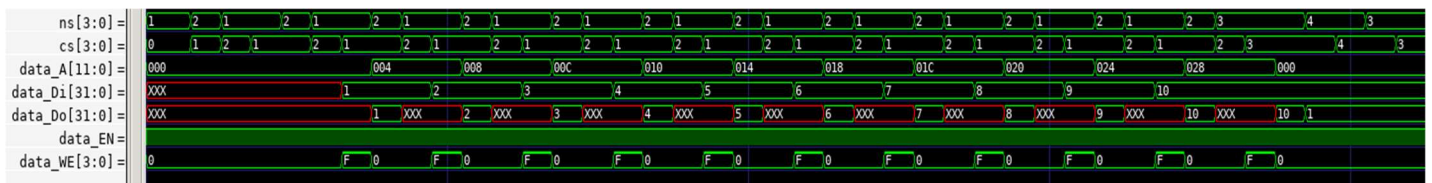
Data-out:

[illegible]

Bram-coef 寫入値:

[illegible]

Bram-xin 寫入值:

[illegible]