

# Final Report

## 1. Student name and student ID.

楊峻銘 112062576

## 2. If it is a team work.

I finish it by **only** myself.

## 3. How to compile and execute the program.

### --How to Compile

cd into "placement/src", enter the following command:

```
$ make
```

will generate an executable file "legalizer" in the "placement/bin/".

If you want to remove all \*.o ,\*.txt and executable file, enter the following command:

```
$ make clean
```

### --How to Run

Usage:

In "placement/src", enter the following command:

```
$ ../bin/legalizer ../public_cases/testcase<X>/<txt file> ../output/<out file>
```

E.g.

```
[fpga-
```

```
112062576@Maklab:~/placement/src]$ ../bin/legalizer ../public_cases/testcase1/  
architecture.txt ../public_cases/testcase1/instance.txt ../public_cases/testcase1/net  
list.txt ../output/output1.txt
```

Will generate an output file "output<X>.txt" in the "placement/output/".

And then enter the following command to see the result:

```
../bin/verifier2 ../public_cases/testcase4/architecture.txt ../public_cases/testcase4/  
instance.txt ../public_cases/testcase4/netlist.txt ../output/output4.txt
```

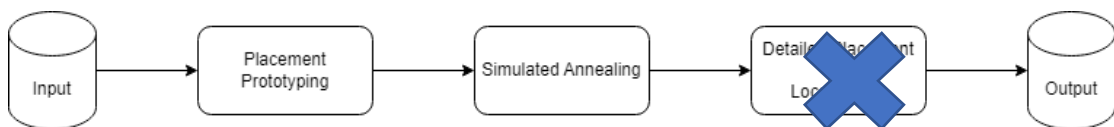
#### 4. The HPWL and runtime of each testcase.

	Testcase1	Testcase2	Testcase3	Testcase4
Runtime(s)	560	560	560	560
HPWL(Inial)	15978	1.12349e+07	256867	1.0248e+08
HPWL(SA)	14356.5	11226469.0	222531.5	102244149.5
Improvement	10.15%	0.04%	13.37%	0.23%

可以看到小資料在 Legalizer+SA 相較於單 Legalizer 成長幅度約 10%左右，有一部份的原因應該是在 legalize 的時候就已經有些 instance”剛好”排到理想的位置，SA 的幅度就不大了，也有可能是做得 iteration 不夠多，或許也有更好的情況，然後在 testcase 資料很大的情況下，優化幅度就很小，應該是跟 SA 寫法有關。

#### 5. The details of the algorithm.

Flow chart:



##### Placement Prototyping:

參考 Routing-Architecture-Aware Analytical Placement for Hetero-geneous FPGAs 這篇內的 Multilevel Mixed-Size Prototyping 作法，找到 CLBs & RAM & DSP 最鄰近的合法 Resource 位置去擺放，最鄰近的方法採用歐基里德距離公式去計算。

##### Simulated Annealing:

Cost function & Move types(Perturb)照講義上的做法，整體流程也是，但降溫方式是採用 VPR Placer (SA-based)。

#### 6. 心得

如果時間不限於 10 分鐘的話，每個 testcase 的優化應該還可以做得更好，因為我 SA 每個 iteration 做得很深，感覺是可以低於一億一百萬的 wirelength(10 分內大概接近一億兩百萬)，可能是某些部分的 function 執行花了不少的時間，感覺可以再更進步。

有跟朋友對照過，發現很大的因素是差在 Cost function，我的是重新算過每一條 net 的加總 HPWL，我知道這樣很不好，尤其時在遇到大量 input 的情

況，所以我 case3 case4 整體表現都沒有我朋友好，甚至是差很多。  
而且我發現如果在初始 legalize 的時候採用隨機擺合法位置得情況會超差，  
一定要先以相鄰的方式去擺放，最後，Detailed placement 老實說幫助不大，  
所以最後砍了。總之，順利完成了。