

第2章

门电路

本章知识结构

- 2.1 基本门电路
 - 2.1.1 与门
 - 2.1.2 或门
 - 2.1.3 非门
- 2.2 门电路实验板的电路原理与实验
 - 2.2.1 电路原理
 - 2.2.2 基本门实验
- 2.3 复合门电路
 - 2.3.1 与非门
 - 2.3.2 或非门
 - 2.3.3 与或非门
 - 2.3.4 异或门
 - 2.3.5 同或门
- 2.4 集成门电路
 - 2.4.1 TTL 集成门电路
 - 2.4.2 CMOS 集成门电路



门电路是组成各种复杂数字电路的基本单元。门电路包括基本门电路和复合门电路，复合门电路由基本门电路组合而成。

2.1 基本门电路

基本门电路是组成各种数字电路最基本的单元，基本门电路有 3 种：与门、或门和非门。

2.1.1 与门

1. 电路结构与原理

与门电路结构如图 2-1 所示，它是一个由二极管和电阻构成的电路，其中 A、B 为输入端， S_1 、 S_2 为开关，Y 为输出端，+5V 电压经 R_1 、 R_2 分压，在 E 点得到 +3V 的电压。

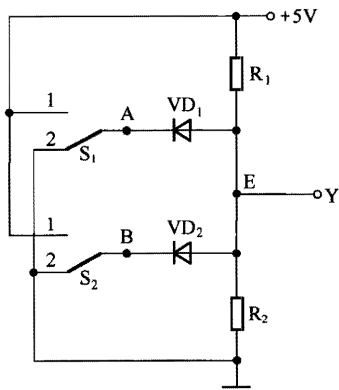


图 2-1 与门的电路结构

与门电路工作原理说明如下：

当 S_1 、 S_2 均拨至位置“2”时，A、B 端对地电压都为 0V，由于 E 点电压（注：各点电压均指该点对地电压。以下同）为 3V，所以二极管 VD_1 、 VD_2 都导通，E 点电压马上下降到 0.7V，Y 端输出电压为 0.7V。

当 S_1 拨至位置“2”、 S_2 拨至位置“1”时，A 端电压为 0V，B 端电压为 5V，由于 E 点电压为 3V，所以二极管 VD_1 马上导通，E 点电压下降到 0.7V，此时 VD_2 正端电压为 0.7V，负端电压为 5V， VD_2 处于截止状态，Y 端输出电压为 0.7V。

当 S_1 拨至位置“1”、 S_2 拨至位置“2”时，A 端电压为 5V，B 端电压为 0V， VD_2 导通，

VD₁截止，E点为0.7V，Y端输出电压为0.7V。

当S₁、S₂均拨至位置“1”时，A、B端电压都为5V，VD₁、VD₂均不能导通，E点电压为3V，Y端输出电压为3V。

为了分析方便，在数字电路中通常将0~1V范围的电压规定为低电平，用“0”表示，将3~5V范围的电压称为高电平，用“1”表示。根据该规定，可将与门电路工作原理简化如下：

当A=0、B=0时，Y=0；

当A=0、B=1时，Y=0；

当A=1、B=0时，Y=0；

当A=1、B=1时，Y=1。

由此可见，与门电路的功能是：只有输入端都为高电平时，输出端才会输出高电平；只要有一个输入端为低电平，输出端就会输出低电平。

2. 真值表

真值表是用来列举电路各种输入值和对应输出值的表格。它能让人们直观地看出电路输入与输出之间的关系。表2-1为与门电路的真值表。

表 2-1 与门电路的真值表

输 入		输 出	输 入		输 出
A	B	Y	A	B	Y
0	0	0	1	0	0
0	1	0	1	1	1

3. 逻辑表达式

真值表虽然能直观地描述电路输入和输出之间的关系，但比较麻烦且不便记忆。为此可采用关系式来表达电路输入与输出之间的逻辑关系，这种关系式称为逻辑表达式。

与门电路的逻辑表达式是

$$Y=A \cdot B$$

式中的“·”表示“与”，读作“A与B”（或“A乘B”）。

4. 与门的图形符号

图2-1所示的与门电路由多个元器件组成，这在画图和分析时很不方便，可以用一个简单的符号来表示整个与门电路，这个符号称为图形符号。与门电路的图形符号如图2-2所示，其中旧符号是指早期采用的符号，常用符号是指国外多采用的符号，新标准符号是指我国最新公布的标准符号。

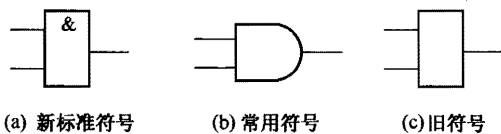
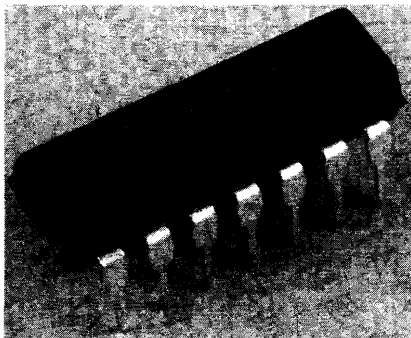


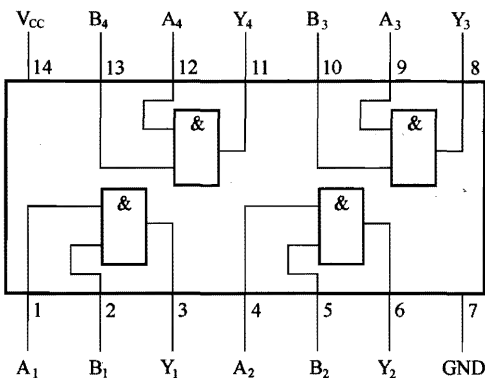
图 2-2 与门图形符号

5. 与门芯片

在数字电路系统中，已很少采用分立元件组成的与门电路，市面上有很多集成化的与门芯片（又称与门集成电路）。74LS08 是一种较常用的与门芯片，其外形和结构如图 2-3 所示，从图 2-3（b）可以看出，74LS08 内部有四个与门，每个与门有 2 个输入端、1 个输出端。



(a) 外形



(b) 结构

图 2-3 与门芯片 74LS08

2.1.2 或门

1. 电路结构与原理

或门电路结构如图 2-4 所示，它由二极管和电阻构成，其中 A、B 为输入端，Y 为输

出端。

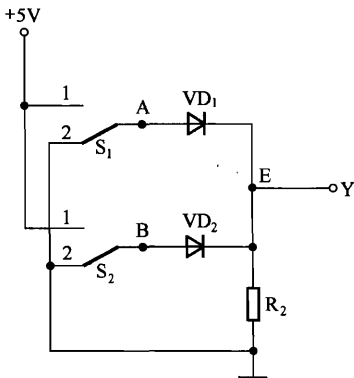


图 2-4 或门电路结构

或门电路工作原理说明如下：

当 S_1 、 S_2 均拨至位置“2”时，A、B 端电压都为 0V，二极管 VD_1 、 VD_2 都无法导通，E 点电压为 0V，Y 端输出电压为 0V。即 $A=0$ 、 $B=0$ 时， $Y=0$ 。

当 S_1 拨至位置“2”、 S_2 拨至位置“1”时，A 端电压为 0V，B 端电压为 5V，二极管 VD_2 马上导通，E 点电压为 4.3V，此时 VD_1 处于截止状态，Y 端输出电压为 4.3V。即 $A=0$ 、 $B=1$ 时， $Y=1$ 。

当 S_1 拨至位置“1”、 S_2 拨至位置“2”时，A 端电压为 5V，B 端电压为 0V， VD_1 导通， VD_2 截止，E 点为 4.3V，Y 端输出电压为 4.3V。即 $A=1$ 、 $B=0$ 时， $Y=1$ 。

当 S_1 、 S_2 均拨至位置“1”时，A、B 端电压都为 5V， VD_1 、 VD_2 均导通，E 点电压为 4.3V，Y 端输出电压为 4.3V。即 $A=1$ 、 $B=1$ 时， $Y=1$ 。

由此可见，或门电路的功能是：只要有一个输入端为高电平，输出端就为高电平；只有输入端都为低电平时，输出端才输出低电平。

2. 真值表

或门电路的真值表见表 2-2。

表 2-2 或门电路的真值表

输 入		输 出	输 入		输 出
A	B	Y	A	B	Y
0	0	0	1	0	1
0	1	1	1	1	1

3. 逻辑表达式

或门电路的逻辑表达式为



$$Y=A+B$$

式中的“+”表示“或”。

4. 或门的图形符号

或门电路的图形符号如图 2-4 所示。

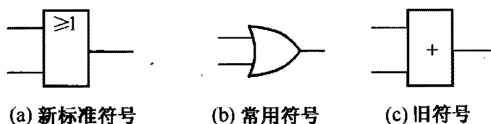


图 2-5 或门图形符号

5. 或门芯片

74LS32 是一种较常用的或门芯片，其外形和结构如图 2-6 所示，从图 2-6 (b) 可以看出，74LS32 内部有 4 个或门，每个或门有 2 个输入端、1 个输出端。

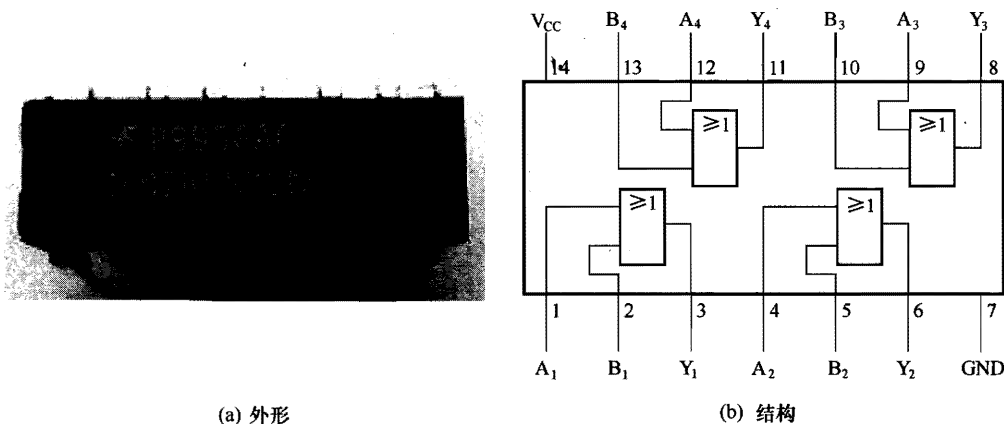


图 2-6 或门芯片 74LS32

2.1.3 非门

1. 电路结构与原理

非门电路结构如图 2-7 所示，它是由三极管和电阻构成的电路，其中 A 为输入端，Y 为输出端。

非门电路工作原理说明如下：

当 S_1 拨至位置“2”时，A 端电压为 0V 时，三极管 VT_1 截止，E 点电压为 5V，Y 端输出电压为 5V。即 $A=0$ 时， $Y=1$ 。

当 S_1 拨至位置“1”时，A 端电压为 5V 时，三极管 VT_1 饱和导通，E 点电压低于 0.7V



（约 0.1~0.3V），Y 端输出电压也低于 0.7V。即 A=1 时，Y=0。

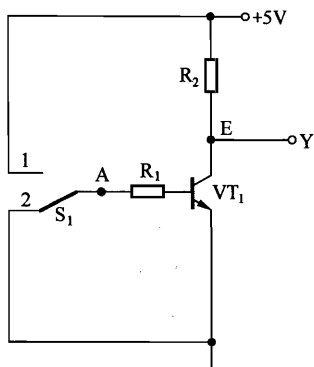


图 2-7 非门电路结构

由此可见，非门电路的功能是：输入与输出状态总是相反的。

2. 真值表

非门电路的真值表见表 2-3。

表 2-3 非门电路的真值表

输 入	输 出	输 入	输 出
A	Y	A	Y
1	0	0	1

3. 逻辑表达式

非门电路的逻辑表达式为

$$Y = \overline{A}$$

式中的“ $\overline{}$ ”表示“非”（或相反）。

4. 非门的图形符号

非门电路的图形符号如图 2-8 所示。

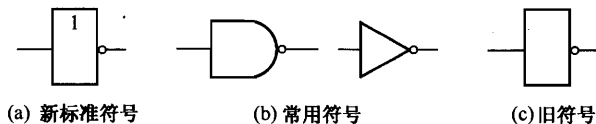


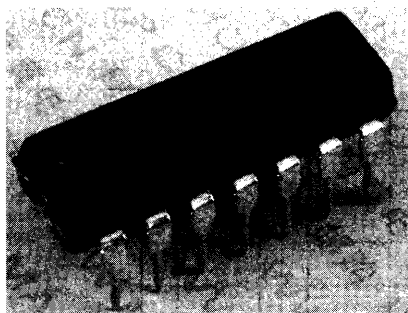
图 2-8 非门图形符号

5. 非门芯片

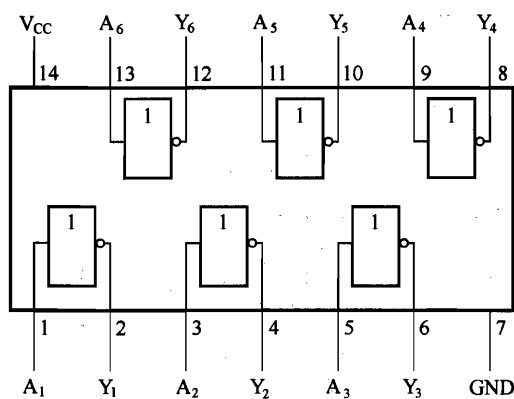
74LS04 是一种常用的非门芯片（又称反相器），其外形和结构如图 2-9 所示，从图 2-9（b）



可以看出，74LS04 内部有 6 个非门，每个非门有 1 个输入端、1 个输出端。



(a) 外形



(b) 结构

图 2-9 非门芯片 74LS04

2.2 门电路实验板的电路原理与实验

门电路实验板是一块包含有与门、或门、非门和输入及输出指示电路的实验板，利用它不但可以验证与门、或门和非门的逻辑功能，还可以用实验板上的基本门芯片组合成更复杂的电路，并验证它们的功能。

2.2.1 电路原理

图 2-10 所示是门电路实验板的电路原理图。74LS08 为与门芯片，74LS32 为或门芯片、74LS04 为非门芯片；SIP1~SIP3 分别为这些门电路的输入/输出端接插件，SIP_H 为高电平接插件，用来为门电路提供高电平“1”，SIP_L 为低电平接插件，用来为门电路提供低电平“0”；VD₁~VD₃ 为发光二极管，它与 R₂、R₃、R₄ 构成三组指示电路，在实验时用来

指示门电路的输出端状态，高电平时发光二极管亮，低电平时发光二极管灭； C_1 、 C_2 为电源滤波电容，确保提供给电路的电压波动小。

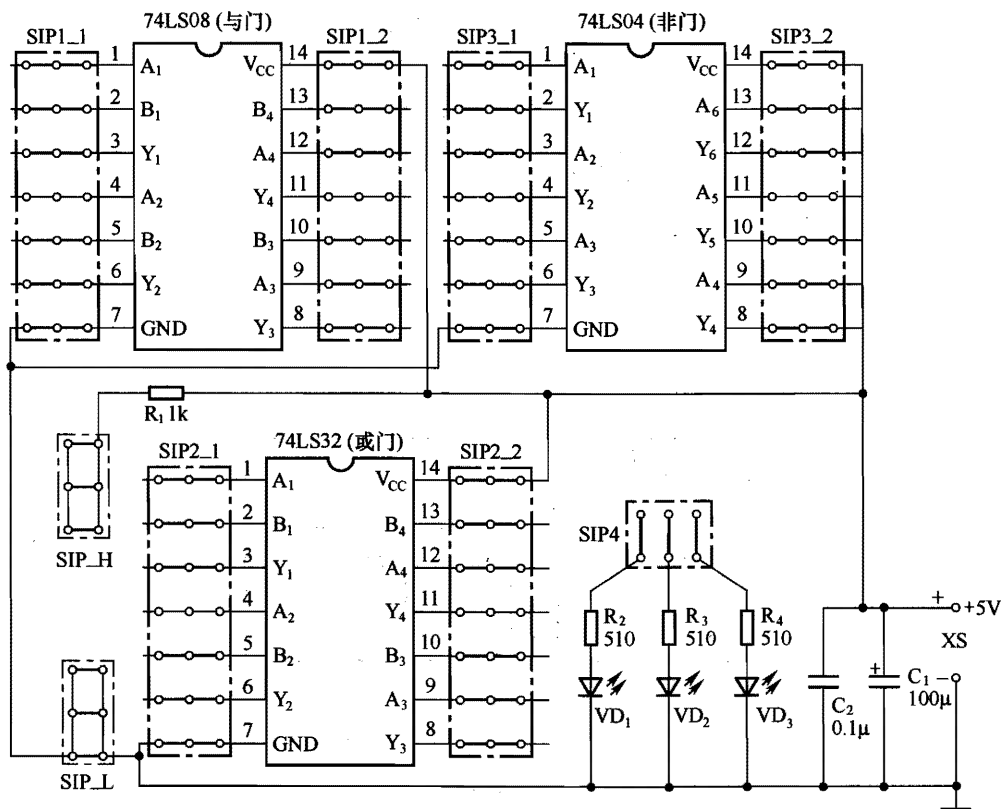


图 2-10 门电路实验板电路原理图

2.2.2 基本门实验

利用门电路实验板可以验证与门、或门和非门的输入输出关系。

1. 与门实验

实验板中的 74LS08 是一块 2 输入与门芯片，内含 4 组相同的与门，其内部结构参见图 2-3，可以使用任意一组与门做验证实验。

在实验时，先用两根导线将 74LS08 的 A_1 、 B_1 端（第一组与门输入端）分别与 SIP_H 插件连接，再用一根导线将 Y_1 端（第一组与门输出端）和插件 SIP4 的第一组指示电路（由 R_2 、 VD_1 构成）连接好，然后给实验板接通 5V 电源，发现指示灯 VD_1 _____（亮或不亮）。

上述实验表明：当与门输入端 $A_1=1$ 、 $B_1=1$ 时，输出端 $Y_1=_____$ 。用相同的方法可



以验证与门的其他 3 种输入输出关系。

2. 或门实验

实验板中的 74LS32 是一块 2 输入或门芯片，内含 4 组相同的或门，其内部结构参见图 2-6，可以使用任意一组或门做验证实验。

在实验时，先用导线将 74LS32 的 A_1 端与 SIP_H 插件连接，然后用导线将 74LS32 的 B_1 端与 SIP_L 插件连接，再用一根导线将 74LS32 的 Y_1 端与插件 SIP4 的第一组指示电路（由 R_2 、 VD_1 构成）连接好，然后给实验板接通 5V 电源，发现指示灯 VD_1 _____（亮或不亮）。

上述实验表明：当或门输入端 $A_1=1$ 、 $B_1=0$ 时，输出端 Y_1 =_____。用相同的方法可以验证或门的其他 3 种输入输出关系。

3. 非门实验

实验板中的 74LS04 是一块非门芯片，内含 6 组相同的非门，其内部结构参见图 2-9，可以使用任意一组非门做验证实验。

在实验时，用导线将 74LS04 的 A_1 端与 SIP_L 插件连接，再用一根导线将 Y_1 端与插件 SIP4 的第一组指示电路（由 R_2 、 VD_1 构成）连接好，然后给实验板接通 5V 电源，发现指示灯 VD_1 _____（亮或不亮）。

上述实验表明：当非门输入端 $A_1=0$ 时，输出端 Y_1 =_____。用相同的方法可以验证非门 $A_1=0$ 时的输出情况。

2.3 复合门电路

复合门电路又称组合门电路，由基本门电路组合而成。常见的复合门电路有：与非门、或非门、与或非门、异或门和同或门等。

2.3.1 与非门

1. 结构与原理

与非门是由与门和非门组成的，其逻辑结构及图形符号如图 2-11 所示。

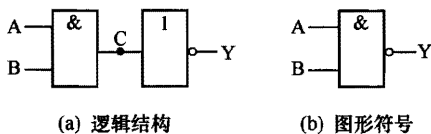


图 2-11 与非门

与非门工作原理说明如下：

当A端输入“0”、B端输入“1”时，与门的C端会输出“0”，C端的“0”送到非门的输入端，非门的Y端（输出端）会输出“1”。

A、B端其他3种输入情况的读者可以按上述方法分析，这里不叙述。

2. 逻辑表达式

与非门的逻辑表达式为

$$Y = \overline{A \cdot B}$$

3. 真值表

与非门的真值表见表 2-4。

表 2-4 与非门的真值表

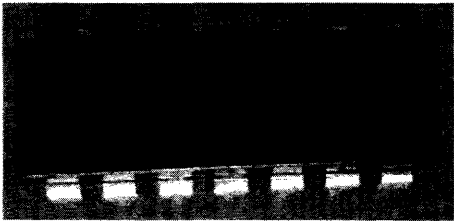
输 入			输 出	输 入			输 出
A	B	Y		A	B	Y	
0	0	1		1	0	1	
0	1	1		1	1	0	

4. 逻辑功能

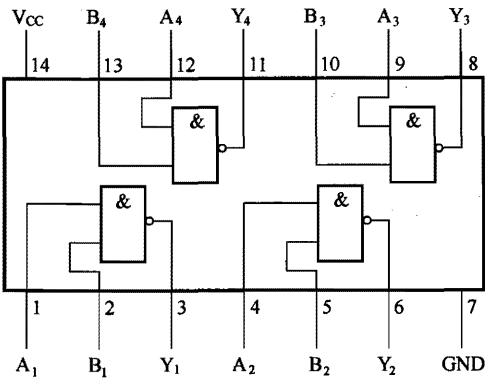
与非门的逻辑功能是：只有输入端全为“1”时，输出端才为“0”；只要有一个输入端为“0”，输出端就为“1”。

5. 常用与非门芯片

74LS00 是一种常用的与非门芯片，其外形和结构如图 2-12 所示，从图 2-12（b）可以看出，74LS00 内部有 4 个与非门，每个与非门有 2 个输入端、1 个输出端。



(a) 外形



(b) 结构

图 2-12 与非门芯片 74LS00



2.3.2 或非门

1. 结构与原理

或非门是由或门和非门组合而成的，其逻辑结构和图形符号分别如图 2-13 所示。

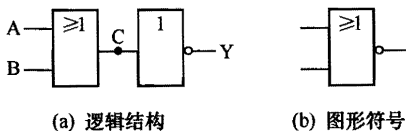


图 2-13 或非门

或非门工作原理说明如下：

当 A 端输入“0”、B 端输入“1”时，或门的 C 端会输出“1”，C 端的“1”送到非门的输入端，结果非门的 Y 端（输出端）会输出“0”。

A、B 端其他 3 种输入情况读者可以按上述方法进行分析。

2. 逻辑表达式

或非门的逻辑表达式为

$$Y=\overline{A+B}$$

根据逻辑表达式很容易求出与输入值对应的输出值，例如，当 A=0、B=1 时，Y=0。

3. 真值表

或非门的真值表见表 2-5。

表 2-5 或非门的真值表

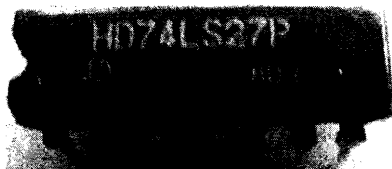
输 入			输 出	输 入			输 出
A	B		Y	A	B		Y
0	0		1	1	0		0
0	1		0	1	1		0

4. 逻辑功能

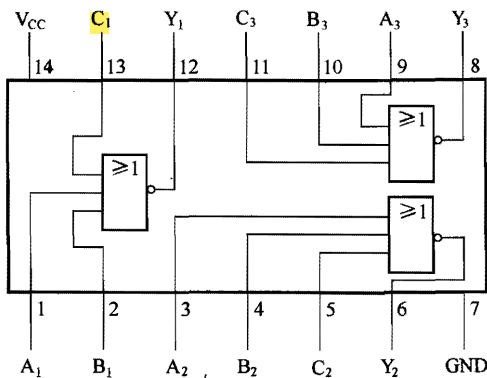
或非门的逻辑功能是：只有输入端全为“0”时，输出端才为“1”；只要输入端有一个“1”，输出端就为“0”。

5. 常用或非门芯片

74LS27 是一种常用的或非门芯片，其外形和结构如图 2-14 所示，从图 2-14（b）可以看出，74LS27 内部有 3 个或非门，每个或非门有 3 个输入端、1 个输出端。



(a) 外形



(b) 结构

图 2-14 或非门芯片 74LS27

2.3.3 与或非门

1. 结构与原理

与或非门是由与门、或门和非门组成，其逻辑结构和图形符号如图 2-15 所示。

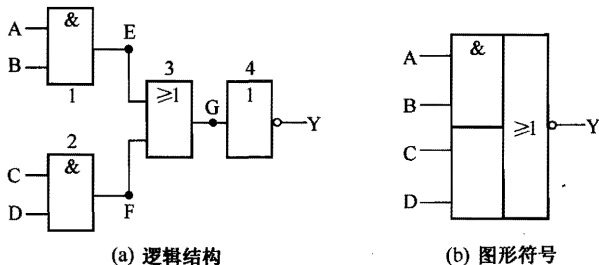


图 2-15 与或非门

与或非门工作原理说明如下：

当 $A=0, B=0, C=1, D=0$ 时，与门 1 输出端 $E=0$ ，与门 2 的输出端 $F=0$ ，或门 3 输出端 $G=0$ ，非门输出端 $Y=1$ 。

当 $A=0, B=0, C=1, D=1$ 时，与门 1 输出端 $E=0$ ，与门 2 的输出端 $F=1$ ，或门 3 输出



端 G=1，非门输出端 Y=0。

A、B、C、D 端其他输入情况读者可以按上述方法分析。

2. 逻辑表达式

与或非门的逻辑表达式为

$$Y = \overline{A \cdot B + C \cdot D}$$

3. 真值表

与或非门的真值表见表 2-6。

表 2-6 与或非门的真值表

输 入				输 出
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4. 逻辑功能

与或非门的逻辑功能是：只要 A、B 端或 C、D 端中有一组全为“1”，输出端就为“0”，否则输出端为“1”。

5. 常用与或非门芯片

74LS54 是一种常用的与或非门芯片，其外形和结构如图 2-16 所示，从图 2-16 (b) 可以看出，74LS54 内部有 1 个与或非门，它由 4 个 3 输入与门和 1 个 4 输入或非门组成。

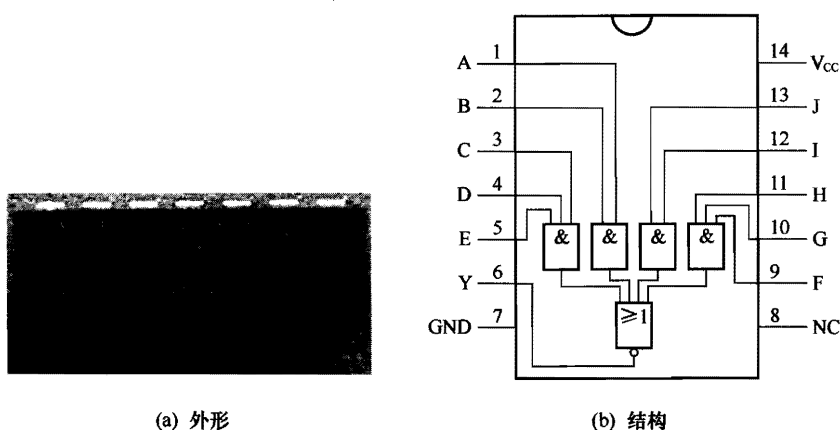


图 2-16 与或非门芯片 74LS54

2.3.4 异或门

1. 结构与原理

异或门是由两个与门、两个非门和一个或门组成的，其逻辑结构和图形符号如图 2-17 所示。

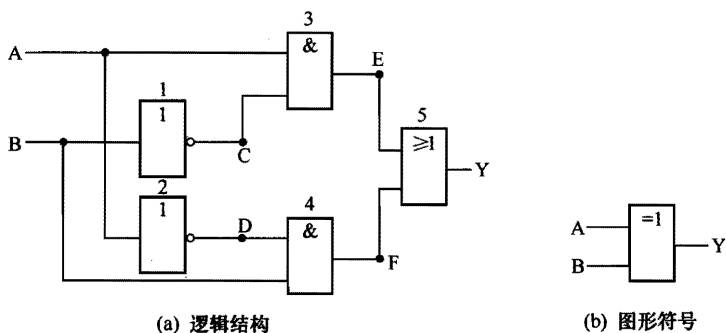


图 2-17 异或门

异或门工作原理说明如下：

当 $A=0$, $B=0$ 时，非门 1 输出端 $C=1$ ，非门 2 的输出端 $D=1$ ，与门 3 输出端 $E=0$ ，与



门 4 输出端 $F=0$ ，或门 5 输出端 $Y=0$ 。

当 $A=0$ ， $B=1$ 时，非门 1 输出端 $C=0$ ，非门 2 的输出端 $D=1$ ，与门 3 输出端 $E=0$ ，与门 4 输出端 $F=1$ ，或门 5 输出端 $Y=1$ 。

A、B 端其他输入情况读者可以按上述方法分析。

2. 逻辑表达式

异或门的逻辑表达式为

$$Y = A \cdot \overline{B} + \overline{A} \cdot B = A \oplus B$$

3. 真值表

异或门的真值表见表 2-7。

表 2-7 异或门的真值表

输 入			输 出	输 入			输 出
A	B	Y		A	B	Y	
0	0	0		1	0	1	
0	1	1		1	1	0	

4. 逻辑功能

异或门的逻辑功能是：当两个输入端一个为“0”、另一个为“1”时，输出端为“1”；当两个输入端同时为“1”或同时为“0”时，输出端为“0”。该特点简述为：异出“1”，同出“0”。

5. 常用异或门芯片

74LS86 是一个 4 组 2 输入异或门芯片，其外形和结构如图 2-18 所示，从图 2-18 (b) 可以看出，74LS86 内部有 4 组异或门，每组异或门有 2 个输入端和 1 个输出端。

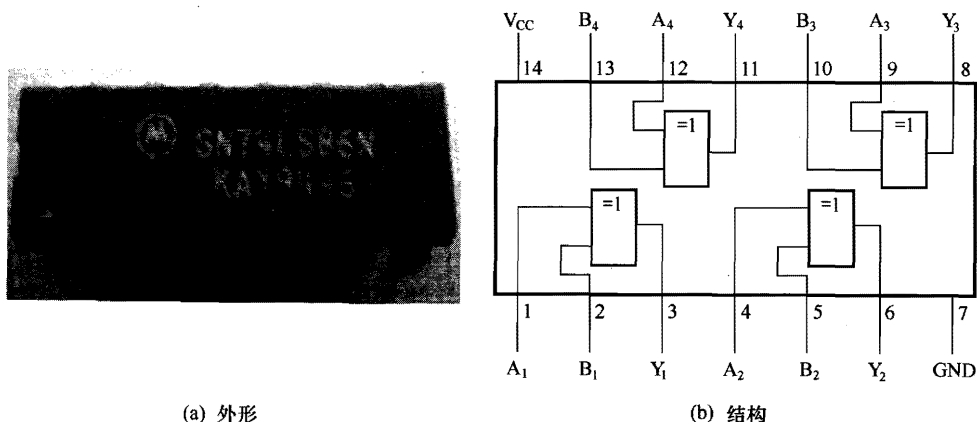


图 2-18 异或门芯片 74LS86

2.3.5 同或门

1. 结构与原理

同或门又称异或非门，它是在异或门的输出端加上一个非门构成的。同或门的逻辑结构和图形符号如图 2-19 所示。

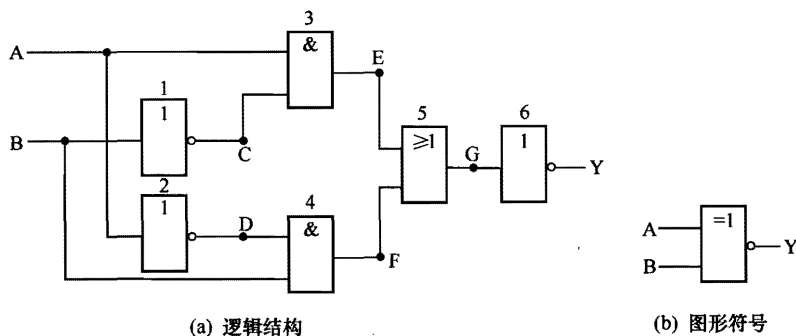


图 2-19 同或门

同或门工作原理说明如下：

当 $A=0, B=0$ 时，非门 1 输出端 $C=1$ ，非门 2 输出端 $D=1$ ，与门 3 输出端 $E=0$ ，与门 4 输出端 $F=0$ ，或门 5 输出端 $G=0$ ，非门 6 的输出端 $Y=1$ 。

当 $A=0, B=1$ 时，非门 1 输出端 $C=0$ ，非门 2 的输出端 $D=1$ ，与门 3 输出端 $E=0$ ，与门 4 输出端 $F=1$ ，或门 5 输出端 $G=1$ ，非门 6 的输出端 $Y=0$ 。

A、B 端其他输入情况读者可以按上述方法分析。

2. 逻辑表达式

同或门的逻辑表达式为

$$Y = A \cdot B + \overline{A} \cdot \overline{B} = A \odot B$$

3. 真值表

同或门的真值表见表 2-8。

表 2-8 同或门的真值表

输 入		输 出	输 入		输 出
A	B	Y	A	B	Y
0	0	1	1	0	0
0	1	0	1	1	1



4. 逻辑功能

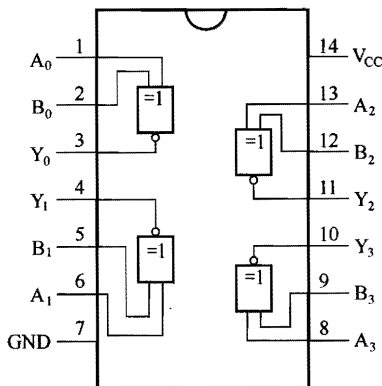
同或门的逻辑功能是：当两个输入端一个为“0”、另一个为“1”时，输出端为“0”；当两个输入端都为“1”或都为“0”时，输出端为“1”。该特点简述为：异出“0”，同出“1”。

5. 常用同或门芯片

74LS266 是一个 4 组 2 输入同或门芯片，其外形和结构如图 2-20 所示，从图 2-20 (b) 可以看出，74LS266 内部有 4 组同或门，每组同或门有 2 个输入端和 1 个输出端。



(a) 外形



(b) 结构

图 2-20 同或门芯片 74LS266

2.4 集成门电路

分立件构成的门电路已非常少见，现在的门电路大多数已集成化。集成化的门电路称为集成门电路，集成门电路内部电路的结构与分立件门电路有所不同，但它们的输入输出逻辑关系是相同的。根据芯片内部采用的主要元件不同，集成门电路主要分为 TTL 集成门电路和 CMOS 集成门电路。不论是 TTL 集成门电路还是 CMOS 集成门电路，它们的逻辑关系是相同的。

TTL 集成门电路简称 **TTL 门电路**，其芯片内部主要采用双极型晶体管（即三极管）来构成门电路，74LS 系列和 74 系列芯片属于 TTL 门电路。TTL 门电路是**电流控制型器件**，其功耗较大，但工作速度快、传输延迟时间短（5~10ns）。

CMOS 集成门电路简称 **CMOS 门电路**，其芯片内部主要采用 MOS 场效应管来构成门电路，74HC、74HCT 和 4000 系列芯片属于 CMOS 门电路。CMOS 门电路是**电压控制型器件**，其工作速度较 TTL 电路慢，但功耗小、抗干扰性强、驱动负载能力强。



2.4.1 TTL 集成门电路

1. 多发射晶体管

在 TTL 集成门电路中常用到多发射极晶体管，它具有两个以上的发射极，图 2-21 所示是一只具有 3 个发射极的晶体管的图形符号和等效图，该晶体管内部有 3 个发射结和 1 个集电结。

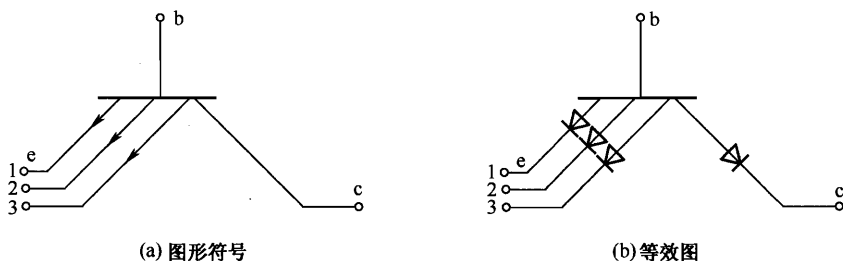


图 2-21 多发射极晶体管

下面以图 2-22 所示电路来说明多发射极晶体管的工作原理，其中图 2-22 (b) 电路为图 2-22 (a) 电路的等效图。

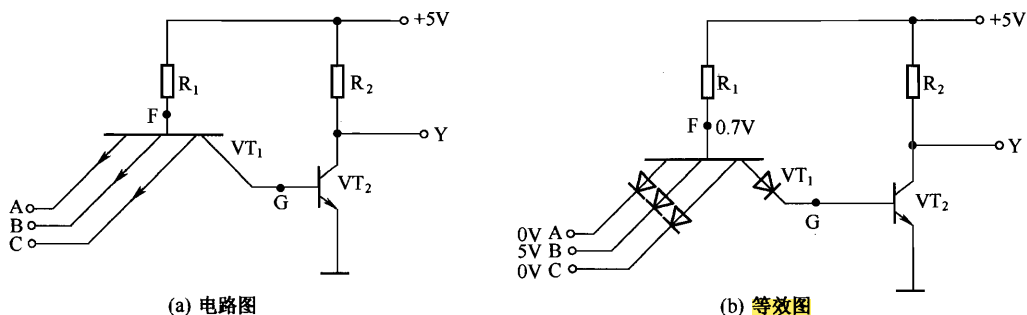


图 2-22 多发射极晶体管工作原理说明图

当多发射极晶体管 VT_1 的发射极 A、B、C 分别输入 0V、5V、0V 电压时，F、A 和 F、C 之间的两个发射结导通，F 点电压下降为 0.7V，F、B 之间的发射结反偏截止（B 端电压为 5V）。因为 F 点电压为 0.7V，该电压不能使 VT_1 的集电结和 VT_2 的发射结同时导通（两者同时导通需要 1.4V 电压），所以 VT_2 处于截止状态， VT_2 集电极电压为 5V。

当 VT_1 的发射极 A、B、C 同时输入 5V 电压时，F、A，F、B 和 F、C 之间的 3 个发射结都不能导通，F 点电压为 5V，该电压使 VT_1 的集电结和 VT_2 的发射结同时导通（这时 F 点电压会从 5V 降至 1.4V）， VT_2 饱和导通， VT_2 集电极电压为 0.3V。



2. TTL 与非门电路

TTL 集成门电路与分立件门电路一样，有与门、或门、非门、与非门、或非门、异或门和同或门等多种类型。这些门电路的分析方法基本相同，下面以 TTL 与非门电路为例来说明 TTL 集成门电路的工作原理。TTL 与非门电路如图 2-23 所示。

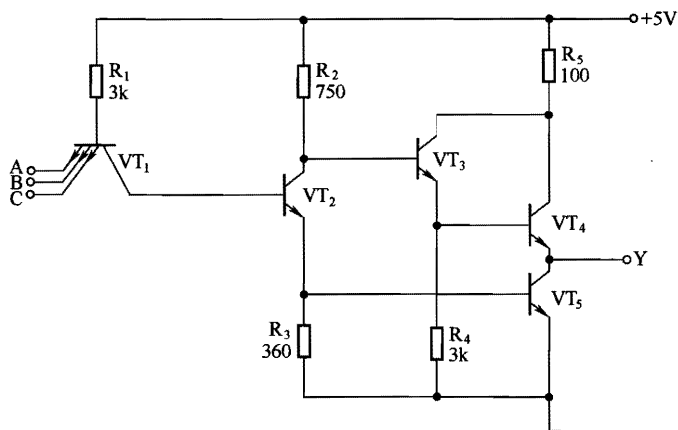


图 2-23 TTL 与非门电路

当 A、B、C 3 个输入端都加 5V 电压时，即 $A=1$ 、 $B=1$ 、 $C=1$ 时，多发射极晶体管 VT_1 3 个发射结都处于截止状态， VT_1 的基极电压很高， VT_1 集电结导通，基极电压经集电结加到 VT_2 的基极， VT_2 饱和导通， VT_2 的集电极电压下降，发射极电压上升。因为 VT_2 的集电极电压下降至很低， VT_3 基极电压也很低， VT_3 不能导通，处于截止状态，发射极无电压， VT_4 基极无电压， VT_4 截止。因 VT_2 发射极电压上升，该电压加到 VT_5 的基极， VT_5 饱和导通，集电极电压很低（0.1~0.3V），为低电平。即当 $A=1$ 、 $B=1$ 、 $C=1$ 时，电路输出端 $Y=0$ 。

当 A、B、C 3 个输入端分别加 0V、5V、5V 电压时，即 $A=0$ 、 $B=1$ 、 $C=1$ 时， VT_1 与 A 端相接的发射结导通， VT_1 基极电压降为 0.7V，所以 VT_1 另外两个发射结都处于截止状态。 VT_1 的基极电压为 0.7V，它不足以使 VT_1 集电结和 VT_2 的发射结同时导通， VT_2 无法导通，它的发射极电压很低（为 0V），而集电极电压很高。 VT_2 很低的发射极电压送到 VT_5 的基极， VT_5 无法导通而处于截止状态。 VT_2 很高的集电极电压送到 VT_3 的基极， VT_3 导通， VT_3 发射极电压很高，该电压送到 VT_4 的基极， VT_4 饱和导通，+5V 电源经 R_5 、 VT_4 送到输出端，在输出端得到一个较高的电压。即当 $A=0$ 、 $B=1$ 、 $C=1$ 时，电路输出端 $Y=1$ 。

A、B、C 的其他几种输入情况读者可自行分析。从上面的分析可知，该电路的输入与输出之间有“与非”的关系。

3. TTL 集电极开路门（OC 门）

（1）结构与原理

TTL 集电极开路门又称 OC 门，图 2-24（a）所示是一个典型 OC 门的电路结构，从图中可以看出，OC 门输出端内部的三极管集电极是悬空的，没有接负载。图 2-25 中的 OC 门输入与输出有与非关系。

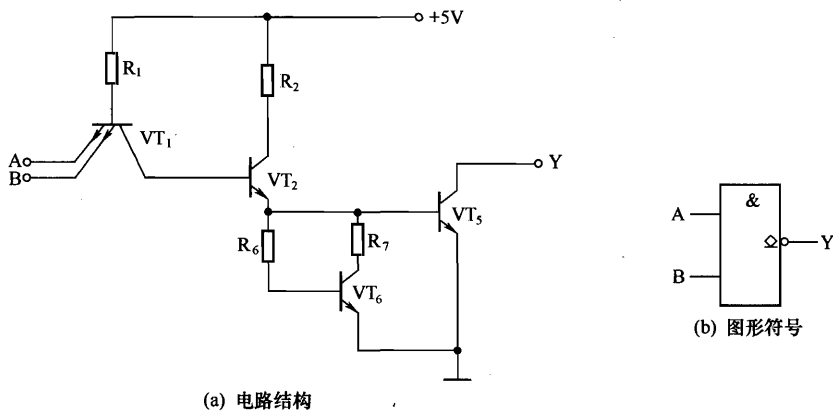


图 2-24 OC 门

（2）常用 OC 门芯片

74LS01 是一种常用的 OC 门芯片，其外形和结构如图 2-25 所示，从图 2-25（b）可以看出，74LS01 内部有 4 个 OC 与非门，每个与非门有 2 个输入端、1 个输出端。

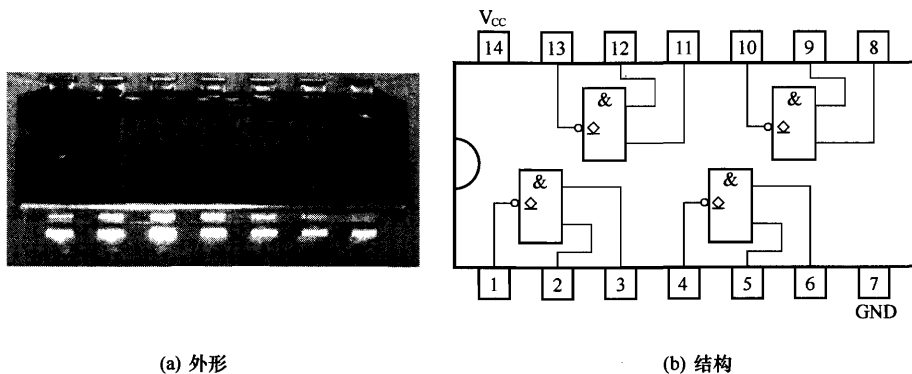


图 2-25 OC 门芯片 74LS01

（3）外接负载形式

OC 门输出端内部的三极管集电极没有接负载，在实际使用时，OC 门可根据需要在输出端外接各种负载。图 2-26 所示为 OC 门 3 种常见外接负载方式。

在图 2-26（a）所示电路中，输出端外接电阻 R，该电阻常称为上拉电阻；在图 2-26（b）

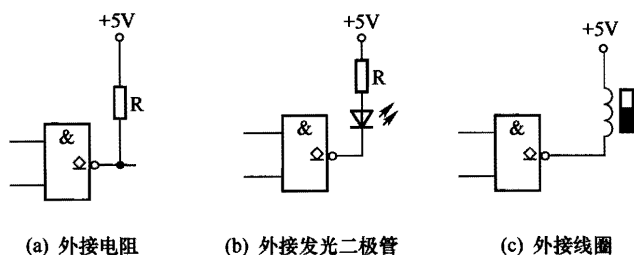


图 2-26 OC 门 3 种外接负载方式

所示电路中,输出端外接发光二极管,当 OC 门输出端的内部晶体管导通(相当于输出低电平)时,发光二极管有电流流过而发光;在图 2-26 (c)所示电路中,输出端外接继电器线圈,当 OC 门输出端的内部晶体管导通时,有电流流过线圈,线圈产生磁场吸合开关(开关未画出)。

(4) 线与电路

几个 OC 门并联时还可以构成“线与”电路。OC 门构成的“线与”电路如图 2-27 所示,该电路是将几个 OC 门的输出端连接起来,再接一个公共的负载 R。下面来分析该电路是否有“与”的关系。

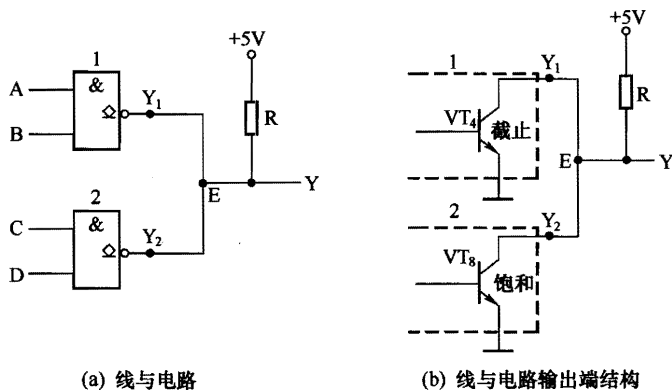


图 2-27 OC 门线与电路

如果 Y_1 输出为“1”、 Y_2 输出为“0”,则 OC 门 1 内部输出端的晶体管 VT_4 处于截止状态,如图 2-27 (b) 所示,OC 门 2 内部输出端的晶体管 VT_8 处于饱和状态,E 点电压很低,故输出端 $Y=0$ 。

如果 Y_1 输出为“1”、 Y_2 输出为“1”,则 OC 门 1 和 OC 门 2 内部输出端的晶体管都处于截止状态,E 点电压很高,故输出端 $Y=1$ 。

其他几种情况读者可自行分析。

由上述分析可知,当将几个 OC 门的输出端连接起来,再接一个公共负载时,输出端

确实有“与”的关系，这个“与”关系不是靠与门来实现的，而是由导线连接来实现的，故称为“线与”。

4. 三态输出门（TS 门）

三态输出门简称为三态门，或称 TS 门，这种门电路输出不仅会出现高电平和低电平，还可以出现第 3 种状态——高阻态（又称禁止态或悬浮态）。

（1）结构与原理

图 2-28（a）所示是一个典型三态门的电路结构，从图中可以看出，它是在 TTL 与非门电路上进行了改进，它的一个输入端在内部通过二极管 VD 与晶体管 VT₂ 集电极相连，该端不再当作输入端，而称为控制端（又称使能端），常用“EN”表示。

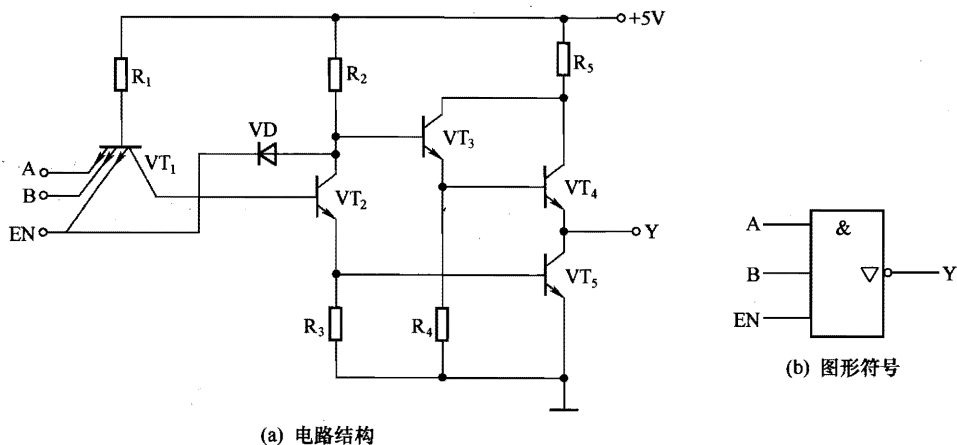


图 2-28 三态门

三态门工作原理说明如下：

当 EN=0（0V）时，VT₁ 与 EN 端相连的发射结和二极管 VD 都处于导通状态。VT₁ 一个发射结导通，其基极电压为 0.7V，该电压无法使 VT₁ 的集电结和 VT₂ 的发射结导通，VT₂ 处于截止状态，VT₂ 的发射电压为 0V，VT₅ 基极无电压而处于截止状态。二极管 VD 处于导通状态，VT₂ 的集电极电压下降，为 0.7V，该电压无法使 VT₃、VT₄ 的两个发射结同时导通，所以 VT₃、VT₄ 同时处于截止状态。因为 VT₄ 和 VT₅ 同时处于截止状态，Y 输出端既不与地接通，又不与电源相通，这种状态称为高阻状态（又称悬浮状态或禁止状态）。

在 EN=0（0V）情况下，无论 A、B 端输入“1”还是“0”，VT₁ 与 EN 相连的发射结和二极管 VD 都处于导通状态，VT₁ 基极和 VT₂ 的集电极电压都为 0.7V，最终 VT₄、VT₅ 都处于截止状态。

当 EN=1（5V）时，与 EN 端相连的 VT₁ 的发射结和二极管 VD 都处于截止状态，相当于与 EN 相连的 VT₁ 发射结和二极管 VD 处于开路，可认为两者不存在，这样该电路可



看成是只有两个输入端的普通与非门电路，输入端 A、B 与输出端 Y 有与非关系。

(2) 真值表

图 2-28 所示三态门的真值表见表 2-9。

表 2-9 三态门的真值表

输 入			输 出	输 入			输 出
EN	A	B	Y	EN	A	B	Y
0	0	0	高阻	1	0	0	1
0	0	1	高阻	1	0	1	1
0	1	0	高阻	1	1	0	1
0	1	1	高阻	1	1	1	0

(3) 逻辑功能

图 2-28 所示三态门的逻辑功能是：当控制端 EN=0 时，电路处于高阻状态，无论输入端输入什么，输出端都无输出；当控制端 EN=1 时，电路正常工作，相当于与非门电路，输出与输入有与非关系。

(4) 常用三态门芯片

74LS126 是一种常用的高电平有效型三态门芯片，其外形和结构如图 2-29 所示，从图 (b) 可以看出，74LS126 内部有 4 个三态门，每个三态门有 1 个输入端 A、1 个输出端 Y 和 1 个控制端 C，当 C=1 时，Y=A，当 C=0 时，高阻态。

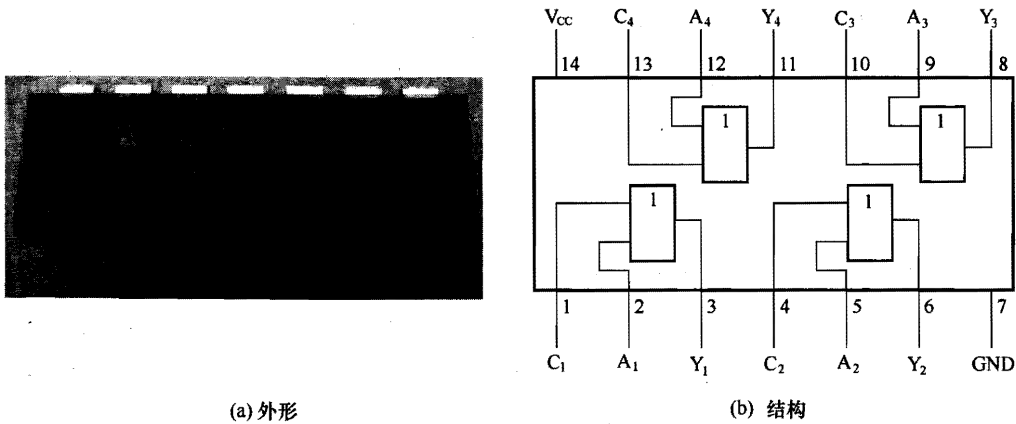


图 2-29 三态门芯片 74LS126

(5) 应用

三态门广泛用在数字电子产品中，特别是计算机中，它主要用于总线传递，可以进行

单向数据传递，也可以进行双向数据传送。

① 三态门构成单向总线传递电路。三态门构成单向总线传递电路如图 2-30 (a) 所示，它由 3 个三态门构成。

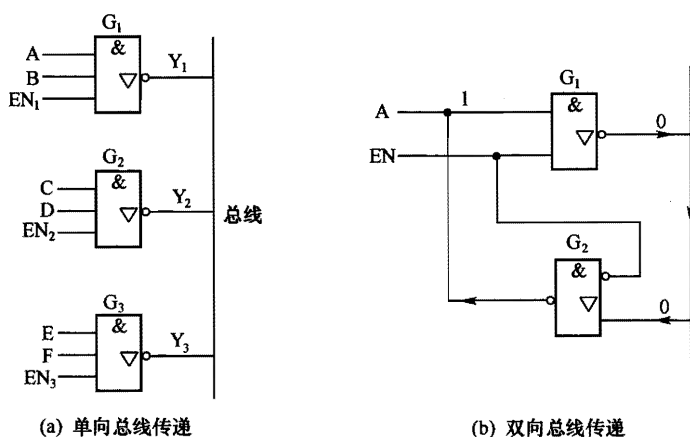


图 2-30 三态门构成的数据传递电路

在任何时刻，3 个三态门中只允许其中一个三态门的控制端为“1”，让该三态门处于工作状态，而其他的三态门控制端一定要为“0”，让它们处于高阻状态，这样控制端为“1”的三态门电路才能正常工作。如果有两个或两个以上三态门的控制端同时为“1”，则这些三态门会同时工作，同时有数据送向总线，那么总线传递信息就会出错，这是不允许的。

数据单向传递过程：假设 3 个三态门的输入端分别是 $A=0$ 、 $B=0$ 、 $C=1$ 、 $D=1$ 、 $E=0$ 、 $F=1$ ，各个三态门 EN 端均为 0。首先让 $EN_1=1$ ，三态门 G_1 工作，输出端 $Y_1=1$ （因输入端 $A=0$ 、 $B=0$ ），“1”送往总线去其他的电路；然后让 $EN_2=1$ （此时 EN_1 变为 0），三态门 G_2 工作，输出端 $Y_2=0$ ，“0”送往总线去其他的电路；再让 $EN_3=1$ ，三态门 G_3 工作，输出端 $Y_3=1$ ，“1”送往总线去其他的电路。

由此可见，当让几个三态门的控制端依次为“1”时，这几个三态门输出的数据就会依次送往总线。

② 三态门构成双向总线传递电路。三态门构成双向总线传递电路如图 2-30 (b) 所示，它由两个三态门构成。这两个三态门控制端的控制方式不同，三态门 G_1 的控制端为“1”时处于工作状态，而三态门 G_2 的控制端为“0”时才处于工作状态（三态门 G_2 的 EN 端的小圆圈表示当该端电平为“0”时工作，为“1”时处于高阻状态）。

数据双向传递过程：假设三态门 G_1 输入端 $A=1$ ，当控制端 EN 为“1”时，三态门 G_1 处于工作状态，三态门 G_2 处于高阻状态，于是三态门 G_1 输出数据“0”，并送到总线；当控制端 EN 为“0”时，三态门 G_1 处于高阻状态，三态门 G_2 处于工作状态，总线上的数据



“0”送到三态门 G_2 的输入端，三态门 G_2 输出数据“1”，并送到 G_1 的输入端。

由此可见，通过改变三态门的控制端电平，就能改变数据传递方向，实现数据的双向传递。

5. TTL 器件使用注意事项

TTL 器件在使用时要注意以下事项：

① 电源电压。电源电压 V_{CC} 允许范围为 $+5(1 \pm 10\%)$ ，超过该范围可能会损坏 TTL 器件，或使器件逻辑功能混乱。

② 电源滤波。为了减小 TTL 器件工作时引起电源电压波动，使 TTL 器件工作稳定，可在电源两端并联 1 个 $100\mu\text{F}$ 的滤波电容（低频滤波）和 1 个 $0.01 \sim 0.1\mu\text{F}$ 的滤波电容（高频滤波）。

③ 输入端的连接。输入端高电平有两种获得方式：一是输入端通过串接 1 个 $1 \sim 10\text{k}\Omega$ 的电阻与电源连接；二是输入端直接与电源连接。输入端直接接地获得低电平。

或门、或非门等输入端为“或”逻辑的 TTL 器件多余的输入端不能悬空，要接地。与门、与非门等输入端为“与”逻辑的 TTL 器件多余的输入端可以悬空（相当于接高电平），但这样易受外界干扰，为了提高器件的可靠性，通常将多余的输入端直接接电源或与其他输入端并联，如果与其他输入端并联，输入端从输入信号处获得的电流将会增加。

④ 输出端的连接。输出端禁止直接接电源或接地，对于容性负载（ 100pF 以上），应串接几百欧的限流电阻，否则器件易损坏。除 OC 门和三态门外，其他门电路的输出端禁止并联使用，否则会损坏器件或引起逻辑功能混乱。

2.4.2 CMOS 集成门电路

CMOS 集成门电路简称 CMOS 门电路，它由 PMOS 场效应管和 NMOS 场效应管以互补对称的形式组成。

1. MOS 场效应管

(1) 图形符号

MOS 场效应管是一种电压控制型器件，简称为 MOS 管，它是由金属（M）、氧化物（O）和半导体（S）构成的。MOS 管像三极管一样，既可用于放大，也可当作电子开关使用。MOS 管可分为耗尽型 MOS 管和增强型 MOS 管，每种类型又分为 P 沟道和 N 沟道，MOS 管的图形符号如图 2-31 所示，其中采用增强型 MOS 管构成的门电路更为常见。

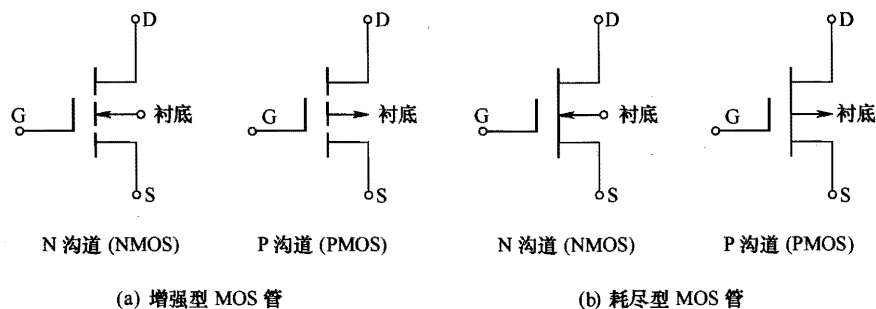


图 2-31 MOS 管的图形符号

(2) 增强型 MOS 管的结构

增强型 MOS 管有 P 沟道和 N 沟道两种，其结构原理基本相似，下面以 N 沟道增强型 MOS 管（简称增强型 NMOS 管）为例进行说明。增强型 NMOS 管的结构如图 2-32 所示。

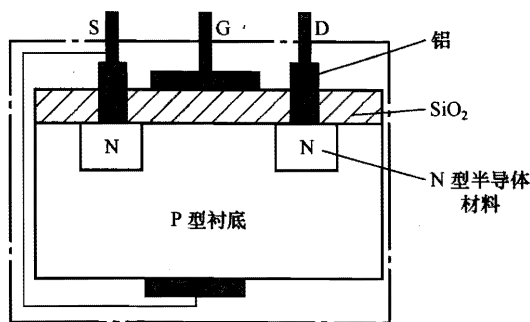


图 2-32 增强型 NMOS 管的结构

增强型 NMOS 管是以 P 型硅片作为基片（又称衬底），在基片上制作两个含很多杂质的 N 型材料，再在上面制作一层很薄的二氧化硅（ SiO_2 ）绝缘层，在两个 N 型材料上引出两个铝电极，分别称为漏极（D）和源极（S），在两极中间的二氧化硅绝缘层上制作一层铝制导电层，从该导电层上引出电极称为 G 极。一般情况下，P 型衬底常与 S 极内部连接在一起。

(3) 增强型 MOS 管的工作原理

增强型 NMOS 管需要加合适的电压才能工作。下面以图 2-33 来说明增强型 NMOS 管工作原理，其中图 2-33（a）为结构图形式，图 2-33（b）为电路图形式。

电源 E_1 通过 R_1 加到场效应管 D、S 极，电源 E_2 通过开关 S 加到场效应管的 G、S 极。在开关 S 断开时，场效应管的 G 极无电压，D、S 极所接的两个 N 区之间没有导电沟道，

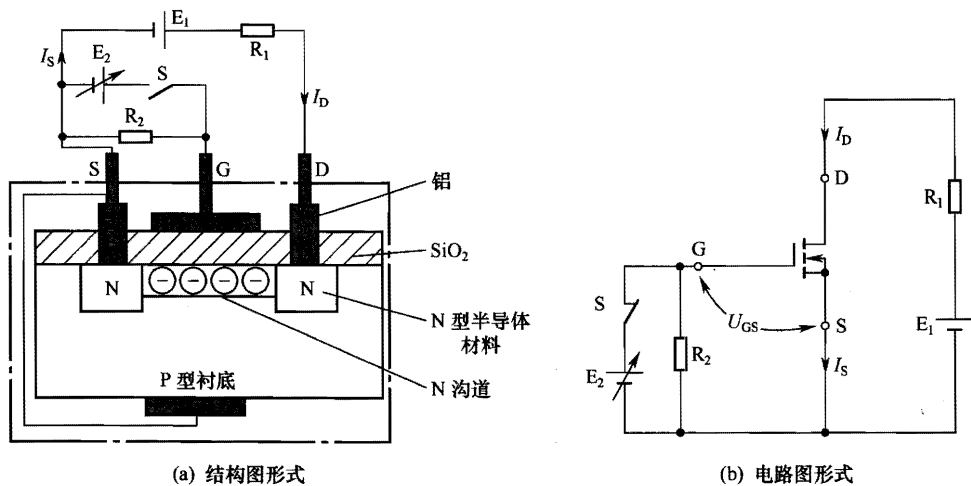


图 2-33 增强型 NMOS 管工作原理说明图

所以两个 N 区之间不能导通， I_D 电流为 0；如果将开关 S 闭合，场效应管的 G 极获得正电压，与 G 极连接的铝电极有正电荷，它产生的电场穿过 SiO_2 层，将 P 衬底很多电子吸引靠近 SiO_2 层，从而在两个 N 区之间出现导电沟道，由于此时 D、S 极之间加上正向电压，就有 I_D 电流从 D 极流入，再经导电沟道从 S 极流出。

如果改变 E_2 电压的大小，也即是改变 G、S 极之间的电压 U_{GS} ，与 G 极相连的铝层产生的电场大小就会变化， SiO_2 下面的电子数量就会变化，两个 N 区之间沟道宽度就会变化，流过的 I_D 电流大小就会变化。 U_{GS} 电压越高，沟道就会越宽， I_D 电流就会越大。

增强型 MOS 管具有特点是：在 G、S 极之间未加电压（即 $U_{GS}=0$ ）时，D、S 极之间没有沟道， $I_D=0$ ；当 G、S 极之间加上合适电压（大于开启电压 U_T ）时，D、S 极之间有沟道形成， U_{GS} 电压变化时，沟道宽窄会发生变化， I_D 电流也会变化。

对于增强型 NMOS 管，G、S 极之间的电压 $U_{GS}>0$ （即 $U_G>U_S$ ）且 $U_{GS}>U_T$ 时，D、S 极之间才会形成沟道而导通。为分析方便，可认为当 NMOS 管 G 极为高电平时导通，为低电平时截止。

对于增强型 PMOS 管，G、S 极之间的电压 $U_{GS}<0$ 且 $U_{GS}<U_T$ 时，D、S 极之间才有沟道形成。为分析方便，可认为当 PMOS 管 G 极为低电平时导通，为高电平时截止。

2. CMOS 非门

(1) 结构与原理

CMOS 非门的电路结构如图 2-34 所示， VT_1 为 PMOS 管， VT_2 为 NMOS 管，电路输入端 A 与两管的 G 极连接，电路输出端 Y 与两管的 D 极连接，PMOS 管的 S 极接电源 V_{DD} ，NMOS 管的 S 极接地。

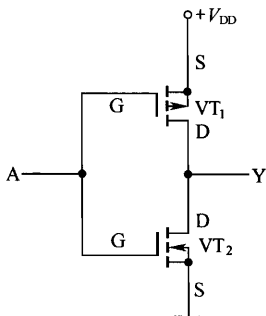


图 2-34 CMOS 非门的电路结构

CMOS 非门电路的工作原理说明如下：

当 A 端为高电平时， VT_1 （PMOS 管）截止， VT_2 （NMOS 管）管导通，Y 端为低电平。
即 $A=1$ 时， $Y=0$ 。

当 A 端为低电平时， VT_2 （NMOS 管）截止， VT_1 （PMOS 管）导通，Y 端为高电平。
即 $A=0$ 时， $Y=1$ 。

从上面分析不难看出，CMOS 非门的输出端与输入端之间满足

$$Y = \bar{A}$$

对于 CMOS 非门电路，不管输入端为高电平还是低电平， VT_1 、 VT_2 始终有一个处于截止状态，电源与地之间基本无电流通过，因此 CMOS 非门电路功耗极低（微瓦以下）。

（2）常用 CMOS 非门芯片

CC4069 是一种常用的 CMOS 非门芯片，其结构如图 2-35 所示，从图中可以看出，CC4069 内部有 6 个非门，每个非门有 1 个输入端和 1 个输出端。

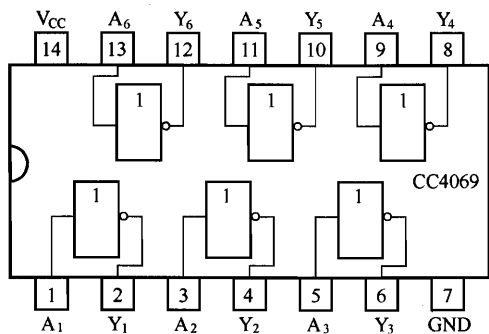


图 2-35 CMOS 非门芯片 CC4069

3. CMOS 与非门

（1）结构与原理

CMOS 与非门的电路结构如图 2-36 所示， VT_1 、 VT_2 为 PMOS 管， VT_3 、 VT_4 为 NMOS 管。

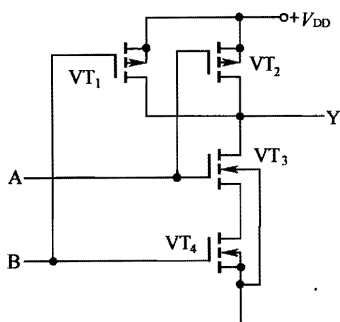


图 2-36 CMOS 与非门的电路结构

CMOS 与非门电路的工作原理说明如下：

当 A、B 端均为高电平时， VT_1 、 VT_2 截止， VT_3 、 VT_4 导通，Y 端为低电平。即 $A=1$ 、 $B=1$ 时， $Y=0$ 。

当 A、B 端均为低电平时， VT_1 、 VT_2 导通， VT_3 、 VT_4 截止，Y 端为高电平。即 $A=0$ 、 $B=0$ 时， $Y=1$ 。

当 A 端为低电平、B 端为高电平时，A 端低电平使 VT_2 导通、 VT_3 截止，B 端高电平使 VT_1 截止、 VT_4 导通，由于 VT_2 导通、 VT_3 截止，Y 端输出高电平。即 $A=0$ 、 $B=1$ 时， $Y=1$ 。

当 A 端为高电平、B 端为低电平时，A 端高电平使 VT_3 导通、 VT_2 截止，B 端低电平使 VT_4 截止、 VT_1 导通，由于 VT_1 导通、 VT_4 截止，Y 端输出高电平。即 $A=1$ 、 $B=0$ 时， $Y=1$ 。

从上面分析不难看出，CMOS 与非门的输出端与输入端之间满足

$$Y = \overline{AB}$$

(2) 常用 CMOS 与非门芯片

CC4011 是一种常用的 CMOS 与非门芯片，其结构如图 2-37 所示，从图中可以看出，CC4011 内部有 4 个与非门，每个与非门有 2 个输入端和 1 个输出端。

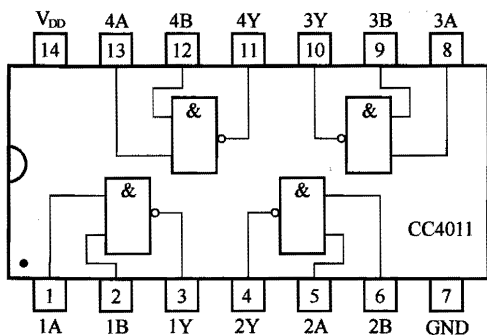


图 2-37 CMOS 与非门芯片 CC4011

4. CMOS 或非门

（1）结构与原理

CMOS 或非门的电路结构如图 2-38 所示， VT_1 、 VT_2 为 PMOS 管， VT_3 、 VT_4 为 NMOS 管。

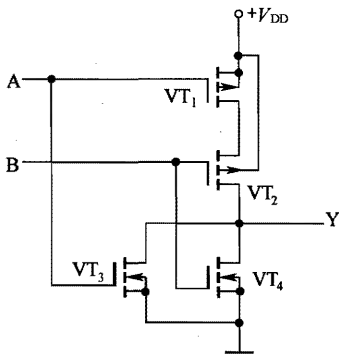


图 2-38 CMOS 或非门的电路结构

CMOS 或非门电路工作原理说明如下：

当 A、B 端均为高电平时， VT_1 、 VT_2 截止， VT_3 、 VT_4 导通，Y 端为低电平。即 $A=1$ 、 $B=1$ 时， $Y=0$ 。

当 A、B 端均为低电平时， VT_1 、 VT_2 导通， VT_3 、 VT_4 截止，Y 端为高电平。即 $A=0$ 、 $B=0$ 时， $Y=1$ 。

当 A 端为低电平、B 端为高电平时，A 端低电平使 VT_1 导通、 VT_3 截止，B 端高电平使 VT_2 截止、 VT_4 导通，由于 VT_2 截止、 VT_4 导通，Y 端输出低电平。即 $A=0$ 、 $B=1$ 时， $Y=0$ 。

当 A 端为高电平、B 端为低电平时，A 端高电平使 VT_3 导通、 VT_1 截止，B 端低电平使 VT_4 截止、 VT_2 导通，由于 VT_3 导通、 VT_1 截止，Y 端输出低电平。即 $A=1$ 、 $B=0$ 时， $Y=0$ 。

从上面分析不难看出，CMOS 或非门的输出端与输入端之间满足

$$Y = \overline{A + B}$$

（2）常用 CMOS 或非门芯片

CC4001 是一种常用的 CMOS 或非门芯片，其结构如图 2-39 所示，从图中可以看出，CC4001 内部有 4 个或非门，每个或非门有 2 个输入端和 1 个输出端。

5. CMOS 传输门

（1）结构与原理

CMOS 传输门是一种由控制信号来控制电路通断的门电路。CMOS 传输门的电路结构

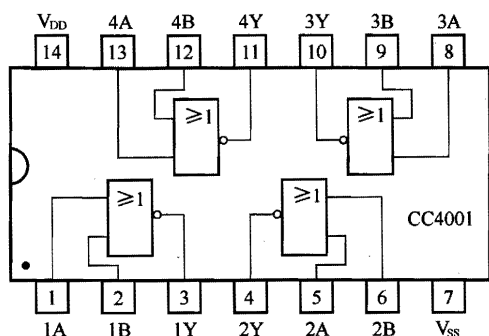
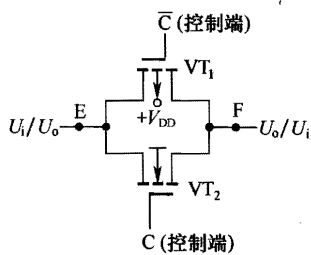
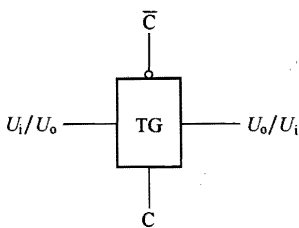


图 2-39 CMOS 或非门芯片 CC4001

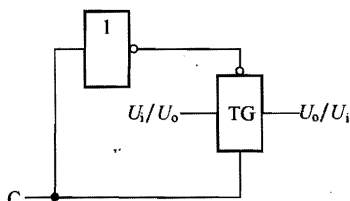
和图形符号如图 2-40 所示, VT_1 为 PMOS 管, VT_2 为 NMOS 管, 两端并联连接在一起, 在两个 MOS 管衬底未与源极连接时, 漏极 D 与源极 S 具有互换性, 如果 E 端作为输入端, 分析时将 VT_1 、 VT_2 与 E 端相连的极作为 S 极, 与 F 端相连的极作为 D 极。C、 \bar{C} 为一对互补控制端, 两者控制电平始终相反, 当 C 端为高电平时, \bar{C} 为低电平。



(a) 电路结构图



(b) 图形符号



(c) 由传输门构成的双向模拟开关

图 2-40 CMOS 传输门

CMOS 传输门工作原理说明如下:

当控制信号为高电平 (即 $C=1$, $\bar{C}=0$) 时, VT_1 (PMOS 管) 的 G 极为低电平, VT_1 导通, VT_2 (NMOS 管) 的 G 极为高电平, VT_2 导通, CMOS 传输门开通, E 端输入电压 U_i 经导通的 VT_1 、 VT_2 送到 F 端输出。

当控制信号为低电平 (即 $C=0$, $\bar{C}=1$) 时, VT_1 (PMOS 管) 的 G 极为高电平, VT_1 截止, VT_2 (NMOS 管) 的 G 极为低电平, VT_2 截止, CMOS 传输门关断, 输入电压 U_i 无法通过。

由于两个 MOS 管漏极 D 与源极 S 具有互换性, 故也可将 F 端作为输入端, E 端作为输出端, 那么信号电压就可以双向传送, 所以 CMOS 传输门又称双向开关。

为了控制方便, CMOS 传输门常和非门组合构成双向模拟开关, 其结构如图 2-40 (c) 所示, 当 $C=1$ 时, 开关接通, 当 $C=0$ 时, 开关断开。

（2）常用 CMOS 传输门芯片

CC4016 是一种常用的 CMOS 传输门芯片（双向模拟开关），其结构如图 2-41 所示，从图中可以看出，CC4016 内部有 4 个传输门，每个传输门有 1 个输入/输出端、1 个输出/输入端和 1 个控制端。

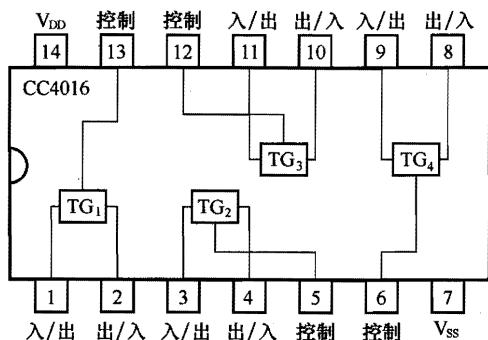


图 2-41 传输门芯片 CC4016

6. CMOS 器件使用注意事项

CMOS 器件在使用时要注意以下事项：

- ① 电源电压。电源电压不能接反，规定 $+V_{DD}$ 接电源正极， V_{SS} 接电源负极（通常为地）。
- ② 输入端的连接。输入端的信号电压 U_i 应为 $V_{DD} \geq U_i \geq V_{SS}$ ，超出该范围易损坏 CMOS 内部的保护二极管或栅极，可在输入端串接一个 $10 \sim 100k\Omega$ 的限流电阻，所有多余的输入端应根据逻辑要求接 V_{DD} 或 V_{SS} ，对器件工作速度要求不高时输入端允许并联使用。
- ③ 输出端的连接。输出端禁止直接接电源或接地，除三态门外，其他门电路的输出端禁止并联使用。
- ④ 测试。在测试 CMOS 器件时，应先加电源 V_{DD} ，然后加输入信号，停止测试时，要先撤去输入信号，再切断电源，另外要求所有测试仪器的外壳必须良好接地。
- ⑤ 存放与焊接。由于 CMOS 器件的输入阻抗很高，易被静电击穿，存放时应尽量让所有引脚短接（如用金属箔包装），焊接时电烙铁要良好接地，也可用烙铁余温焊接。



习题2

一、填空题

1. _____ 电路是组成各种数字电路最基本的单元。基本门电路有3种：_____、_____和_____。
2. 真值表是用来列举_____的表格。逻辑表达式是用来表达_____的逻辑关系的式子。
3. 与门的逻辑表达式是_____，或门的逻辑表达式是_____，非门的逻辑表达式是_____。
4. 与门电路的功能是：_____。
5. 复合门电路又称_____电路，是由_____组合而成。常见的复合门电路有：_____、_____、_____、_____和_____等。
6. 与非门的逻辑表达式为_____，或非门的逻辑表达式为_____，与或非门的逻辑表达式为_____，异或门的逻辑表达式为_____，同或门的逻辑表达式为_____。
7. 集成门电路内部电路的结构与分立件门电路有所不同，但它们的_____关系是相同的。根据芯片内部采用的主要元件不同，集成门电路主要分为_____集成门电路和_____集成门电路。
8. TTL 集成门电路内部主要采用_____来构成门电路。TTL 电路是_____控制型器件，其功耗较_____，工作速度_____、传输延迟时间_____。
9. CMOS 集成门电路内部主要采用_____来构成门电路。CMOS 电路是_____控制型器件，其工作速度较 TTL 电路_____，功耗_____、抗干扰性_____、驱动负载能力_____。
10. OC 门也即_____电路，OC 门输出端内部的三极管集电极是_____。当将几个 OC 门的输出端连接起来，再接一个公共负载时，输出端有_____的关系，这个关系不是靠与门来实现的，而是由导线连接来实现的，故称为_____。
11. 三态门又称_____，这种门电路输出不仅会出现高电平和低电平，还可以出现第3种状态——_____，又称_____态或_____态)，它不但有输入、输出端，还有_____端。
12. 对于输入端为“或”逻辑的 TTL 器件，多余的输入端不能_____，应_____；对于输入端为“与”逻辑的 TTL 器件，多余的输入端可以_____，相当于接_____电平，但这样易受外界干扰，为此可将多余的输入端直接接_____或_____。
13. 对于 TTL 器件，输出端禁止_____，对于容性负载（100pF 以上），应_____，否则器件易损坏。除 OC 门和三态门外，其他门电路的输出端禁止_____。
14. CMOS 集成门电路主要由_____场效应管和_____场效应管以互补对称的形式组成。为分析方便，可认为当_____管 G 极为高电平时导通，为低电平时截止；当_____管 G 极为低电平时导通，为高电平时截止。

15. 对于 CMOS 器件，输入端的信号电压 U_i 应为_____，超出该范围易损坏，在对器件工作速度要求不高的情况下，输入端允许_____；输出端禁止_____，除三态门外，其他门电路的输出端禁止_____。

16. 由于 CMOS 器件的输入阻抗很_____，易被静电击穿，存放时应尽量让所有引脚_____，如用_____包装，焊接时电烙铁要_____，也可用烙铁_____焊接。

二、分析题

请按照以下步骤分析图 2-42 所示电路。

- (1) 写出电路的逻辑表达式；
- (2) 列出电路的真值表；
- (3) 认真分析真值表，总结出电路的逻辑功能。

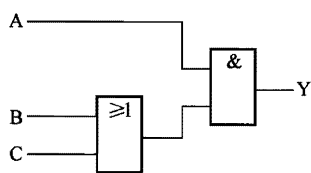


图 2-42