

# 第5章

## 时序逻辑电路

### 本章知识结构

5.1 触发器	5.1.1 基本 RS 触发器
	5.1.2 同步 RS 触发器
	5.1.3 D 触发器
	5.1.4 JK 触发器
	5.1.5 T 触发器
	5.1.6 主从触发器和边沿触发器
5.2 寄存器与移位寄存器	5.2.1 寄存器
	5.2.2 移位寄存器
5.3 计数器	5.3.1 二进制计数器
	5.3.2 十进制计数器
	5.3.3 任意进制计数器
	5.3.4 常用计数器芯片
5.4 电子密码控制器的电路原理与实验	5.4.1 电路原理
	5.4.2 实验操作



时序逻辑电路简称时序电路，它是一种具有记忆功能的电路。时序逻辑电路是由组合逻辑电路与记忆电路（又称存储电路）组合而成的。

常见时序逻辑电路有触发器、寄存器和计数器等。

## 5.1 触 发 器

触发器是一种具有记忆功能的电路，它是时序逻辑电路中的基本单元电路。触发器的种类很多，常见的有基本 RS 触发器、同步 RS 触发器、D 触发器、JK 触发器、T 触发器和主从触发器等。

### 5.1.1 基本 RS 触发器

基本 RS 触发器是一种结构最简单的触发器，其他类型触发器大多是在基本 RS 触发器基础上进行改进而得到的。

#### 1. 结构与原理

基本 RS 触发器如图 5-1 所示。

基本 RS 触发器由两个交叉的与非门组成，它有  $\bar{R}$  端（称为置“0”端）和  $\bar{S}$  端（称为置“1”端），字母上标“-”表示该端低电平有效。图形符号的输入端加上圆圈也表示低电平有效。另外，基本 RS 触发器有两个输出端 Q 和  $\bar{Q}$ ，Q 和  $\bar{Q}$  的值总是相反的，以 Q 端输出的值作为触发器的状态，当 Q 端为“0”时（此时  $\bar{Q}=1$ ），就说触发器处于“0”状态，若  $Q=1$ ，则触发器处于“1”状态。

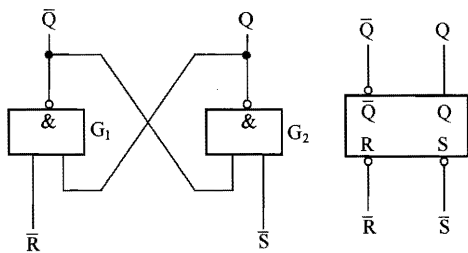
基本 RS 触发器工作原理说明如下。

(1) 当  $\bar{R}=1$ 、 $\bar{S}=1$  时

若触发器原状态为“1”，即  $Q=1$ （ $\bar{Q}=0$ ）。与非门  $G_1$  的两个输入端均为“1”（ $\bar{R}=1$ 、 $Q=1$ ），与非门  $G_1$  输出为“0”。与非门  $G_2$  两个输入端  $\bar{S}=1$ 、 $\bar{Q}=0$ ，与非门  $G_2$  输出则为“1”。此时的  $Q=1$ 、 $\bar{Q}=0$ ，电路状态不变。

若触发器原状态为“0”，即  $Q=0$ （ $\bar{Q}=1$ ）。与非门  $G_1$  两个输入端  $\bar{R}=1$ 、 $Q=0$ ，则输出端  $\bar{Q}=1$ ；与非门  $G_2$  两个输入端  $\bar{S}=1$ 、 $\bar{Q}=1$ ，输出端  $Q=0$ ，电路状态仍保持不变。

也就是说，当  $\bar{R}$ 、 $\bar{S}$  输入端输入都为“1”（即  $\bar{R}=1$ 、 $\bar{S}=1$ ）时，触发器保持原状态



(a) 逻辑结构 (b) 图形符号  
图 5-1 基本 RS 触发器



不变。

(2) 当  $\bar{R}=0$ 、 $\bar{S}=1$  时

若触发器原状态为“1”，即  $Q=1$  ( $\bar{Q}=0$ )。与非门  $G_1$  两个输入端  $\bar{R}=0$ 、 $Q=1$ ，输出端  $\bar{Q}$  由“0”变为“1”；与非门  $G_2$  两个输入端均为“1” ( $\bar{S}=1$ 、 $\bar{Q}=1$ )，输出端  $Q$  由“1”变为“0”，电路状态由“1”变为“0”。

若触发器原状态为“0”，即  $Q=0$  ( $\bar{Q}=1$ )。与非门  $G_1$  两个输入端  $\bar{R}=0$ 、 $Q=0$ ，输出端  $\bar{Q}$  仍为“1”；与非门  $G_2$  两个输入端均为“1” ( $\bar{S}=1$ 、 $\bar{Q}=1$ )，输出端  $Q$  仍为“0”，即电路状态仍为“0”。

由上述过程可以看出，不管触发器原状态如何，只要  $\bar{R}=0$ 、 $\bar{S}=1$ ，触发器状态马上变为“0”，所以  $\bar{R}$  端称为置“0”端（或称复位端）。

(3) 当  $\bar{R}=1$ 、 $\bar{S}=0$  时

若触发器原状态为“1”，即  $Q=1$  ( $\bar{Q}=0$ )。与非门  $G_1$  两个输入端均为“1” ( $\bar{R}=1$ 、 $Q=1$ )，输出端  $\bar{Q}$  仍为“0”，与非门  $G_2$  两个输入端  $\bar{S}=0$ 、 $\bar{Q}=0$ ，输出端  $Q$  为“1”，即电路状态仍为“1”。

若触发器原状态为“0”，即  $Q=0$  ( $\bar{Q}=1$ )。与非门  $G_1$  两个输入端  $\bar{R}=1$ 、 $Q=0$ ，输出端  $\bar{Q}=1$ ；与非门  $G_2$  两个输入端  $\bar{S}=0$ 、 $\bar{Q}=1$ ，输出端  $Q=1$ ，这是不稳定的， $Q=1$  反馈到与非门  $G_1$  输入非端，与非门  $G_1$  输入端现在变为  $\bar{R}=1$ 、 $Q=1$ ，其输出端  $\bar{Q}=0$ ， $\bar{Q}=0$  反馈到与非门  $G_2$  输入端，与非门  $G_2$  输入端为  $\bar{S}=1$ 、 $\bar{Q}=0$ ，其输出端  $Q=1$ ，电路此刻达到稳定（即触发器状态不再变化），其状态为“1”。

由此可见，不管触发器原状态如何，只要  $\bar{R}=1$ 、 $\bar{S}=0$ ，触发器状态马上变为“1”。若触发器原状态为“0”，现变为“1”；若触发器原状态为“1”，则仍为“1”。所以  $\bar{S}$  端称为置“1”端，即  $\bar{S}$  为低电平时，能将触发器状态置为“1”。

(4) 当  $\bar{R}=0$ 、 $\bar{S}=0$  时

此时与非门  $G_1$ 、 $G_2$  的输入端都至少有一个为“0”，这样会出现  $\bar{Q}=1$ 、 $Q=1$ ，这种情况是不允许的。

综上所述，基本 RS 触发器具的逻辑功能是：置“0”、置“1”和保持。

## 2. 功能表

基本 RS 触发器的功能表见表 5-1。

表 5-1 基本 RS 触发器的功能表

$\bar{R}$	$\bar{S}$	Q	逻辑功能	$\bar{R}$	$\bar{S}$	Q	逻辑功能
0	1	0	置“0”	1	1	不变	保持
1	0	1	置“1”	0	0	不定	不允许



### 3. 特征方程

基本 RS 触发器的输入、输出和原状态之间的关系也可以用特征方程来表示。基本 RS 触发器的特征方程为

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ \bar{R} + \bar{S} = 1 \end{cases}$$

特征方程中的  $\bar{R} + \bar{S} = 1$  是约束条件，它的作用是规定  $\bar{R}$ 、 $\bar{S}$  不能同时为“0”。在知道基本 RS 触发器的输入和原状态的情况下，不用分析触发器的工作过程，仅利用上述特征方程就能知道触发器的输出状态。例如已知触发器原状态为“1”（ $Q^n=1$ ），当  $\bar{R}$  为“0”、 $\bar{S}$  为“1”时，只要将  $Q^n=1$ 、 $\bar{R}=0$ 、 $\bar{S}=1$ （ $S=0$ ）代入方程即可得  $Q^{n+1}=0$ 。也就是说，在知道  $Q^n=1$ 、 $\bar{R}$  为“0”、 $\bar{S}$  为“1”时，通过特征方程计算出来的结果可知触发器状态应为“0”。

## 5.1.2 同步 RS 触发器

### 1. CP 脉冲

在数字电路系统中，往往有很多的触发器，为了使它们能按统一的节拍工作，大多需要加控制脉冲控制各个触发器，只有当控制脉冲来时，各触发器才能工作，该控制脉冲称为时钟脉冲，简称 CP，其波形如图 5-2 所示。

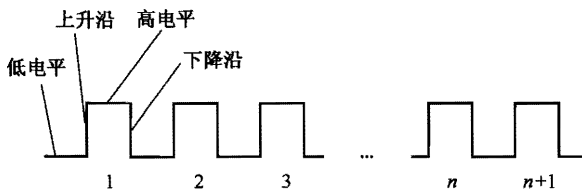


图 5-2 时钟脉冲 CP 的波形

时钟脉冲每个周期可分为 4 个部分：低电平部分、高电平部分、上升沿部分（由低电平变为高电平的部分）和下降沿部分（由高电平变为低电平的部分）。

### 2. 同步 RS 触发器

#### (1) 结构与原理

同步 RS 触发器是在基本 RS 触发器的基础上增加了两个与非门和时钟脉冲输入端构成的，其逻辑结构和图形符号分别如图 5-3（a）、（b）所示。

同步 RS 触发器就好像是在基本 RS 触发器上加了两道门（与非门），该门的开与关受时钟脉冲的控制。

当无时钟脉冲 CP 时，与非门  $G_3$ 、 $G_4$  的输入端 CP 都为“0”，这时无论 R、S 端输入什么信号，与非门  $G_3$ 、 $G_4$  输出都为“1”，这两个“1”送到基本 RS 触发器的输入端，基

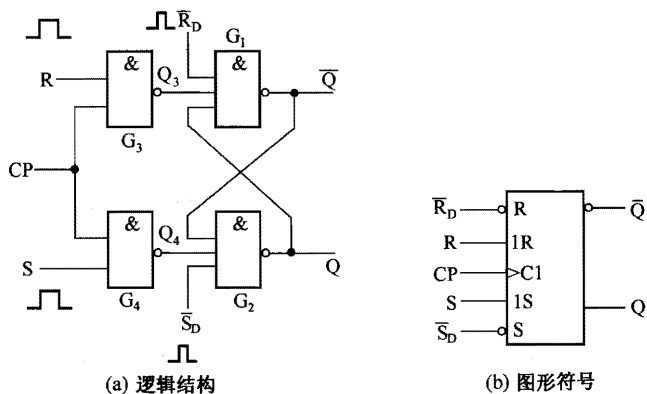


图 5-3 同步 RS 触发器

本 RS 触发器状态保持不变。即无时钟脉冲到来时，无论 R、S 端输入什么信号，触发器的输出状态都不改变，即触发器不工作。

当有时钟脉冲 CP 到来时，时钟脉冲高电平加到与非门 G<sub>3</sub>、G<sub>4</sub> 输入端，相当于两个与非门 CP 端都输入“1”，它们开始工作，R、S 端输入的信号到与非门 G<sub>3</sub>、G<sub>4</sub>，与时钟脉冲的高电平进行与非运算后再送到基本 RS 触发器输入端。这时的同步触发器就相当一个基本的 RS 触发器。

$\bar{R}_D$  为同步 RS 触发器置“0”端， $\bar{S}_D$  为置“1”端。当  $\bar{R}_D$  为“0”时，将触发器置“0”态（Q=0）；当  $\bar{S}_D$  为“0”时，将触发器置“1”态（Q=1）；在不需要置“0”和置“1”时，让  $\bar{R}_D$ 、 $\bar{S}_D$  都为“1”，不影响触发器的工作。

同步 RS 触发器的特点是：无时钟脉冲来时，它不工作；有时钟脉冲来时，其工作过程与基本 RS 触发器一样。

综上所述，同步 RS 触发器在无时钟脉冲时不工作，在有时钟脉冲时，其逻辑功能与基本 RS 触发器相同：置“0”、置“1”和保持。

(2) 功能表

同步 RS 触发器的功能表见表 5-2。

表 5-2 同步 RS 触发器的功能表

R	S	$Q^{n+1}$	逻辑功能	R	S	$Q^{n+1}$	逻辑功能
0	0	$Q^n$	保持	1	0	0	置“0”
0	1	1	置“1”	1	1	不定	不允许

(3) 特征方程

同步 RS 触发器的特征方程为



$$\begin{cases} Q^{n+1} = S + \overline{R}Q \\ R \cdot S = 0 \end{cases}$$

特征方程中的约束条件是  $R \cdot S = 0$ ，它规定  $R$  和  $S$  不能同时为“1”，因为  $R$ 、 $S$  同时为“1”会使送到基本 RS 触发器两个输入端的信号同时为“0”，从而会出现基本 RS 触发器工作状态不定的情况。

### 5.1.3 D 触发器

**D 触发器**又称为**延时触发器**或**数据锁存触发器**，这种触发器在数字系统应用十分广泛，它可以组成锁存器、寄存器和计数器等部件。

#### 1. 结构与原理

图 5-4 (a) 所示是 D 触发器的典型逻辑结构，它是在同步 RS 触发器的基础上增加一个非门构成的。D 触发器常用图 5-4 (b) 所示的图形符号表示。

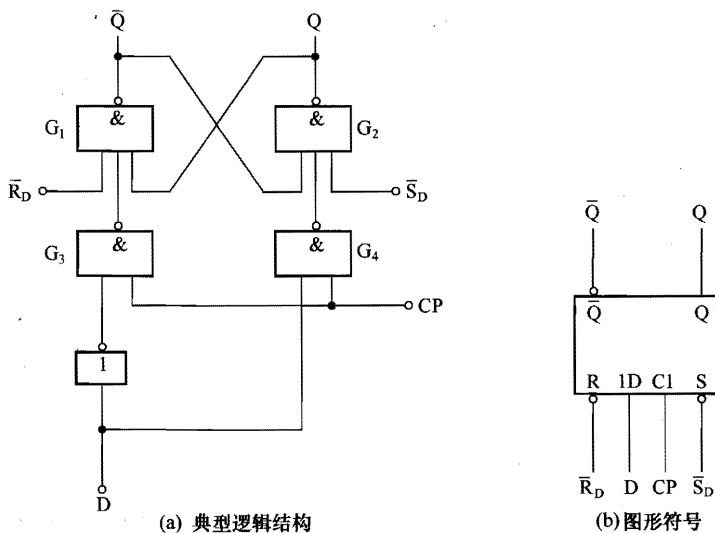


图 5-4 D 触发器

从图中可以看出，D 触发器是在同步 RS 触发器的基础上增加一个非门构成的，由于非门倒相作用，使得门  $G_3$  和  $G_4$  的输入始终相反，有效地避免了同步 RS 触发器的  $R$ 、 $S$  端同时输入“1”导致触发器出现不定状态。D 触发器与同步 RS 触发器一样，只有时钟脉冲来时才能工作。

D 触发器工作原理说明如下。

(1) 当无时钟脉冲到来时（即  $CP=0$ ）

与非门  $G_3$ 、 $G_4$  都处于关闭状态，无论  $D$  端输入何值，均不会影响与非门  $G_1$ 、 $G_2$ ，触

发器保持原状态。

(2) 当有时钟脉冲到来时（即 CP=1）

这时触发器的工作可分两种情况：

若 D=0，则与非门 G<sub>3</sub>、G<sub>4</sub> 输入分别为“1”和“0”，相当于同步 RS 触发器 R=1、S=0，触发器的状态变为“0”，即 Q=0。

若 D=1，则与非门 G<sub>3</sub>、G<sub>4</sub> 输入分别为“0”和“1”，相当于同步 RS 触发器的 R=0、S=1，触发器的状态变为“1”，即 Q=1。

综上所述，D 触发器的逻辑功能是：在无 CP 脉冲时不工作；在有 CP 脉冲时，触发器的输出 Q 与输入 D 的状态相同。

2. 状态表

D 触发器的状态表见表 5-3。

表 5-3 D 触发器的状态表

D	$Q^{n+1}$
0	0
1	1

3. 特征方程

D 触发器的特征方程为

$Q^{n+1}=D$

4. 常用 D 触发器芯片

74LS374 是一种常用 D 触发器芯片，内部有 8 个相同的 D 触发器，其各引脚功能如图 5-5 所示，其状态表见表 5-4。

74LS374 的 1D~8D 和 1Q~8Q 分别为内部 8 个触发器的输入、输出端。CLK 为时钟脉冲输入端，该端输入的脉冲会送到内部每个 D 触发器的 CP 端，CLK 端标注的“V”表示当时钟信号上升沿来时，触发器输入有效。OE 为公共输出控制端，当 OE=H 时，8 个触

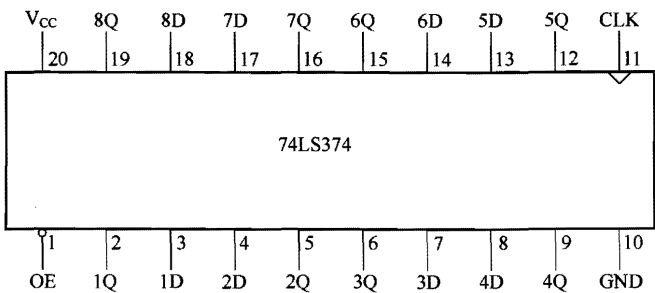


图 5-5 74LS34 的各引脚功能



表 5-4 74LS374 的状态表

OE	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	x	Q <sub>0</sub>
H	x	x	Z

发器的输入端和输出端之间处于高阻状态；当 OE=L 且 CLK 脉冲上升沿来时，D 端数据通过触发器从 Q 端输出；当 OE=L 且 CLK 脉冲为低电平时，Q 端输出保持不变。

74LS374 内部有 8 个 D 触发器，可以根据需要全部使用或个别使用。例如使用第 7、8 个触发器，若 8D=1、7D=0，当 OE=L 且 CLK 端 CP 脉冲上升沿来时，输入端数据通过触发器，输出端 8Q=1、7Q=0，当 CP 脉冲变为低电平后，即使 D 端数据变化，Q 端数据不再变化，即输出数据被锁定，因此 D 触发器常用来构成数据锁存器。

5.1.4 JK 触发器

1. 结构与原理

图 5-6 (a) 所示是 JK 触发器的典型逻辑结构，它是在同步 RS 触发器的基础上从输出端引出两条反馈线，将 Q 端与 R 端相连， $\bar{Q}$  端与 S 端相连，再加上两个输入端 J 和 K 构成的。JK 触发器常用图 5-6 (b) 所示的图形符号表示。

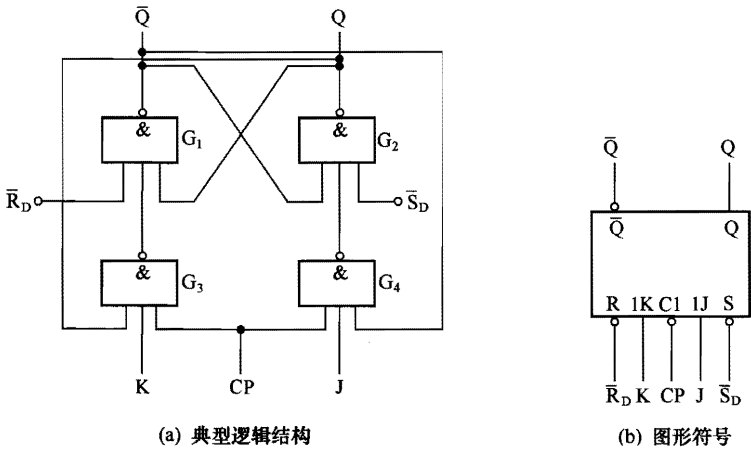
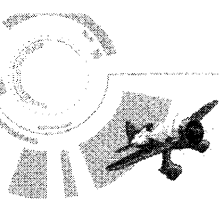


图 5-6 JK 触发器

JK 触发器工作原理说明如下。





(1) 当无时钟脉冲到来时（即  $CP=0$ ）

与非门  $G_3$ 、 $G_4$  均处于关闭状态，无论  $J$ 、 $K$  输入何值均不影响与非门  $G_1$ 、 $G_2$ ，触发器状态保持不变。

(2) 当有时钟脉冲到来时（即  $CP=1$ ）

这时触发器工作的可分为以下四种情况：

① 当  $J=1$ 、 $K=1$  时。若触发器原状态为  $Q=0$  ( $\bar{Q}=1$ )，通过反馈线使与非门  $G_3$  输出为“1”，与非门  $G_4$  输出为“0”，与非门  $G_3$  的“1”和与非门  $G_4$  的“0”加到  $G_1$ 、 $G_2$  构成的基本 RS 触发器输入端，触发器状态由“0”变为“1”；若触发原状态为  $Q=1$  ( $\bar{Q}=0$ )，通过反馈线使与非门  $G_3$  输出为“0”，与非门  $G_4$  输出为“1”，触发器状态由“1”变为“0”。

由此可以看出，当  $J=1$ 、 $K=1$ ，并且有时钟脉冲到来时（即  $CP=1$ ），触发器状态翻转（即新状态与原状态相反）。

② 当  $J=1$ 、 $K=0$  时。若触发器原状态为  $Q=1$  ( $\bar{Q}=0$ )，则与非门  $G_3$ 、 $G_4$  均输出“1”，触发器状态不变，仍为“1”；若触发器原状态为  $Q=0$  ( $\bar{Q}=1$ )，则与非门  $G_3$ 、 $G_4$  均输出“1”，触发器状态变为“1”。

由此可以看出，当  $J=1$ 、 $K=0$ ，并且有时钟脉冲到来时，无论触发器原状态为“0”还是“1”，**现均变为“1”**。

③ 当  $J=0$ 、 $K=1$  时。若触发器原状态为  $Q=0$  ( $\bar{Q}=1$ )，与非门  $G_3$ 、 $G_4$  输出均为“1”，触发器状态不变（ $Q$  仍为“0”）；若触发器原状态为  $Q=1$  ( $\bar{Q}=0$ )，则与非门  $G_3$  输出为“0”，与非门  $G_4$  输出“1”，触发器状态变为“0”。

由此可见，当  $J=0$ 、 $K=1$ ，并且有时钟脉冲到来时，无论触发器原状态如何，**现均变为“0”**。

④ 当  $J=0$ 、 $K=0$  时。无论触发器原状态如何，与非门  $G_3$ 、 $G_4$  均输出为“1”，触发器保持原状态不变。

由此可见，当  $J=0$ 、 $K=0$ ，触发器的状态保持不变。

从上面的分析可以看出，JK 触发器具有的逻辑功能是：翻转、置“1”、置“0”和保持。

## 2. 功能表

JK 触发器的功能表见表 5-5。

表 5-5 JK 触发器的功能表

J	K	$Q^{n+1}$	J	K	$Q^{n+1}$
0	0	$Q^n$ (保持)	1	0	1 (置“1”)
0	1	0 (置“0”)	1	1	$\bar{Q}^n$ (翻转)





3. 特征方程

JK 触发器特征方程为

$$Q^{n+1}=J\overline{Q}^n+\overline{K}Q^n$$

4. 常用 JK 触发器芯片

74LS73 是一种常用 JK 触发器芯片，内部有 2 个相同的 JK 触发器，其各引脚功能及内部结构如图 5-7 所示，其状态表见表 5-6。

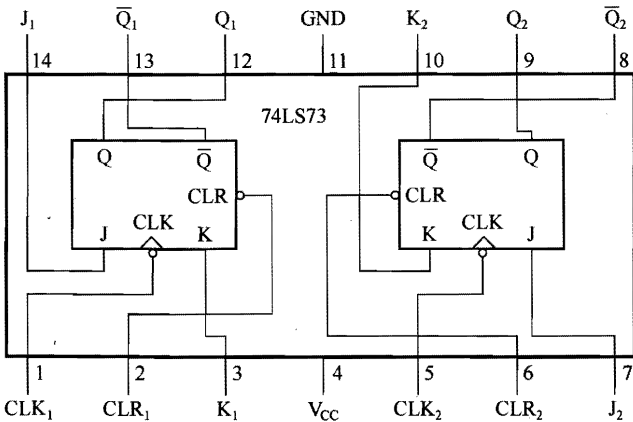


图 5-7 74LS73 的各引脚功能及内部结构

表 5-6 74LS73 的状态表

输 入				输出及功能	
CLR	CLK	J	K	Q	$\overline{Q}$
L	×	×	×	L	H (清 0)
H	↓	L	L	$Q_0$	$\overline{Q}_0$ (保持)
H	↓	H	H	$\overline{Q}_0$	$Q_0$ (翻转)
H	↓	H	L	H	L (置 1)
H	↓	L	H	L	H (置 0)
H	H	×	×	$Q_0$	$\overline{Q}_0$

74LS73 的 CLR 端为清 0 端，当 CLR=0 时，无论 J、K 端输入为何值，Q 端输出都为 0。CLK 端为时钟脉冲 CP 输入端，当 CP 为高电平时，J、K 端输入无效，触发器输出状态不变；在 CP 下降沿来且 CLR=1 时，J、K 端输入不同值，触发器具有保持、翻转、置“1”和置“0”功能。

### 5.1.5 T 触发器

T 触发器又称计数型触发器，将 JK 触发器的 J、K 两个输入端连接在一起作为一个输入端就构成了 T 触发器。

#### 1. 结构与原理

图 5-8 (a) 所示是 T 触发器的典型逻辑结构，T 触发器常用图 5-8 (b) 所示的图形符号表示。

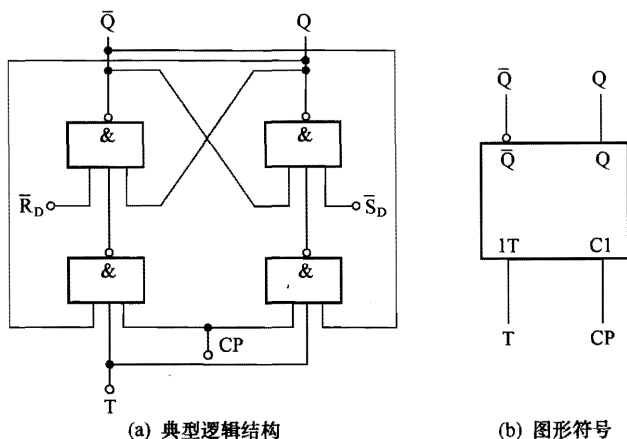


图 5-8 T 触发器

由图 5-8 (a) 可以看出，T 触发器可以看作是 JK 触发器在  $J=0$ 、 $K=0$  和  $J=1$ 、 $K=1$  时的情况。从 JK 触发器工作原理可知，当 T 触发器 T 端输入为“0”时，相当于  $J=0$ 、 $K=0$ ，触发器的状态保持不变；当 T 触发器 T 端输入为“1”时，相当于  $J=1$ 、 $K=1$ ，触发器的状态翻转（即新状态与原状态相反）。

由上述分析可知，T 触发器具有的逻辑功能是：“保持”和“翻转”。

如果将 T 端固定接高电平“1”（即  $T=1$ ），这样的触发器称为 T' 触发器，因为 T 端始终为“1”，所以其输出状态仅与时钟脉冲 CP 有关，每到来一个时钟脉冲，CP 端就会由“0”变为“1”一次，触发器状态就会变化一次。

#### 2. 功能表

T 触发器的功能表见表 5-7。

表 5-7 T 触发器的功能表

T	$Q^{n+1}$
0	$Q^n$ （保持）
1	$\bar{Q}^n$ （翻转）



### 3. 特征方程

T 触发器的特征方程为

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

## 5.1.6 主从触发器和边沿触发器

前面介绍的大多数触发器都加有时钟脉冲 CP, 当 CP 来到时触发器工作, CP 过后触发器不工作。给触发器加时钟脉冲的目的是让触发器每来一个时钟脉冲状态就变化一次, 但如果在时钟脉冲持续期间, 输入信号连续发生变化, 那么触发器的状态也会随之连续发生变化。在一个时钟脉冲持续期间, 触发器的状态连续多次变化的现象称为空翻。克服空翻常用的方法是采用主从触发器或边沿触发器。

### 1. 主从触发器

主从触发器的种类比较多, 常见的有主从 RS 触发器、主从 JK 触发器等, 这里以图 5-9 所示的主从 JK 触发器为例来说明主从触发器工作原理。

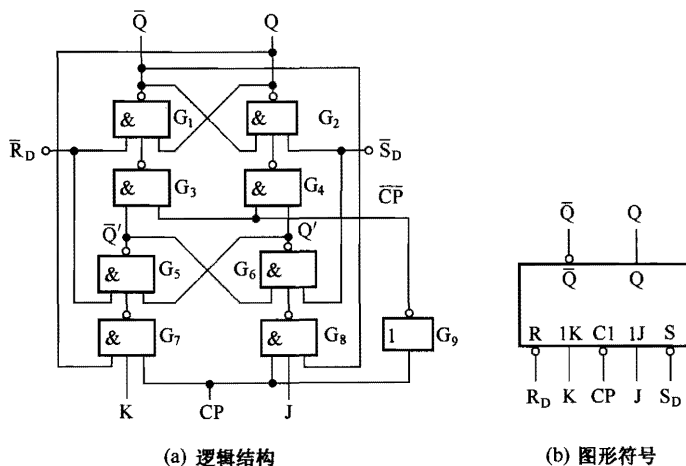


图 5-9 主从 JK 触发器

主从 JK 触发器由主触发器和从触发器组成, 其中与非门  $G_1 \sim G_4$  构成的触发器称为从触发器, 与非门  $G_5 \sim G_8$  构成的触发器称为主触发器, 非门  $G_9$  的作用是让加到与非门  $G_3$ 、 $G_4$  的时钟信号与加到与非门  $G_7$ 、 $G_8$  的时钟信号始终相反,  $\bar{R}_D$ 、 $\bar{S}_D$  正常时为高电平。

(1) 当  $J=1$ 、 $K=1$  时

① 若触发器原状态为  $Q=0$  ( $\bar{Q}=1$ )。在  $CP=1$  时, 与非门  $G_7$ 、 $G_8$  开通, 主触发器工作, 而  $CP=1$  经非门后变为  $\bar{CP}=0$ , 与非门  $G_3$ 、 $G_4$  关闭, 从触发器不工作,  $Q=0$  通过反馈线送至与非门  $G_7$ ,  $G_7$  输出为 “1” ( $G_7$  输入  $Q=0$ 、 $K=1$ ),  $\bar{Q}=1$  通过反馈线送至与非门



$G_8$ ,  $G_8$  输出为“0”(  $G_8$  输入  $\bar{Q}=1$ 、 $J=1$  )。与非门  $G_7$ 、 $G_8$  输出的“1”和“0”送到由  $G_5$ 、 $G_6$  构成的基本 RS 触发器的输入端, 进行置“1”,  $Q'=1$ , 而  $\bar{Q}'=0$ 。主触发器状态由“0”变为“1”。

在  $CP=0$  时, 与非门  $G_7$ 、 $G_8$  关闭, 主触发器不工作, 而  $CP=0$  经非门后变为  $\overline{CP}=1$ , 与非门  $G_3$ 、 $G_4$  开通,  $\bar{Q}'=0$  送到与非门  $G_3$ ,  $G_3$  输出“1”, 而  $\bar{Q}'=1$  送到与非门  $G_4$ ,  $G_4$  输出“0”。与非门  $G_3$ 、 $G_4$  输出的“1”和“0”送到由  $G_1$ 、 $G_2$  构成的基本 RS 触发器的输入端, 对它进行置“1”, 即  $Q=1$ 、 $\bar{Q}=0$ 。

② 若触发器原状态为  $Q=1$  (  $\bar{Q}=0$  )。在  $CP=1$  时, 与非门  $G_7$ 、 $G_8$  开通, 主触发器工作, 而  $CP=1$  经非门后变为  $\overline{CP}=0$ , 与非门  $G_3$ 、 $G_4$  关闭, 从触发器不工作,  $Q=1$  通过反馈线送至与非门  $G_7$ ,  $G_7$  输出为“0”,  $\bar{Q}=0$  通过反馈线送至与非门  $G_8$ ,  $G_8$  输出为“1”。与非门  $G_7$ 、 $G_8$  输出的“0”和“1”送到由与非门  $G_5$ 、 $G_6$  构成的基本 RS 触发器的输入端, 对该基本 RS 触发器进行置“0”,  $\bar{Q}'=0$ , 而  $Q'=1$ 。主触发器状态由“1”变为“0”。

在  $CP=0$  时, 与非门  $G_7$ 、 $G_8$  关闭, 主触发器不工作, 而  $CP=0$  经非门后变为  $\overline{CP}=1$ , 与非门  $G_3$ 、 $G_4$  开通,  $\bar{Q}'=1$  送到与非门  $G_3$ ,  $G_3$  输出 0, 而  $\bar{Q}'=0$  送到与非门  $G_4$ ,  $G_4$  输出“1”。与非门  $G_3$ 、 $G_4$  输出的“0”和“1”送到由与非门  $G_1$ 、 $G_2$  构成的基本 RS 触发器的输入端, 对它进行置“0”, 即  $Q=0$ 、 $\bar{Q}=1$ 。

由以上分析可以看出, 当  $J=1$ 、 $K=1$ , 并且在时钟脉冲  $CP$  到来时 (  $CP=1$  ), 主触发器工作, 从触发器不工作; 而时钟脉冲过后 (  $CP$  由“1”变为“0” ), 主触发器不工作, 从触发器工作。在  $J=1$ 、 $K=1$  时, 主从 JK 触发器的逻辑功能是翻转。

(2) 当  $J=1$ 、 $K=0$  时

当  $J=1$ 、 $K=0$  时, 主从 JK 触发器的功能是置“1”。工作过程分析与上述相同, 限于篇幅, 这里省略。

(3) 当  $J=0$ 、 $K=1$  时

当  $J=0$ 、 $K=1$  时, 主从 JK 触发器的功能是置“0”。

(4) 当  $J=0$ 、 $K=0$  时

当  $J=0$ 、 $K=0$  时, 主从 JK 触发器的功能是保持。

由此可见, 主从 JK 触发器的逻辑功能与 JK 触发器是一样的, 都具有翻转、置“1”、置“0”和保持的功能。但因为主从 JK 触发器同时拥有主触发器和从触发器, 当一个触发器工作时, 另一个触发器不工作, 将输入端与输出端隔离开来, 有效地解决了输入信号变化对输出的影响问题。

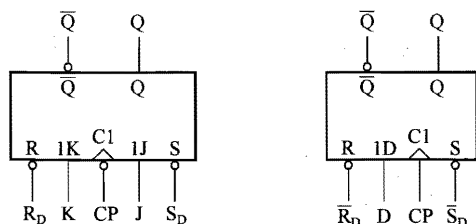
## 2. 边沿触发器

边沿触发器是一种克服空翻性能更好的触发器。边沿触发器只有在  $CP$  脉冲上升沿或



下降沿来时输入才有效, 其他期间处于封锁状态, 即使输入信号变化也不会影响触发器的输出状态, 因为 CP 脉冲上升沿或下降沿持续时间很短, 在短时间输入信号因干扰发生变化的可能性很小, 故边沿触发器的抗干扰性很强。

图 5-10 所示是两种常见的边沿触发器, CP 端的“ $\wedge$ ”表示边沿触发方式, 同时带小圆圈表示下降沿触发, 无小圆圈表示上升沿触发。图 5-10 (a) 所示为下降沿触发型 JK 触发器, 当 CP 脉冲下降沿来时, JK 触发器的输出状态会随 JK 端输入而变化, CP 脉冲下降沿过后, 即使输入发生变化, 输出不会变化。图 5-10 (b) 所示为上升沿触发型 D 触发器, 当 CP 脉冲上升沿来时, D 触发器的输出状态会随 D 端输入而变化。



(a) 下降沿触发型 JK 触发器

(b) 上升沿触发型 D 触发器

图 5-10 边沿触发器

## 5.2 寄存器与移位寄存器

### 5.2.1 寄存器

寄存器是一种能存取二进制数据的电路。将数据存入寄存器的过程称为“写”, 当往寄存器中“写”入新数据时, 以前存储的数据会消失。将数据从寄存器中取出的过程称为“读”, 数据被“读”出后, 寄存器中的该数据并不会消失, 这就像阅读图书, 书上的文字被人读取后, 文字仍在书上。

寄存器能存储数据是因为它采用了具有记忆功能的电路——触发器, 一个触发器能存放 1 位二进制数。一个 8 位寄存器至少需要 8 个触发器组成, 它能存放 8 个 0、1 这样的二进制数。

#### 1. 结构与原理

寄存器主要由触发器组成, 图 5-11 所示是一个由 D 触发器构成的 4 位寄存器, 它用了 4 个 D 触发器, 这些触发器在 CP 脉冲的下降沿到来时才能工作,  $\overline{C_r}$  为复位端, 它同时接到 4 个触发器的复位端。

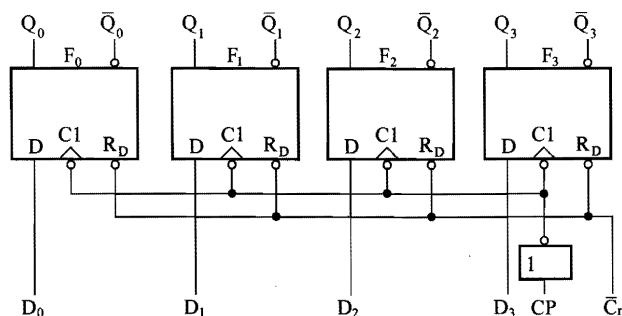


图 5-11 由 D 触发器构成的 4 位寄存器

下面分析图 5-11 所示寄存器的工作原理，为了分析方便，这里假设输入的 4 位数码  $D_3D_2D_1D_0=1011$ 。

当时钟脉冲 CP 为低电平时， $CP=0$ ，经非门后变成高电平，高电平送到 4 个触发器的 C1 端（时钟控制端），由于这 4 个触发器是下降沿触发有效，现  $C1=1$ ，故它们不工作。

当时钟脉冲 CP 上升沿来时，经非门后脉冲变成下降沿，它送到 4 个触发器的 C1 端，4 个触发器工作，如果这时输入的 4 位数码  $D_3D_2D_1D_0=1011$ ，因为 D 触发器的输出和输入是相同的，所以 4 个 D 触发器的输出  $Q_3Q_2Q_1Q_0=1101$ 。

CP 时钟脉冲上升沿过后，4 个 D 触发器都不工作，输出  $Q_3Q_2Q_1Q_0=1101$  不会变化，即输入的 4 位数码 1101 被保存下来了。

$\overline{C_r}$  为复位端，当需要将 4 个触发器进行清零时，可以在  $\overline{C_r}$  端加一个低电平，该低电平同时加到 4 个触发器的复位端，对它们进行复位，结果  $Q_3Q_2Q_1Q_0=0000$ 。

## 2. 常用寄存器芯片

74LS175 是一个由 D 触发器构成的 4 位寄存器芯片，内部有 4 个 D 触发器，其各引脚功能如图 5-12 所示，其状态表见表 5-8。

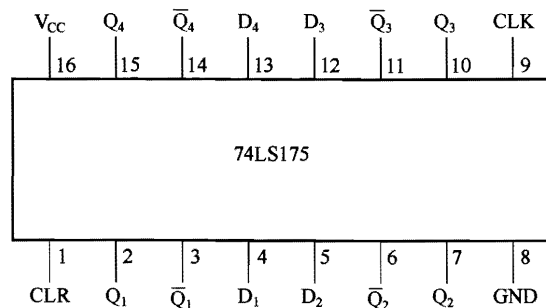


图 5-12 74LS175 的各引脚功能



表 5-8 74LS175 状态表

输 入			输 出	
CLR	CLK	D	Q	$\bar{Q}$
L	$\times$	$\times$	L	H
H	$\uparrow$	H	H	L
H	$\uparrow$	L	L	H
H	L	$\times$	$Q_0$	$\bar{Q}_0$

74LS175 的 CLR 端为清 0 端, 当 CLR=0 时, 对寄存器进行清 0, Q 端输出都为 0 ( $\bar{Q}$  都为 1)。CLK 端为时钟脉冲 CP 输入端, 当 CP 为低电平时, D 端输入无效, 触发器输出状态不变; 在 CP 上升沿来且 CLR=1 时, D 端输入数据被寄存器保存下来,  $Q=D$ 。

## 5.2.2 移位寄存器

移位寄存器简称移存器, 它除了具有寄存器存储数据的功能外, 还有对数据进行移位的功能。移位寄存器可按下列方式分类:

按数据的移动方向来分, 有左移寄存器、右移寄存器和双向移位寄存器。

按输入、输出方式来分, 有串行输入-并行输出、串行输入-串行输出、并行输入-并行输出和并行输入-串行输出方式。

### 1. 左移寄存器

图 5-13 所示是一个由 D 触发器构成的 4 位左移寄存器。

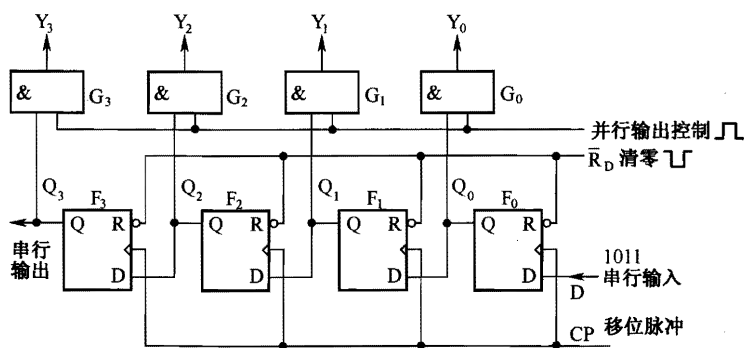


图 5-13 4 位左移寄存器

从图 5-13 中可以看出, 该左移寄存器是由 4 个 D 触发器和 4 个与门电路构成的。 $\bar{R}_D$  端为复位清零端, 当负脉冲通过该端加到 4 个触发器时, 各个触发器都被复位, 状态都变为





“0”。CP 端为移位脉冲（时钟脉冲），只有移位脉冲上升沿加到各个触发器 CP 端时，这些触发器才能工作。

左移寄存器的数据从右端第一个 D 触发器  $F_0$  的 D 端输入，由于数据是一个接一个输入 D 端，这种逐位输入数据的方式称为串行输入。左移寄存器的数据输出有两种方式：

① 从最左端触发器  $F_3$  的  $Q_3$  输出端将数据一个接一个输出（串行输出）；

② 从 4 个触发器的 4 个输出端同时输出 4 位数，这种同时输出多位数据的方式称为并行输出，这 4 位数再通过 4 个输出门传送到 4 个输出端  $Y_3Y_2Y_1Y_0$ 。

左移寄存器的工作过程分两步进行。

第一步：先对寄存器进行复位清零。在  $\bar{R}_D$  端输入一个负脉冲，该脉冲分别加到 4 个触发器的复位清零端（R 端），4 个触发器的状态都变为“0”，即  $Q_0=0$ 、 $Q_1=0$ 、 $Q_2=0$ 、 $Q_3=0$ 。

第二步：从输入端逐位输入数据，设输入数据是 1011。

当第 1 个移位脉冲上升沿送到 4 个 D 触发器时，各个触发器开始工作，此时第 1 位输入数“1”送到第 1 个触发器  $F_0$  的 D 端， $F_0$  输出  $Q_0=1$ （D 触发器的输入与输出相同），移位脉冲过后各触发器不工作。

当第 2 个移位脉冲上升沿到来时，各个触发器又开始工作，触发器  $F_0$  的输出  $Q_0=1$  送到第 2 个触发器  $F_1$  的 D 端， $F_1$  输出  $Q_1=1$ ，与此同时，触发器  $F_0$  的 D 端输入第 2 位数据“0”， $F_0$  输出  $Q_0=0$ ，移位脉冲过后各触发器不工作。

当第 3 个移位脉冲到上升沿来时，触发器  $F_1$  输出端  $Q_1=1$  移至触发器  $F_2$  输出端， $Q_2=1$ ，而触发器  $F_0$  的  $Q_0=0$  移至触发器  $F_1$  输出端， $Q_1=0$ ，触发器  $F_0$  输入的第 3 位数“1”移到输出端， $Q_0=1$ 。

当第 4 个移位脉冲上升沿到来时，触发器  $F_2$  输出端  $Q_2=1$  移至触发器  $F_3$  输出端， $Q_3=1$ ，触发器  $F_1$  的  $Q_1=0$  移至触发器  $F_2$  输出端， $Q_2=0$ ，触发器  $F_0$  的  $Q_0=1$  移至触发器  $F_1$  输出端， $Q_1=1$ ，触发器  $F_0$  输入的第 4 位数“1”移到输出端， $Q_0=1$ 。

4 个移位脉冲过后，4 个触发器的输出端  $Q_3Q_2Q_1Q_0=1011$ ，它们加到 4 个与门  $G_3 \sim G_0$  的输入端，如果这时有并行输出控制正脉冲（即为 1）加到各与门，这些与门打开，1011 这 4 位数会同时送到输出端，而使  $Y_3Y_2Y_1Y_0=1011$ 。

如果需要将 1011 这 4 位数从  $Q_3$  端逐个移出（串行输出），必须再用 4 个移位脉冲对寄存器进行移位。从某一位数输入寄存器开始，需要再来 4 个脉冲该位数才能从寄存器串行输出端输出，也就是说移位寄存器具有延时功能，其延迟时间与时钟脉冲周期有关，在数字电路系统中常将它作为数字延时器。

## 2. 右移寄存器

图 5-14 所示是一个由 JK 触发器构成的 4 位右移寄存器。

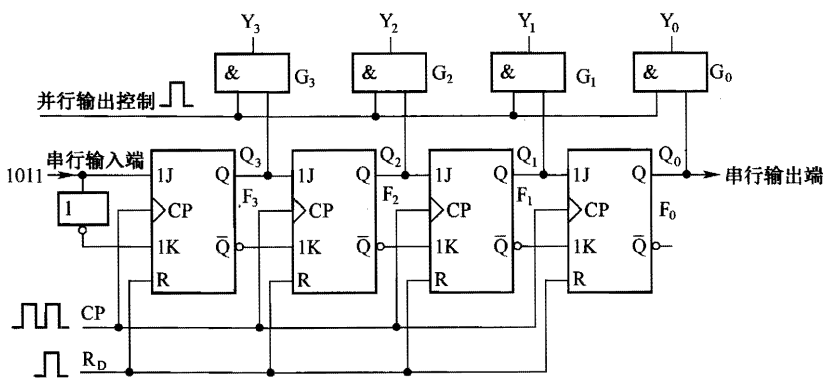


图 5-14 4 位右移寄存器

从图 5-14 中可以看出, 该寄存器是由 4 个 JK 触发器、4 个与门和一个非门构成的。数据从左端 JK 触发器  $F_3$  的 J 端输入, 如果要输入 4 位数  $D_3D_2D_1D_0$ , 其逐位输入的顺序是  $D_0$ 、 $D_1$ 、 $D_2$ 、 $D_3$ , 即由低位到高位, 而左移寄存器恰好相反, 其是先高位再低位。

输入端的 JK 触发器的 J、K 端之间接了一个非门, 后面几个 JK 触发器的 J、K 端则依次接前一个触发器的 Q 端和  $\bar{Q}$  端, 这样 4 个触发器的 J、K 端的输入始终相反。因为 JK 触发器具有置“1”( $J=1$ 、 $K=0$  时)、置“0”( $J=0$ 、 $K=1$  时)和翻转( $J=1$ 、 $K=1$ )、保持( $J=0$ 、 $K=0$  时)的逻辑功能, 而当 J、K 端相反时具有的功能是置“1”( $Q=1$ )和置“0”( $Q=0$ ), 并且这种情况下 Q 的状态和 J 的输入状态相同, 这与 D 触发器功能是一样的, 这里的 J 端相当于 D 触发器的 D 端。

右移寄存器的工作过程与左移寄存器大致相同, 也分两步进行。

第一步: 先对寄存器进行复位清零。在  $R_D$  端输入一个正脉冲, 该脉冲分别加到 4 个 JK 触发器的复位清零端 (R 端), 4 个触发器的状态都变为“0”, 即  $Q_0=0$ 、 $Q_1=0$ 、 $Q_2=0$ 、 $Q_3=0$ 。

第二步: 从输入端逐位输入数据, 这里仍假设输入数据是 1011。

当第 1 个时钟脉冲上升沿送到 4 个 JK 触发器时, 各个触发器开始工作, 此时第 1 位输入数“1” (最低位的 1) 送到触发器  $F_3$  的 J 端, 经非门后  $K=0$ , JK 触发器  $F_3$  相当于 D 触发器, 输出端  $Q_3$  与 J 端相同,  $F_3$  输出为  $Q_3=1$ , 时钟脉冲过后各触发器不工作, 此时  $Q_3Q_2Q_1Q_0=1000$ 。

当第 2 个时钟脉冲上升沿到来时, 各个触发器又开始工作, 触发器  $F_3$  的输出  $Q_3=1$  送到触发器  $F_2$  的 J 端,  $F_2$  输出  $Q_2=1$ , 与此同时, 触发器  $F_3$  的 J 端输入第 2 位数据“1”,  $F_3$  输出  $Q_3=1$ , 时钟脉冲过后各触发器不工作, 此时  $Q_3Q_2Q_1Q_0=1100$ 。

当第 3 个时钟脉冲上升沿到来时, 寄存器工作过程与上述相同,  $Q_3Q_2Q_1Q_0=0110$ 。

当第 4 个时钟脉冲上升沿到来时, 寄存器工作, 结果  $Q_3Q_2Q_1Q_0=1011$ 。

4 个时钟脉冲过后, 4 个触发器的输出端  $Q_3Q_2Q_1Q_0=1011$ , 它们加到 4 个与门  $G_3 \sim G_0$  的输入端, 如果这时有并行输出控制正脉冲 (即为 1) 加到各与门, 这些与门打开, 1011



这4位数会同时送到输出端，而使  $Y_3Y_2Y_1Y_0=1011$ 。

与左移寄存器一样，右移寄存器除了具有能从  $Y_3Y_2Y_1Y_0$  同时输出数据的并行输出功能外，也有从  $Q_0$  端逐位输出数据的串行输出功能。

### 3. 双向移位寄存器

前面介绍的两种移位寄存器只能单独向左或向右移动数据，所以常统称为单向移位寄存器。而双向移位寄存器解决了单向移位问题，在移位方向控制信号的控制下，既可以左移又可以右移。

图 5-15 所示是一个 4 位双向移位寄存器。

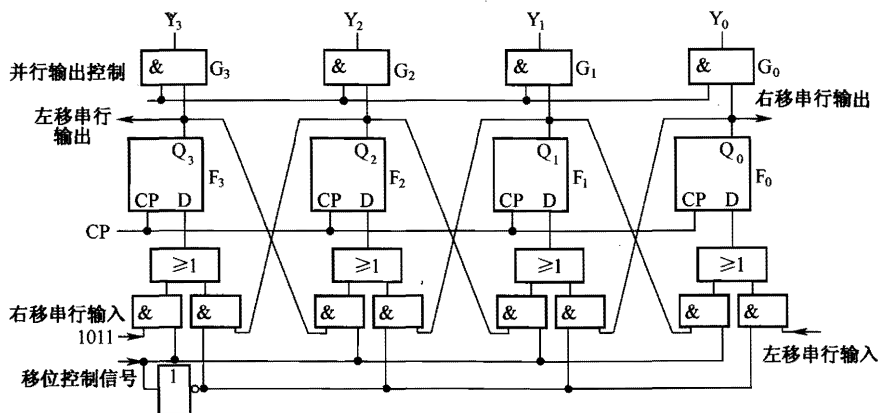


图 5-15 4 位双向移位寄存器

从图 5-15 中可以看出，该寄存器主要由 4 个 D 触发器和一些与门、或门及非门构成。双向移位寄存器有左移串行输入端、左移串行输出端和右移串行输入端、右移串行输出端，另外还有并行输出端。双向移位寄存器的移位方向是受移位控制信号控制的。

#### (1) 右移工作过程

当移位控制信号端为“1”时，“1”加给右移串行输入端的与门，该与门打开，而“1”经非门变为“0”后加到左移串行输入端的与门，此与门关闭，寄存器工作在右移状态。下面分析假设右移输入端输入数据 1011。

当第 1 个时钟脉冲到来时，4 个 D 触发器开始工作，这时从右移输入端输入数据“1”，它经与门和或门后仍为“1”，送到触发器  $F_3$  的 D 端， $F_3$  输出  $Q_3=1$ 。

当第 2 个时钟脉冲到来时，4 个 D 触发器开始工作， $F_3$  的  $Q_3=1$  加到触发器  $F_2$  下面的与门，再经与门和或门后送到触发器  $F_2$  的 D 端， $F_2$  输出  $Q_2=1$ ，与此同时，从右移输入端输入第 2 位数“1”，它经与门和或门后仍为“1”，送到触发器  $F_3$  的 D 端， $F_3$  输出  $Q_3=1$ 。

当第 3 个时钟脉冲到来时， $F_2$  的  $Q_2=1$  加到触发器  $F_1$  下面的与门，再经与门和或门后送到触发器  $F_1$  的 D 端， $F_1$  输出  $Q_1=1$ ， $F_3$  的  $Q_3=1$  加到触发器  $F_2$  下面的与门，再经与门和或门后送到触发器  $F_2$  的 D 端， $F_2$  输出  $Q_2=1$ 。与此同时，从右移输入端输入第 3 位数“0”，



它经与门和或门后仍为 0，送到触发器  $F_3$  的 D 端， $F_3$  输出  $Q_3=0$ 。

当第 4 个时钟脉冲到来时， $F_1$  的  $Q_1=1$  加到触发器  $F_0$  下面的与门，再经与门和或门后送到触发器  $F_0$  的 D 端， $F_0$  输出  $Q_0=1$ ， $F_2$  的  $Q_2=1$  加到触发器  $F_1$  下面的与门，再经与门和或门后送到触发器  $F_1$  的 D 端， $F_1$  输出  $Q_1=1$ ， $F_3$  的  $Q_3=0$  加到触发器  $F_2$  下面的与门，再经与门和或门后送到触发器  $F_2$  的 D 端， $F_2$  输出  $Q_2=0$ ，与此同时，从右移输入端输入第 4 位数“1”，它经与门和或门后仍为“1”，送到触发器  $F_3$  的 D 端， $F_3$  输出  $Q_3=1$ 。

4 个时钟脉冲过后，4 个触发器的输出端  $Q_3Q_2Q_1Q_0=1011$ ，它们加到 4 个与门  $G_3 \sim G_0$  的输入端，如果这时有并行输出控制正脉冲（即为“1”）加到各与门，这些与门打开，1011 这 4 位数会同时送到输出端，而使  $Y_3Y_2Y_1Y_0=1011$ 。

如果再依次来 4 个时钟脉冲，就会从右移串行输出端由低位到高位依次输出 1011。

### (2) 左移工作过程

当移位控制信号端为“0”时，“0”加给右移串行输入端的与门，该与门关闭，而“0”经非门变为“1”后加到左移串行输入端的与门，此与门打开，寄存器工作在左移状态。

设输入的 4 位数据为 1011，它送到左移串行输入端，每到来一个时钟脉冲，4 位数据就按从左到右（也即从高位到低位）的顺序依次移入寄存器。当 4 个时钟脉冲过后，4 位全被移入寄存器，4 个触发器的输出端  $Q_3Q_2Q_1Q_0=1011$ ，这 4 位数据可以通过 4 个与门  $G_3 \sim G_0$  以并行的形式送到输出端。如果再依次来 4 个时钟脉冲，就会从左移串行输出端由高位到低位依次输出 1011。

双向移位寄存器的左移工作原理与右移基本相同，详细的工作过程可参照右移工作过程分析。

## 4. 常用双向移位寄存器芯片 74LS194

74LS194 是一个由 RS 触发器构成的 4 位双向移位寄存器芯片，内部有 4 个 RS 触发器及有关控制电路组成，其各引脚功能如图 5-16 所示，其状态表见表 5-9。

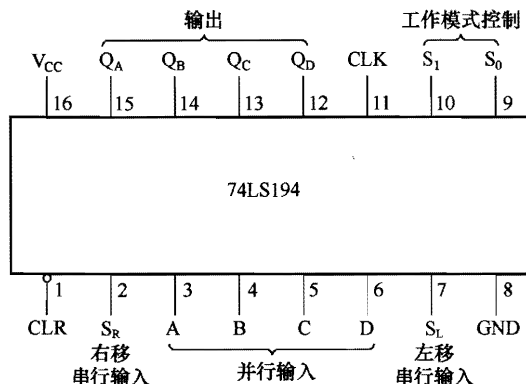


图 5-16 74LS194 的各脚功能

表 5-9 74LS194 状态表

输 入						输 出							
CLR	模 式 控 制		CLK	串 行 输 入		并 行 输 入				Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
	S <sub>1</sub>	S <sub>0</sub>		S <sub>L</sub>	S <sub>R</sub>	A	B	C	D				
L	x	x	x	x	x	x	x	x	x	L	L	L	L
H	x	x	L	x	x	x	x	x	x	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>
H	H	H	↑	x	x	a	b	c	d	a	b	c	d
H	L	H	↑	x	H	x	x	x	x	H	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
H	L	H	↑	x	L	x	x	x	x	L	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Cn</sub>
H	H	L	↑	H	x	x	x	x	x	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>	H
H	H	L	↑	L	x	x	x	x	x	Q <sub>Bn</sub>	Q <sub>Cn</sub>	Q <sub>Dn</sub>	L
H	L	L	x	x	x	x	x	x	x	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>D0</sub>

74LS194 的 CLR 端为清 0 端，当 CLR=0 时，对寄存器进行清 0， $Q_A \sim Q_D$  端输出都为 0。CLK 端为时钟脉冲 CP 输入端，CP 上升沿触发有效。74LS194 有并行预置、左移、右移和禁止移位 4 种工作模式，工作在何种模式受  $S_1$ 、 $S_0$  端控制。 $S_R$  为右移数据输入端， $S_L$  为左移数据输入端，A、B、C、D 为并行数据输入端。

当 CLR=1 且  $S_1=S_0=1$  时，寄存器工作在并行预置模式，在 CP 上升沿来时，A~D 端输入的数据 a、b、c、d 从  $Q_A \sim Q_D$  端输出，CP 上升沿过后， $Q_A \sim Q_D$  端数据保持不变。

当 CLR=1 且  $S_1=0$ 、 $S_0=1$  时，寄存器工作在右移模式，在 CP 上升沿来时， $S_R$  端输入的数据（如 1）被移入寄存器，若移位前  $Q_A$ 、 $Q_B$ 、 $Q_C$ 、 $Q_D$  端数据为  $Q_{An}$ 、 $Q_{Bn}$ 、 $Q_{Cn}$ 、 $Q_{Dn}$ ，右移后， $Q_A$ 、 $Q_B$ 、 $Q_C$ 、 $Q_D$  端数据变为 1、 $Q_{An}$ 、 $Q_{Bn}$ 、 $Q_{Cn}$ 。

当 CLR=1 且  $S_1=1$ 、 $S_0=0$  时，寄存器工作在左移模式，在 CP 上升沿来时， $S_L$  端输入的数据（如 0）被移入寄存器，若移位前  $Q_A$ 、 $Q_B$ 、 $Q_C$ 、 $Q_D$  端数据为  $Q_{An}$ 、 $Q_{Bn}$ 、 $Q_{Cn}$ 、 $Q_{Dn}$ ，左移后， $Q_A$ 、 $Q_B$ 、 $Q_C$ 、 $Q_D$  端数据变为  $Q_{Bn}$ 、 $Q_{Cn}$ 、 $Q_{Dn}$ 、0。

当 CLR=1 且  $S_1=0$ 、 $S_0=0$  时，寄存器工作在禁止移位模式，CP 脉冲触发无效，并行和左移、右移串行输入均无效， $Q_A$ 、 $Q_B$ 、 $Q_C$ 、 $Q_D$  端数据保持不变。

## 5.3 计 数 器

计数器是一种具有计数功能的电路，它主要由触发器和门电路组成，是数字系统中使



用最多的时序逻辑电路之一。计数器不但可用来对脉冲的个数进行计数,还可以用作数字运算、分频、定时控制等。

计数器种类有二进制计数器、十进制计数器和任意进制计数器(或称 $N$ 进制计数器),这些计数器中又有加法计数器(又称递增计数器)和减法计数器(也称递减计数器)之分。

### 5.3.1 二进制计数器

计数器可分为异步计数器和同步计数器。所谓“异步”是指计数器中各电路(一般为触发器)没有统一时钟脉冲控制,或者没有时钟脉冲控制,各触发器状态变化不是发生在同一时刻。而“同步”是指计数器中的各触发器都受到同一时钟脉冲的控制,所有触发器的状态变化都在同一时刻发生。

#### 1. 异步二进制加法计数器

图 5-17 所示是一个 3 位二进制异步加法计数器的电路结构,它由 3 个 JK 触发器组成,其中 J、K 端都悬空,相当于  $J=1$ 、 $K=1$ ,时钟脉冲输入端的“<”和小圆圈表示脉冲下降沿(由“1”变为“0”时)来时工作有效。

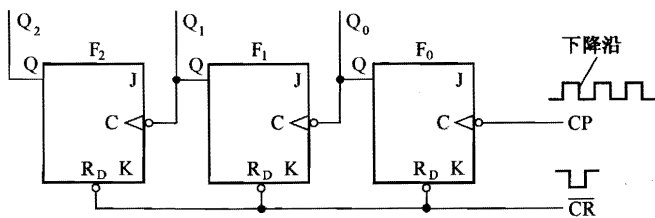


图 5-17 3 位异步二进制加法计数器

计数器的工作过程分为两步。

第一步:计数器复位清零。

在工作前应先对计数器进行复位清零。在复位控制  $\overline{CR}$  端送一个负脉冲到各触发器  $R_D$  端,触发器状态都变为“0”,即  $Q_2Q_1Q_0=000$ 。

第二步:计数器开始计数。

当第 1 个时钟脉冲的下降沿到触发器  $F_0$  的 CP 端时,触发器  $F_0$  开始工作,由于  $J=K=1$ ,JK 触发器的功能是“翻转”,触发器  $F_0$  的状态由“0”变为“1”,即  $Q_0=1$ ,其他触发器状态不变,计数器的输出为  $Q_2Q_1Q_0=001$ 。

当第 2 个时钟脉冲的下降沿到触发器  $F_0$  的 CP 端时, $F_0$  触发器状态又翻转, $Q_0$  由“1”变为“0”,这相当于给触发器  $F_1$  的 CP 端加了一个脉冲的下降沿,触发器  $F_1$  状态翻转, $Q_1$  由“0”变为“1”,计数器的输出为  $Q_2Q_1Q_0=010$ 。

当第3个时钟脉冲下降沿到触发器  $F_0$  的 CP 端时,  $F_0$  触发器状态又翻转,  $Q_0$  由“0”变为“1”,  $F_1$  触发器状态不变  $Q_1=1$ , 计数器的输出为 011。

同样道理, 当第4~7个脉冲到来时, 计数器的  $Q_2Q_1Q_0$  依次变为 100、101、110、111。由此可见, 随着脉冲的不断到来, 计数器的计数值不断递增, 这种计数器称为加法计数器。当再输入一个脉冲时,  $Q_2Q_1Q_0$  又变为 000, 随着时钟脉冲的不断到来, 计数器又重新开始对脉冲进行计数。3 位二进制异步加法计数器的时钟脉冲输入个数与计数器的状态见表 5-10。

表 5-10 3 位二进制异步加法计数器状态表

输入 CP 脉冲序号	计数器状态			输入 CP 脉冲序号	计数器状态		
	$Q_2$	$Q_1$	$Q_0$		$Q_2$	$Q_1$	$Q_0$
0	0	0	0	5	1	0	1
1	0	0	1	6	1	1	0
2	0	1	0	7	1	1	1
3	0	1	1	8	0	0	0
4	1	0	0				

$N$  位二进制加法计数器的最大计数为  $2^N-1$  个, 所以 3 位异步二进制加法计数器最大计数为  $2^3-1=7$  个。

异步二进制加法计数器除了能计数外, 还具有分频作用。3 位异步二进制加法计数器的 CP 脉冲和各触发器输出波形如图 5-18 所示。

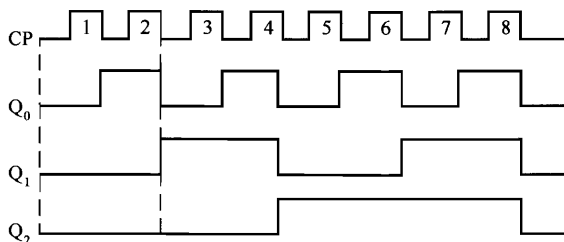


图 5-18 3 位异步二进制加法计数器工作波形图

从波形图可以看出, 当第1个时钟脉冲下降沿来时,  $Q_0$  由“0”变为“1”,  $Q_1$ 、 $Q_2$  状态不变; 当第2个时钟脉冲下降沿来时,  $Q_0$  由“1”变为“0”,  $Q_1$  由“0”变为“1”,  $Q_2$  状态不变。观察波形还可以发现; 每个触发器输出端 ( $Q$  端) 的脉冲信号频率只有输入端 ( $C$  端) 脉冲信号一半, 也就是说, 信号每经一个触发器后频率会降低一半, 这种功能称为“二分频”。由于每个触发器能将输入信号的频率降低一半, 3 位二进制计数器采用 3 个触发器, 它最多能将信号频率降低  $2^3=8$  倍。例如图 5-18 中的 CP 脉冲频率为 1 000Hz, 那么



$Q_0$ 、 $Q_1$ 、 $Q_2$  端输出的脉冲频率分别是 500Hz、250Hz、125Hz。

## 2. 异步二进制减法计数器

异步二进制减法计数器如图 5-19 所示。

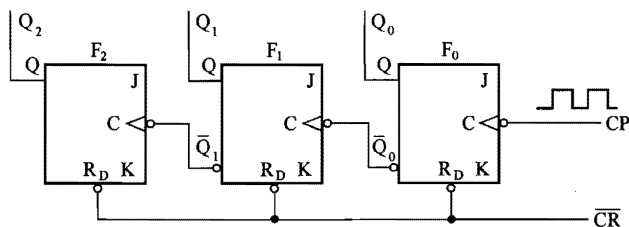


图 5-19 3 位异步二进制减法计数器

该计数器是一个 3 位二进制异步减法计数器，它与前面介绍过的 3 位二进制异步加法计数器一样，是由 3 个 JK 触发器组成，其中 J、K 端都悬空（相当于  $J=1$ 、 $K=1$ ），两者的不同之处在于，减法计数器是将前一个触发器的  $\bar{Q}$  端与下一个触发器的 CP 端相连。

计数器的工作过程分为两步。

第一步：计数器复位清零。

在工作前应先对计数器进行复位清零。在复位控制  $\overline{CR}$  端送一个负脉冲到各触发器  $R_D$  端，触发器状态都变为“0”，即  $Q_2Q_1Q_0=000$ （ $\bar{Q}_2\bar{Q}_1\bar{Q}_0=111$ ）。

第二步：计数器开始计数。

当第 1 个时钟脉冲的下降沿到触发器  $F_0$  的 CP 端（即 C 端）时，触发器  $F_0$  开始工作，由于  $J=K=1$ ，JK 触发器的功能是翻转，触发器  $F_0$  的状态由“0”变为“1”，即  $Q_0=1$ ， $\bar{Q}_0$  由“1”变为“0”，这相当于一个脉冲的下降沿，它送到触发器  $F_1$  的 CP 端，触发器  $F_1$  的状态由“0”变为“1”，即  $Q_1=1$ ， $\bar{Q}_1$  由“1”变为“0”，它送到触发器  $F_2$  的 CP 端，触发器  $F_2$  的状态由“0”变为“1”， $Q_2=1$ ，3 个触发器的状态均为“1”，计数器的输出为  $Q_2Q_1Q_0=111$ 。

当第 2 个时钟脉冲的下降沿到触发器  $F_0$  的 CP 端时，触发器  $F_0$  状态翻转， $Q_0$  由“1”变为“0”， $\bar{Q}_0$  则由“0”变为“1”，触发器  $F_1$  的状态不变，触发器  $F_2$  的状态也不变，计数器的输出为  $Q_2Q_1Q_0=110$ 。

当第 3 个时钟脉冲下降沿到触发器  $F_0$  的 CP 端时， $F_0$  触发器状态又翻转， $Q_0$  由“0”变为“1”， $\bar{Q}_0$  则由“1”变为“0”（相当于脉冲的下降沿），它送到  $F_1$  的 CP 端，触发器  $F_1$  状态翻转， $Q_1$  由“1”变为“0”， $\bar{Q}_1$  则由“0”变为“1”，触发器  $F_2$  状态不变，计数器的输出为 101。

同样道理，当第 4~7 个脉冲到来时，计数器的  $Q_2Q_1Q_0$  依次变为 100、011、010、001。由此可见，随着脉冲的不断到来，计数器的计数值不断递减，这种计数器称为减法计数器。当再给输入一个脉冲时， $Q_2Q_1Q_0$  又变为 000，随着时钟脉冲的不断到来，计数器又





重新开始对脉冲进行计数。3 位异步二进制减法计数器的时钟脉冲输入个数与计数器的状态见表 5-11。

表 5-11 3 位异步二进制减法计数器状态表

输入 CP 脉冲序号	计数器状态			输入 CP 脉冲序号	计数器状态		
	$Q_2$	$Q_1$	$Q_0$		$Q_2$	$Q_1$	$Q_0$
0	0	0	0	5	0	1	1
1	1	1	1	6	0	1	0
2	1	1	0	7	0	0	1
3	1	0	1	8	0	0	0
4	1	0	0				

异步计数器的电路简单，但由于各个触发器的状态是逐位改变的，所以计数速度较慢。

### 3. 同步二进制加法计数器

3 位同步二进制加法计数器如图 5-20 所示。

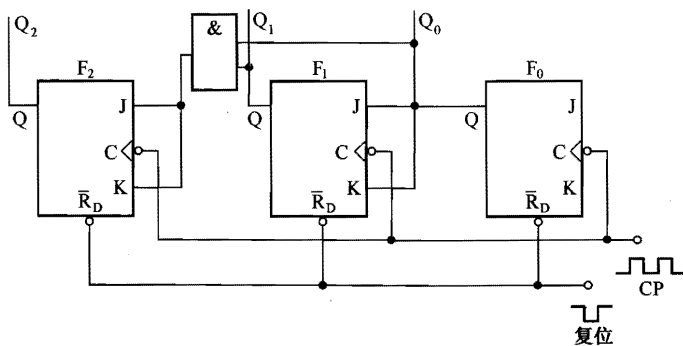


图 5-20 3 位同步二进制加法计数器

该计数器是一个 3 位同步二进制加法计数器，它由 3 个 JK 触发器和一个与门组成。与异步计数器不同的是，它将计数脉冲同时送到每个触发器的 CP 端，计数脉冲到来时，各个触发器同时工作，这种形式的计数器称为同步计数器。

计数器的工作过程分为两步。

第一步：计数器复位清零。

在工作前应先对计数器进行复位清零。在复位控制端送一个负脉冲到各触发器  $R_D$  端，触发器状态都变为“0”，即  $Q_2Q_1Q_0=000$ 。

第二步：计数器开始计数。

当第 1 个时钟脉冲的下降沿到来时，3 个触发器同时工作。在时钟脉冲下降沿到来时，



触发器  $F_0$  的  $J=K=1$  ( $J$ 、 $K$  悬空为“1”), 触发器  $F_0$  状态翻转, 由“0”变为“1”; 在时钟脉冲下降沿到来时, 触发器  $F_1$  的  $J=K=Q_0=0$  (注: 在时钟脉冲下降沿刚到来时, 触发器  $F_0$  状态还未变为“1”), 触发器  $F_1$  状态保持不变, 仍为“0”; 在时钟脉冲下降沿到来时, 触发器  $F_2$  的  $J=K=Q_0 \cdot Q_1=0 \cdot 0=0$  (注: 在时钟脉冲下降沿刚到来时, 触发器  $F_0$ 、 $F_1$  状态还未变化, 均为“0”), 触发器  $F_2$  状态保持不变, 仍为“0”。第 1 个时钟脉冲过后, 计数器的  $Q_2Q_1Q_0=001$ 。

当第 2 个时钟脉冲的下降沿到来时, 3 个触发器同时工作。在时钟脉冲下降沿到来时, 触发器  $F_0$  的  $J=K=1$  ( $J$ 、 $K$  悬空为“1”), 触发器  $F_0$  状态翻转, 由“1”变为“0”; 在时钟脉冲下降沿到来时, 触发器  $F_1$  的  $J=K=Q_1=1$  (注: 在第 2 个时钟脉冲下降沿刚到来时, 触发器  $F_0$  状态还未变为“0”), 触发器  $F_1$  状态翻转, 由“0”变为“1”; 在时钟脉冲下降沿到来时, 触发器  $F_2$  的  $J=K=Q_0 \cdot Q_1=1 \cdot 0=0$  (注: 在第 2 个时钟脉冲下降沿刚到来时, 触发器  $F_0$ 、 $F_1$  状态还未变化), 触发器  $F_2$  状态保持不变, 仍为“0”。第 2 个时钟脉冲过后, 计数器的  $Q_2Q_1Q_0=010$ 。

同理, 当第 3~7 个时钟脉冲下降沿到来时, 计数器状态依次变为 011、100、101、110、111; 当再来一个时钟脉冲时, 计数器状态又变为 000。

从上面的分析可以看出, 同步计数器的各个触发器在时钟脉冲的控制下同时工作, 计数速度快。如果将图 5-16 中的  $Q_0$ 、 $Q_1$  改接到  $\bar{Q}_0$ 、 $\bar{Q}_1$  上, 就可以构成同步二进制减法计数器。

### 5.3.2 十进制计数器

十进制计数器与 4 位二进制计数器有些相似, 但 4 位二进制计数器需要计数到 1111 后才能返回到 0000, 而十进制计数器要求计数到 1001 (相当于 9) 就返回 0000。8421BCD 码十进制计数器是一种最常用的十进制计数器。

8421BCD 码十进制计数器如图 5-21 所示。

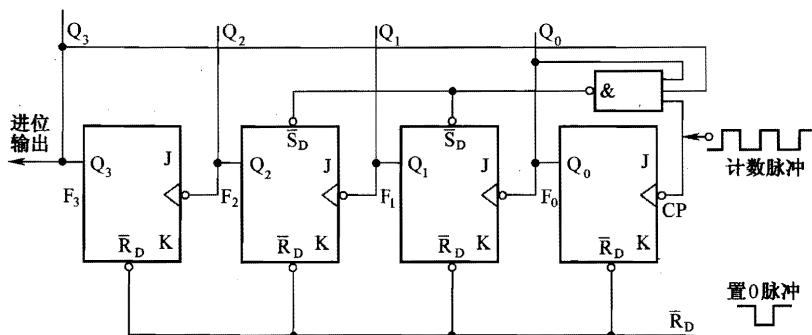


图 5-21 8421BCD 码十进制加法计数器



该计数器是一个 8421BCD 码异步十进制加法计数器，由 4 个 JK 触发器和一个与非门构成，与非门的输出端接到触发器  $F_1$ 、 $F_2$  的  $\bar{S}_D$  端（置“1”端），输入端则接到时钟信号输入端（CP 端）和触发器  $F_0$ 、 $F_3$  的输出端（即  $Q_0$  端和  $Q_3$  端）。

计数器的工作过程分为两步。

第一步：计数器复位清零。在工作前应先对计数器进行复位清零。在复位控制端送一个负脉冲到各触发器  $R_D$  端，触发器状态都变为“0”，即  $Q_3Q_2Q_1Q_0=0000$ 。

第二步：计数器开始计数。

当第 1 个计数脉冲（时钟脉冲）下降沿送到触发器  $F_0$  的 CP 端时，触发器  $F_0$  翻转， $Q_0$  由“0”变为“1”，触发器  $F_1$ 、 $F_2$ 、 $F_3$  状态不变， $Q_3$ 、 $Q_2$ 、 $Q_1$  均为“0”，与非门的输出端为“1”（ $\bar{Q}_3\bar{Q}_0\overline{CP}=1$ ），即触发器  $F_1$ 、 $F_2$  置位端  $\bar{S}_D$  为“1”，不影响  $F_1$ 、 $F_2$  的状态，计数器输出为  $Q_3Q_2Q_1Q_0=0001$ 。

当第 2 个计数脉冲下降沿送到触发器  $F_0$  的 CP 端时，触发器  $F_0$  翻转， $Q_0$  由“1”变为“0”， $Q_0$  的变化相当于一个脉冲的下降沿送到触发器  $F_1$  的 CP 端， $F_1$  翻转， $Q_1$  由“0”变为“1”，与非门输出端仍为“1”，计数器输出为  $Q_3Q_2Q_1Q_0=0010$ 。

同样道理，当依次输入第 3~9 个计数脉冲时，计数器则依次输出 0011、0100、0101、0110、0111、1000、1001。

当第 10 个计数脉冲上升沿送到触发器  $F_0$  的 CP 端时，CP 端由“0”变为“1”，相当于  $CP=1$ ，此时  $Q_0=1$ 、 $Q_3=1$ ，与非门 3 个输入端都为“1”，马上输出“0”，分别送到触发器  $F_1$ 、 $F_2$  的置“1”端（ $\bar{S}_D$  端）， $F_1$ 、 $F_2$  的状态均由“0”变为“1”，即  $Q_1=1$ 、 $Q_2=1$ ，计数器的输出为  $Q_3Q_2Q_1Q_0=1111$ 。

当第 10 个计数脉冲下降沿送到触发器  $F_0$  的 CP 端时， $F_0$  翻转， $Q_0$  由“1”变“0”，它送到触发器  $F_1$  的 CP 端， $F_1$  翻转， $Q_1$  由“1”变为“0”， $Q_1$  的变化送到触发器  $F_2$  的 CP 端， $F_2$  翻转， $Q_2$  由“1”变为“0”， $Q_2$  的变化送到触发器  $F_3$  的 CP 端， $F_3$  翻转， $Q_3$  由“1”变为“0”，计数器输出为  $Q_3Q_2Q_1Q_0=0000$ 。

第 11 个计数脉冲下降沿到来时，计数器又重复上述过程进行计数。

从上述过程可以看出，当输入 1~9 计数脉冲时，计数器依次输出 0000~1001，当输入第 10 个计数脉冲时，计数器输出变为 0000，然后重新开始计数，它跳过了 4 位二进制数计数时出现的 1010、1011、1100、1101、1110、1111 6 个数。

### 5.3.3 任意进制计数器

在实际中，除了有二进制计数和十进制计数外，还有其他进制的计数方法，如时钟的



小时是十二进制,分、秒是六十进制。**任意进制计数器又称  $N$  进制计数器**,除了二进制计数器外,其他的计数器都可以称为任意计数器,即十进制计数器也是任意计数器中的一种。

因为计数器要用到触发器,一个触发器可以构成 1 位计数器,两个触发器可以构成 2 位二进制计数器,2 位二进制计数器实际上就是一个四进制计数器,所以  **$2^n$  进制计数器至少要用到  $N$  个触发器**,例如十二进制计数器需要用到 4 个触发器,六十进制计数器要用到 6 个触发器。

为了让大家能进一步理解任意计数器,下面以图 5-22 所示的同步三进制加法计数器为例来说明  $N$  进制计数器的工作原理。

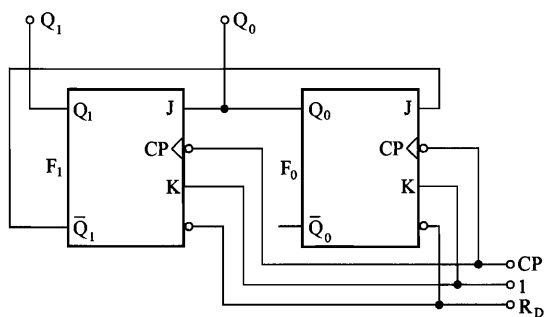


图 5-22 同步三进制加法计数器

该计数器由两个 JK 触发器构成,两个触发器的 K 端都固定接高电平“1”,触发器  $F_1$  的  $\bar{Q}$  端通过反馈线与触发器  $F_0$  的 J 端相连。

计数器的工作过程分为两步。

第一步:计数器复位清零。

在工作前应先对计数器进行复位清零。在复位控制端送一个负脉冲到各触发器  $R_D$  端,触发器状态都变为“0”,即  $Q_1Q_0=00$ 。

第二步:计数器开始计数。

当第 1 个计数脉冲下降沿到来时,它同时送到触发器  $F_0$ 、 $F_1$  的 CP 端,两个触发器同时工作。在计数脉冲下降沿到来时,触发器  $F_0$  的  $K=1$ 、 $J=\bar{Q}_1=1$ ,  $F_0$  的状态翻转,  $Q_0$  由“0”变为“1”;在计数脉冲下降沿到来时,触发器  $F_1$  的  $K=1$ 、 $J=Q_0=0$  (在计数脉冲下降沿刚到来时,  $F_0$  的状态还未变化,仍为“0”),  $F_1$  被置“0”,即  $Q_1$  仍为“0”,计数器输出为  $Q_1Q_0=01$ 。

当第 2 个计数脉冲下降沿到来时,它同时送到触发器  $F_0$ 、 $F_1$  的 CP 端,两个触发器同时工作。在计数脉冲下降沿到来时,触发器  $F_0$  的  $K=1$ 、 $J=\bar{Q}_1=1$ ,  $F_0$  的状态翻转,  $Q_0$  由“1”变为“0”;在计数脉冲下降沿到来时,触发器  $F_1$  的  $K=1$ 、 $J=Q_0=1$ ,  $F_1$  的状态翻转,  $Q_1$  由“0”变为“1”,计数器输出为  $Q_1Q_0=10$ 。

当第 3 个计数脉冲下降沿到来时,两个触发器同时工作。在计数脉冲下降沿到来时,



触发器  $F_0$  的  $K=1$ 、 $J=\bar{Q}_1=0$  ( $Q_1=1$ )， $F_0$  被置“0”，即  $Q_0$  仍为“0”；在计数脉冲下降沿到来时，触发器  $F_1$  的  $K=1$ 、 $J=Q_0=0$ ， $F_1$  被置“0”， $Q_1$  由“1”变为“0”， $Q_1$  的变化相当于一个脉冲的下降沿，它可以作为进位脉冲。计数器输出为  $Q_1Q_0=00$ 。

当第 4 个计数脉冲下降沿到来时，计数器又重复上述过程。

### 5.3.4 常用计数器芯片

#### 1. 异步计数器芯片 74LS90

74LS90 是一种中规模的二-五-十进制计数器，其各引脚功能如图 5-23 所示，其中  $CP_A$  和  $Q_A$  构成 1 位二进制计数器， $CP_B$  和  $Q_D$ 、 $Q_C$ 、 $Q_B$  组成五进制计数器，将两个计数器有关端子适当组合，可以组成其他类型的计数器。

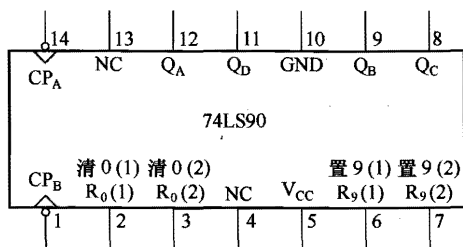


图 5-23 74LS90 的各引脚功能

$R_0(1)$ 、 $R_0(2)$  为两个清 0 端， $R_9(1)$ 、 $R_9(2)$  为两个置 9 端，这 4 个端子与 74LS90 的工作状态关系见表 5-12。从表中可以看出：当  $R_0(1)$ 、 $R_0(2)$  均为高电平且  $R_9(1)$ 、 $R_9(2)$  中有一个低电平时，计数器  $Q_D \sim Q_A$  端均被清 0；当  $R_9(1)$ 、 $R_9(2)$  均为高电平时， $Q_D$ 、 $Q_A$  端均为高电平；当  $R_0(1)$ 、 $R_0(2)$  中有一个为低电平且  $R_9(1)$ 、 $R_9(2)$  中也有一个为低电平时，计数器工作在计数状态。

表 5-12 74LS90 状态表

$R_0(1)$	$R_0(2)$	$R_9(1)$	$R_9(2)$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
H	H	L	×	L	L	L	L
H	H	×	L	L	L	L	L
×	×	H	H	H	L	L	H
×	L	×	L	计数			
L	×	L	×	计数			
L	×	×	L	计数			
×	L	L	×	计数			

### (1) 1 位二进制计数器

74LS90 的  $CP_A$  和  $Q_A$  构成 1 位二进制计数器, 当  $CP_A$  端输入第 1 个时钟脉冲时,  $Q_A=1$ , 输入第 2 个脉冲时,  $Q_A=0$ 。

## (2) 五进制计数器

CP<sub>B</sub> 和 Q<sub>D</sub>、Q<sub>C</sub>、Q<sub>B</sub> 组成五进制计数器，当 CP<sub>B</sub> 端输入第 1 个脉冲时，Q<sub>D</sub>Q<sub>C</sub>Q<sub>B</sub>=001，输入第 2 个脉冲时，Q<sub>D</sub>Q<sub>C</sub>Q<sub>B</sub>=010，输入第 3、4 个脉冲时，Q<sub>D</sub>Q<sub>C</sub>Q<sub>B</sub> 变化为 011、100，输入第 5 个脉冲时，Q<sub>D</sub>Q<sub>C</sub>Q<sub>B</sub> 变为 000。

### (3) 8421 码十进制计数器

将 1 位进制计数器的输出端  $Q_A$  与五进制计数器的  $CP_B$  连接时, 可组成 8421 码十进制计数器, 如图 5-24 所示。当  $0 \sim 9$  个时钟脉冲不断从  $CP_A$  端输入时,  $Q_D Q_C Q_B Q_A$  状态变化为 0000、0001、0010、 $\cdots$ 、1000 变化到 1001, 第 10 个时钟脉冲输入时,  $Q_D Q_C Q_B Q_A$  变为 0000, 具体见表 5-13。

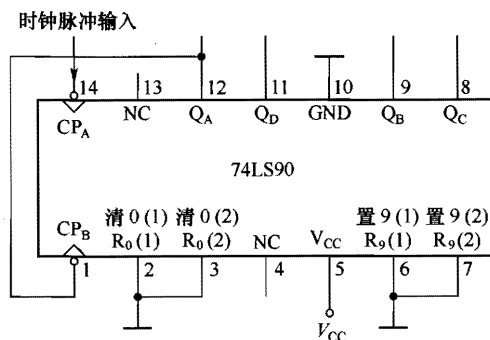


图 5-24 由 74LS90 构成的 8421 码十进制计数器

表 5-13 74LS90 用作 8421 码十进制计数器的计数表

$CP_A$	$Q_D$	$Q_C$	$Q_B$	$Q_A$
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H



#### （4）5421 码十进制计数器

将五进制计数器的  $Q_D$  端与 1 位进制计数器的  $CP_A$  连接时，可组成 5421 码十进制计数器，如图 5-25 所示，此时计数器  $Q_A$ 、 $Q_D$ 、 $Q_C$ 、 $Q_B$  的位权分别是 5、4、2、1。当 0~4 个时钟脉冲不断从  $CP_B$  端输入时， $Q_A Q_D Q_C Q_B$  状态变化为 0000、0001……0100，第 5 个时钟脉冲输入时， $Q_A Q_D Q_C Q_B$  变为 1000，当 6~9 个时钟脉冲从  $CP_B$  端输入时， $Q_A Q_D Q_C Q_B$  状态变化为 1001、1010……1100，第 10 个时钟脉冲输入时， $Q_A Q_D Q_C Q_B$  变为 0000，具体见表 5-14。

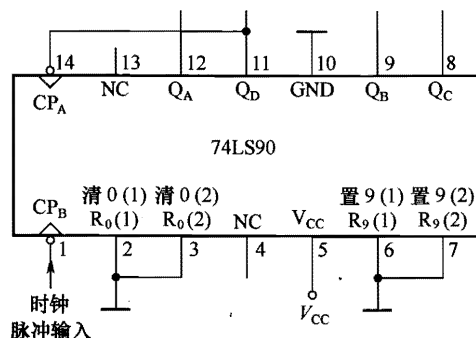


图 5-25 由 74LS90 构成的 5421 码十进制计数器

表 5-14 74LS90 用作 5421 码十进制计数器的计数表

$CP_B$	$Q_A$	$Q_D$	$Q_C$	$Q_B$
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

#### （5）六进制计数器

在 8421 码十进制计数器（ $Q_A$  与  $CP_B$  连接）的基础上，将  $Q_B$  接  $R_0(1)$ ， $Q_C$  接  $R_0(2)$  可组成六进制计数器，如图 5-26 所示。当时钟脉冲不断从  $CP_A$  端输入时， $Q_C Q_B Q_A$  状态变化为 000、001……101，第 6 个时钟脉冲输入时， $Q_C Q_B Q_A$  变为 110，但  $Q_C Q_B Q_A=110$  是不稳



定的,  $Q_C$ 、 $Q_B$  的“1”反馈到  $R_0(2)$ 、 $R_0(1)$ , 计数器迅速被清 0,  $Q_C Q_B Q_A$  变为 000, 然后再重新计数。

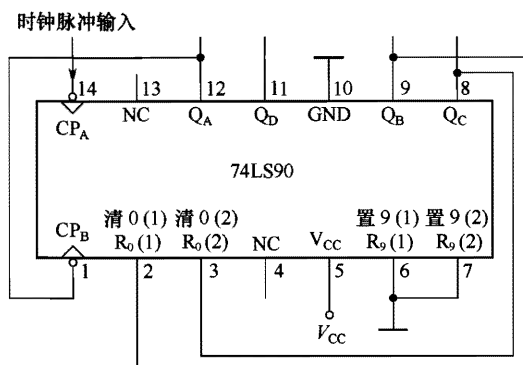


图 5-26 由 74LS90 构成的六进制计数器

## 2. 同步计数器芯片 74LS190

74LS190 是同步十进制加/减计数器 (又称可逆计数器), 它依靠加/减控制端的控制来实现加法计数和减法计数。

74LS190 引脚排列如图 5-27 所示, 各脚功能说明如下。

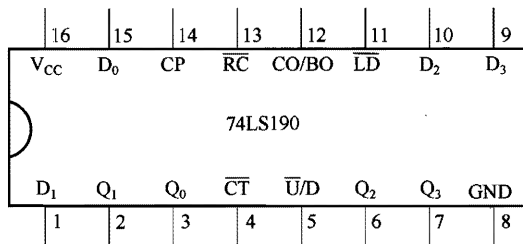


图 5-27 74LS190 引脚排列

CO/BO: 进位输出/借位输出端;

CP: 时钟输入端;

$\overline{CT}$ : 计数控制端 (低电平有效);

$D_0 \sim D_3$ : 并行数据输入端;

$\overline{LD}$ : 异步并行置入控制端 (低电平有效);

$Q_0 \sim Q_3$ : 输出端;

$\overline{RC}$ : 行波时钟输出端 (低电平有效);

$\overline{U/D}$ : 加/减计数方式控制端。

表 5-15 为 74LS190 的状态表, 从表中可以看出, 74LS190 工作状态有 4 种: 置数、加计数、减计数和保持。





表 5-15 74LS190 状态表

输 入								输 出			
$\overline{\text{LD}}$	$\overline{\text{CT}}$	$\overline{\text{U/D}}$	CP	$D_0$	$D_1$	$D_2$	$D_3$	$Q_0$	$Q_1$	$Q_2$	$Q_3$
0	x	x	x	$d_0$	$d_1$	$d_2$	$d_3$	$d_0$	$d_1$	$d_2$	$d_3$
1	0	0	$\uparrow$	x	x	x	x	加 计 数			
1	0	1	$\uparrow$	x	x	x	x	减 计 数			
1	1	x	x	x	x	x	x	保 持			

### (1) 置数

74LS190 置数（或称预置）是异步的。当置入控制端（ $\overline{\text{LD}}$ ）为低电平时，不管时钟 CP 端状态如何，输出端（ $Q_0 \sim Q_3$ ）即可预置成与数据输入端（ $D_0 \sim D_3$ ）相一致的状态。

### (2) 计数

74LS190 采用同步计数方式。当  $\overline{\text{CT}}=0$ 、 $\overline{\text{U/D}}=0$  时进行加计数；当  $\overline{\text{CT}}=0$ 、 $\overline{\text{U/D}}=1$  时进行减计数。只有在 CP 为高电平时， $\overline{\text{CT}}$  和  $\overline{\text{U/D}}$  才可以跳变。

74LS190 有超前进位功能。当计数上溢或下溢时，进位/借位输出端（CO/BO）输出一个宽度约等于 CP 脉冲周期的高电平脉冲，行波时钟输出端（ $\overline{\text{RC}}$ ）输出一个宽度等于 CP 低电平部分的低电平脉冲。

### (3) 保持

当  $\overline{\text{LD}}=1$ 、 $\overline{\text{CT}}=1$  时，74LS190 工作在保持状态，在该状态下，即使 CP 端输入时钟脉冲，输出端（ $Q_0 \sim Q_3$ ）数据也不会发生变化。

## 5.4 电子密码控制器的电路原理与实验

电子密码控制器是一种只有输入正确密码才能输出控制信号的电路，给它外接其他一些设备可以制作各种密码控制器，如电子密码锁、电子密码控制开关等。

### 5.4.1 电路原理

#### 1. 电路原理图

图 5-28 所示是电子密码控制器的电路原理图，图中的 CD4520 为双 4 位二进制同步计数器芯片，内部有两个功能相同的 4 位二进制同步计数器单元，CD4073 为三 3 输入与门，内部有 3 个与门单元，每个与门有 3 个输入端。

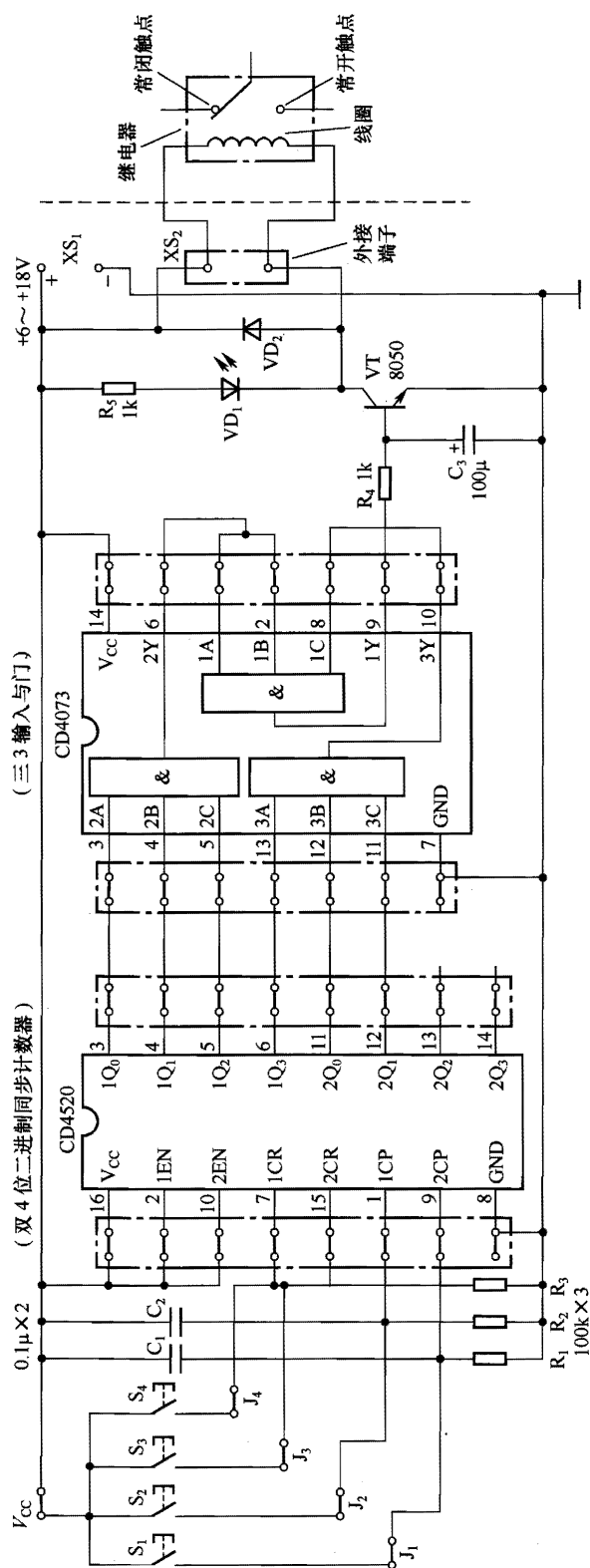


图 5-28 电子密码控制器的电路原理图



## 2. CD4520 介绍

CD4520 为双 4 位二进制同步计数器芯片，其结构和引脚功能如图 5-29 所示。表 5-16 为 CD4520 的状态表，从表可以看出，CD4520 具有加计数、数据保持和清 0 功能。CD4520 在两种情况下会执行加计数功能：① $CR=0$ ， $EN=1$ ，CP 输入脉冲上升沿；② $CP=0$ ， $CR=0$ ，EN 输入脉冲下降沿。

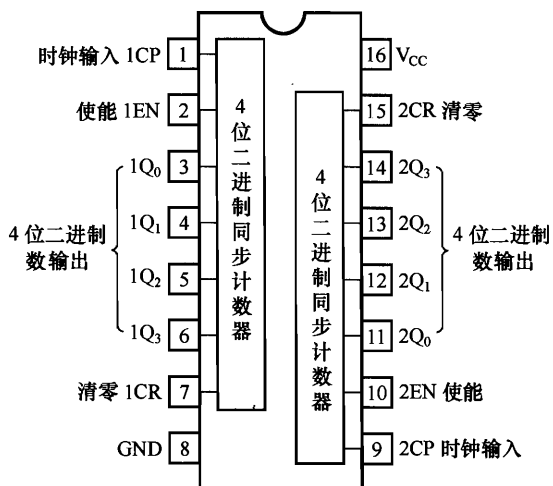


图 5-29 CD4520 的结构与各引脚功能

表 5-16 CD4520 状态表

输 入			输 出
CP	CR	EN	
↑	L	H	加计数
L	L	↓	加计数
↓	L	×	保持
×	L	↑	
↑	L	L	
H	L	↓	
×	H	×	清零

CD4520 的功能还可以用图 5-30 所示的输入/输出波形图来说明，从图也可以看出，当  $CR=0$ ， $EN=1$  时，0~15 个 CP 脉冲上升沿依次来到时，计数器输出数据  $Q_3Q_2Q_1Q_0$  会从 0000 变到 1111，第 16 个脉冲来时，数据又变为 0000，这时若  $CP=0$ 、 $CR=0$ ，EN 输入脉冲下降沿，计数器也会开始加计数，若 CR 变为 1，计数器会清 0， $Q_3Q_2Q_1Q_0=0000$ 。

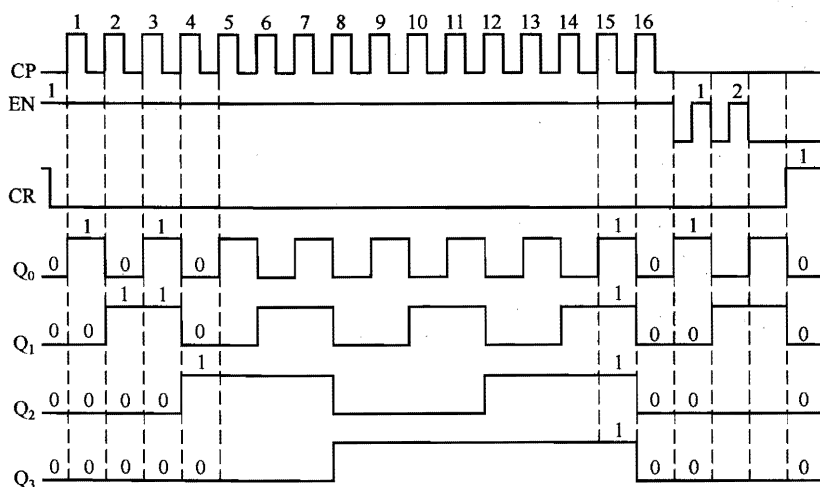


图 5-30 CD4520 的波形图

### 3. 电子密码控制器工作原理

电子密码控制器电路原理图参见图 5-28。图中  $S_1$ 、 $S_2$  按键分别接 CD4520 的 2CP、1CP 引脚，每按压一次按键，就给 CP 端输入一个脉冲上升沿，计数器输出数据就会累加 1，从图中不难看出，只有  $1Q_31Q_21Q_11Q_0=1111$ 、 $2Q_22Q_0=11$  时，CD4073 两个与门输入才都为 1，第 3 个与门输出端⑨脚才为高电平，⑨脚高电平经  $R_4$ 、 $C_3$  滤波后送到三极管 VT 基极，VT 导通，有电流流过发光二极管  $VD_1$ ， $VD_1$  被点亮，若给  $XS_2$  端子外接继电器线圈，则有电流流线圈，线圈产生磁场，对触点产生吸合动作，使常开触点闭合、常闭触点断开，从而控制与继电器触点连接的电路。

要使 CD4520 的  $1Q_31Q_21Q_11Q_0=1111$ 、 $2Q_22Q_0=11$ ，须按压  $S_1$  按键 3 次，按压  $S_2$  按键 15 次， $S_1$ 、 $S_2$  按压次数不对，CD4073⑨脚不会输出高电平，控制器不能产生控制动作。 $S_3$ 、 $S_4$  为伪码按键，它们与清 0 端 1CR、2CR 连接，按下  $S_3$ 、 $S_4$  任意一个，均会对 CD4520 内的两个计数器进行清 0，提高控制器的试探解密难度。

电子密码控制器设置密码有两种方法：一是改变  $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$  与 1CP、2CP、1CR、2CR 的连接；二是改变  $1Q_3$ 、 $1Q_2$ 、 $1Q_1$ 、 $1Q_0$ 、 $2Q_3$ 、 $2Q_2$ 、 $2Q_1$ 、 $2Q_0$  与 2A、2B、2C、3A、3B、3C 的连接。

密码设置与解密举例：将  $S_1$ 、 $S_3$  接 CR 端（1CR 和 2CR 已连接在一起）， $S_2$  接 2CP， $S_4$  接 1CP，2A、2B、2C 分别接  $1Q_3$ 、 $1Q_2$ 、 $1Q_1$ ，3A、3B、3C 分别接  $2Q_3$ 、 $2Q_2$ 、 $Q_0$ ，那么解密的方法是按压  $S_2$  键 13 次，让  $2Q_32Q_22Q_12Q_0=1101$ ，按压  $S_4$  键 14 次，让  $1Q_31Q_21Q_11Q_0=1110$ 。对于不知道控制器线路连接方法的人，如果采用试探的方法来解密，首先要从 4 个按键中试出 2 个有效键，还要试探 2 个有效键的按压次数，无疑解密难度很大，如果将 4 个按键改为 10 个键，其中 8 个伪码键都连接到 CR 端，电子密码控制器解密成功率将会极低。

#### 4. 按键防抖电路

图 5-28 中的  $C_1$ 、 $C_2$  功能是抑制按键抖动干扰。图 5-31 (a) 所示是一个按键输入电路，按下按键 S，给 IC 输入一个“0（低电平）”，当 S 断开，会给 IC 输入一个“1（高电平）”。实际上，当按下按键 S 时，由于手的抖动，S 会断开、闭合几次，然后稳定闭合，所以按下按钮时，给 IC 输入的低电平不稳定，而是高、低电平变化几次（持续 10~20ms），如图 5-31 (b) 所示，再保持为低电平，同样在 S 弹起时也有这种情况。按键抖动产生的干扰信号易使电路产生误动作，解决方法就是消除按键的抖动。

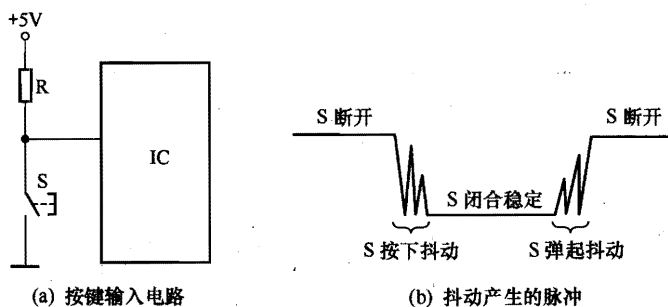


图 5-31 按键防抖说明图

按键防抖方法很多，较简单的方法是在按键两端并联电容，如图 5-32 所示。

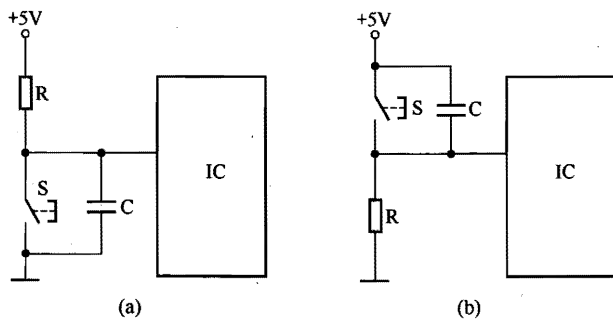


图 5-32 两种简单的防抖电路

在图 5-32 (a) 所示电路中，当按键 S 断开时，+5V 电压经电阻 R 对电容 C 充电，在 C 上充得+5V 电压，当按下按键时，S 闭合，由于按键电阻小，电容 C 通过按键迅速将两端电荷放掉，两端电压迅速降低（接近 0），IC 输入为低电平，若手发生抖动导致按键短时刻断开，+5V 电压经 R 对 C 充电，但由于 R 阻值大，短时间电容 C 充电很少，电容两端电压基本不变，IC 输入仍为低电平，从而消除了按键抖动。

图 5-32 (b) 所示防抖电路工作原理读者可自己分析。

如果采用图 5-32 所示的防抖电路，选择 RC 的值比较关键，RC 元件的值可以用下面



的式子计算

$$t < 0.357RC$$

因为抖动时间一般为  $10 \sim 20\text{ms}$ , 如果  $R=10\text{k}\Omega$ , 那么  $C$  可在  $2.8 \sim 5.6\mu\text{F}$  之间选择, 通常选择  $3.3\mu\text{F}$ 。

### 5.4.2 实验操作

对照图 5-28 所示的电子密码控制器电路原理图, 进行如下实验操作。

第一步: 用导线将  $J_1$ 、 $J_2$ 、 $J_3$ 、 $J_4$  插件分别与 CD4520 的 2CP、1CP、1CR、2CR 引脚连接 (图中已连接好)。

第二步: 用导线将 CD4073 的 2A~2C、3A 和 3B、3C 引脚分别与 CD4520 的  $1Q_0 \sim 1Q_3$  和  $2Q_0$ 、 $2Q_1$  引脚连接 (图中已连接好)。

第三步: 给电子密码控制器接通电源。

第四步: 先按压  $S_3$  或  $S_4$  键, 对 CD4520 输出进行清 0, 然后按压  $S_1$  键\_\_\_\_\_次, 按压  $S_2$  键\_\_\_\_\_次, 指示灯  $VD_1$  会变亮, 说明输入密码正确, 控制器有控制信号输出。

第五步: 先按压  $S_3$  或  $S_4$  键, 然后按压  $S_2$  键, 从第 1 次按压  $S_2$  键开始到按压 16 次,  $1Q_3 \sim 1Q_0$  引脚电平变化规律依次是 0001、\_\_\_\_\_。

第六步: 按  $J_1$ -1CP、 $J_2$ -2CP、 $J_3$ -2CR、 $J_4$ -2CP 的对应方法改变  $J_1 \sim J_4$  与 CD4520 的连接方式, 那么有效键是\_\_\_\_\_, 伪键是\_\_\_\_\_。

第七步: 在  $J_1 \sim J_4$  与 CD4520 按图 5-28 连接不变的情况下, 将 CD4520 和 CD4073 按  $1Q_0$ -2A、 $1Q_1$ -2B、 $2Q_2$ -2C、 $2Q_0$ -3A、 $2Q_1$ -3B、 $2Q_3$ -3C 方式连接, 那么按压  $S_1$  键\_\_\_\_\_次, 按压  $S_2$  键\_\_\_\_\_次, 才能实现解密, 让控制器输出控制信号。

第八步: 拆下  $C_1$  或  $C_2$ , 再按正确次数对有效键进行操作, 分析控制器是否产生输出, 若无输出, 原因是\_\_\_\_\_。



## 习题5

### 一、填空题

1. 时序逻辑电路是一种具有\_\_\_\_\_功能的电路，它由\_\_\_\_\_电路与\_\_\_\_\_电路组合而成的。常见时序逻辑电路有\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_等。
2. 触发器是\_\_\_\_\_电路中的基本单元电路。触发器的种类很多，\_\_\_\_\_是一种结构最简单的触发器，其他类型触发器大多是在这种触发器基础上进行改进而得到的。
3. 对于基本 RS 触发器， $\bar{R}=1$ 、 $\bar{S}=1$  时的功能是\_\_\_\_\_， $\bar{R}=0$ 、 $\bar{S}=1$  时的功能是\_\_\_\_\_， $\bar{R}=1$ 、 $\bar{S}=0$  时的功能是\_\_\_\_\_， $\bar{R}=0$ 、 $\bar{S}=0$  时的功能是\_\_\_\_\_。
4. 时钟脉冲每个周期可分为 4 个部分，分别是\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。
5. 同步 RS 触发器是在基本 RS 触发器的基础上增加了两个\_\_\_\_\_和\_\_\_\_\_输入端构成的。同步 RS 触发器在\_\_\_\_\_时钟脉冲时不工作，在\_\_\_\_\_时钟脉冲时，其逻辑功能与基本 RS 触发器相同，即\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。
6. D 触发器又称为\_\_\_\_\_或\_\_\_\_\_，其逻辑功能是：在无 CP 脉冲时\_\_\_\_\_；在有 CP 脉冲时\_\_\_\_\_。
7. 对于 JK 触发器， $J=1$ 、 $K=1$  时的功能是\_\_\_\_\_， $J=1$ 、 $K=0$  时的功能是\_\_\_\_\_， $J=0$ 、 $K=1$  时的功能是\_\_\_\_\_， $J=0$ 、 $K=0$  时的功能是\_\_\_\_\_。
8. T 触发器又称\_\_\_\_\_触发器，将 JK 触发器的 J、K 两个输入端\_\_\_\_\_就构成了 T 触发器，这种触发器的逻辑功能是\_\_\_\_\_和\_\_\_\_\_。
9. 在一个时钟脉冲持续期间，触发器的状态\_\_\_\_\_的现象称为空翻。克服空翻常用的方法是采用\_\_\_\_\_或\_\_\_\_\_。
10. 主从触发器同时拥有\_\_\_\_\_触发器和\_\_\_\_\_触发器，当一个触发器工作时，另一个触发器不工作，将\_\_\_\_\_与\_\_\_\_\_隔离开，有效地解决了输入信号变化对输出的影响问题。边沿触发器只有在 CP 脉冲\_\_\_\_\_或\_\_\_\_\_来时输入才有效，其他期间处于\_\_\_\_\_状态，即使输入信号变化也不会影响触发器的输出状态。
11. 寄存器是一种能存取\_\_\_\_\_的电路。将数据存入寄存器的过程称为\_\_\_\_\_，将数据从寄存器中取出的过程称为\_\_\_\_\_，寄存器能存储数据是因为它采用了具有记忆功能的电路——\_\_\_\_\_。
12. 移位寄存器除了具有\_\_\_\_\_的功能外，还有\_\_\_\_\_的功能。按数据的移动方向来分，有\_\_\_\_\_寄存器、\_\_\_\_\_寄存器和\_\_\_\_\_寄存器。
13. 逐位输入数据的方式称为\_\_\_\_\_输入，同时输出多位数据的方式称为\_\_\_\_\_输出。移位寄存器具有延时功能，其延迟时间与\_\_\_\_\_有关。



14. 计数器是一种具有\_\_\_\_\_功能的电路,它主要由\_\_\_\_\_和\_\_\_\_\_组成。计数器可分为\_\_\_\_\_计数器和\_\_\_\_\_计数器。
15.  $N$  位二进制加法器计数器的最大计数为\_\_\_\_\_个,所以 3 位异步二进制加法计数器最大计数为\_\_\_\_\_个。异步二进制加法计数器除了能计数外,还具有\_\_\_\_\_作用。
16. 十进制计数器与 4 位二进制计数器有些相似,但 4 位二进制计数器需要计数到\_\_\_\_\_然后才能返回到 0000,而十进制计数器要求计数到\_\_\_\_\_就返回 0000。
17.  $2^n$  进制计数器就至少要用到\_\_\_\_\_个触发器,例如八进制计数器需要用到\_\_\_\_\_个触发器,十二进制计数器需要用到\_\_\_\_\_个触发器,六十进制计数器要用到\_\_\_\_\_个触发器。

## 二、分析画图题

1. 在图 5-33 所示电路中, D 触发器的初始状态  $Q=0$ , 现让  $R=1$ , 再给触发器输入图示的 D 脉冲和 CP 脉冲, 请画出 D 触发器 Q 端和  $\bar{Q}$  端输出脉冲的波形。

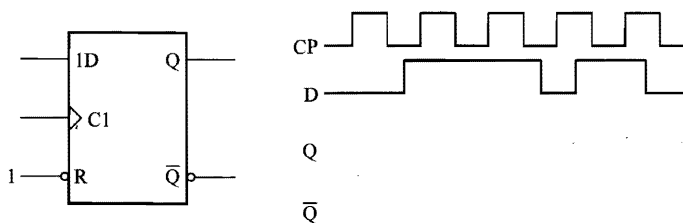


图 5-33

2. 在图 5-34 所示电路中, 各触发器的初始状态  $Q=0$ , 现给电路输入图示的 A、B 脉冲和 CP 脉冲, 请画出  $Q_1$ 、 $Q_2$  端输出脉冲的波形。

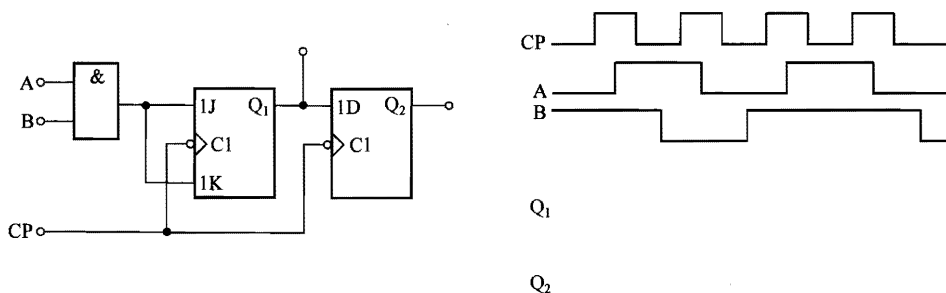


图 5-34