

# Vitis HLS

一、介绍

1. 概述

高层次开发

C/C++ + FPGA

官网文档:

<https://developer.xilinx.com/en/products/vitis.html>

[https://www.xilinx.com/html\\_docs/xilinx2021\\_1/vitis\\_doc/index.html](https://www.xilinx.com/html_docs/xilinx2021_1/vitis_doc/index.html)

FPGA

生产者-消费者

产生与处理重叠 → 并行潜力

通信: FIFO / PIPE

流式数据

stream

数据的存储与处理方式

流水线方式

优化吞吐量

优化点

包数优化

模块化

嵌套与调用

循环优化

pipeline / unroll

数据依赖 → 并行化

设计流程

C/C++ 仿真调试

report 分析与优化

C synthesize RTL

C/RTL 协同仿真 验证 RTL 设计

打包、x0 / 导出, RTL IP

## 2. HLS 基础

设计与实现

① 调度: 决定时钟周期内执行内容与顺序

考虑 { 操作依赖  
时钟长度  
资源分配  
自定义优化

② 绑定: 调度后操作 → 量子

eg: mult → { 组合 乘法器  
流水线

③ 控制状态提取: 创建 FSM

根据调度序列优化

eg:  $y = x^2 a + b + c$

1.  $x^2 a$  ①  $b + c$  ②  $y = +$  2. { 组合 → DSP  
组合 Addsub

数组 → { RAM Reg etc.  
FIFO  
分布式 RAM

官网教程:

<https://github.com/Xilinx/HLS-Tiny-Tutorials/tree/master>

[https://github.com/Xilinx/Vitis\\_Accel\\_Examples](https://github.com/Xilinx/Vitis_Accel_Examples)

<https://github.com/Xilinx/Vitis-Tutorials>

代码示例

工具教程

概念教程

### 3. 流程简述

C/C++ 综合:

① 顶层函数参数  $\rightarrow$  I/O 取决于

- 目标流
- 数据方向
- 数据类型

INTERFACE pragma

② 子函数  $\rightarrow$  RTL block

- 内联 inline pragma
- 子函数调用: ALLOCATION pragma
- (调用逻辑)

③ 循环保持流水化

- keepd unroll: 展开每一次迭代, 顺序执行
- UNROLL pragma

④ 数据综合

使能 Vivado IP 流

使能 Vitis 内核流

