

Les bus

Canal de communication

- Il s'agit d'un canal de communication qui permet de relié le processeur à la mémoire et aux controleurs d'entrée/sortie
- Il ne peut rien mémoriser : un élément envoie des données sur le bus, un autre doit les lire

Les différents éléments du bus

- Le bus est divisé en 3 parties : bus de données, bus d'adresse et bus instruction
- Le bus de données permet d'envoyer une valeur à écrire ou recevoir une valeur lue
- Le bus d'adresse permet de dire l'adresse de la données
- Le bus de controle permet d'envoyer des ordres sur le bus et des éléments de synchronisation

Lecture d'une RAM

- Le processeur envoie l'adresse sur le bus d'adresse
- Il envoie ensuite l'ordre de lecture sur le bus de contrôle
- La RAM reçoit cet ordre : elle lit alors l'adresse sur le bus d'adresse
- La RAM va chercher le contenu de la case mémoire dans la RAM
- Elle envoie la valeur sur le bus de données
- Le processeur lit cette valeur

Ecriture d'une RAM

- Le processeur envoie l'adresse sur le bus d'adresse et la valeur à écrire sur le bus de données
- Le processeur envoie l'ordre d'écriture sur le bus de contrôle
- La RAM reçoit cet ordre : elle récupère l'adresse et la valeur sur le bus
- Elle écrit la valeur dans la case mémoire portant cette adresse

Bus synchrone

- Une horloge cadence un top régulièrement sur le bus
- Le bus de données à une certaine largeur : il s'agit du nombre de bits qu'il peut transporter simultanément
- Pour lire une donnée il faut un certain nombre de tops

Exemple

- Un bus a une largeur de 64 bits
- Il est cadencé à 100 MHz
- Il faut 3 tops pour faire une lecture
- Quelle est le débit de ce bus ?

Réponse

- $D = 64 * (100. 10^6) = 6400 * 10^6$

$$D = 6.4 \text{ Gbit/s}$$

Pipeline sur le bus

- Pour lire de nombreuses adresses sur le bus on peut instaurer un mécanisme de pipeline pour accélérer les échanges.

Interconnection de bus

- En réalité, souvent il n'y a pas un seul bus mais un ensemble complexe de bus interconnectés