

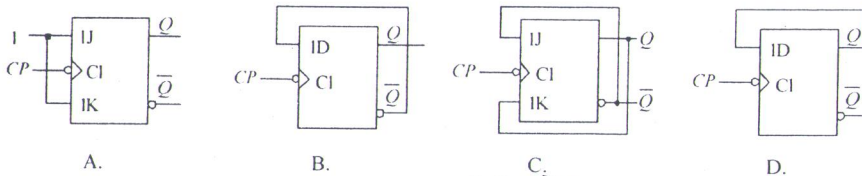
杭州电子科技大学学生考试卷 (A) 卷

考试课程	数字逻辑电路	考试日期	2017 年 6 月 16 日	成绩	85
课程号		教师号		任课教师姓名	陈龙/赵鹏/高惠芳/郭裕顺/郑雪峰/盛庆华
考生姓名		学号 (8 位)		年级	
				专业	

一、单项选择题，将唯一正确答案的编号字母填在题中 () 内 (每题 2 分，共 20 分)

- 关于数 [101010] 的性质以下诸论中错误的是: (B)
A. 是二进制数 B. 是 8421BCD 码 C. 是一个奇校验码 D. 是负数的补码
- $A \oplus 1 \oplus \bar{A} \oplus 1 \oplus 1 \oplus 0 \oplus 1 \oplus 0 =$ (D).
A. A B. \bar{A} C. 0 D. 1
- 关于 CMOS 工艺以下诸论中错误的是: (B)
A. 由 NMOS 和 PMOS 互补构成。 B. 功耗比 TTL 高。
C. 驱动能力比 TTL 弱。 D. 存在锁定效应 (Latch-Up)。
- 数据分配器可以通过下列哪种中规模芯片来实现 (C).
A. 74LS153 B. 74HC151 C. 74HC138 D. 74HC148
- 一个 N 选 1 MUX 的输入地址码的位数是 (C).
A. N B. 2^N C. $\log_2 N$ D. $\ln_2 N$
- 关于触发器的描述错误的是 (D).
A. 一个 D 触发器可以构成二分频电路。 B. T 触发器可以用 JK 触发器构成。
C. 主从 JK 触发器有一次翻转特性。 D. D 锁存器的触发方式是边沿触发。
- 把 D 触发器转化为 T 触发器，则应令 $D =$ (B).
A. $T+Q$ B. $T \oplus Q$ C. TQ D. $T \odot Q$
- 设计一位 8421BCD 码的计数器至少需要 (B) 个触发器。
A. 3 B. 4 C. 5 D. 10
- A/D 转换的过程是取样、保持、量化和 (C).
A. 滤波 B. 限幅 C. 编码 D. 译码

10. 如图所示电路中，只有 (D) 不能实现 $Q^{n+1} = \bar{Q}^n$ 。



二、基本题 (每题 7 分，共 49 分)

1. 已知 $F(A, B, C) = \sum m(1, 3, 4, 7)$ ，试求 F 的反函数的最小项表达式以及 F 的对偶函数的最小项表达式。

由表达式可下直接求反函数，可得 $F = \sum m(0, 2, 5, 6)$ 。

$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$F^* = (\bar{A} + \bar{B} + C)(\bar{A} + B + \bar{C})(A + \bar{B} + \bar{C})(A + B + C)$$

$$= \pi M(0, 3, 4, 6)$$

$$\text{可知 } F^* = \sum m(1, 2, 5, 7)$$

A	B	C	F	\bar{F}
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

2. 用卡诺图将下面逻辑函数化简成最简与或表达式。

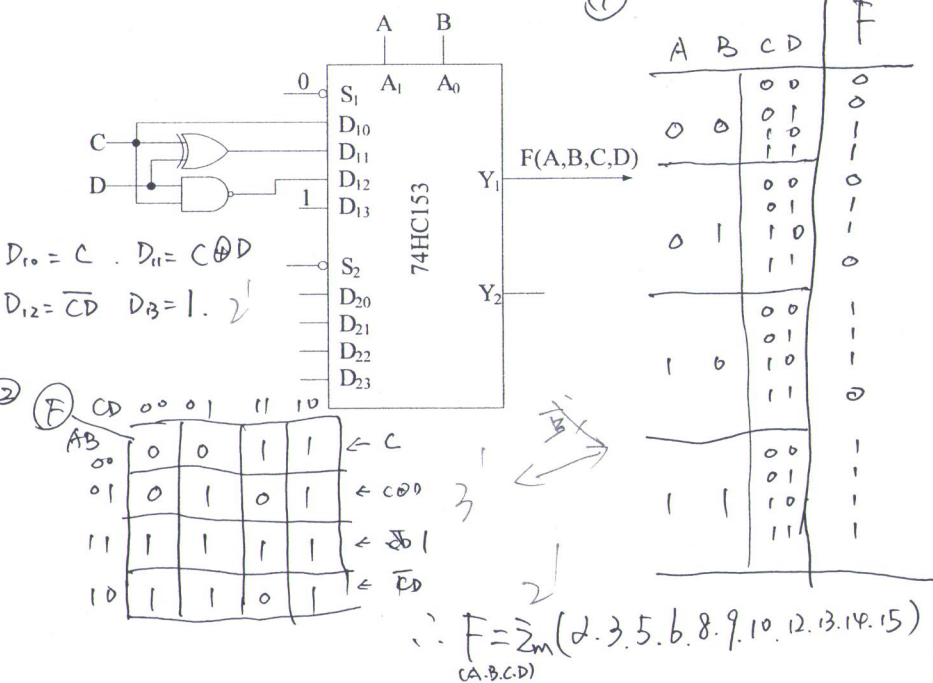
$$F(A, B, C, D) = \sum m(2, 6, 8, 14, 15) + \sum d(0, 4, 5, 7, 10)$$

卡诺图化简 (卡诺图圈法)。

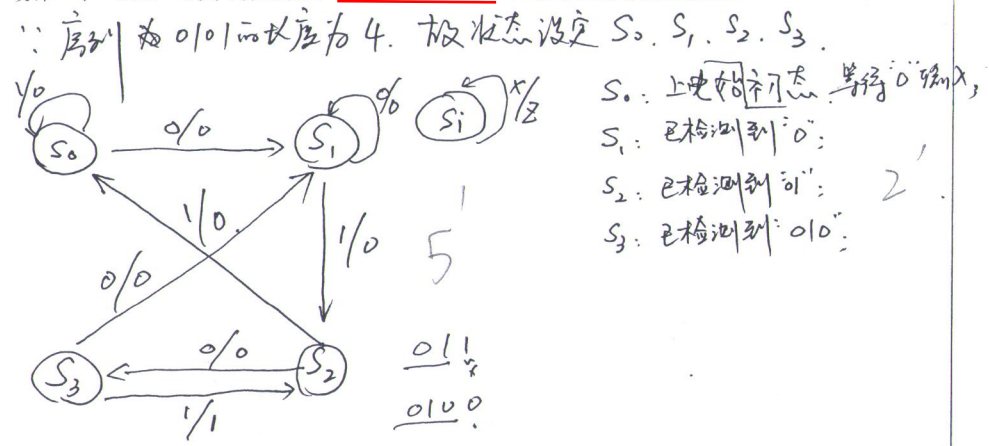
$$F = BC + \bar{B}\bar{D}$$

由双 4 选 1 数据选择器 74HC153 构成的电路如下图所示，试列出函数 $F(A, B, C, D)$ 的真值表，

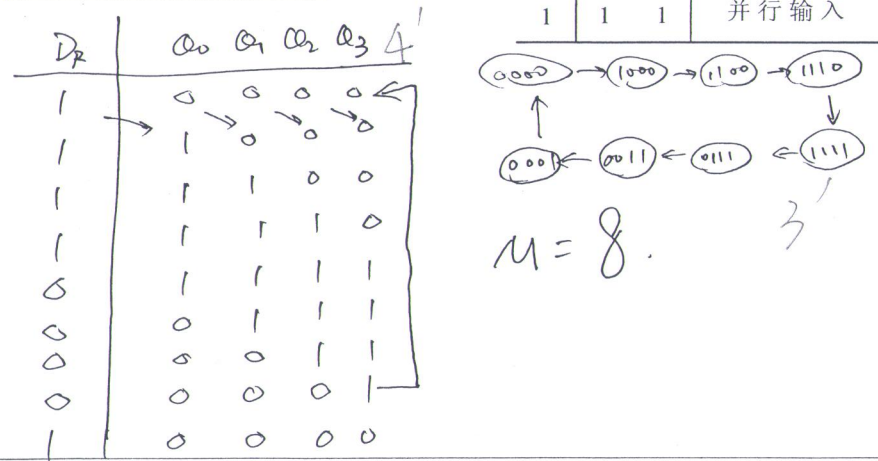
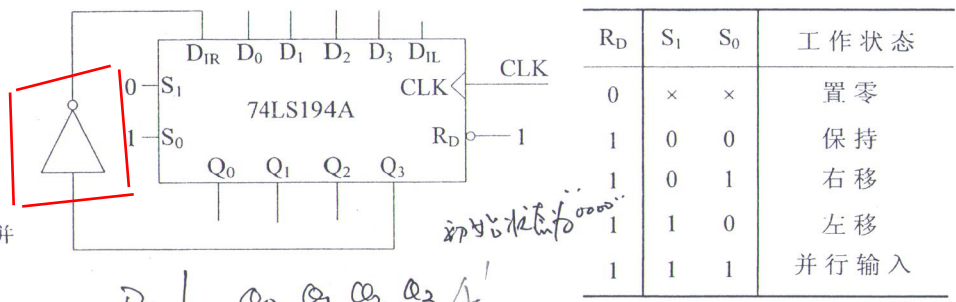
写出 $F(A, B, C, D)$ 的最小项之和表达式。



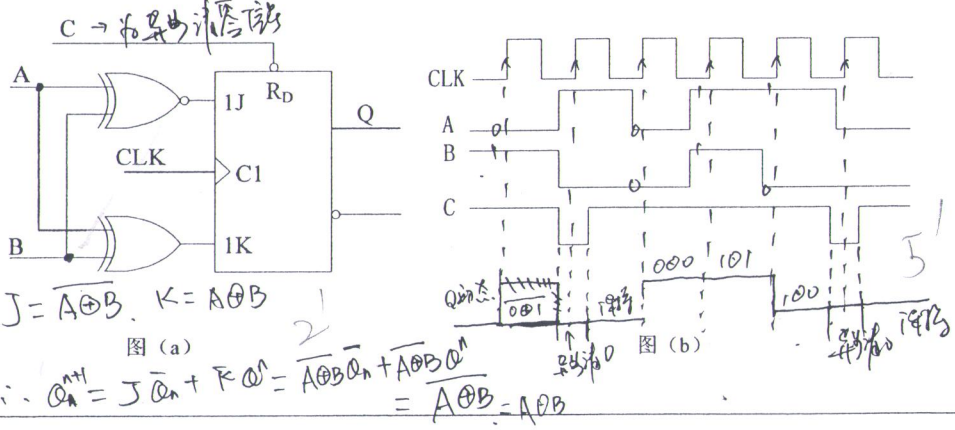
5. 设计一个“0101”的序列检测器，序列可重复检测，只要求画出状态转换图。



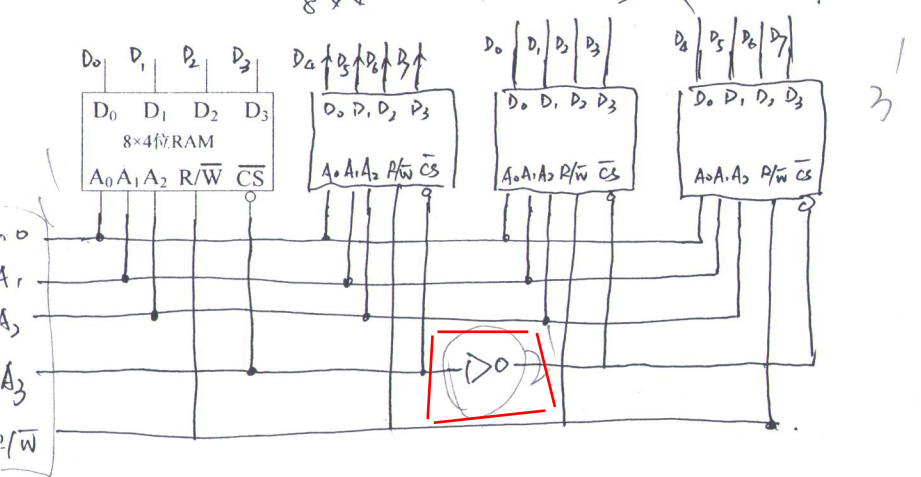
6. 74LS194A 的功能表如下表所示。分析逻辑电路图，试画出其状态转移图（按 $Q_0Q_1Q_2Q_3$ 排列），并指出该电路的计数模值。



4. 逻辑电路如下图 (a) 所示，CLK、A、B 和 C 波形如 (b) 所示，试写出触发器 Q 的状态方程，并在 (b) 图中画出 Q 的波形（设触发器的初态为“0”，且不考虑器件的传输延迟时间）。



1. 8×4 位 RAM 如图所示。要求将其扩展成 16×8 位 RAM，试问需要几片 8×4 位 RAM，并画出扩展电路图。



分析设计题 (共 3 题, 共 31 分)
列出一位全加器 (输入有加数 A, 加数 B 及低位来的进位 C_i , 输出有和数 S 以及向高位输出的进位 C_o) 的真值表; 并用译码器 74HC138 和适当门电路实现, 画出逻辑图。 (9 分)

A	B	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S = \sum m(1, 2, 4, 7)$$

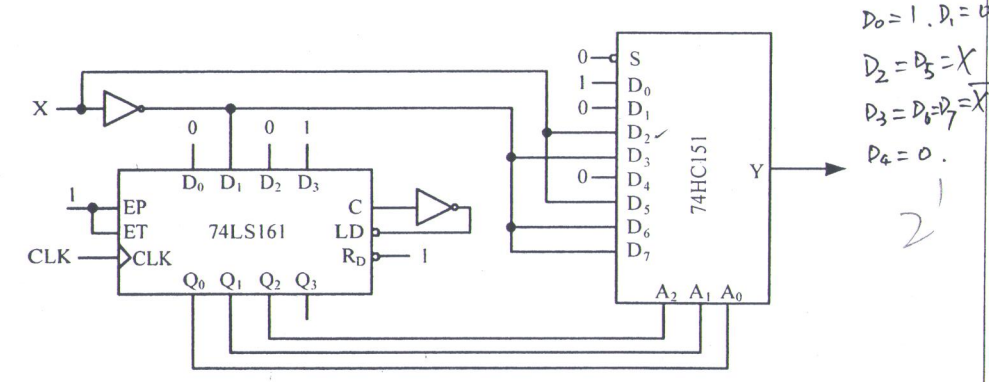
$$C_o = \sum m(3, 5, 6, 7)$$

$$S = \overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7}$$

$$= \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_4} \cdot \overline{Y_7}$$

$$C_o = \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}$$

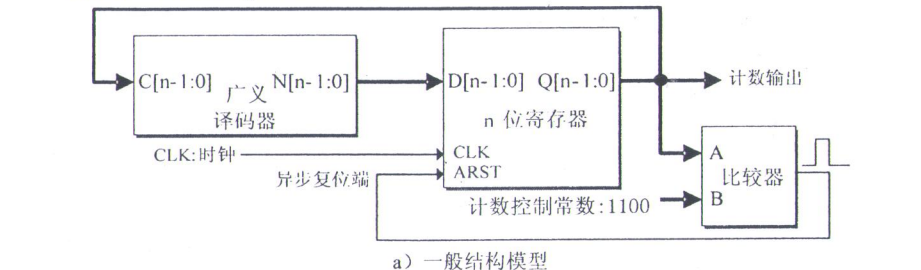
2. 时序电路如下图所示, X 为输入, Y 为输出。试分析该逻辑电路当 X 为不同输入时, 该时序电路分别是完成何种逻辑功能的电路? (10 分)



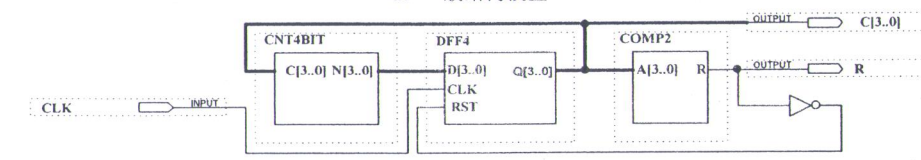
解: 电路 74LS161 构成四位二进制计数器。
 当 $X=0$ 时, 计数状态从 1010 开始 $\rightarrow 1111$, $M=6$ 。
 当 $X=1$ 时, 计数状态从 1000 开始 $\rightarrow 1111$, $M=8$ 。
 而电路 74HC151 构成一个 8 选 1 地址 A_2, A_1, A_0 由计数器 Q_3, Q_2, Q_1, Q_0 的 4 位 3 位决定。
 当 $X=0$ 时, Q_3, Q_2, Q_1, Q_0 从 $0101 \rightarrow 0111 \rightarrow 1000 \rightarrow 1011 \rightarrow 1100 \rightarrow 1111$ 变化。
 当 $X=1$ 时, Q_3, Q_2, Q_1, Q_0 从 $1000 \rightarrow 1011 \rightarrow 1100 \rightarrow 1111 \rightarrow 0000 \rightarrow 0011 \rightarrow 0100 \rightarrow 0111$ 变化。
 输出 Y 的序列为 010011 序列。
 输出 Y 的序列为 10100100 序列。

异步反馈清0型计数器的一般结构模型如图a所示，其实现电路结构如图b所示（12分）。

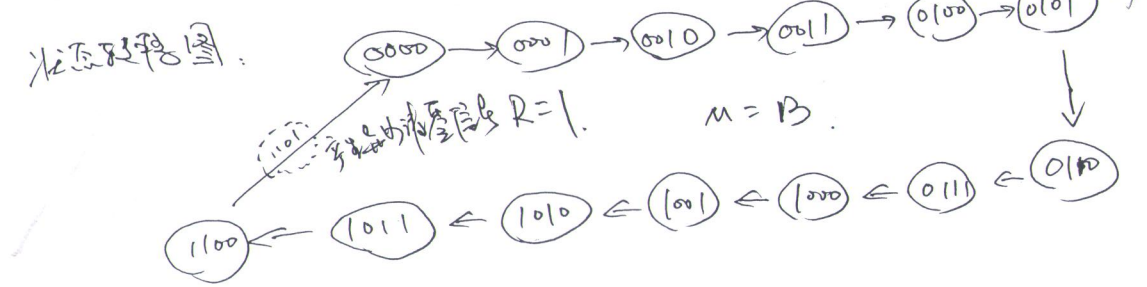
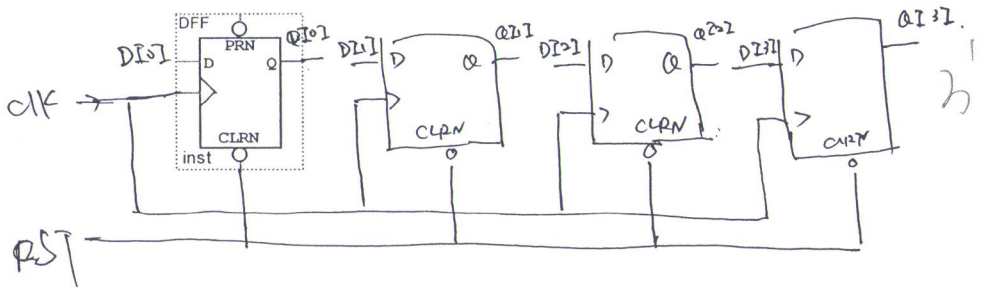
- 1) 采用D触发器设计实现一个4位二进制计数器所需的寄存器电路。
- 2) 实现4位二进制计数器（M=13）的广义译码器的设计，要求所设计的计数器能够自启动，完成相关模块的Verilog描述。并画出该时序电路的状态转移图。



a) 一般结构模型



b) 电路结构



module CNT4BIT(C, N);

```
input [3: 0] C;
output[3: 0] N;
reg [3: 0] N;
always@(C, N)
```

Case(C)

```
4'B0000: N<=4'B0001;
4'B0001: N<=4'B0010;
...
4'B1011: N<=4'B1100;
4'B1100: N<=4'B1101;
4'B1101: N<=4'B1110;
4'B1110: N<=4'B1111;
4'B1111: N<=4'B0000;
default: N<=4'B0000;
```

endcase

endmodule

module COMP2(A, R);

```
input [3: 0] A;
output R; reg R;
always@(A, R)
```

Case(A)

```
4'B1101: R<=1;
default: R<=0;
```

endcase

endmodule