

## Лекция 5

### **Функционирование компьютера в режиме прерывания и прямого доступа в память**

Прерывание исполнения текущей программы работы компьютера предназначено для того, чтобы компьютер по сигналу прерывания мог приостановить выполнение текущей программы, запомнить точку (адрес) останова и переключиться на более важную в данный момент программу. После завершения выполнения программы обслуживания прерывания процессор должен продолжить выполнение приостановленной программы. Для управления работой процессора в режиме прерывания применяется специальное устройство – программируемый контроллер прерываний.

#### **5.1. Программируемый контроллер прерываний**

В первых персональных компьютерах IBM PC в качестве контроллера прерываний использовалась микросхема i8259 (отечественный аналог — БИС КР580ВН59). Данный контроллер прерываний представляет собой законченное устройство, которое позволяет реализовать восьмиуровневую векторную систему прерываний с возможностью маскирования и динамического изменения дисциплины обслуживания.

Для перехода к подпрограммам обслуживания прерываний контроллер формирует и подает на шину данных микропроцессора код команды CALL. За счет каскадного включения КР580ВН59 число обслуживаемых уровней прерывания может быть увеличено до 64. Контроллер может использоваться как для организации обмена информацией в режиме прерывания, так и для организации программно-управляемого обмена. В первом случае БИС ВН59 на приоритетной основе формирует запрос на прерывание для микропроцессора и адрес подпрограммы обслуживания. Во втором случае процессор считывает слово состояния контроллера, и определяют устройство с наивысшим приоритетом, готовое к обмену. Микросхема размещена в пластмассовом корпусе с 28 выводами и потребляет мощность 1 Вт при напряжении питания +5 В.

Контроллер позволяет реализовать простой приоритетный режим и режим циклического приоритета обслуживания прерываний. При реализации простого приоритетного режима всем восьми входам запросов на прерывание присваиваются фиксированные приоритеты, причем наивысший приоритет присваивается входу ЗП0, наименьший ЗП7. В режиме циклического приоритета после окончания обслуживания любого устройства приоритет входов контроллера циклически изменяется таким образом, что устройству, обслуженному последним, присваивается низший приоритет. Кроме того, в режиме циклического приоритета низший приоритет может быть присвоен любому входу запроса программным способом.

Структурная схема контроллера прерываний показана на рисунке 5.1. Запросы на прерывание от внешних устройств подаются на входы ЗП0 – ЗП7 и запоминаются в регистре запросов. В регистре состояния содержатся все запросы на прерывания, обслуживаемые в данный момент. Регистр маски содержит единицы в разрядах, соответствующих маскируемым в настоящий момент входам запросов. Установка в единицу того или иного разряда регистра маски блокирует передачу запроса на прерывание.

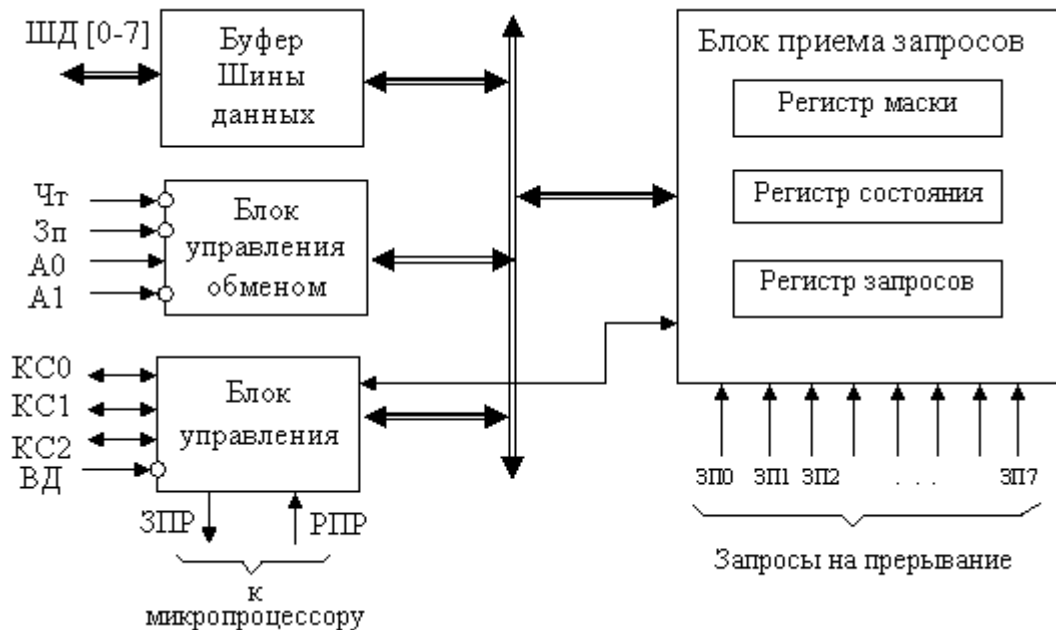


Рисунок 5.1 – Схема программируемого контроллера прерываний

Запросы на прерывание по любому входу могут быть поданы в потенциальной или импульсной форме. Однако каждый последующий запрос на прерывание воспринимается контроллером только после выполнения подпрограммы обслуживания текущего запроса по данному входу и сброса соответствующего разряда регистра состояния, что осуществляется специальной командой программным способом. *Сигналы управления контроллера прерываний КР580ВН59* имеют следующее значение:

- ЗП — запись в БИС управляющих слов;
- ЧТ — считывание из БИС содержимого внутренних регистров;
- А0 — адресация регистров;
- ВМ — выбор микросхемы;
- ЗП0-ЗП7 — запросы на прерывание от внешних устройств;
- ЗПР — запрос на прерывание, выдаваемый контроллером на микропроцессор;

РПР — разрешение прерывания. После поступления этого сигнала от микропроцессора контроллер осуществляет ввод в МП команду CALL;

ВДМ — ведомый; сигнал управления каскадирования. Высокий уровень — если контроллер является ведущим, низкий - ведомым;

КС0-КС2 — каскадирование, линии являются выходными, если контроллер ведущий, и входными — если ведомым.

Значение сигналов КС0 – КС2 ведущего контроллера, подаваемые на соответствующие входы КС0 – КС2 подчиненных, указывает подчиненный контроллер, который формирует и выдает в микропроцессор адрес своей подпрограммы обслуживания.

Программирование контроллера осуществляется двумя типами команд: *командами инициализации* и *командами управления режимом*. Ввод команд для контроллера прерываний осуществляется микропроцессором, как правило, командой OUT. Однако в системе может быть организовано обращение к контроллеру как к ячейкам ЗУ. **Команды инициализации** подаются перед началом работы контроллера. Эти команды задают стартовые адреса подпрограмм обслуживания прерываний, расстояниями между соседними стартовыми адресами и указывают, если необходимо, на наличие других контроллеров в системе. **Команды управления режимом (операциями)** служат для оперативного изменения режимов обслуживания прерываний и могут подаваться в любое время в процессе работы контроллера. **Команда управления операциями (OCW1)** осуществляет установку или сброс разрядов *регистра маски*. Установка определенного разряда регистра маскирования приводит к запрету прерывания по соответствующему входу. Команда управления OCW2 осуществляет циклический *сдвиг приоритета запроса*. Команда управления операциями OCW3 позволяет задать режим специального маскирования, при котором можно *выборочно* устанавливать *приоритеты прерывания*. Этой же командой можно задать режим опроса и произвести считывание состояния ПКП, при котором считывается значение регистра обслуживаемых прерываний либо регистра запроса прерываний.

При поступлении запроса на прерывание по одному из входов ЗП0-ЗП7 он фиксируется в регистре запросов, а на выводе ЗПР (INT) формируется сигнал запроса на прерывание, который поступает на соответствующий вход микропроцессора. Если запросы на прерывание не запрещены (специальной командой), то процессор завершает текущий цикл, сохраняет в стеке состояние программного счетчика и выдает контроллеру сигнал разрешения прерывания РПР (INTA). По этому сигналу контроллер выставляет на шину данных код команды вызова подпрограммы CALL, который поступает в регистр команд процессора. После дешифрации этой команды процессор последовательно выдает еще два сигнала РПР. По первому из них контроллер выдает младший байт адреса подпрограммы обслуживания прерываний, а по второму – старший. Эти байты заносятся в программный счетчик и процессор начинает выполнять команду, начиная из адреса (вектора), поступившего от контроллера прерываний. Подпрограмма обслуживания прерываний должна заканчиваться командой возврата RET, по которой два байта из стека

загружаются в программный счетчик и процессор продолжает выполнять прерванную программу.

В процессоре Pentium был добавлен расширенный контроллер прерываний APIC (*Advanced PIC*). Он состоит из модуля, встроенного в сам процессор (в случае многоядерной системы — в каждое ядро), называемого локальный контроллер прерываний (англ. *local APIC*), и центрального модуля, выполненного в одном экземпляре даже на многоядерном оборудовании, обычно как часть микросхем обматывания процессора (англ. *IO APIC*).

Проводники IRQ от прерывающих устройств подсоединены к IO APIC. Для общения локального APIC и IO APIC, а также локальных APIC различных ядер друг с другом, используется системная (*frontside*) шина многопроцессорной системы, также используемая для соединения процессоров и контроллера памяти.

Преимуществом расширенного контроллера прерываний является следующее:

- 1) возможность реализации межпроцессорных прерываний — сигналов от одного процессора к другому;
- 2) поддержка до 256 входов IRQ, в отличие от 16 на классической IBM PC
- 3) очень быстрый доступ к регистрам текущего приоритета прерывания и подтверждения прерывания.

В настоящий момент наблюдается тенденция к отказу от IO APIC, как и проводников IRQ, и переходу на прерывания, инициируемые сообщениями MSI — (*Message Signaled Interrupts*).

MSI — альтернативная форма прерываний: вместо присваивания номера запроса на прерывание, прерывающему устройству разрешается записывать сообщение по определённому адресу системной памяти. Для записи сообщения используется механизм прямого доступа в память, причем устройство может иметь от одной до тридцати двух уникальных областей памяти. Все прерывания шины PCI Express всегда доставляются как MSI, даже при использовании эмуляции традиционных номеров проводников прерываний.

Достоинства MSI состоят в следующем:

- возможность передачи некоторых данных вместе с информацией о наступлении события, что зачастую избавляет обработчик прерывания от необходимости читать данную информацию из регистров состояния устройства, что уменьшает загрузку шины;
- возможность полного отказа от проводников INT# от устройств и разъемов PCI до главного контроллера прерываний (IO APIC), а также от самого главного контроллера прерываний, что упрощает системную плату;

- в многопроцессорных и многоядерных системах устройства получают возможность самостоятельно выбирать процессор/ядро для обработки конкретного прерывания, причем делать это полностью на уровне аппаратуры без исполнения программного кода, что позволяет оптимизировать работу путем размещения большей части структур драйвера устройства и связанного с ним программного обеспечения (сетевых протоколов и т.д.) в кэше конкретного процессора.

## 5.2. Программируемый контроллер прямого доступа к памяти

Контроллер прямого доступа к памяти (ПДП) служит для организации обмена данными между внешними устройствами и памятью, без участия центрального процессора. В персональных микро-ЭВМ используется контроллер ПДП типа KP580BT57, который имеет четыре независимых канала обмена, каждый из которых адресует свою область внешней памяти путем последовательного инкрементирования выбранного адреса. Контроллер ПДП имеет приоритетную логику, реализующую запросы от четырех периферийных устройств и производит счет циклов ПДП каждого канала.

Каждый канал ПДП имеет регистр адреса и регистр количества циклов (оба 16 разрядов), шину адреса и шину данных. Шина адреса разделена на две части (A3 – A0) – двунаправленная часть шины адреса, при работе которой во входном режиме указанные разряды адреса используют для инициализации определенного канала, а в выходном режиме – как младший полубайт адреса внешней памяти. A7 – A4 являются выходами и используются для выдачи адреса на внешнюю память. Шина данных (D7 – D0) обеспечивает двунаправленный обмен между микропроцессором и КПДП. По этой шине принимаются управляющие слова и выдается старший байт адреса внешней памяти.

Сигнал Чт В/В разрешает (во входном режиме) чтение регистра состояния (РС) или записанных в ЗУ контроллера *начального адреса и числа циклов* передачи данных (ПД) любого из каналов. В выходном режиме Чт В/В разрешает выдачу информации из внешнего устройства ввода – вывода. Сигнал Зп В/В разрешает во входном режиме загрузку *регистров установки режимов*, начального адреса и количества циклов для любого канала ПДП. В выходном режиме Зп В/В разрешает запись информации во внешнее устройство ввода – вывода. Выходные сигналы Чт П и Зп П предназначены для внешнего ЗУ.

Входные сигналы ЗПДЗ – ЗПД0 поступают асинхронно с внешних устройств и воспринимаются БИС как запросы на обмен с ЗУ. Выходные сигналы ППДЗ – ППД0 являются ответными по отношению к ЗПД. Они вырабатываются контроллером в соответствии с приоритетом внешних устройств. Сигнал КС – вырабатывается при установке шестнадцатиразрядного регистра количества циклов в нуль, и указывают периферийному устройству, что данный цикл ПД последний. Сигнал на

выводе M128 – появляется на каждом 128 цикле от конца массива, а также во время действия сигнала КС.

Структурная схема БИС КР580ВТ57 показана на рисунке 5.2. Схема приема запросов (СПЗ) предназначена для приема и формирования ответных сигналов запроса в соответствии с приоритетом внешних устройств. Внутреннее запоминающее устройство (ВЗУ) служит для хранения начального адреса и числа циклов ПД для каждого канала. Для этого в нем расположены для каждого канала шестнадцатиразрядный регистр адреса РгА и регистр циклов РгЦ. РгА загружается адресом первой ячейки памяти, к которой будет обращение. Младшие 14 разрядов РгЦ указывают число циклов минус 1 до конца счета (сигнал КС). Разряды 14 и 15 РгЦ указывают на вид обмена 00 – контроль, 01 – запись в ЗУ, 10 – чтение ЗУ, 11 – запрещенная комбинация.

Схема формирователя сигналов Зп/Чт обеспечивает обмен информацией между микропроцессором и БИС контроллер с одной стороны, и БИС и ОЗУ и прерывающее устройство – с другой.

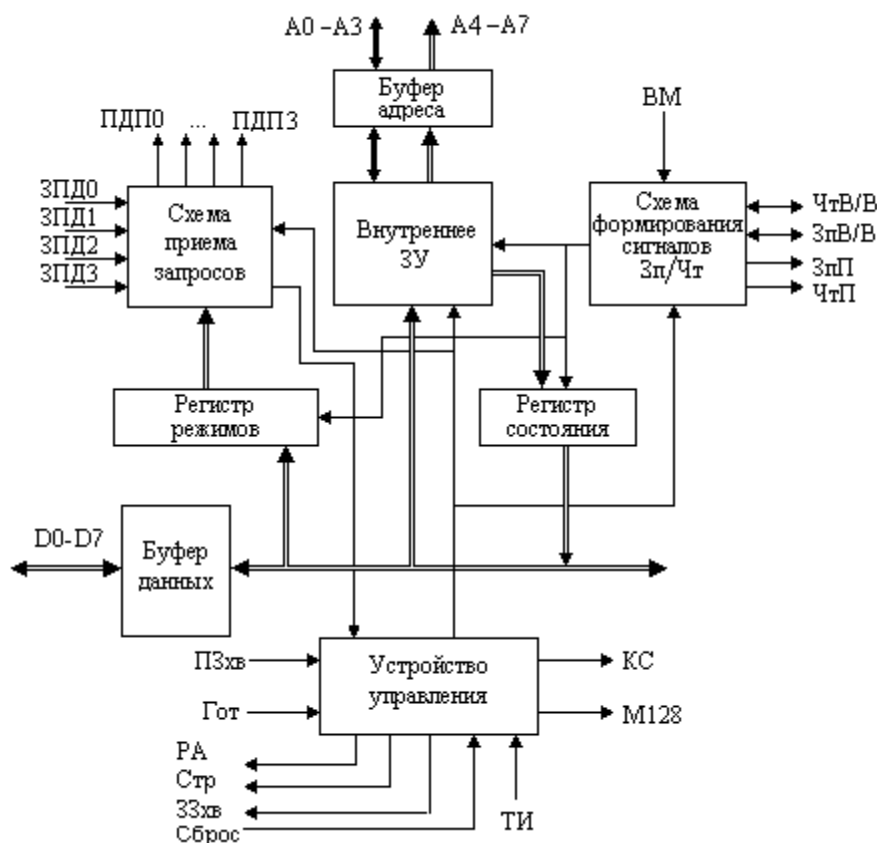


Рисунок 5.2 – Структурная схема контроллера прямого доступа в память

Регистр установки режимов РгР хранит информацию о режимах работы БИС, к которым относятся «Автозагрузка», «Конец счета-стоп», «Удлиненная запись», «Обычная запись», «Циклический сдвиг приоритета» и

«Фиксированный приоритет». Разряды 3÷0 PгР разрешает работу соответствующего канала, а 7÷4 –обеспечивает необходимый режим контроллера. *Регистр состояния каналов PгС* указывает номер канала, который достиг конца счета.

Остальные линии БИС имеют следующее назначение:

A0 – A7 – инициализация канала или младший полубайт адреса.

Стр А – указывает, что на шине данных выдан старший байт адреса внешнего ЗУ.

РА – разрешение адреса для блокировки адресных шин в невыбранных устройствах, указывает, что протекает цикл ПД

ТИ – тактовый импульс Ф2ТТЛ –уровень.

Гот – для обеспечения совместной работы ПДП и медленных внешних устройств.

Микросхема КР580ВТ57 может находиться в одном из следующих состояний: исходном, программирования, ожидания, обслуживания. В исходное состояние микросхему переводит внешний сигнал установки. В этом состоянии маскируются все запросы признаков ПД, а буферы A3 ÷ A0 переводятся в состояние приема информации. В состоянии программирования микропроцессор имеет доступ к внутренним регистрам выбранного канала в соответствии с состоянием управляющих сигналов. В состоянии ожидания БИС находится либо от момента окончания программирования до выдачи сигнала ПДП, либо в промежутках между циклами ПД.

При получении от внешнего устройства сигнала запроса на ПДП (ЗПД0-ЗПД3), например, на вывод данных из памяти, контроллер вырабатывает сигнал запрос захвата ЗЗхв, который поступает на соответствующий вход микропроцессора. МП на каждом втором такте машинного цикла проверяет состояние этого входа и при активном сигнале ЗЗхв переводит свои шины в третье (высокоимпедансное) состояние, т.е. отключается от шин данных, адреса и управления и выдает сигнал подтверждение захвата ПЗхв. В таком состоянии процессор находится, пока на его входе присутствует активный сигнал ЗЗхв. Управляемыми остаются только линии процессора ЗЗхв и ПЗхв.

После получения от микропроцессора сигнала ПЗхв контроллер выдает сигнал ППД, соответствующему внешнему устройству и переходит в состояние обслуживания ПДП, в котором системные шины находятся под управлением контроллера ПДП. При этом на шину адреса по линиям A0-A7 котроллер выставляет младший байт адреса, а на шину данных – старшую часть адреса. Присутствие адреса на шине данных сопровождается стробом адреса СтрА, который используется для записи этой части адреса во внешний регистр. Вследствие этого на память поступает 16-разрядный адрес ячейки с которой начинается прямой доступ. После снятия адреса с шины данных контроллер вырабатывает сигнал чтения содержимого ячейки памяти ЧтП, в результате чего память выставляет на шину данных восьмиразрядное слово, которое поступает на внешние устройства. После завершения переходного процесса установки данных на шине контроллер вырабатывает сигнал записи во внешнее устройство ЗпВ/В. Очевидно, что данные будут восприняты

только тем устройством, которое получило одновременно сигналы ППД и ЗпВ/В.

Затем контроллер ПДП уменьшает счетчик циклов на 1 и, если счет не закончился, повторяет цикл чтения из памяти и запись во внешнее устройство. Запись в память в режиме ПДП осуществляется аналогично, но при этом контроллер формирует сначала сигнал ЧтВ/В, а потом ЗпП. Если содержимое счетчика циклов стало равным нулю, то контроллер формирует сигнал конец счета КС и снимает сигнал ЗЗхв. Процессор возвращается в рабочее состояние и продолжает управление шинами самостоятельно.

Особенности программирования БИС контроллера ПДП:

1. При записи информации в регистры РА и РЦ выполняются по два обращения к регистрам, причем вначале записывается младший байт, а затем – старший. Запись осуществляется по одному и тому же адресу. Операцию записи шестнадцатиразрядного слова в регистры необходимо всегда выполнять полностью.

2. В микропроцессорной системе, работающей с прерываниями, следует запрещать прерывания перед выполнением двойного обращения к регистрам.

3. После сигнала Сброс в регистре режимов РР содержатся нули и работа всех каналов запрещена. Запись байта в РР необходимо всегда выполнять после загрузки параметров в РА и РЦ.

4. После каждого запроса ПДП контроллер необходимо перепрограммировать, если не был установлен режим автозагрузки.

В контроллерах ПДП для работы с 20- 24-разрядной шиной адреса добавляется 8-битовый регистр страниц. Для 20-разрядной ША используется 4 бита этого регистра, а для 24-разрядной – все 8.