

Министерство образования и науки Российской Федерации
Федеральное государственное автономное образовательное
учреждение высшего профессионального образования
«Севастопольский государственный университет»

Исследование комбинационных цифровых устройств

Методические указания

к выполнению лабораторной работы

для студентов, обучающихся по направлению

09.03.02 “Информационные системы и технологии”

дневной и заочной формы обучения

Севастополь 2016

УДК 004.732

Исследование комбинационных цифровых устройств. Методические указания к лабораторным занятиям по дисциплине "Электроника" / Сост. В.С. Чернега — Севастополь: Изд-во СевГУ, 2016 — 11 с.

Методические указания предназначены для проведения лабораторных работ по дисциплине "Электроника". Целью методических указаний является помощь студентом в освоении способов построения и экспериментального исследования шифраторов, дешифраторов и преобразователей кода. Излагаются теоретические и практические сведения необходимые для выполнения лабораторной работы, программа исследований, требования к содержанию отчета.

Методические указания рассмотрены и утверждены на методическом семинаре и заседании кафедры информационных систем (протокол № 1 от 29 августа 2016 г)

Допущено учебно-методическим центром СевГУ в качестве методических указаний.

Рецензент: Кротов К.В., канд. техн. наук, доцент кафедры ИС

Лабораторная работа

Исследование комбинационных цифровых устройств

1. Цель работы

Экспериментальные исследования функционирования шифраторов, дешифраторов и преобразователей кодов. Приобретение практических навыков измерения электрических параметров комбинационных устройств и регистрации временных диаграмм с помощью электро- и радио-измерительных приборов.

2. Основные теоретические положения

2.1 Дешифратор

Дешифратор (декодер) служит для преобразования n -разрядного позиционного двоичного кода в единичный выходной сигнал на одном из 2^n выходов. При каждой входной комбинации сигналов на одном из выходов появляется 1, а на остальных выходах - 0. В дешифраторах с инверсными выходами каждой входной комбинации соответствует 0 только на одном из выходов, а на остальных выходах – 1. Таким образом, по единичному сигналу на одном из выходов можно судить о входной кодовой комбинации. Таблица истинности для декодера с двумя входами изображена в таблице 2.1.

Таблица 2.1 – Таблица истинности двухразрядного дешифратора

x_1	x_2	y_0	y_1	y_2	y_3
0	0	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
1	1	0	0	0	1

Для реализации ДШ необходимо составить логические уравнения для каждого его выхода. Логическое выражение составляется в совершенной дизъюнктивной нормальной форме (СДНФ), при которой логическая функция записывается в виде дизъюнкции (логической суммы) слагаемых (термов), каждое из которых есть конъюнкция всех аргументов (прямых и инверсных). Причем учитываются только значения логической функции, равной единице, а в произве-

дениях записывают инверсии тех аргументов, значения которых в этом случае равны нулю. Так как в дешифраторе логическая единица на выходе появляется только при одной входной комбинации переменных, то СДНФ дешифратора состоит только из одного терма. Исходя из этих положений система логических выражений для двухразрядного дешифратора имеет вид:

$$y_0 = \bar{x}_1 \bar{x}_0; \quad y_1 = \bar{x}_1 x_0; \quad y_2 = x_1 \bar{x}_0; \quad y_3 = x_1 x_0. \quad (2.1)$$

Схема полного дешифратора, составленная на основе уравнений (2.1), показана на рис.2.1.

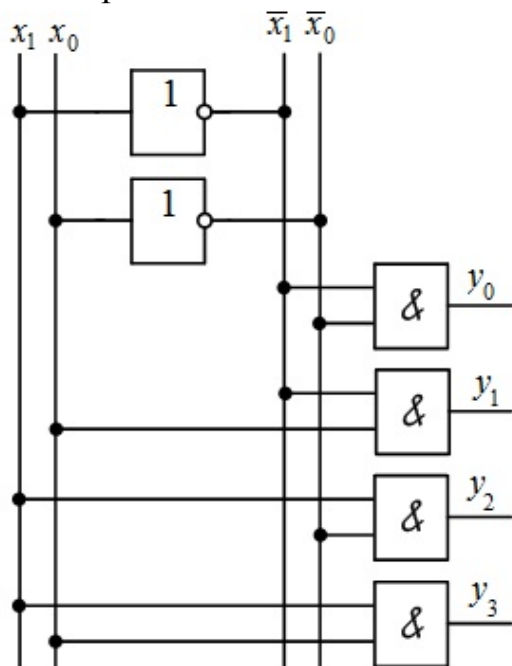


Рисунок 2.1 – Схема двухразрядного дешифратора

В настоящее время промышленность выпускает дешифраторы в интегральном исполнении на основе ТТЛ-, КМОП- и другого типа логики.

Условное графическое обозначение полного дешифратора, выполненного в виде интегральной схемы, показано на рис. 2.2.

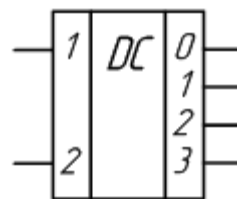


Рисунок 2.2 – Условное графическое обозначение дешифратора

2.2. Шифратор

Шифратор (кодер) выполняет функцию, обратную декодеру (дешифратору), то есть преобразует унитарный двоичный 2^n разрядный код в n разрядный позиционный код. При подаче на один из входов единичного сигнала на выходе формируется соответствующий двоичный код. Условное графическое изображение шифратора показано на рис.2.3а.

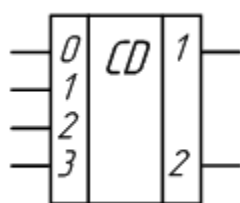
Составим таблицу неполного шифратора при количестве входных линий (количестве разрядов унитарного кода) равным 9. Для кодирования такого количества унитарных комбинаций шифратор должен иметь количество разрядов $n = 4$. Очевидно, что полный шифратор при $n = 4$ мог бы закодировать 16 комбинаций, включая нулевую.

Таблица истинности неполного шифратора на 9 входных линий приведена в таблице 2.1.

Таблица 2.1- Таблица истинности неполного шифратора

x_1	x_2	x_3	x_4	x_5	x_6	x_7	x_8	x_9	y_3	y_2	y_1	y_0
1	0	0	0	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	1	1	0	0	1

Одной из разновидностей шифраторов являются преобразователи кодов (ПК). Преобразователь кода – это комбинационное устройство, в котором каждой входной бинарной комбинации (входному слову) соответствует другая комбинация (выходное слово), причем, разрядности входной и выходной комбинации могут различаться. Условное обозначение ПК в схемах показано на рис.2.3,б.



а)



б)

Рисунок 2.3 – Условные графические обозначения шифратора (а) и преобразователя кода (б)

Рассмотрим в качестве примера преобразователь кода для семисегментного индикатора. В индикаторе (рис.2.4) имеется 7 светодиодных сегментов, которые обозначены буквенными символами а,б,с,д,е,ф,г. Диоды имеют общий

электрод, с которым соединены их катоды. На аноды диодов подаются сигналы высокого положительного уровня (логические 1), а катод подключается к линии нулевого потенциала. Индикатор может отображать все символы 16-ричной системы счисления. Так, например, для высвечивания цифры 5, на аноды a,c,d,f,g индикатора следует подать единичные уровни.

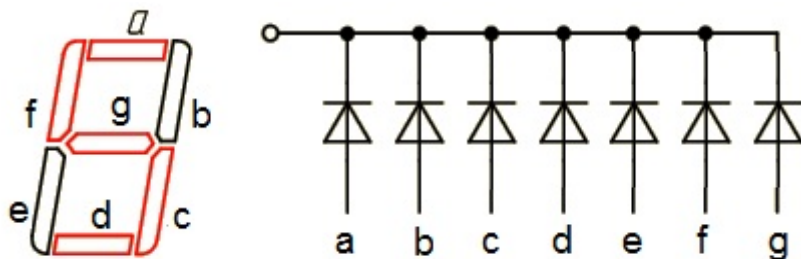


Рисунок 2.4 – Семисегментный индикатор

Очевидно, что входной двоичный код преобразователя кода должен иметь не менее 4-х разрядов ($2^4 = 16$). Составим таблицу истинности работы преобразователя для отображения десятичных символов (табл.2.3).

Таблица 2.3 – Таблица истинности преобразователя кода

Цифра	Двоичный код 8-4-2-1				Сегменты индикатора						
					а	б	в	г	д	е	ж
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

По таблице истинности несложно составить систему логических функций для всех выходов, т.е. СДНФ, минимизировать её и составить принципиальную схему.

В вычислительных устройствах информационной техники широко используются двоичные сумматоры. Независимо от разрядности используемых сумматоров, все они строятся на основе одноразрядного двоичного сумматора. Существуют два вида двоичных сумматоров: неполный и полный. Условное обозначение этих сумматоров показано на рис.2.5.

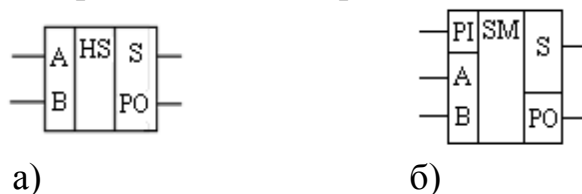


Рисунок 2.5 – Условные графические обозначения неполного (а) и полного (б) сумматоров

Неполный сумматор формирует сумму двух операндов А и В и сигнал переноса РО в старший разряд. Однако он не учитывает перенос из предыдущего разряда, поэтому он и называется полусумматором. В полном сумматоре в операции суммирования операндов текущего разряда учитывает и значение переноса PI из предыдущего разряда.

Таблицы истинности двоичных неполного и полного одноразрядных сумматоров можно получить на основании правил суммирования двоичных чисел. Для описания любого сумматора достаточно иметь два логических уравнения. Для полусумматора на основе таблицы истинности получим систему уравнений следующего вида:

$$S = \bar{A}B + A\bar{B} = A \oplus B ; \quad PO = AB . \quad (2.1)$$

Для полного сумматора система логических уравнений принимает вид:

$$S = \bar{PI}(\bar{A}B + A\bar{B}) + PI(\bar{A}\bar{B} + AB) = PI \oplus (A \oplus B) . \quad (2.2)$$

$$PO = AB + PI(\bar{A}B + A\bar{B}) = AB + PI(A \oplus B) . \quad (2.3)$$

Как видно из уравнений, основной логической операцией в двоичных сумматорах является суммирование по модулю 2, которую реализует логический элемент исключающего ИЛИ типа 2И-ИЛИ-НЕ.

Для построения многоразрядного сумматора, необходимо соединить входы и выходы переносов соответствующих двоичных разрядов. Одноразрядные сумматоры практически никогда не использовались, так как почти сразу же были выпущены микросхемы многоразрядных сумматоров. Примером четырехразрядных сумматоров является микросхема К561ИМ1 (зарубежный аналог 4008).

3. Описание лабораторной установки

Лабораторная установка состоит из персонального компьютера, на котором инсталлированы система симулирования электронных и микропроцессорных систем Proteus VSM. Proteus VSM по умолчанию устанавливается в папку C:\Program\Files\Labcenter Electronics\Proteus. Особенности работы с данной системой описаны в методических указаниях к лабораторной работе №1.

4. Программа выполнения лабораторной работы

4.1. Используя конспект и рекомендованную литературу, изучить теоретический материал, относящийся к теме работы.

4.2. Создать на рабочем поле симулятора схему исследования 4-разрядного дешифратора. В качестве исследуемого дешифратора использовать интегральную микросхему CMOS 4028. Для индикации выходных сигналов использовать светодиоды LED-YELLOW, а для задания входного кода — двухпозиционные ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 20 мА.

4.3. Задавая на входе дешифратора все возможные комбинации, исследовать состояние его выходов.

4.4. Измерить с помощью вольтметра напряжение на выходах дешифратора при подключенном и отключенном светодиоде.

4.5. Создать на рабочем поле симулятора схему исследования преобразователя двоично-десятичного кода в семисегментный. В качестве исследуемого дешифратора использовать интегральную микросхему CMOS 44511. Для индикации выходных сигналов использовать семисегментный индикатор типа 7SEG-COM-CAT, а для задания входного кода — двухпозиционные ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 15 мА.

Примечание: Входы LT и BI ПК подключаются к источнику питания, а вход LE — к сигнальной земле.

4.6. Задавая на входе преобразователя кода двоично-десятичные комбинации от 0 до 9, исследовать состояние выходов ПК и индикатора.

4.7. Создать на рабочем поле симулятора схему исследования двоичного сумматора. В качестве исследуемого сумматора использовать интегральную микросхему CMOS 44511. Для индикации выходных сигналов использовать светодиоды LED-YELLOW, а для задания входного кода — двухпозиционные ключи SW-SPDT, подключаемые к источнику питания или к сигнальной земле. Предусмотреть включение ограничительных резисторов, чтобы ток сегмента не превышал 20 мА.

4.8. Задавая на входе сумматора произвольные числа, исследовать состояние его выходов.

5. Содержание отчета

- 5.1. Цель и программа работы.
- 5.2. Расчетные соотношения для исследуемых схем.
- 5.3. Принципиальные электрические схемы исследуемых устройств.
- 5.4. Таблицы, графики и временные диаграммы экспериментальных исследований.
- 5.5. Выводы по результатам экспериментов.

6. Контрольные вопросы

- 6.1. Составьте таблицу истинности для произвольной логической функции с тремя переменными и запишите логическое выражение для этой функции.
- 6.2. Начертите условное обозначение дешифратора и запишите логические выражения для первых шести выходов 4-разрядного дешифратора.
- 6.3. Начертите логическую схему полного 3-разрядного дешифратора с прямыми выходами.
- 6.4. Начертите логическую схему полного 2-разрядного дешифратора с инверсными выходами.
- 6.5. Составьте таблицу истинности и логическую схему 7-входового шифратора.
- 6.6. Чем преобразователь кода отличается от шифратора и дешифратора?
- 6.7. Запишите таблицу истинности для сумматора по модулю 2 и изобразите его условное графическое обозначение в схемах.
- 6.8. Запишите таблицу истинности для одноразрядного полусумматора и изобразите его условное графическое обозначение в схемах.
- 6.9. Запишите таблицу истинности для полного одноразрядного сумматора и изобразите его условное графическое обозначение в схемах.
- 6.10. Начертите схему 5-разрядного сумматора, выполненного на базе одноразрядных сумматоров.

Список рекомендованной литературы

1. Гусев, В. Г. Электроника и микропроцессорная техника: учеб. для вузов / В. Г. Гусев, Ю. М. Гусев. – 3-е изд. – М.: Высш. шк., 2004. – 790 с.
2. Степаненко, И. П. Основы микроэлектроники: учеб. пособие для вузов / И.П. Степаненко. – 2-е изд. – М.: Лаборатория Базовых Знаний, 2003. – 488 с.: ил.
3. Микушин А.В. Цифровые устройства и микропроцессоры / А.В. Микушин, А.М. Сажнев, В.И. Сединин. - СПб, БХВ-Петербург, 2010. – 832 с.
4. Чернега В.С. Электроника. Конспект лекций для направления обучения 09.03.02.- Севастополь: СевГУ, 2016.

Заказ №

Тираж

экз.

Тип. СевГУ