

## Лекция 1

### 1.1 Обобщенная структурная схема компьютера

Компьютером (цифровой электронно-вычислительной машиной — ЭВМ), называется цифровая программно управляемая система, содержащая взаимосвязанные между собой процессор (П), запоминающее устройство (ЗУ), устройства ввода и вывода и программное обеспечение, предназначенная для арифметической и логической обработки и отображения данных. Процессор в свою очередь состоит из арифметико-логического устройства (АЛУ) и устройства управления (УУ).

Под **архитектурой компьютера** в общем случае понимают концептуальную структуру вычислительной машины, определяющей способы преобразования и обработки информации, принципы взаимодействия технических средств и программного обеспечения. В более подробную характеристику архитектуры входят структурная схема ЭВМ, средства и способы доступа к функциональным элементам схемы компьютера, организация и разрядность шин и интерфейсов ЭВМ, набор и доступность внутренних регистров, организация памяти и способы её адресации, набор и формат машинных команд процессора, способы представления и форматы данных, правила обработки прерываний.

Обобщенная структурная схема ЭВМ изображена на рисунке 1.1.

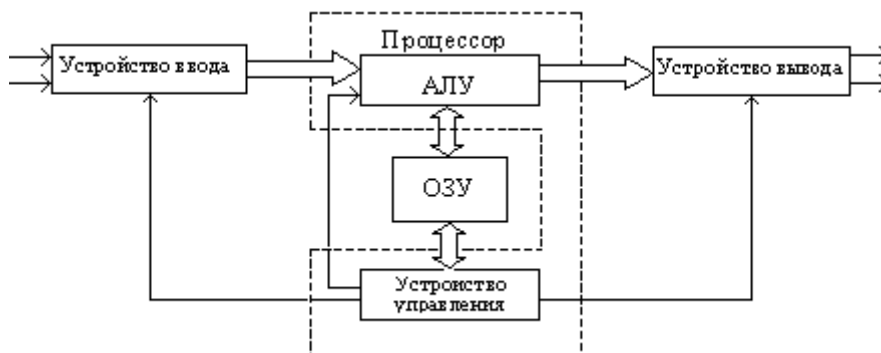


Рисунок 2.1 – Обобщенная структурная схема ЭВМ

**Процессор (П)** - часть ЭВМ для выполнения операций обработки данных. *Процессор* состоит из операционного блока - арифметико-логического

устройства (АЛУ), устройства управления, регистров промежуточного хранения и шин сопряжения.

Отдельные составные части ЭВМ соединяются между собой группами линий одного функционального назначения – *шины*, по которым передаются управляющие сигналы, данные и команды.

Устройства ввода предназначаются для занесения программы и входных данных в ЭВМ. Устройствами ввода-вывода могут быть, например, клавиатура, накопитель на магнитном диске, сканер, модем и др.

*Память* ЭВМ предназначена для хранения кодов программ, входных и выходных данных, результатов расчетов и промежуточных данных вычислений. Такая память называется оперативной (ОЗУ), поскольку функционирование ЭВМ определяется программой, хранимой в этом же запоминающем устройстве. Информация в ОЗУ хранится в виде отдельных слов, которые имеют размерность от 8 до 64 двоичных разрядов.

*АЛУ (операционный блок)* предназначен для выполнения в соответствии с программой, хранимой в памяти, арифметических, логических и сдвиговых операций над данными, находящимися в этой же памяти. Арифметическое устройство состоит обычно из накапливающего сумматора, регистров общего назначения, дешифраторов и других логических схем. Основной частью АЛУ является сумматор, поскольку все арифметические операции в процессоре выполняются посредством операций сложения или вычитания.

Арифметическое устройство (АЛУ) функционирует непосредственно под воздействием устройства управления (УУ). Оно может обрабатывать информацию последовательно, параллельно, либо параллельно-последовательно. АЛУ осуществляет операции, как правило, только над двумя числами (операндами). Если потребуется выполнить операции с большим количеством чисел, то применяется несколько циклов.

*Устройство управления (УУ)* в соответствии с алгоритмом, определяемым схемой этого устройства, последовательно производит выборку из ОЗУ отдельных команд программы и затем в соответствии с полученными командами вырабатывает управляющие сигналы, которые управляют составными частями ЭВМ. УУ организует также работу устройств ввода/вывода компьютера. Схемотехнически УУ содержит генераторы тактовых сигналов, счетчики, регистры, дешифраторы и различные комбинационные логические схемы.

*Устройство вывода* (печатающее устройство, графопостроитель, дисплей, и др.) обеспечивают перевод полученных результатов вычислений в

форму, удобную для восприятия человеком, а также осуществляют документирование данных.

Функционирование компьютера в упрощенном виде можно описать следующим образом. После включения питания устройство управления процессора отправляет по шине адреса на ОЗУ определенный (на стадии проектирования компьютера) номер ячейки памяти, в которой хранится первая команда программы управления работой компьютера. Затем устройство управления генерирует сигнал чтения памяти, по получении которого ОЗУ выставляет на шину код первой команды. Устройство управления процессора фиксирует этот код в регистре команды, дешифрирует ее и вырабатывает последовательность управляющих сигналов, требуемых для выполнения данной команды арифметико-логическим устройством. По завершении выполнения первой команды устройство управления формирует адрес следующей ячейки памяти и процесс получения и выполнения очередной команды повторяется. Команды управляют не только обработкой данных, но и вводом и выводом информации. Процесс чтения и выполнения команд циклически повторяется до получения команды останова.

## **1.2. Неймановская и гарвардская архитектуры компьютеров**

В настоящее время наибольшее распространение в ЭВМ получили 2 типа архитектуры: *Неймановская* и *Гарвардская*. Неймановская архитектура компьютера основывается на следующих принципах.

### **Принцип однородности памяти.**

Программы и данные хранятся в одной и той же памяти. Поэтому ЭВМ не различает, что хранится в данной ячейке памяти — число, текст или команда. Над командами можно выполнять такие же действия, как и над данными.

### **Принцип адресуемости памяти.**

Структурно основная память состоит из пронумерованных ячеек; процессору в произвольный момент времени доступна любая ячейка. Отсюда следует возможность давать имена областям памяти, так, чтобы к хранящимся в них значениям можно было бы впоследствии обращаться или менять их в процессе выполнения программы с использованием присвоенных имен.

### **Принцип последовательного программного управления.**

Предполагает, что программа состоит из набора команд, которые выполняются процессором автоматически друг за другом в определенной последовательности.

## **Принцип жесткости архитектуры.**

Неизменяемость в процессе работы компьютера его структуры и списка команд.

Совместное использование шины для памяти программ и памяти данных приводит к ограничению пропускной способности между процессором и памятью по сравнению с объёмом памяти.

Для гарвардской архитектуры компьютера характерны следующие признаки:

1) хранилище команд (инструкций) и хранилище данных представляют собой разные физические устройства, в связи с чем машина гарвардской архитектуры имеет различные адресные пространства для команд и данных.

2) канал команд и канал данных также физически разделены.

В компьютере с использованием гарвардской архитектуры процессор может читать инструкции и выполнять доступ к памяти данных в одно и то же самое время. Благодаря этому компьютер с гарвардской архитектурой работает быстрее. Недостатком гарвардской архитектуры является более высокая сложность аппаратной реализации компьютера.

Существуют гибридные архитектуры, сочетающие достоинства как Гарвардской, так и Неймановской архитектур. Так современные универсальные процессоры обладают отдельной кэш-памятью 1-го уровня для инструкций и данных, что позволяет им за один рабочий такт получать одновременно и команду, и данные для её выполнения. То есть процессорное ядро, формально, является гарвардским, но программно оно Неймановское, что упрощает написание программ.

### **1.3. Архитектура однокристального микропроцессора**

*Микропроцессор* (МП) – это устройство для выполнения программно управляемых арифметических и логических операций, содержащее АЛУ, устройство управления, регистры и шины ввода-вывода информации, изготовленное в виде одной или нескольких больших интегральных схем (кристаллов). Компьютер, выполненный на основе микропроцессора, часто называют микро-ЭВМ.

Основная последовательность операций микро-ЭВМ следующая:

- 1) передача адреса очередной команды из МП в оперативную память (память программы);
- 2) считывание из памяти и декодирование команды в МП;

- 3) выполнение команды в МП;
- 4) формирование адреса следующей команды.

Последовательность этих операций называется циклом команды.

МП является основной частью — ядром микро-ЭВМ. Его архитектура в значительной степени определяет характерные параметры микро-ЭВМ. Типичная структурная схема МП имеет вид, изображенный на рисунке 1.2. В ее состав входят следующие функциональные узлы.

*Аккумулятор* — это регистр, в котором содержится операнд, подлежащий обработке в АЛУ. Его можно считать основным рабочим регистром, в котором записываются данные из памяти и результаты операций, заносимых обратно в память или в устройство ввода-вывода. Например, в соответствии с заданной командой в АЛУ подается команда выполнения операции сложения содержимого аккумулятора и другого регистра и записи полученной суммы в *Ак*.

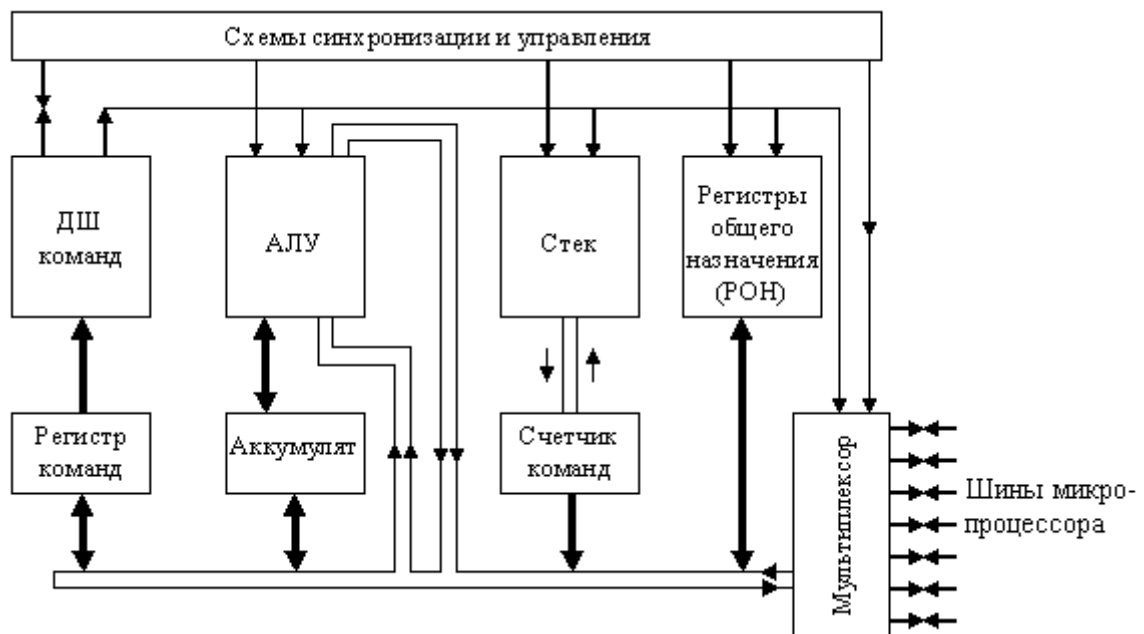


Рисунок 1.2 – Обобщенная структурная схема однокристального микропроцессора

*Счетчик команд (СК)*. Команды, образующие программу, хранятся в памяти программы в определенной последовательности. В счетчике команды содержится адрес выполняемой в текущий момент команды. Обычно в процессе выполнения команд содержимое СК увеличивается на единицу. Однако в зависимости от вводимых данных либо от результатов выполнения

операций может возникнуть необходимость изменения последовательности порядка выполнения команд. Для этого необходим переход к новому адресу команды. С этой целью в СК непосредственно записывается адрес команды, к которой необходим переход. Для того чтобы затем была возможность обратного перехода в последовательности прежде выполнявшихся команд, необходимо запомнить адрес, предшествовавший переходу на новую последовательность команд. Этот адрес сохраняется в регистре стека.

*Стек.* Стек – это набор регистров или ячеек оперативной памяти, в котором данные или адреса выбираются “сверху” по принципу: “первый – поступивший последним”. При записи в стек очередного слова все ранее записанные слова смещаются на один регистр “вниз”. Например, если идет запись в последовательности  $A_1, A_2, A_3, A_4$ , то при считывании информация появляется в обратном порядке  $A_4, A_3, A_2, A_1$ . Т.е. нельзя извлечь раньше  $A_2$ , чем  $A_3$  и т.п. Стек обычно используется в МП для хранения адресов возврата при обращении к подпрограммам, а также для запоминания состояния внутренних регистров при обработке прерываний. Важным параметром является число регистров стека (информационная емкость). При попытке записать в стек большее число слов, чем имеющаяся информационная емкость первое слово будет утеряно. Т.е. происходит переполнение стека. Для указания адреса последнего записанного в стек адреса применяется *указатель стека (УС)*, являющийся специальным регистром.

*Регистр команд.* Команда, принимаемая МП из памяти, хранится в регистре команд (РК). Длина (формат) команды (т.е. число разрядов) зависит от типа МП. Простые МП имеют 8-разрядный код операции. Таким образом, всего может быть образовано  $2^8=256$  различных команд. Для практических целей такое общее число команд более чем достаточно. Несмотря на это, многие МП имеют переменную длину команды, состоящую из одного, двух или трех байтов. С помощью таких команд осуществляется не только идентификация требуемой операции, но и задание кода одного или более адресатов для выбора данных и записи результата.

*Дешифратор команд (ДШК)* предназначен для определения операции, которую должен выполнить МП. Сигналы, образующиеся на выходах ДШ, управляют передачей информации между отдельными блоками и задают функции, выполняемые этими блоками. Как правило, команды делятся на группы, причем в каждой из групп выполняются аналогичные операции. Эти группы команд, например, “Передача данных”, “Арифметические операции”, “Логические операции” и т.д. различаются по четырем старшим разрядам КОП. Такая группировка значительно упрощает декодирование команд.

*Регистры общего назначения (РОН)* – сверхоперативная память. Эти регистры применяются в качестве временного запоминающего устройства для

различной информации (адресов и данных), которую можно извлечь просто и с большей скоростью, чем из ОЗУ. Поэтому блок памяти РОН называют сверхоперативной памятью. Обращение к РОН – адресное. Эти регистры допускают считывание и запись информации, в связи с чем содержат входную и выходную шины, адресную шину и управляющие входы, информация на которых задает режим работы регистра: запись, чтение или хранение.

*Арифметико-логическое устройство* – (АЛУ) входит в состав всех процессоров, хотя его принципиальная схема, функции, быстродействие и т.д. могут быть существенно различными. АЛУ, как составная часть МП, должно выполнять по крайней мере следующие операции:

- сложение с переносом;
- вычитание с переносом (заемом);
- сдвиг влево и вправо;
- счет в прямом и обратном направлении;
- логическое умножение и сложение (И, ИЛИ);
- сравнение кодов.

Более сложные АЛУ могут выполнять и другие функции.

*Схемы синхронизации и управления* – (ССУ) совместно с ДШК называют устройством управления. Устройство управления расшифровывает поступающую команду и в соответствии с ней вырабатывает необходимую последовательность сигналов, управляющих работой всех остальных блоков МП. Следует заметить, что последовательность управляющих сигналов зависит также от характеристик промежуточных состояний (вычислений) и наличия дополнительных сигналов (прерывание, запрос и т.д.). В состав микропроцессора входит также *регистр состояния*, не показанный на схеме. Он состоит из одного или нескольких триггеров, называемых “флажками”. Эти триггеры предназначены для хранения информации о состоянии МП и индикации этого состояния. Например, индикация нулевого содержимого аккумулятора, признак наличия единицы переноса при выполнении арифметических операций, знака содержимого аккумулятора и т.д. Данный регистр состояния обеспечивает возможность интерпретации результатов, полученных при вычислениях, и часто используется для реализации условных переходов.

#### **1.4. Структурная схема 8-разрядного однокристалльного МП**

В качестве примера рассмотрим организацию и особенности функционирования МП типа Intel 8080 (отечественный аналог К580ВМ80) – основного элемента микропроцессорного комплекта серии К580. Структурная схема МП представлена на рисунке 1.3.

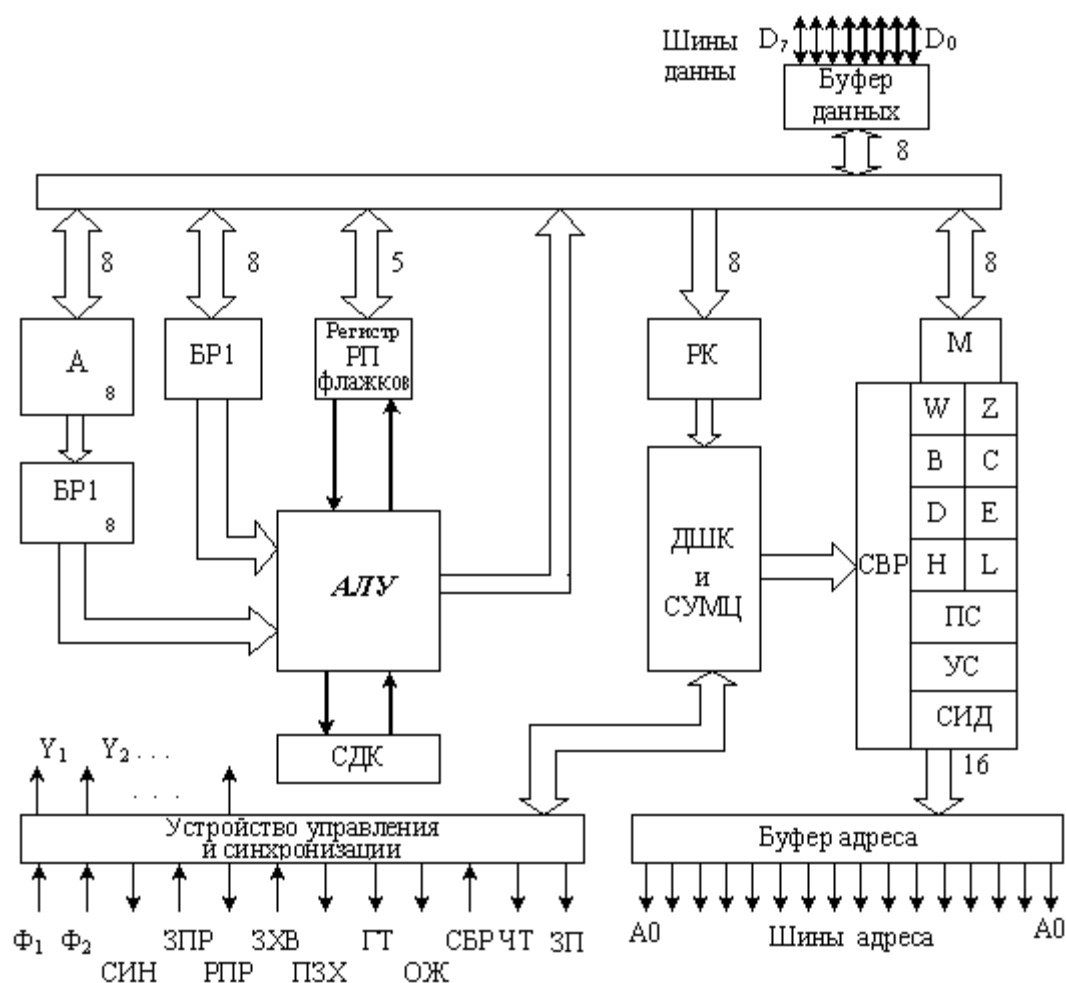


Рисунок 1.3 – Структурная схема однокристалльного микропроцессора Intel 8080

МП содержит шесть 8-разрядных регистров общего назначения РОН (В,С,Д,Е,Н и L) с мультиплексором регистров М, восьмиразрядный аккумулятор А, четыре 8-разрядных буферных регистра BR1, BR2, W и Z, а также 5-разрядный регистр признаков РП. В состав МП входят также регистр команд РК, дешифратор команд ДШК, схема управления машинным циклом СУМЦ, схема десятичной коррекции СДК, схема выборки регистров СВР, программный счетчик ПС, указатель стека УС (в качестве стека используется часть ОЗУ), схема инкрементации-декрементации СИД, устройство управления, а также буферные регистры данных и адреса.

Определяющим для описания любого МП является состав его внешних выводов. МП Intel 8080 размещен в корпусе с 48 выводами, но используются только 40 из них. Внешние выводы имеют следующее назначение:

$D_0 - D_7$  – двунаправленная шина данных;



$A_0 - A_{15}$  – шина адреса, допускающая подключение памяти объемом  $2^{16} = 16\text{Кбайт}$ ;

СИН (SYNC) – выход синхроимпульса, вырабатываемого МП в начале каждого машинного цикла;

СБР (RESET) – “Сброс”, вход установки микропроцессора в начальное (нулевое состояние);

ЧТ (DBIN) – “Чтение”, выход, сигнал на котором обозначает, что МП принимает информацию с шины данных. Используется для отпириания вентильных схем с целью передачи информации на шину данных из памяти или устройств ввода;

ЗП (WR) – “Запись” – выход, сигнал на котором обозначает, что МП выдает информацию на шину данных. Используется для синхронизации записи информации с шины данных в память или ее передачи в устройства вывода. Сигнал имеет инверсное значение;

ГТ (READY) – “Готовность” – вход сигнала готовности от устройства памяти или ввода. Низкий уровень на этом входе после выработки МП сигнала ЧТ указывает на то, что память или устройство ввода не готовы к передаче информации в МП. Микропроцессор в этом случае входит в состояние “Ожидание”;

ОЖ (WAIT) – “Ожидание” – выход, признак нахождения МП в состоянии ожидания;

ЗХВ (HOLD) – вход, сигнал на котором заставляет МП войти в режим ЗАХВАТ, когда адресная шина и шина данных МП переходят в состояние высокого сопротивления. Это позволяет внешнему устройству получить управление обеими шинами, например, для прямого доступа в память;

ПЗХВ (HLDA) – “ПРИЗНАК ЗХВ”, выход, сигнал на котором информирует о нахождении МП в режиме ЗАХВАТ;

ЗАПР (INT) – вход запросов на прерывание;

РПР (INTE) – выход сигнала, указывающего на разрешение прерывания;

$\Phi_1, \Phi_2$  – входы для подачи тактовых сигналов;

+12; +5; -5; КОРПУС – входы для подключения питания.

Функциональные блоки имеют следующее назначение.

1) *Матрица РОН и схемы адресации:*

а) *Матрица регистров* представляет собой статическое ОЗУ, состоящее из шести 16-разрядных регистров. Пары регистров В-С; D-E и H-L являются

шестью 8-разрядными регистрами сверхоперативной памяти, которые можно использовать как шесть одинарных 8-разрядных регистров или как три пары 16-разрядных регистров. Пара регистров временного хранения W-Z предназначена для внутренних команд и не находится в распоряжении программиста;

б) *Программный счетчик (Счетчик команд)*. 16-разрядный счетчик, предназначен для хранения адреса текущей команды выполняемой программы; после выборки любой команды происходит увеличение хранимого адреса на единицу;

в) *Указатель стека*. 16-разрядный УС содержит адрес очередного уровня стека в памяти. Содержимое УС уменьшается на единицу при поступлении данных в стек, а при выборке из стека - соответственно увеличивается. УС может использовать любую область памяти ОЗУ, что обеспечивает практически неограниченные возможности вложения подпрограмм;

г) 16-разрядный *фиксатор адреса*, загружаемый данными любой из трех пар регистров сверхоперативной памяти, обеспечивает прямую адресацию памяти через буферы адреса.

2) *АЛУ* – служит для выполнения арифметических и логических операций, а также операций циклического сдвига. При реализации операций с АЛУ используется аккумулятор, буферные регистры БР1, БР2 и 4-разрядный регистр признаков (флажков).

3) *Регистр команд РК* представляет собой 8-разрядный регистр, предназначенный для передачи данных от внутренней шины к ДШК и схемам управления. Выходные сигналы ДШК и сигналы управления от внешних устройств подаются на устройство управления и синхронизации.

4) *Устройство управления и синхронизации* принимает из ДШК и СУМЦ информацию о поступившей команде (из памяти) и в соответствии с сигналами на управляющих входах ЗАХВ, ЗАПР и ГТ обеспечивает ее выполнение выработкой необходимых управляющих сигналов  $Y_i$  для всех блоков МП. Устройство управления и синхронизации вырабатывает также сигналы для управления памятью и устройствами ввода-вывода.

## **1.5. Функционирование и временные диаграммы микропроцессора**

Формат команды МП580ВМ80 содержит от одного до трех байт. Время, затрачиваемое на извлечение 1 байта информации или выполнение команды, определяемой одним машинным словом, называют *машинным циклом* (М). Каждая команда требует для выборки и выполнения от одного до пяти машинных циклов. Машинные циклы именуются  $M_1, M_2, M_3, M_4, M_5$ .

Выполнение каждой команды в МП происходит в строгой последовательности, определяемой кодом команды, и синхронизируется сигналами  $\Phi_1$  и  $\Phi_2$  тактового генератора. Период синхросигналов  $\Phi_1$  или  $\Phi_2$  называется *машинным тактом* (Т). Любой машинный цикл включает от трех до пяти тактов:  $T_1, T_2, T_3, T_4, T_5$ . Каждый такт длится в течение одного периода синхросигнала (длительность такта при частоте 2 МГц = 0,5 мкс). Имеется три состояния, которые могут длиться неограниченное число тактов: WAIT (Ожидание), HOLD (Захват), HALT (Останов).

Время выполнения команды определяется процессом получения, декодирования и ее выполнения. В зависимости от вида команды это время может состоять от 1 до 5 М. Для микропроцессора 580BM80 существует десять различных типов циклов:

- 1)  $M_1$  – извлечение кода команды;
- 2)  $M_2$  – чтение данных из памяти;
- 3)  $M_3$  – запись данных в память;
- 4)  $M_4$  – извлечение из стека;
- 5)  $M_5$  – запись данных в стек;
- 6)  $M_6$  – ввод данных из внешних устройств;
- 7)  $M_7$  – запись данных во внешние устройства;
- 8)  $M_8$  – цикл обслуживания прерывания;
- 9)  $M_9$  – останов;
- 10)  $M_{10}$  – обслуживание прерывания при работе МП в режиме “Останов”.

Цикл  $M_1$  – это всегда цикл выборки команды, он длится от 4 до 5 тактов. Циклы  $M_2, M_3, M_4, M_5$  обычно состоит из 3-х тактов каждый. На рисунке 2.4. показаны временные диаграммы функционирования МП.

В течение такта  $T_1$  содержимое программного счетчика ПС выдается на адресную шину, а на выходах СИН выработывается высокий потенциал. На шину данных подается 8-разрядный код, характеризующий выполняемый цикл. На первом такте каждого машинного цикла МП указывает тип выполняемого цикла с помощью 8-разрядного слова состояния цикла, выдаваемого на шины данных. Слово состояния выдается на шины данных лишь во время импульса СИНХР (такты  $T_1$  и  $T_2$ ), а используется на протяжении всего машинного цикла. Поэтому его необходимо записывать в специальный регистр слова состояния РгСС. Запись его осуществляется в момент совпадения сигналов СИНХР и  $\Phi_1$  на втором такте (рисунок 1.4).

Слово состояния в последующем используется для формирования сигналов раздельного обращения к памяти и внешним устройствам, так как в процессоре такие сигналы отсутствуют (например, Чт (Прием) относится как к памяти, так и к внешним устройствам).

За  $T_1$  всегда следует такт  $T_2$ , в течение которого проверяется наличие сигналов подтверждения ГТ и ЗАХВАТ, а также проверяется не находится ли МП в состоянии останова HALT. Если на входе READY имеется сигнал готовности (высокий уровень), то МП переходит к такту  $T_3$ , в противном случае – в состояние ОЖИДАНИЕ (такт  $T_w$ ) и находится в нем до тех пор, пока не появится сигнал готовности. Таким образом, сигнал ГОТ позволяет синхронизировать МП с памятью с любым временем доступа или с любым внешним устройством. Более того, сигнал ГОТ позволяет осуществить пошаговое выполнение программы.

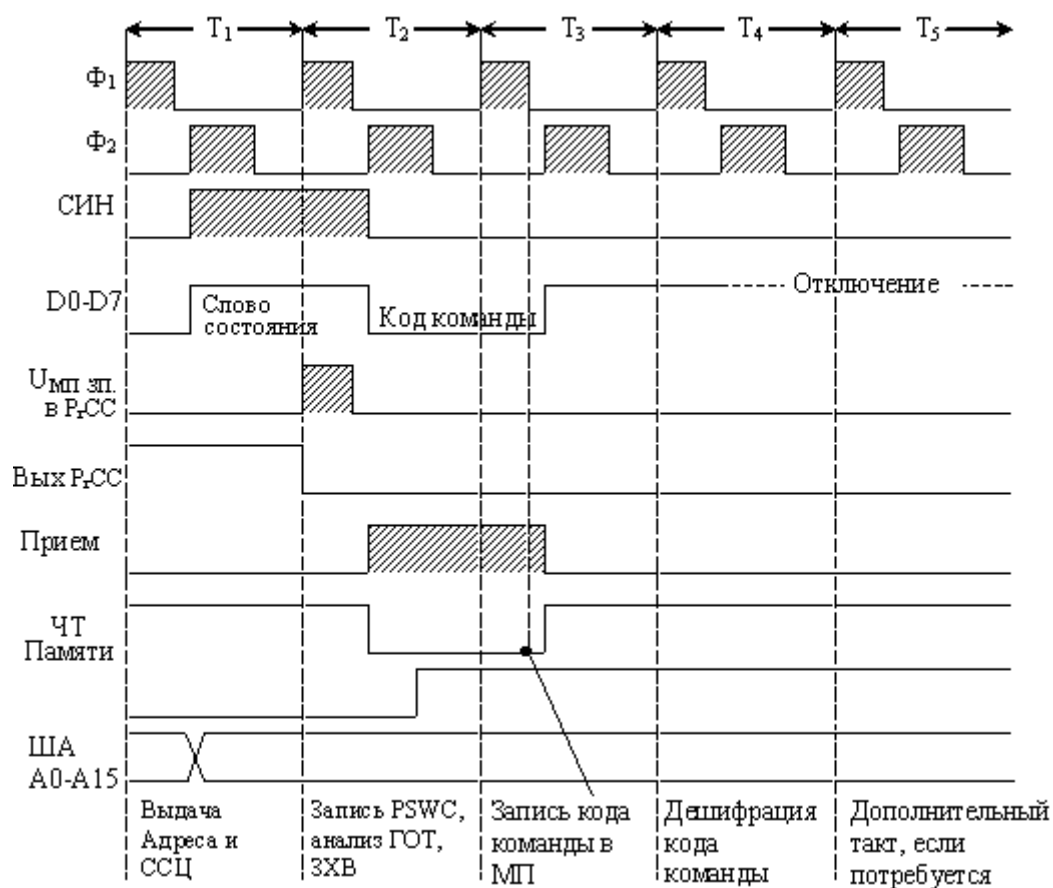


Рисунок 1.4 – Временные диаграммы функционирования процессора i8080

Вовремя  $T_2$  слово состояния цикла (PSWC) записывается в регистр состояния. Передним фронтом  $\Phi_2$  заканчивается формирование сигнала СИН, и вырабатывается единичный сигнал *Прием*, позволяющий поступить байту на вход МП через ШФ. В этом же такте  $T_2$  из сигнала *Прием* и  $D_7$  PSWC формируется сигнал *Чт Память*, позволяющий поступать данным из памяти на ШД микропроцессора. Изменения данных в этом такте

восприниматься не будут так как их запись в МП осуществляется в фиксированные моменты времени в такте  $T_3$ .

В такте  $T_3$  во время заднего фронта  $\Phi_1$  производится запись кода команды во внутренний регистр кода команды. Положительным фронтом  $\Phi_2$  оканчивается сигнал ПРИЕМ на выходе МП и сигнал ЧТ Память. Импульс на выходе Прием формируется в машинных циклах: чтение команды, ЧТ данных из памяти, прерывания, чтение из стека или внешнего устройства.

На основании декодирования команды ДШК схема управления формирует сигналы управления и синхронизации для внутренних пересылок данных, а также соответствующие дешифрируемой команде машинные циклы.

На последующих тактах  $T_4$  и  $T_5$  ДШК расшифровывает код команды, определяет количество байтов в команде, формирует команды на внутренние пересылки данных и подготавливает МП к выполнению следующих машинных циклов.

В конце последнего машинного цикла выполнения каждой команды анализируется наличие запроса прерывания на входе ЗПР. Если запрос присутствует и прерывания разрешены (команда *EI*), то МП входит в специальный цикл  $M_1$ , во время которого содержимое ПС не изменяется, формируется признак начала обработки прерывания INTA, а прерывающее устройство посылает в МП код команды RST с адресом прерывающей программы.

Самые *простые команды*, не требующие обращения к памяти, выполняются в течении одного машинного цикла *за четыре такта*, т.е. за 2 мкс, *самые длинные* – на протяжении 5 машинных циклов – *за 18 тактов*, т.е. 9 мкс.

Выборка команд длиной 2 и 3 байта производится соответственно за два или три машинных цикла, при этом *первый байт* команды заносится в регистр команд *PK*, второй в программно недоступный регистр *W*, а третий – в регистр *Z*.

В начале каждого машинного цикла на шину данных выдается байт состояния (в течение действия сигнала СИН). Назначение каждого разряда слова состояния  $D_i$  следующее:

INTA -  $D_0$  - Сигнал подтверждения прерывания. Используется для синхронизации передачи в МП из прерывающего устройства адреса прерывающей программы;

- WO - D<sub>1</sub> - Признак того, что в данном машинном цикле будет выполняться запись в память или вывод информации (WO=0). В противном случае будет выполняться ввод или чтение из памяти;
- STAC K - D<sub>2</sub> - Указывает, что адресная шина содержит адрес одной из ячеек зоны ОЗУ, используемой в качестве стека;
- HLTA - D<sub>3</sub> - Подтверждение выполнения процессором операции останова (HALT);
- OUT - D<sub>4</sub> - Указывает, что на адресной шине, содержится адрес устройства вывода, на шинах данных – выводимая информация;
- M1 - D<sub>5</sub> - Признак машинного цикла выборки первого байта команды
- INP - D<sub>6</sub> - Указывает, что на адресной шине находится адрес устройства ввода, а ввод будет производится на шину данных по сигналу Прием на выводе DBIN;
- MEMR - D<sub>7</sub> - Признак того, что в данном машинном цикле будет выполняться чтение из памяти.

Как видно из схемы восьмиразрядного микропроцессора, у него нет отдельных сигналов чтение/запись памяти и чтение/запись устройств ввода/вывода, а лишь общий сигнал Чтение /Запись. Для формирования таких сигналов и используется информация о слове состояния цикла МП. На рисунке 1.5 изображена упрощенная схема микро-ЭВМ на основе 8-разрядного МП.

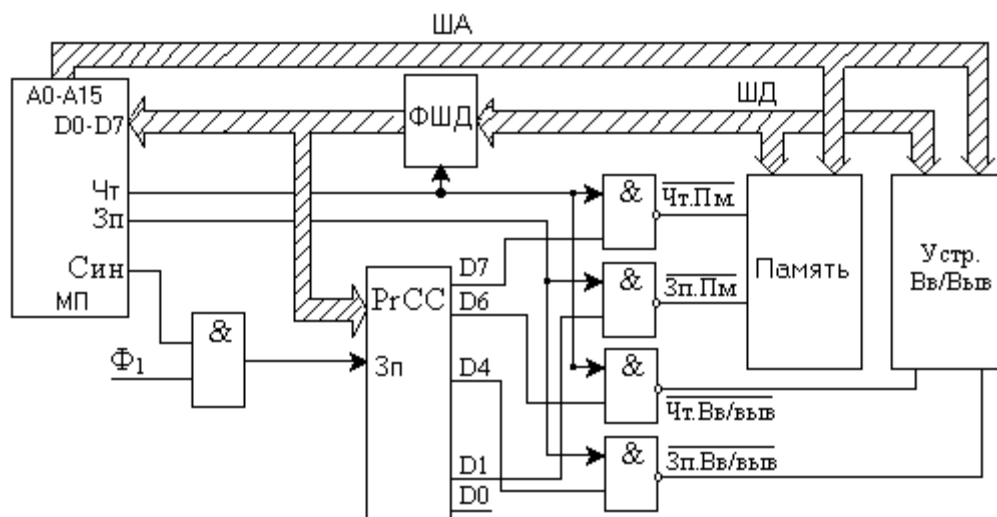


Рисунок 2.5 – Схема компьютера на основе 8-разрядного микропроцессора

Формирователь шины данных ФШД служит для двунаправленного усиления сигналов. Направление усиления переключается сигналом Чтение.

Регистр слова состояния РгСС предназначен для хранения слова состояния цикла шины в течении всего времени цикла. Запись слова состояния в регистр происходит при совпадении импульсов Синхронизация и тактового  $\Phi 1$ .

Схемы совпадения служат для формирования на основе слова состояния отдельных сигналов записи и чтения в память или внешние устройства.