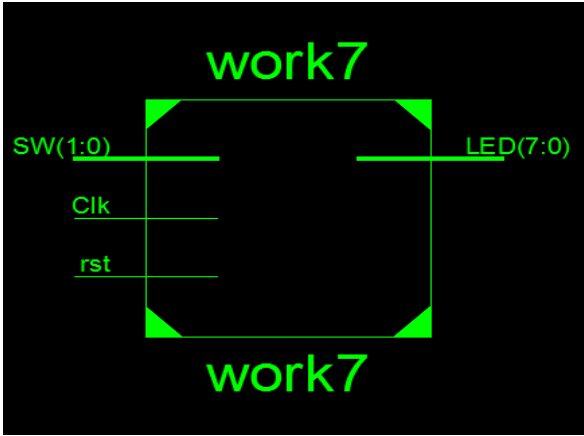
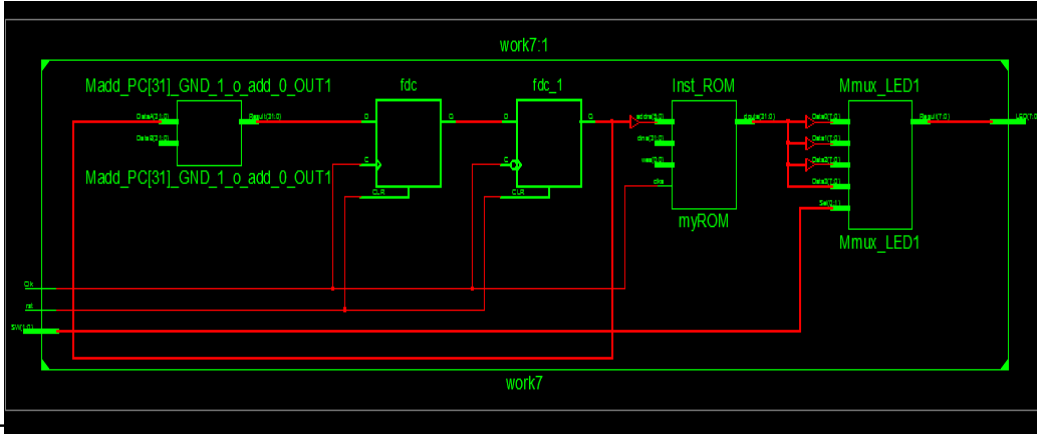


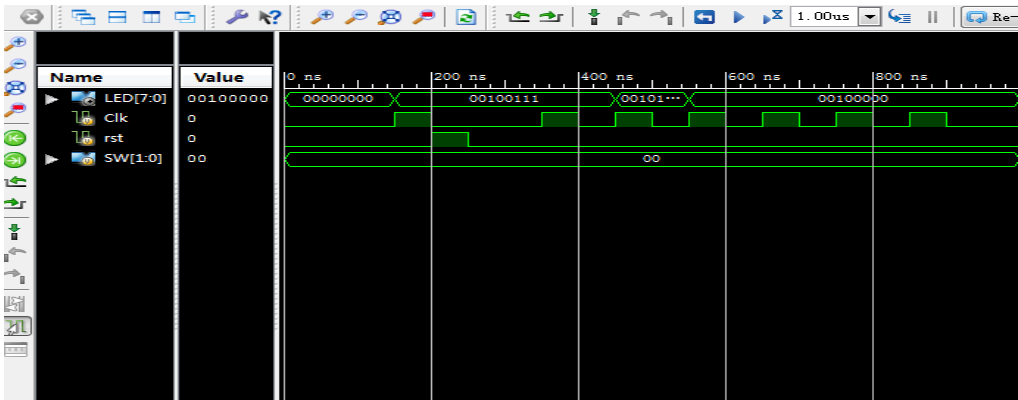
# 实验报告

实验日期: 指导教师: 章复嘉

<p>实验内容（算法、程序、步骤和方法）</p>	<div> <div>1、实验目的</div> <div>           (1) 学习指令存储器的设计            (2) 掌握 CPU 取指令操作与指令译码的方法和过程         </div> </div> <div> <div>2、实验仪器</div> <div>ISE</div> </div> <div> <div>3、步骤、方法</div> <pre> module work7(LED,Clk,rst,SW);     input wire[1:0]SW;     input wire Clk,rst;     output reg[7:0] LED;     reg [31:0]PC,PC_new,addr;     wire [31:0] M_R_Data;     Inst_ROM myROM (         .clka(Clk), // input clka         .addra(PC[7:2]), // input [5 : 0] addra         .douta(M_R_Data) // output [31 : 0] douta     );      initial     begin         PC=32'h00000000;         PC_new=32'h00000000;     end      always@(posedge Clk or posedge rst)     begin         if(rst)             PC_new[31:0]=32'b00000000000000000000000000000000;         else             PC_new=PC+4;         end      always@(negedge Clk or posedge rst)     begin         if(rst)             PC=PC_new;         end     </pre> </div>
--------------------------	---

	<pre>PC[31:0]=32'b00000000000000000000000000000000; else     PC=PC_new; end  always@(*) begin     case(SW)         2'b00:LED[7:0]=M_R_Data[7:0];         2'b01:LED[7:0]=M_R_Data[15:8];         2'b10:LED[7:0]=M_R_Data[23:16];         2'b11:LED[7:0]=M_R_Data[31:24];         default:LED[7:0]=32'h00000000;      endcase end endmodule</pre>
操作过程及结果	<div>1、操作过程 实验过程和描述：</div> <div></div> <div></div>

二、结果



实验体会

在有了实验 5 的基础上，IP 核的调用和使用就显得要轻松容易的多了，指令存储器的的工作就是在时钟信号的控制下一条一条的在存储器里面读取指令，送到译码器中进行译码。

在本实验中遇到的问题主要是 PC 地址不能按照正常的 PC+4 进行地址的下移，因为加入了一个 PC\_new 存储变量在时钟下跳沿的时候来更新 PC 里面的地址，但是在仿真的时候发现，PC\_new 的值并不能将新的地址赋值进 PC 里面，经过调试发现，是因为没有对 PC\_new 存储变量初始化导致的，尽管后面有对 PC\_new 有赋值操作，但是没有初始化的 PC\_new 就是不能正常接收新的地址。这是本实验中最大的问题，其次就是多个 always 语句中不能对同一个变量赋值，所以在逻辑设计上，对 Rst 信号要做两个 always 语句来执行置零，分别对 PC 和 PC\_new 进行操作。

以上就是本实验中遇到的问题。

课后思考题：

1、

PC 地址	读出指令代码	关联文件中的指令代码
0000 0000h	00000827	00000827
0000 0004h	0001102b	0001102b
0000 0008h	00421820	00421820
0000 000Ch	00622020	00622020
0000 0010h	00832820	00832820
0000 0014h	00a33020	00a33020
0000 0018h	00463804	00463804
0000 001Ch	00a64820	00a64820
0000 0020h	01264004	01264004
0000 0024h	00284826	00284826
0000 0028h	01215020	01215020
0000 002Ch	01075822	01075822
0000 0030h	00e86022	00e86022
0000 0034h	0241d026	0241d026
0000 0038h	02d4d82b	02d4d82b

		0000 003Ch	0354e02b	0354e02b
	2、从仿真图中可以看到，在 Rst 置零信号来临之后的第一个 Clk 信号读出的是第一个存储单元地址的值即 00000827,所以本程序是已经实现了该要求的，无需更改了。			
指导教师 师评议	成绩：                      指导教师签名：			