



中国科学技术大学

University of Science and Technology of China

# 3. MIPS处理器设计

## 王 超

中国科学技术大学计算机学院  
嵌入式系统实验室

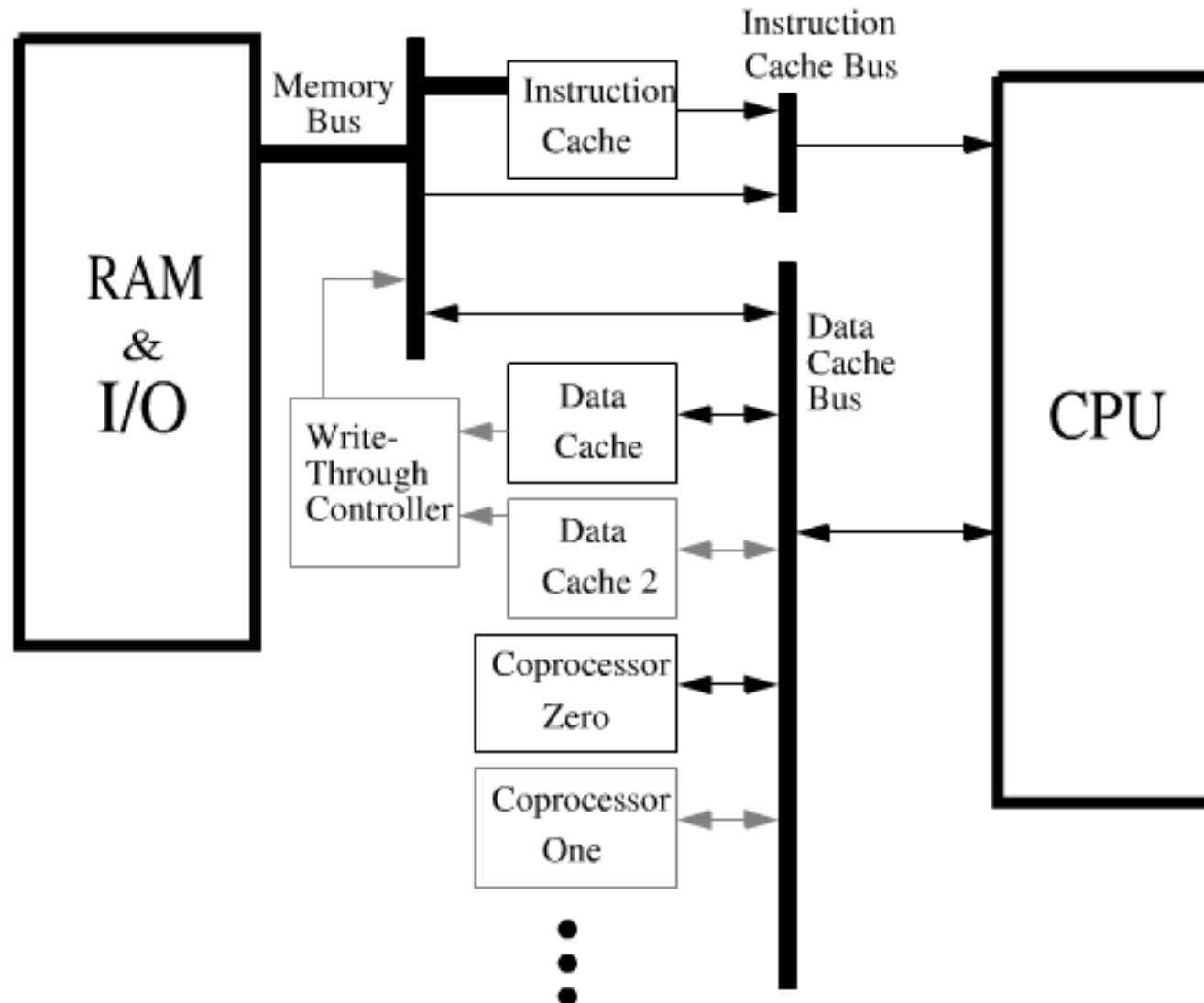
2018年春

- MIPS处理器结构
- MIPS指令集结构
- 单周期CPU设计
  - ✓功能部件
  - ✓数据通路
- 多周期MIPS处理器设计

# MIPS R3000



中国科学技术大学  
University of Science and Technology of China



# MIPS指令字格式



- ❑ 100余条指令（P&H 33条），32个通用寄存器
- ❑ 指令格式：定长32位
  - ✓ R-type: arithmetic instruction
  - ✓ I-type: data transfer, arithmetic instruction（如addi）
  - ✓ J-type: branch instruction(conditional & unconditional)

R-type	op(6 bits)	rs(5 bits)	rt(5 bits)	rd(5 bits)	shamt(5 bits)	funct(6 bits)	ALU
I-type	op(6 bits)	rs(5 bits)	rt(5 bits)	immediate(16 bits)			
I-type	op(6 bits)	rs(5 bits)	rt(5 bits)	addr/immediate(16 bits)			move
I-type	op(6 bits)	rs(5 bits)	rt(5 bits)	addr(16 bits)			jmp
J-type	op(6 bits)	addr(26 bits)					

新版BEQ指令 J类->I类

# MIPS寻址模式



中国科学技术大学  
University of Science and Technology of China

□ 寄存器寻址：R-type

□ 基址寻址：I-type

✓ rs = BaseReg

□ 立即寻址：I-type

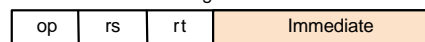
□ 相对寻址：J(I)-type

□ 伪直接寻址：J-type

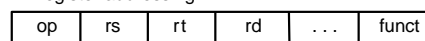
✓ pseudodirect addressing

✓ 26位形式地址左移2位，  
与PC的高4位拼接

1. Immediate addressing

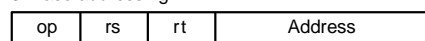


2. Register addressing



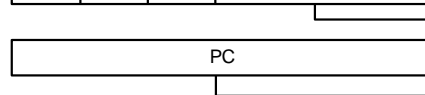
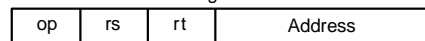
Registers  
Register

3. Base addressing



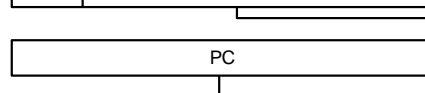
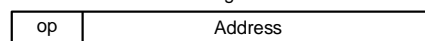
Memory  
Byte Halfword Word

4. PC-relative addressing



Memory  
Word

5. Pseudodirect addressing



Memory  
Word



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

# 寄存器使用约定



中国科学技术大学  
University of Science and Technology of China

REGISTER	NAME	USAGE
\$0	\$zero	常量0(constant value 0)
\$1	\$at	保留给汇编器(Reserved for assembler)
\$2-\$3	\$v0-\$v1	函数调用返回值(values for results and expression evaluation)
\$4-\$7	\$a0-\$a3	函数调用参数(arguments)
\$8-\$15	\$t0-\$t7	暂时的(或随便用的)
\$16-\$23	\$s0-\$s7	保存的(或如果用，需要SAVE/RESTORE的)(saved)
\$24-\$25	\$t8-\$t9	暂时的(或随便用的)
\$28	\$gp	全局指针(Global Pointer)
\$29	\$sp	堆栈指针(Stack Pointer)
\$30	\$fp	帧指针(Frame Pointer)
\$31	\$ra	返回地址(return address)



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

# 寄存器使用约定

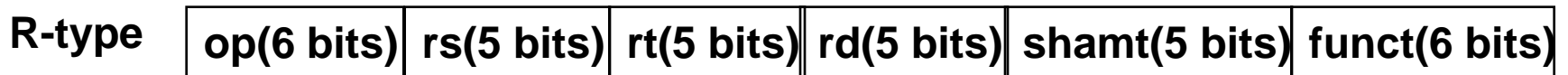


中国科学技术大学  
University of Science and Technology of China

- ❑ **\$0:即\$zero**,该寄存器总是返回零,为0这个有用常数提供了一个简洁的编码形式。(初始化、BEQ和0比较)  
    move \$t0,\$t1      实际为      add \$t0,\$0,\$t1  
    使用伪指令可以简化任务,汇编程序提供了比硬件更丰富的指令集。
- ❑ **\$1:即\$at**,该寄存器为汇编保留,由于I型指令的立即数字段只有16位,在加载大常数时,编译器或汇编程序需要把大常数拆开,然后重新组合到寄存器里。比如加载一个32位立即数需要lui(装入高位立即数)和addi两条指令。像MIPS程序拆散和重装大常数由汇编程序来完成,汇编程序必需一个临时寄存器来重组大常数,这也是为汇编保留\$at的原因之一。
- ❑ **\$2..\$3:(\$v0-\$v1)用于子程序的非浮点结果或返回值**,对于子程序如何传递参数及如何返回,MIPS范围有一套约定,堆栈中少数几个位置处的内容装入CPU寄存器,其相应内存位置保留未做定义,当这两个寄存器不够存放返回值时,编译器通过内存来完成。
- ❑ **\$4..\$7:(\$a0-\$a3)用来传递前四个参数给子程序,不够的用堆栈**。**a0-a3和v0-v1以及ra一起来支持子程序 / 过程调用,分别用以传递参数,返回结果和存放返回地址**。当需要使用更多的寄存器时,就需要堆栈(stack)了,MIPS编译器总是为参数在堆栈中留有空间以防有参数需要存储。
- ❑ **\$8..\$15:(\$t0-\$t7)临时寄存器**,子程序可以使用它们而不用保留。
- ❑ **\$16..\$23:(\$s0-\$s7)保存寄存器**,在过程调用过程中需要保存的(被调用者保存和恢复,还包括\$fp和\$ra),MIPS提供了临时寄存器和保存寄存器,这样就减少了寄存器溢出(spilling,即将不常用的变量放到存储器的过程),编译器在编译一个叶(leaf)过程(不调用其它过程的过程)的时候,总是在临时寄存器分配完了才使用需要保存的寄存器。
- ❑ **\$24..\$25:(\$t8-\$t9)同(\$t0-\$t7)**
- ❑ **\$26..\$27:(\$k0,\$k1)为操作系统 / 异常处理保留**,至少要预留一个。异常(或中断)是一种不需要在程序中显式调用的过程。MIPS有个叫异常程序计数器(exception program counter,EPC)的寄存器,属于CP0寄存器,用于保存造成异常的那条指令的地址。查看控制寄存器的唯一方法是把它复制到通用寄存器里,指令mfc0(move from system control)可以将EPC中的地址复制到某个通用寄存器中,通过跳转语句(jr),程序可以返回到造成异常的那条指令处继续执行。MIPS程序员都必须保留两个寄存器\$k0和\$k1,供操作系统使用。发生异常时,这两个寄存器的值不会被恢复,编译器也不使用k0和k1,异常处理函数可以将返回地址放到这两个中的任何一个,然后使用jr跳转到造成异常的指令处继续执行。
- ❑ **\$28:(\$gp)为了简化静态数据的访问,MIPS软件保留了一个寄存器:全局指针gp(global pointer,\$gp)**,全局指针指向静态数据区中的运行时决定的地址,在存取位于gp值上下32KB范围内的数据时,只需要一条以gp为基指针的指令即可。在编译时,数据须在以gp为基指针的64KB范围内。
- ❑ **\$29:(\$sp)MIPS硬件并不直接支持堆栈**,你可以把它用于别的目的,但为了使用别人的程序或让别人使用你的程序,还是要遵守这个约定的,但这和硬件没有关系。
- ❑ **\$30:(\$fp)GNU MIPS C编译器使用了帧指针(frame pointer)**,而SGI的C编译器没有使用,而把这个寄存器当作保存寄存器使用(\$s8),这节省了调用和返回开销,但增加了代码生成的复杂性。
- ❑ **\$31:(\$ra)存放返回地址**,MIPS有个jal(jump-and-link,跳转并链接)指令,在跳转到某个地址时,把下一条指令的地址放到\$ra中。用于支持子程序,例如调用程序把参数放到\$a0~\$a3,然后jal X跳到X过程,被调过程完成后把结果放到\$v0,\$v1,然后使用jr \$ra返回。

# A subset of core MIPS instruction set

- 算术逻辑指令（R-type）：add, sub, and, or
  - add \$t1, \$t2, \$t3;     \$t2+\$t3->\$t1
  - **slt \$s1, \$s2, \$s3** ( if(\$s2<\$s3)then \$s1=1, else \$s1=0 )
  - 注意：汇编指令中源操作数和目的操作数的**排列顺序**与机器指令字不同！



## □ 访存指令（I-type）：lw, sw

- ✓ lw \$s1,100(\$s2) ; loads words, based \$s2(**rs**)
- ✓ sw \$s1,100(\$s2); stores words, based \$s2(**rs**)





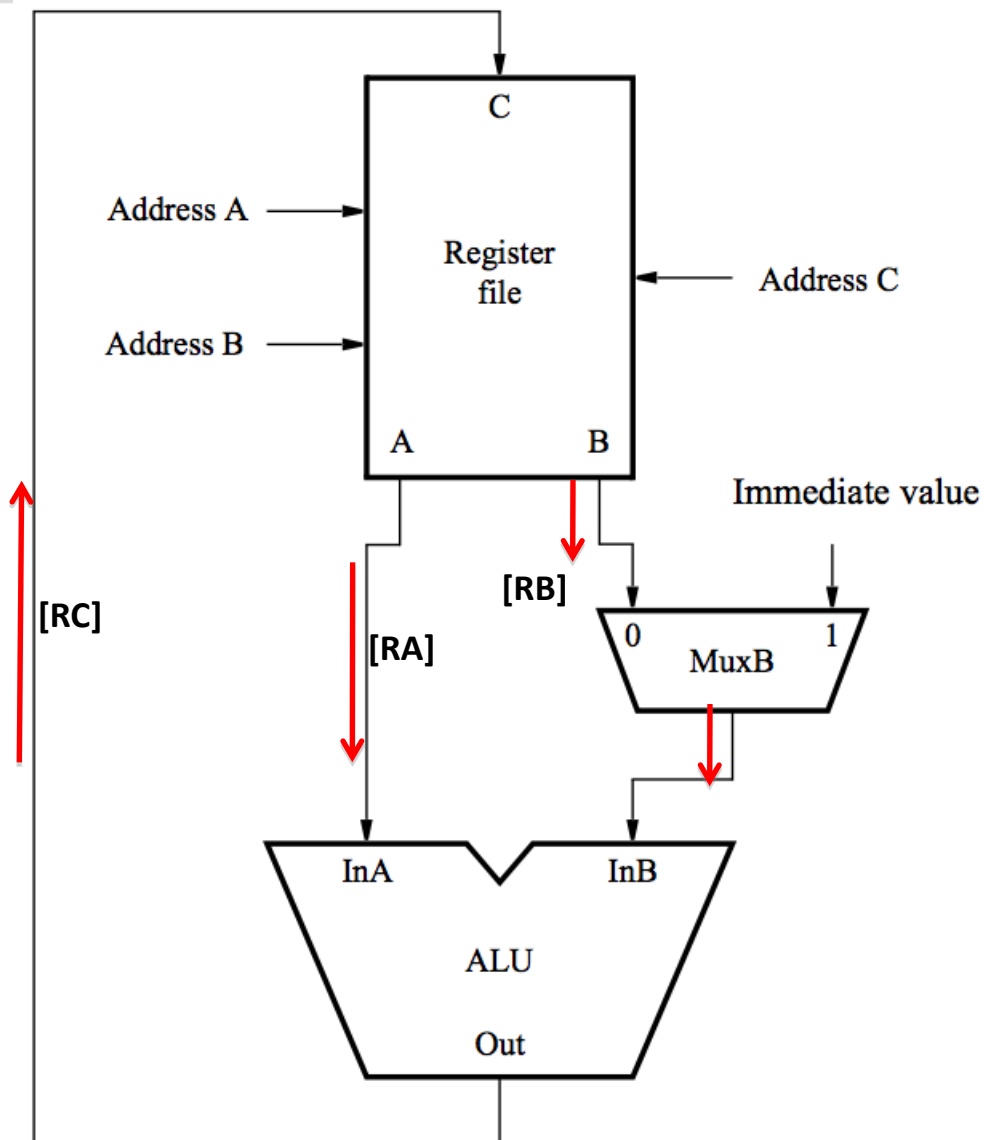
# 寄存器计算指令的数据流



中国科学技术大学  
University of Science and Technology of China

□ 源操作数和目的操作数都在寄存器中 Both source operands and the destination location are in the register file.

`add $t1, $t2, $t3; $t2+$t3->$t1`



# 立即数计算指令的数据流



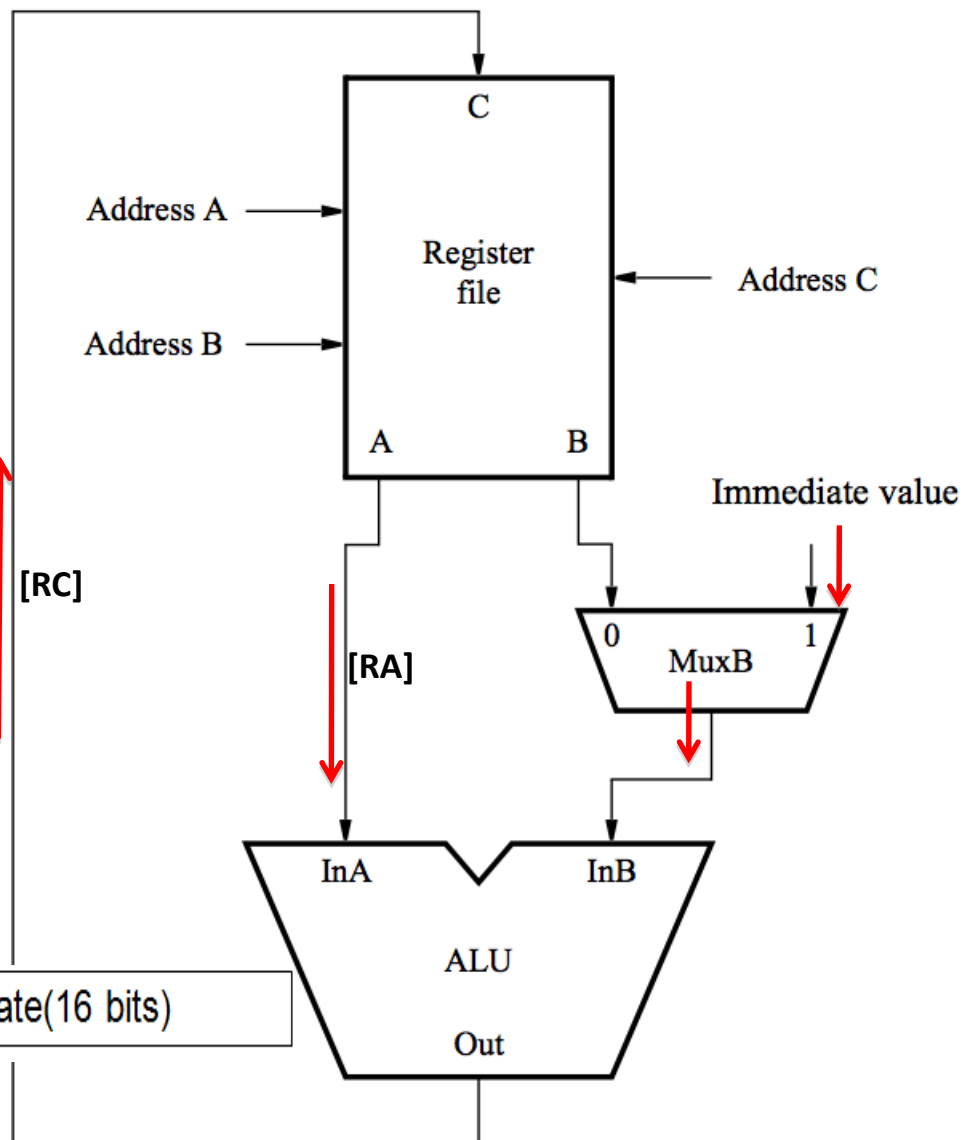
中国科学技术大学  
University of Science and Technology of China

- 有一个源寄存器在立即数寄存器中  
One of the source operands is the immediate value in the IR.

**addi \$s3,\$s3,4; \$s3 = \$s3 + 4**

type

op(6 bits)	rs(5 bits)	rt(5 bits)	immediate(16 bits)
------------	------------	------------	--------------------



# A subset of core MIPS instruction set

## □ 分支跳转指令（J-type）: beq, jump

- ✓ beq为相对寻址：以npc为基准，指令中的target为16位，进行32位有符号扩展后左移两位（补“00”，字对准）。
- ✓ jump为伪直接寻址pseudodirect：指令中的target为26位，而PC为32位。将target左移2位拼装在PC的低28位上，PC高4位保持不变。

J(I)-type	op(6 bits)	rs(5 bits)	rt(5 bits)	addr(16 bits)
J-type	op(6 bits)	addr(26 bits)		

# MIPS指令数据通路Overview



中国科学技术大学  
University of Science and Technology of China

□ 实现不同指令的多数工作都是相同的，与指令类型无关

✓ 取指：将PC送往MEM

✓ 取数：根据指令字中的地址域读寄存器

□ 执行操作各个指令不同，但同类指令非常类似

✓ 算术逻辑指令

- R类ALU指令

- I类ALU指令

✓ 不同类型指令也有相同之处，如都要使用ALU

- 访存指令使用ALU计算地址

- 算逻指令使用ALU完成计算

- 分支指令使用ALU进行条件比较

✓ 其后，各个指令的工作就不同了

- 访存指令对存储器进行读写

- 算逻指令将ALU结果写回寄存器

- 分支指令将基于比较结果修改下一条指令的地址

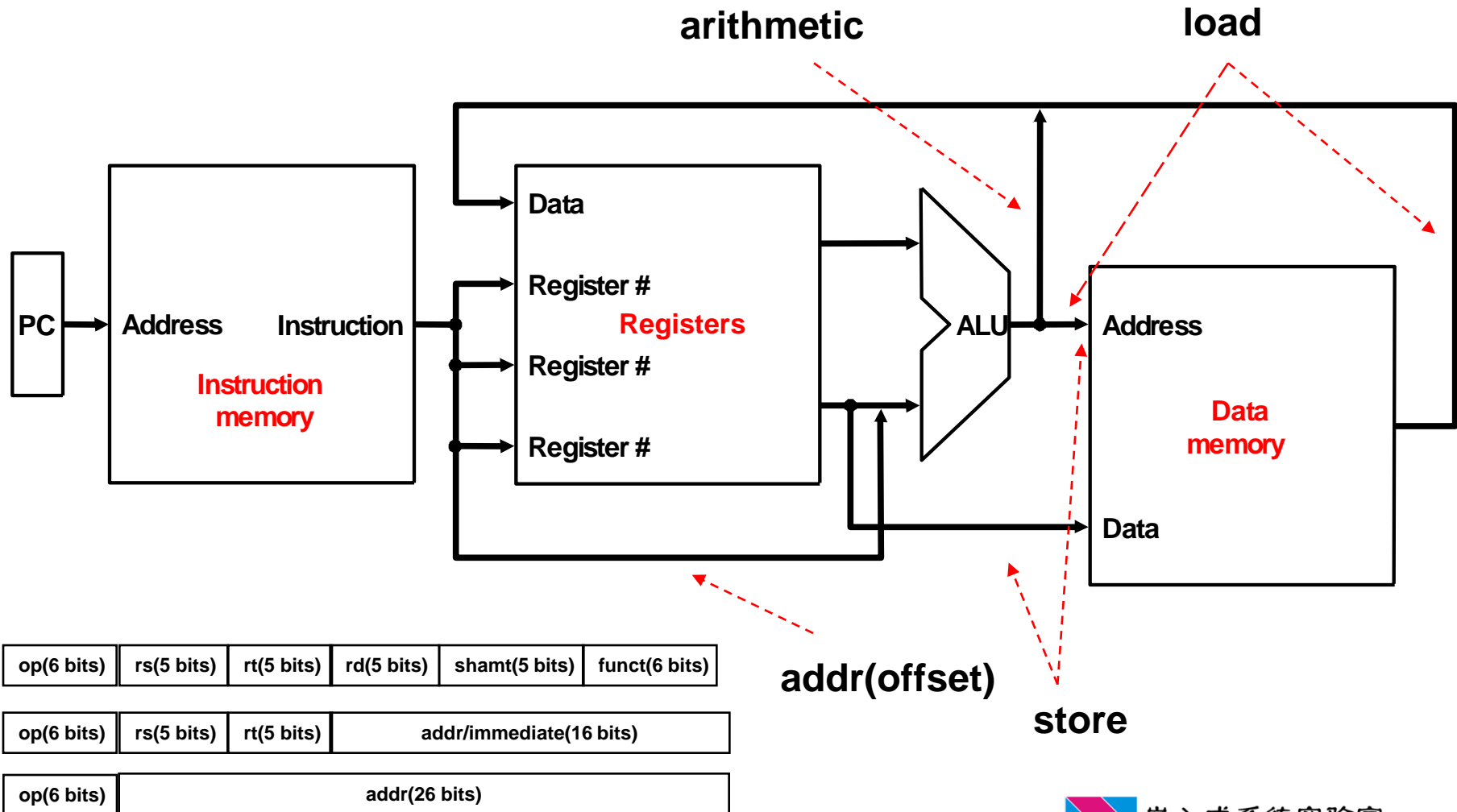


嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

# MIPS指令数据通路总图



中国科学技术大学  
University of Science and Technology of China

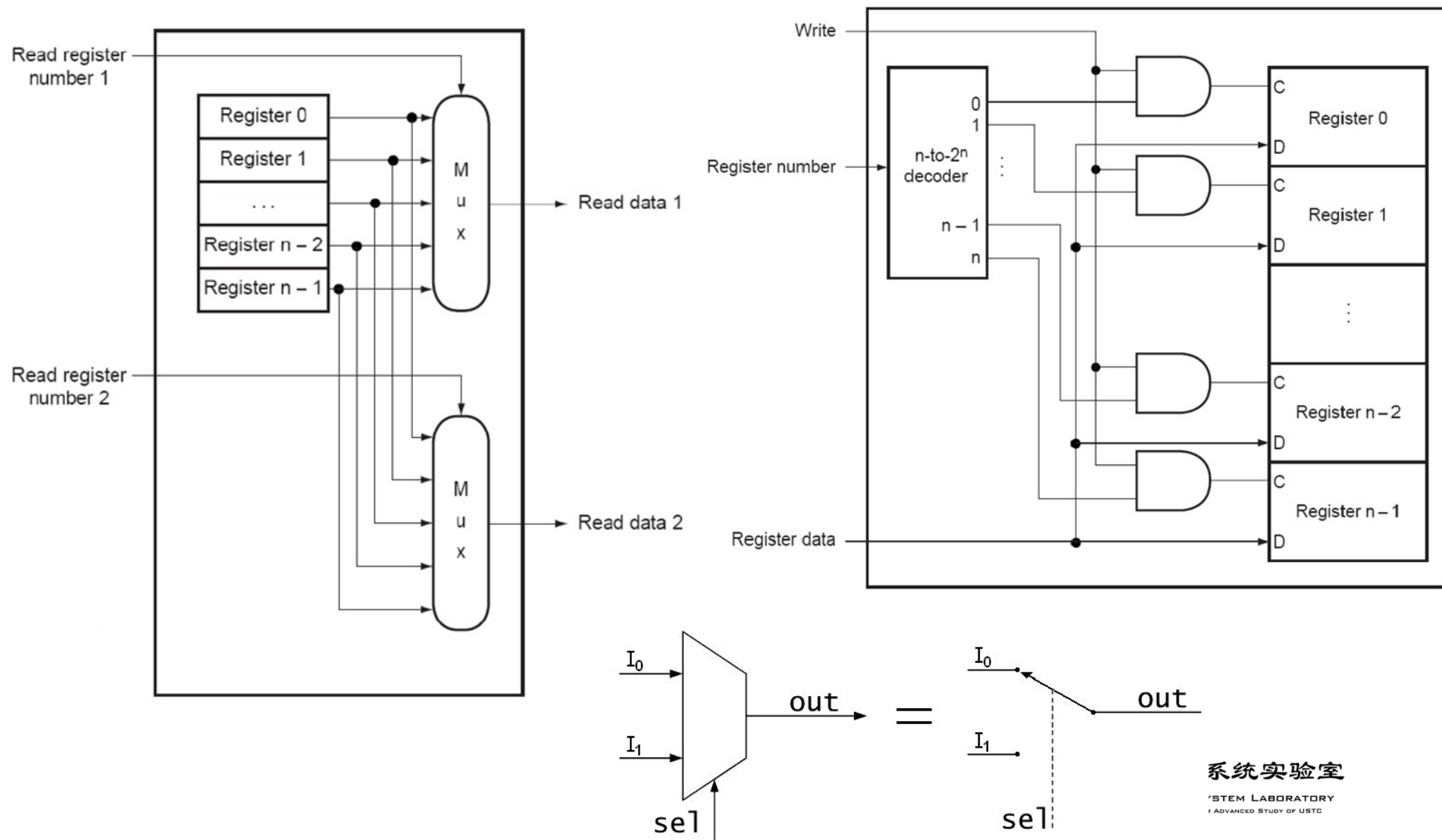


嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

# 通路中的存储-RegisterFile



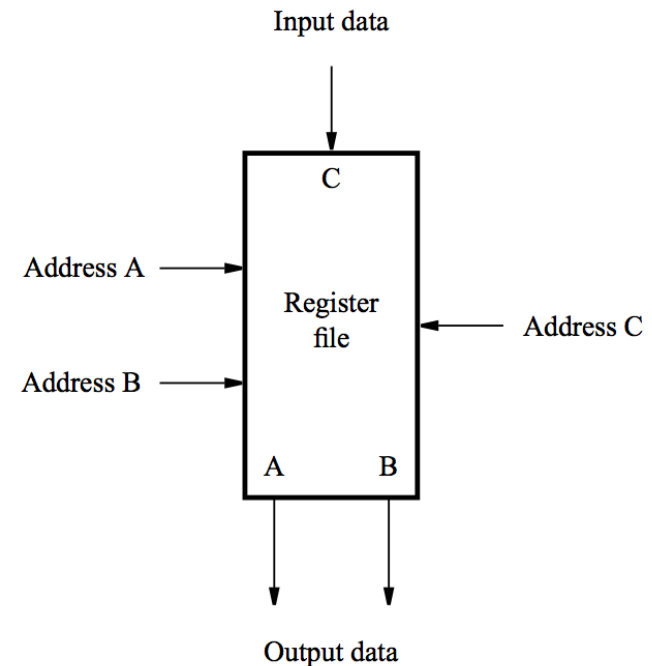
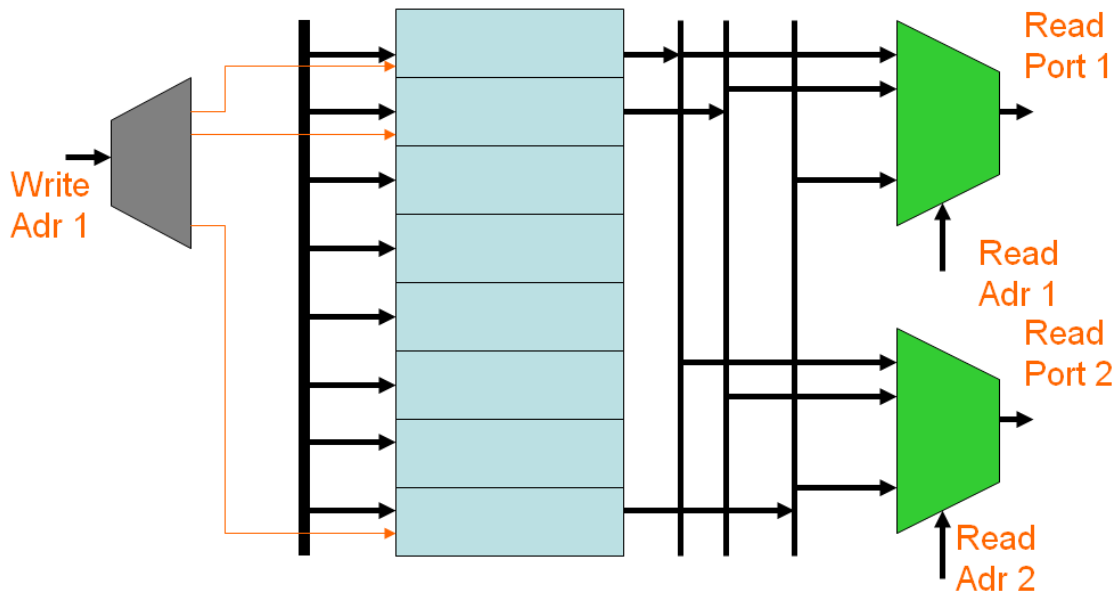
中国科学技术大学  
University of Science and Technology of China



# RegFile读写操作



- ❑ 寄存器文件在**一个周期**中有两个读和一个写操作。
  - ✓ 在一个周期内，**某个REG**可以同时完成读写操作，但读出的是上一个周期写入的值
- ❑ 寄存器文件不能同时进行读和写操作。两种设计方法：
  - ✓ 后写 (late write)：在前半周期读数据，在后半周期写数据。
  - ✓ 先写 (early write)：与后写相反。
  - ✓ 两种方式各有什么优缺点？



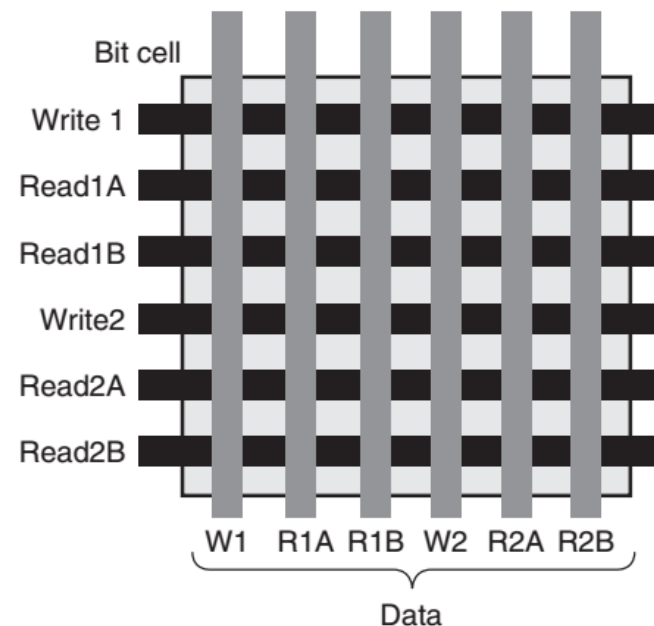
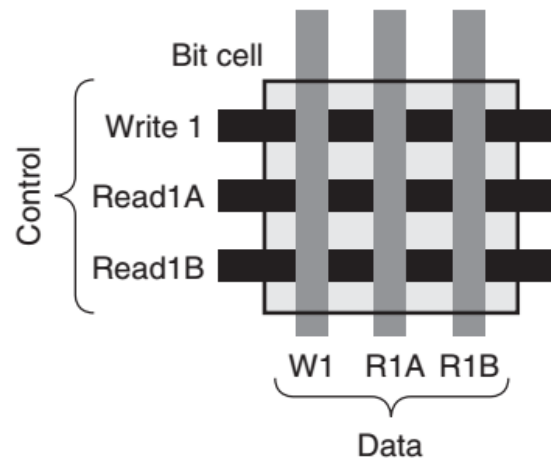
# bit cell of a register file



□例：2R/1W，4R/2W

✓单周期可以读/写使能

✓访问时间与端口多少成正比



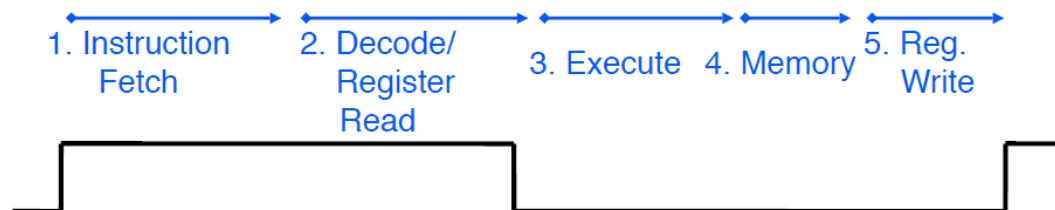


□ 指令周期 =  $m$  机器周期。机器周期 =  $n$  时钟周期

□ 单周期实现：指令周期 = 1 机器周期 = 1 时钟周期

✓ All stages of an instruction are completed within one **long** clock cycle.

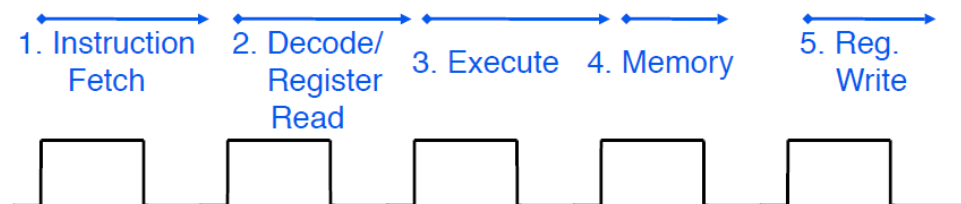
✓ 所需控制信号同时生成



□ 多周期实现：指令周期 =  $n$  机器周期 =  $n$  时钟周期

✓ Only **one stage** of instruction per clock cycle

✓ 按时钟周期 (= 机器周期) 生成当前周期所需控制信号





中国科学技术大学  
University of Science and Technology of China

# 数据通路设计

## ALU控制

## 主控制部件

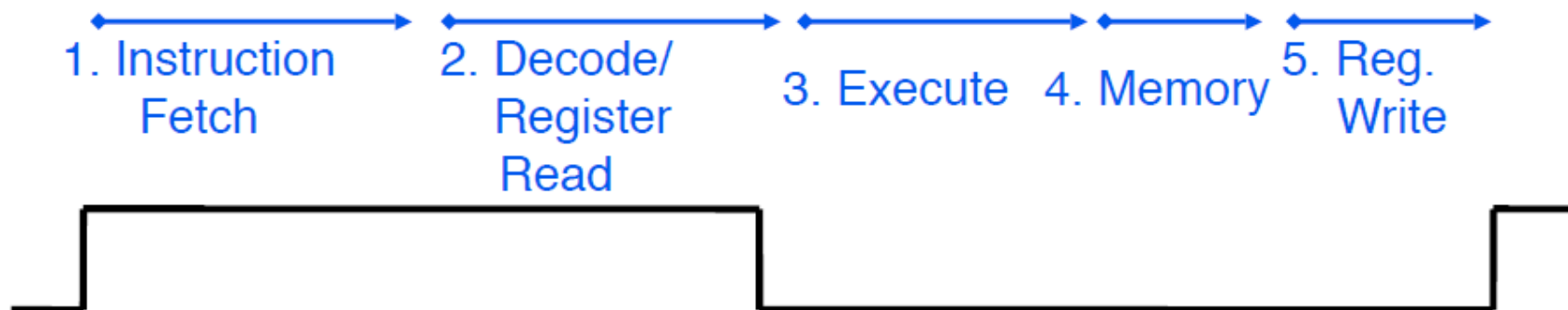


嵌入式系统实验室

EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

## □ 定长指令周期

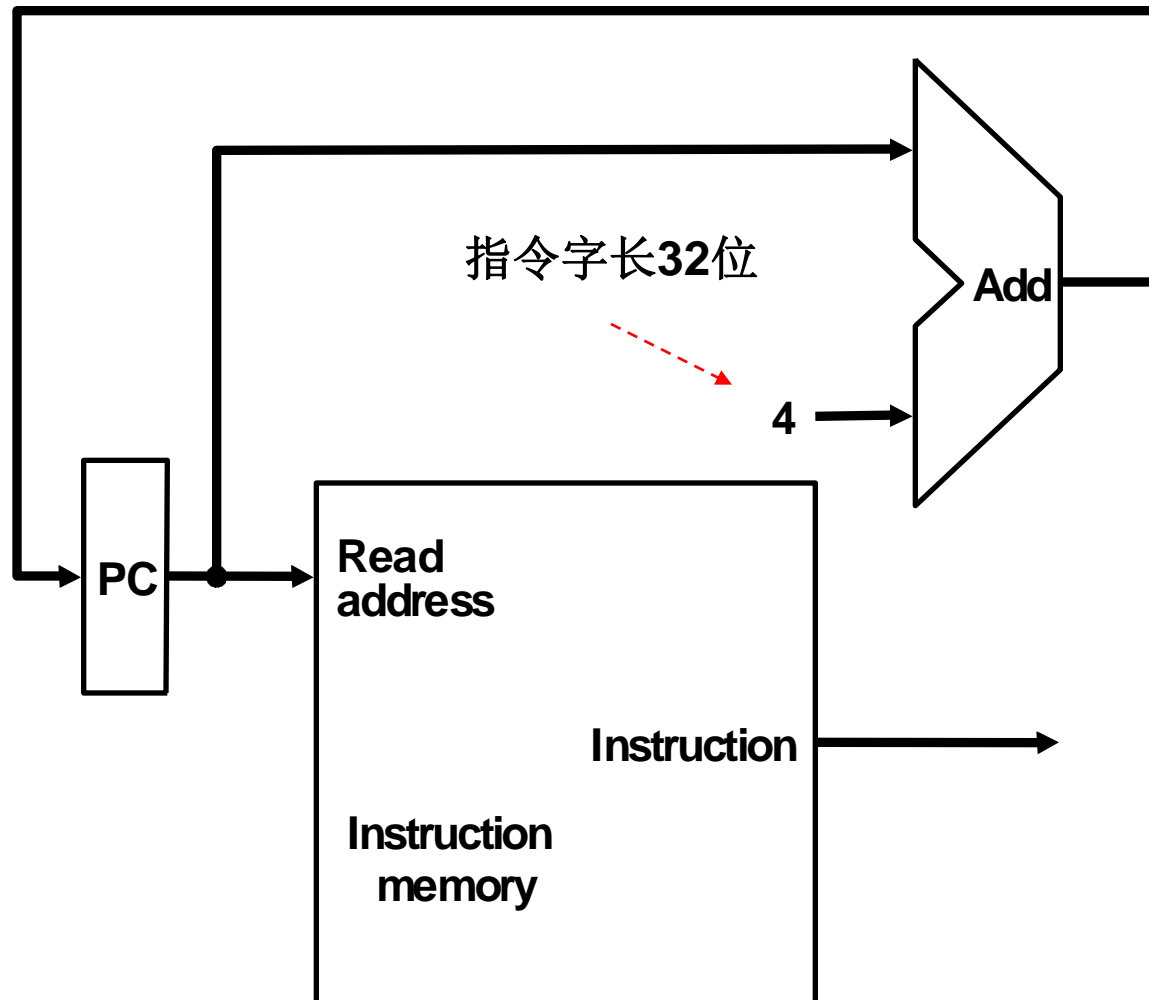
- ✓ All stages of an instruction are completed within one **long** clock cycle.
- ✓ 采用时钟边沿触发方式
  - 所有指令在时钟的一个边开始执行，在下一个边结束



# 取指 Instruction Fetch

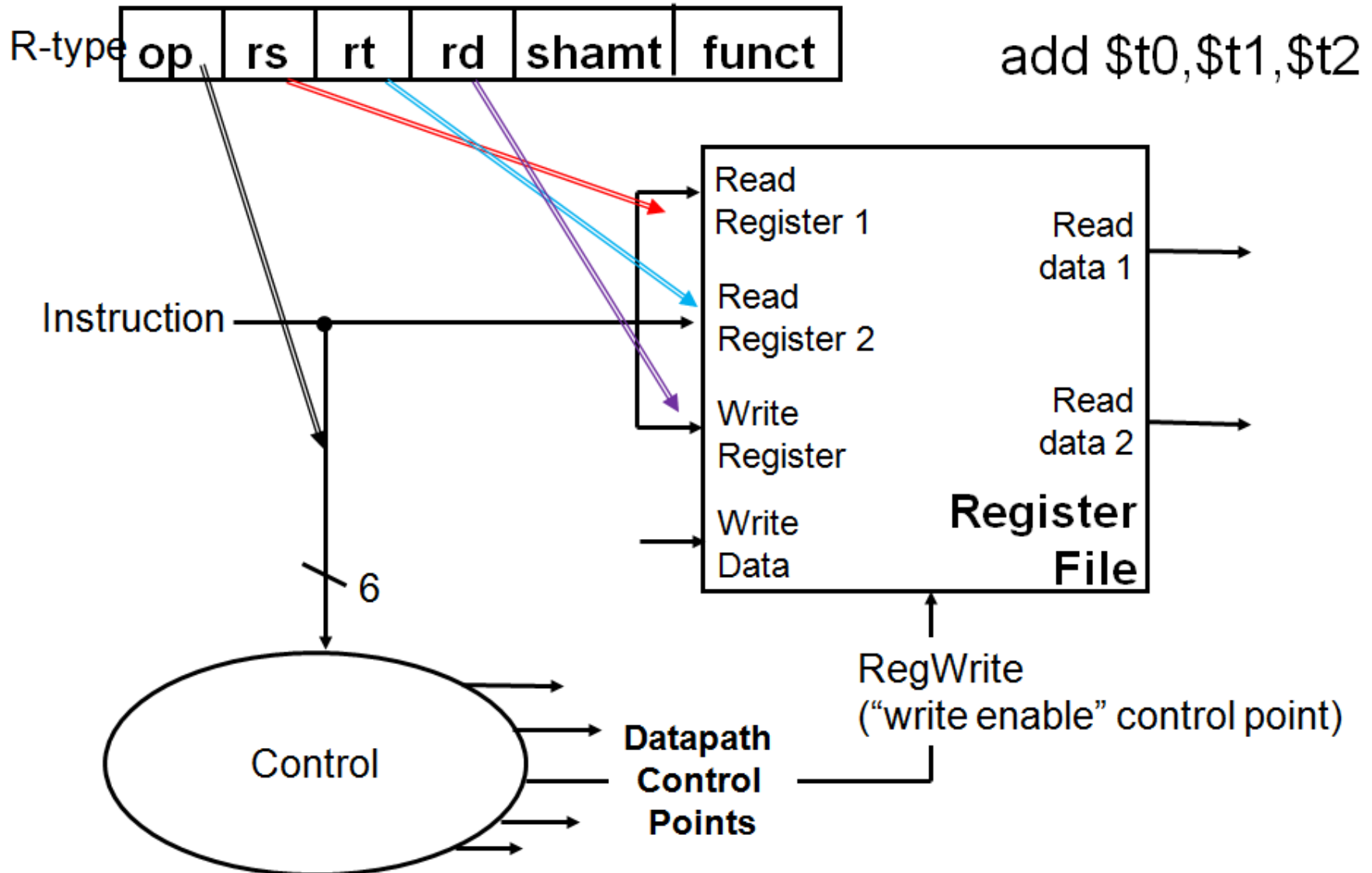


中国科学技术大学  
University of Science and Technology of China

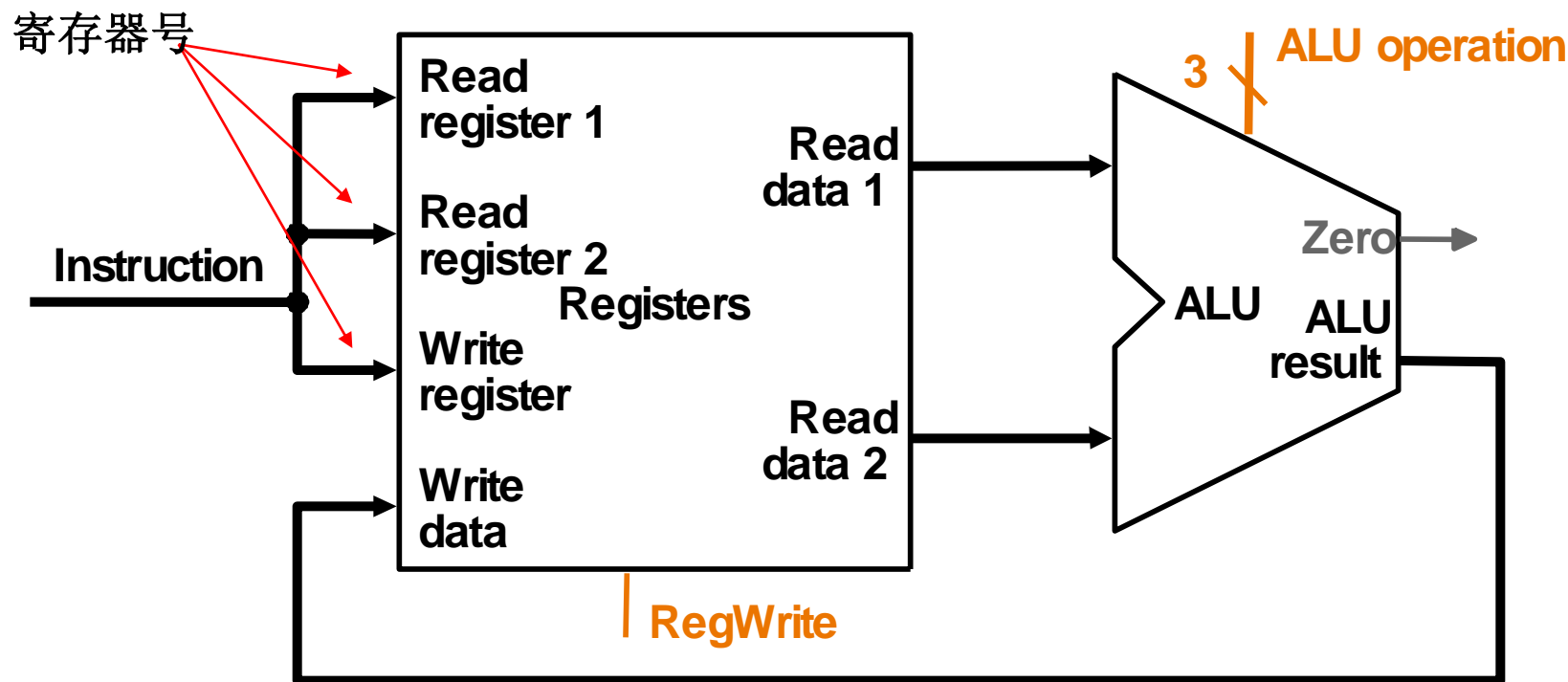


嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

# 译码 Decode



# R-type指令的执行



R-type

op(6 bits)	rs(5 bits)	rt(5 bits)	rd(5 bits)	shamt(5 bits)	funct(6 bits)
------------	------------	------------	------------	---------------	---------------

## • 寄存器堆操作

- 读：给出寄存器编号，则寄存器的值自动送到输出端口
- 写：需要寄存器编号和控制信号**RegWrite**，时钟边沿触发
- 在一个周期内，**REG**可以同时完成读写操作，但读出的是上一个周期写入的值(读后写)



rs: 基址

## rt: Id的目的/sw的源



lw

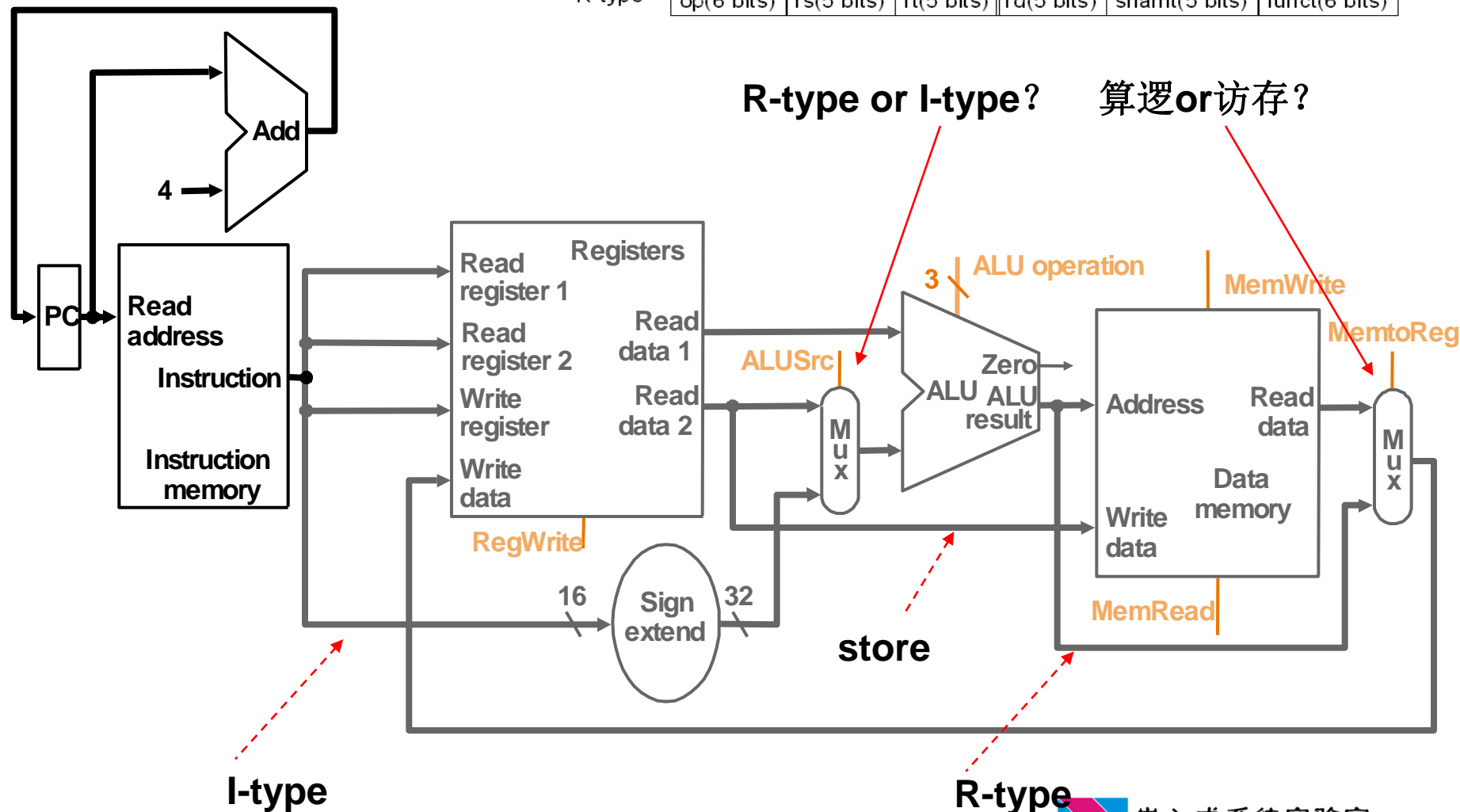
- 

# 访存指令和算逻指令的数据通路综合



中国科学技术大学  
University of Science and Technology of China

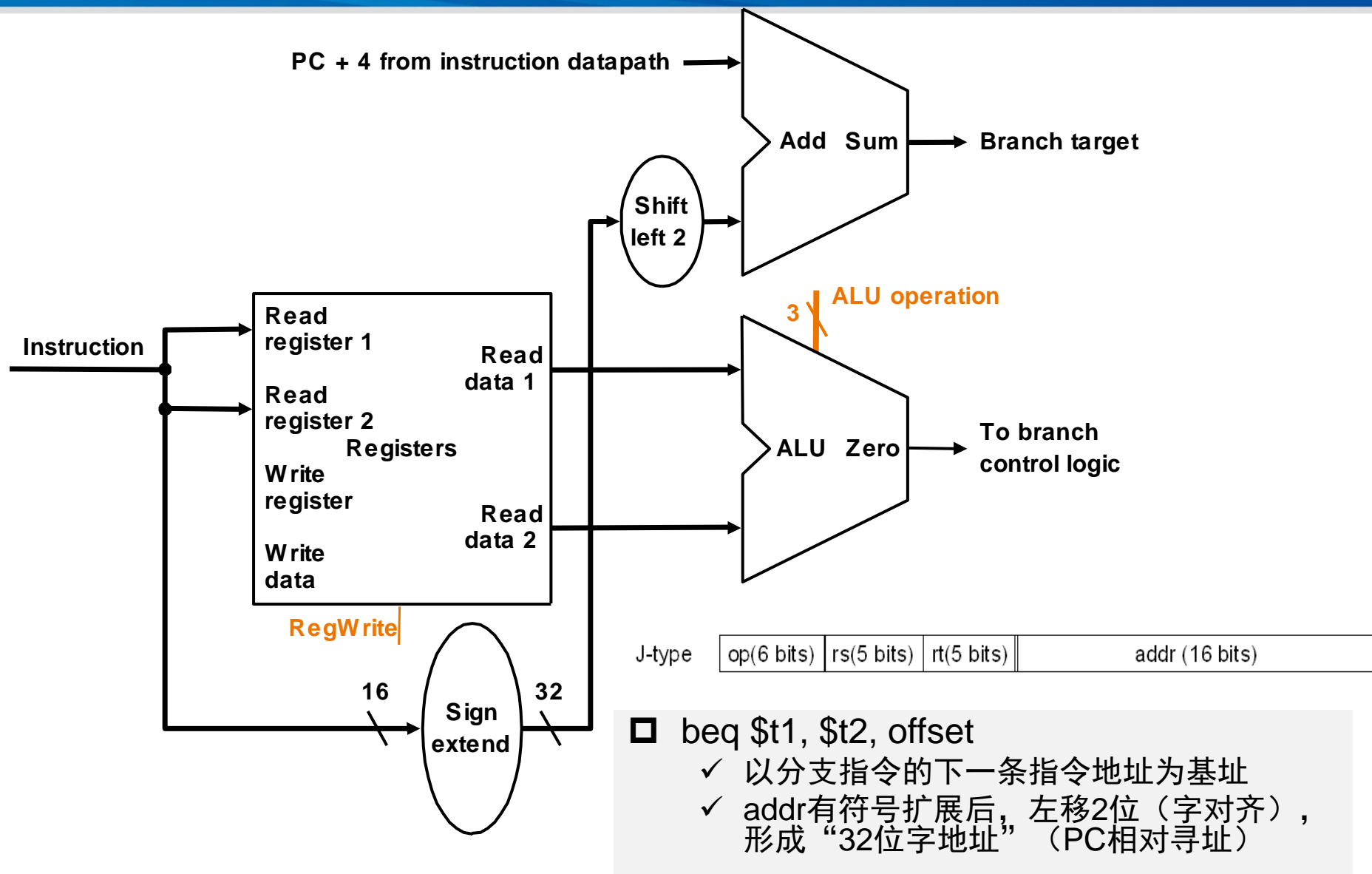
I-type	op(6 bits)	rs(5 bits)	rt(5 bits)	addr (16 bits)		
R-type	op(6 bits)	rs(5 bits)	rt(5 bits)	rd(5 bits)	shamt(5 bits)	funct(6 bits)



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC



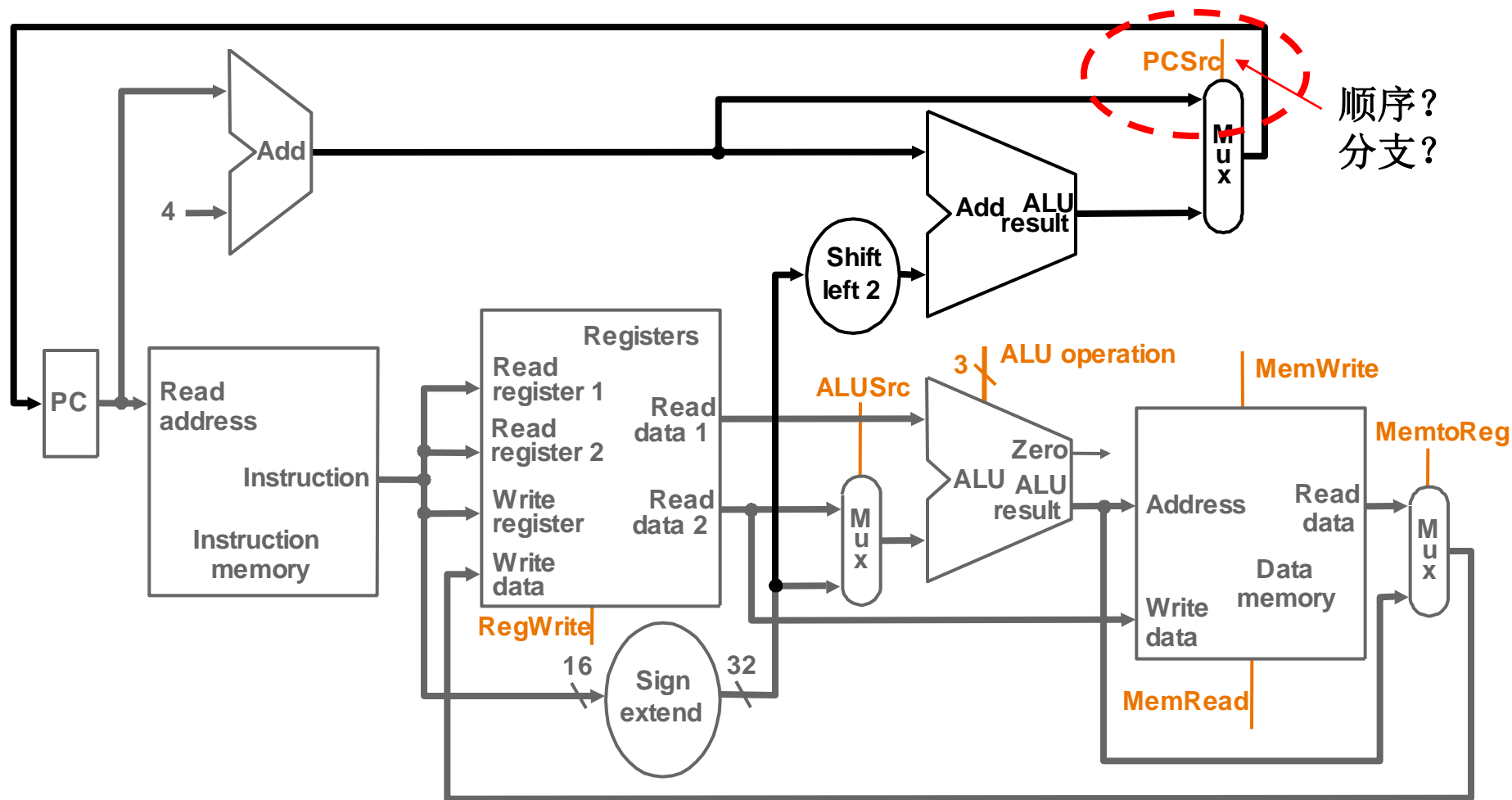
# 条件转移beq



# R-/I-/J-type操作数据通路总图



中国科学技术大学  
University of Science and Technology of China



控制信号如何处理?



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

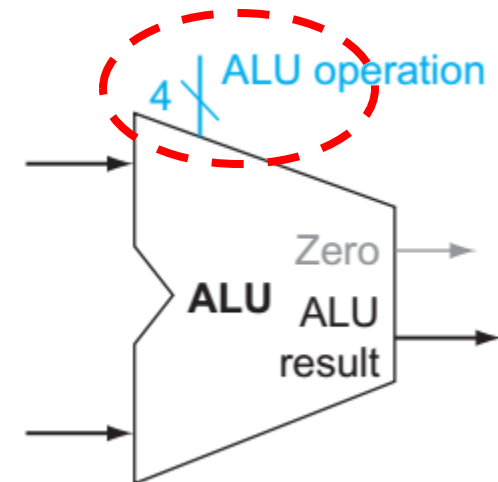
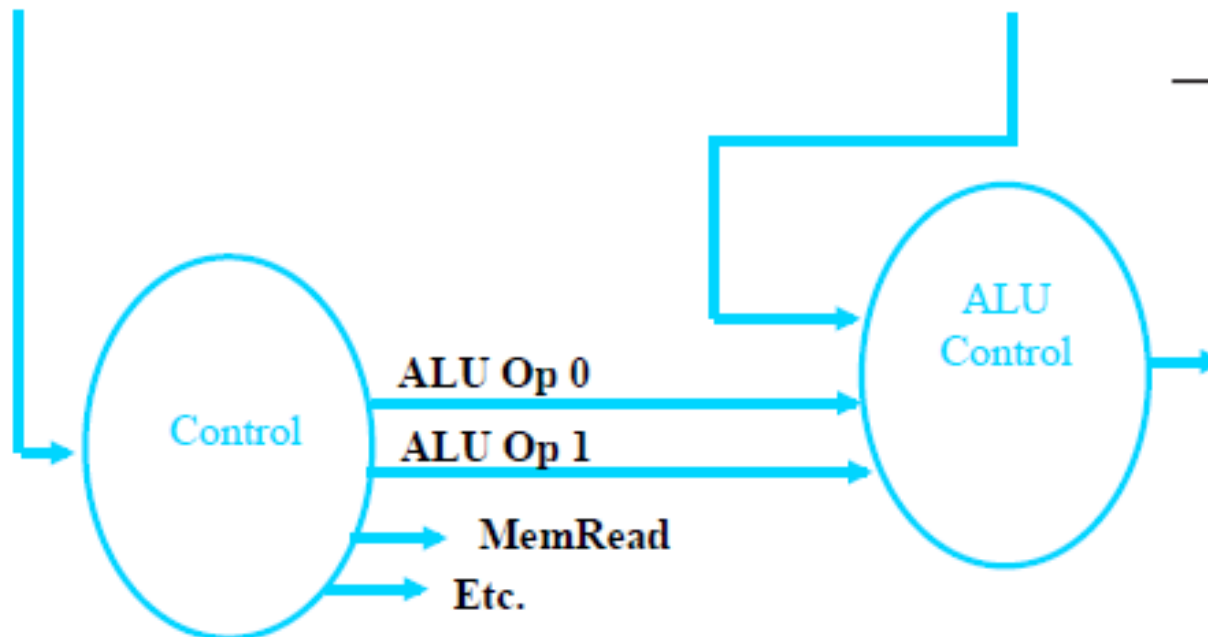
# ALU控制信号

op(6 bits)	rs(5 bits)	rt(5 bits)	rd(5 bits)	shamt(5 bits)	funct(6 bits)
op(6 bits)	rs(5 bits)	rt(5 bits)	addr/immediate(16 bits)		
op(6 bits)	addr(26 bits)				

Example: add \$8, \$17, \$18

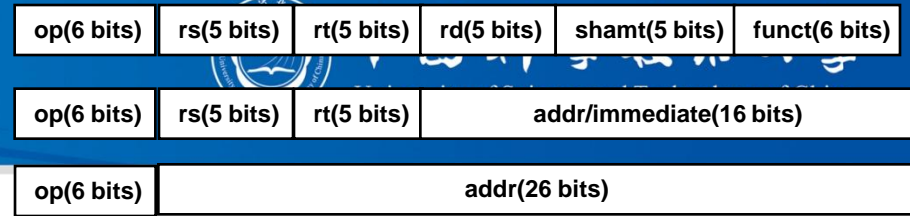
000000	10001	10010	01000	00000	100000
--------	-------	-------	-------	-------	--------

op	rs	rt	rd	shamt	funct
----	----	----	----	-------	-------



0000 AND  
 0001 OR  
 0010 add  
 0110 subtract  
 0111 set-on-less-than  
 1100 NOR

# ALU控制信号



Instruction opcode	ALUop	Instruction operation	Funct field	desired ALU action	ALU ctrl input
LW	00	Load word	xxxxxx	add	0010
SW	00	store word	xxxxxx	add	0010
beq	01	Branch eq	xxxxxx	subtract	0110
R-type	10	Add	100000	Add	0010
R-type	10	Subtract	100010	Subtract	0110
R-type	10	And	100100	And	0000
R-type	10	Or	100101	Or	0001
R-type	10	Set on less than	101010	Set on less than	0111

2位ALUop和6位func组合，产生ALU\_ctrl\_input（即4位ALU operation）



# 控制器：指令译码



中国科学技术大学  
University of Science and Technology of China

R-type	0(31-26)	rs(25-21)	rt(20-16)	rd(15-11)	shamt(10-6)	funct(5-0)
--------	----------	-----------	-----------	-----------	-------------	------------

I-type	31-26	rs(25-21)	rt(20-16)	Imm (16 bits)
--------	-------	-----------	-----------	---------------

J-type	31-26	rs(5 bits)	rt(5 bits)	addr(16 bits)
--------	-------	------------	------------	---------------

## □ 指令格式分析

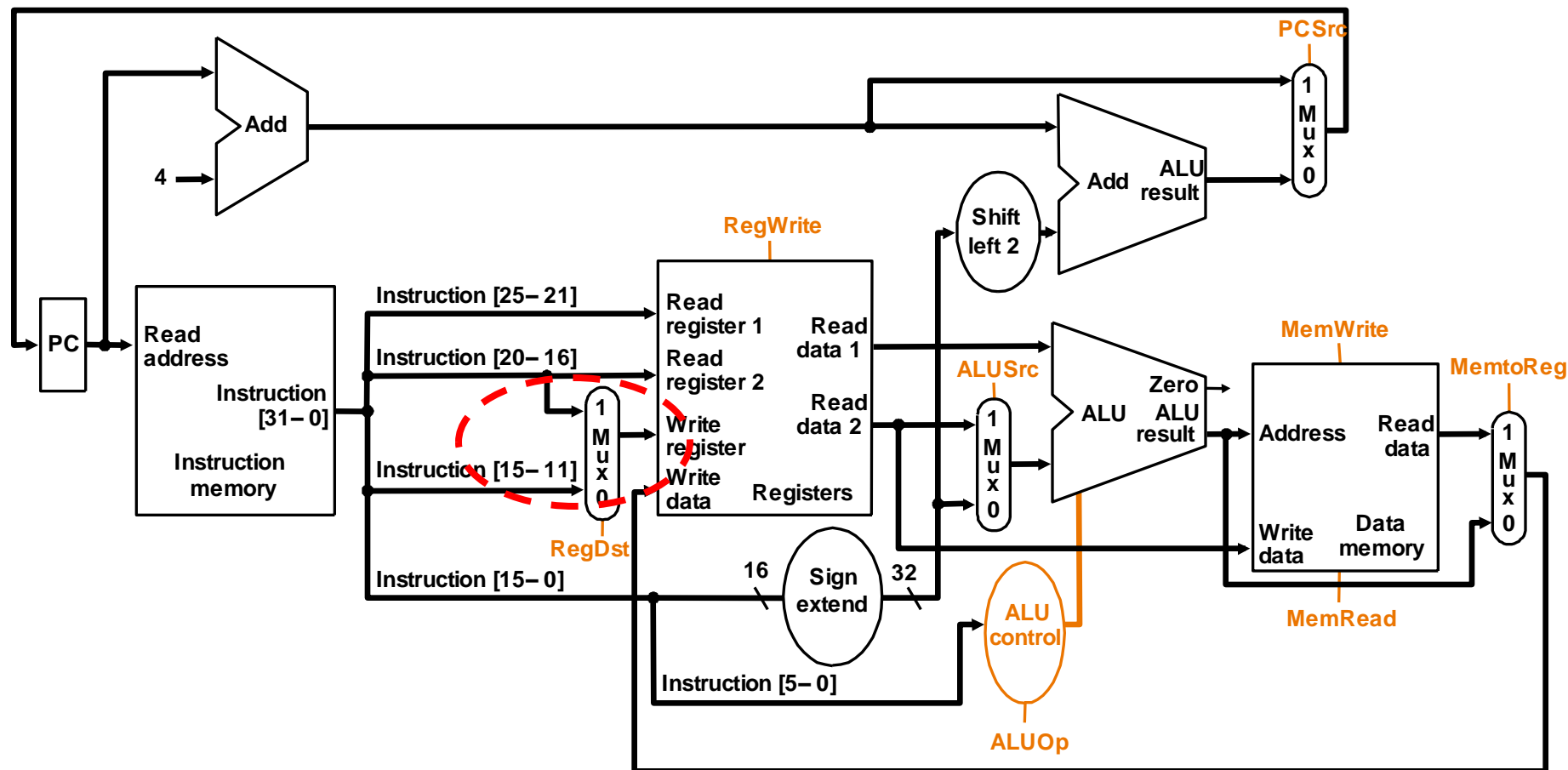
- ✓ 操作码：在31-26
- ✓ R-type：需要参考5-0
- ✓ 目的地址：需要对目的寄存器进行选择控制
  - 对R-type指令，在rd
  - 对load指令，在rt



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC



# 目的寄存器选择



I-type	op(6 bits)	rs(5 bits)	rt(5 bits)	addr (16 bits)	
R-type	op(6 bits)	rs(5 bits)	rt(5 bits)	rd(5 bits)	shamt(5 bits) funct(6 bits)

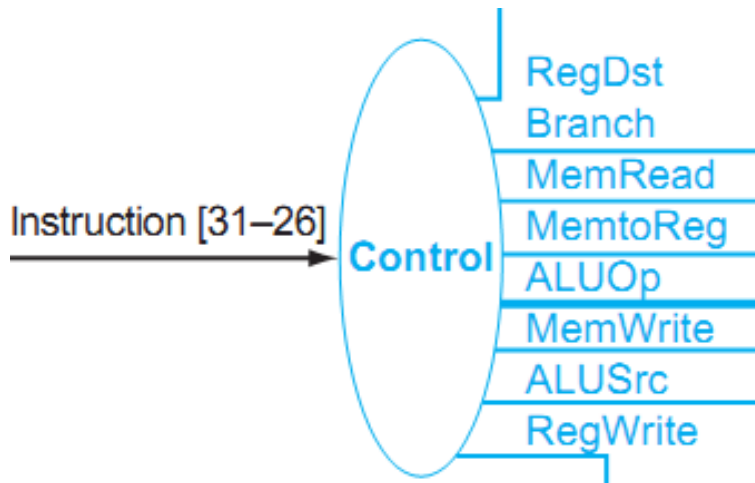




# 控制器：控制信号生成

## □ op域（6位）译码产生的控制信号：8个

- ✓ RegDst: 选择rt或rd作为写操作的目的寄存器
  - R-type指令（1）与 load指令二选一（0）
- ✓ RegWrite: 寄存器写操作控制
- ✓ ALUSrc: ALU的第二个操作数来源
  - R-type指令（0）与 I-type指令（1）（含branch指令）二选一
- ✓ ALUOp: R-type指令（2位）
- ✓ MemRead: 存储器读控制，load指令
- ✓ MemWrite: 存储器写控制，store指令
- ✓ MemtoReg: 目的寄存器数据来源
  - R-type指令与load指令二选一
- ✓ Branch: 是否分支指令（产生PCSrc）



I-type  
R-type

op(6 bits)	rs(5 bits)	rt(5 bits)	addr (16 bits)			
op(6 bits)	rs(5 bits)	rt(5 bits)	rd(5 bits)	shamt(5 bits)	funct(6 bits)	

## □ PCSrc: nPC来源控制，顺序与分支二选一

- ✓ “是否beq指令（Branch）” & “ALU的Zero状态有效”

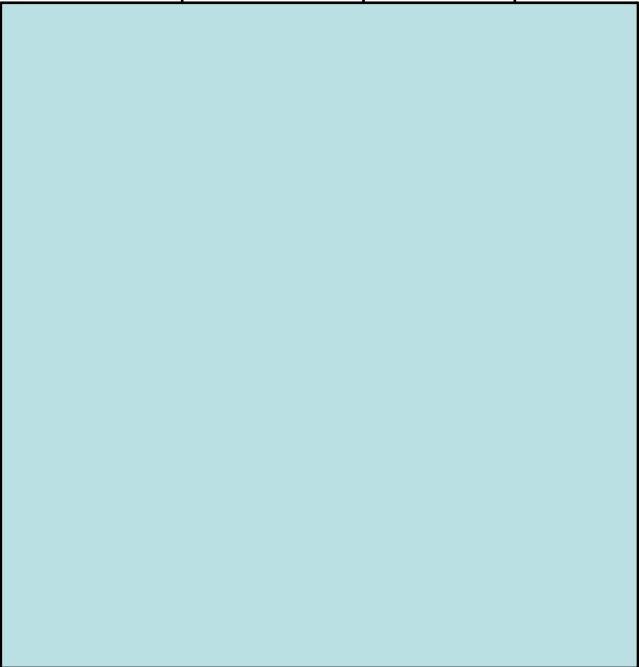




# 控制信号例子

6位OP译码产生8位控制信号

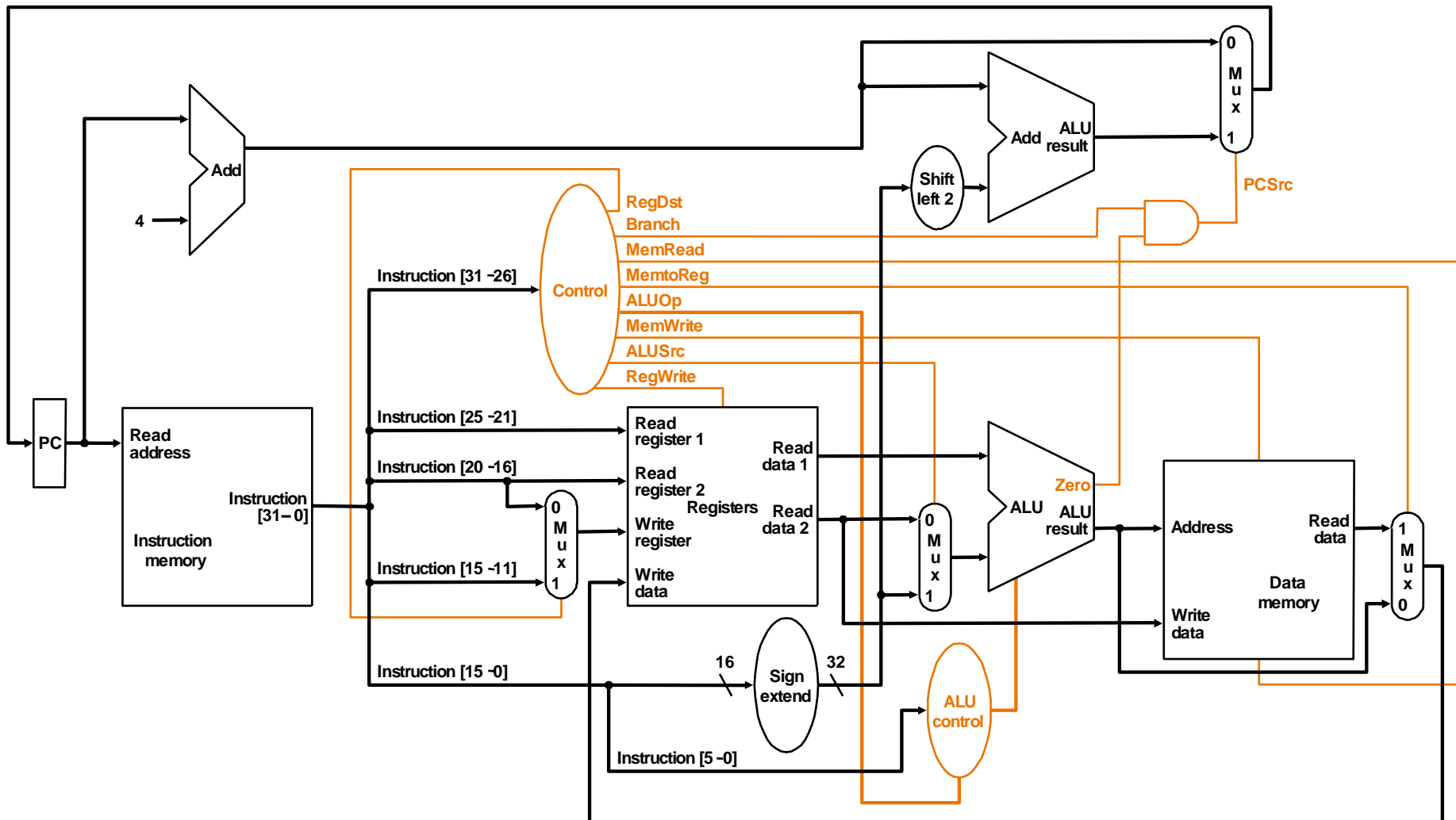
- 1. ALUOP 2位 + 6位Func  
    →4位ALU 控制信号
- 2. 目的寄存器编号RS/RT
- 3. 目的寄存器来源
- 4. 目的寄存器写
- 5. ALU二操作数来源
- 6. 存储器读
- 7. 存储器写
- 8. 是否为Branch

	Signal name	R-type	lw (31)	sw (35)	beq
inputs	op5 (26)	0	1	1	0
	op4	0	0	0	0
	op3	0	0	1	0
	op2	0	0	0	1
	op1	0	1	1	0
	op0 (31)	0	1	1	0
outputs	RegDst				
	ALUSrc				
	MemtoReg				
	RegWrite				
	MemRead				
	MemWrite				
	Branch				
	ALUop1				
	ALUop0				

# 主控制部件



中国科学技术大学  
University of Science and Technology of China



嵌入式系统实验室

EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

# R-type指令的执行过程

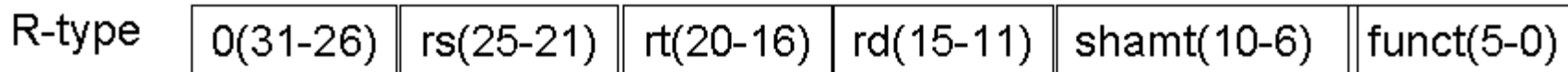


中国科学技术大学  
University of Science and Technology of China

□ `add $t1, $t2, $t3;`       $\$t2 + \$t3 \rightarrow \$t1$

□ 在一个周期内完成如下动作

- ✓ 第一步：取指和PC+4
- ✓ 第二步：读两个源操作数寄存器\$t2和\$t3
- ✓ 第三步：ALU操作
- ✓ 第四步：结果写回目的寄存器\$t1



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

University of Science and Technology of China



# lw指令的执行过程

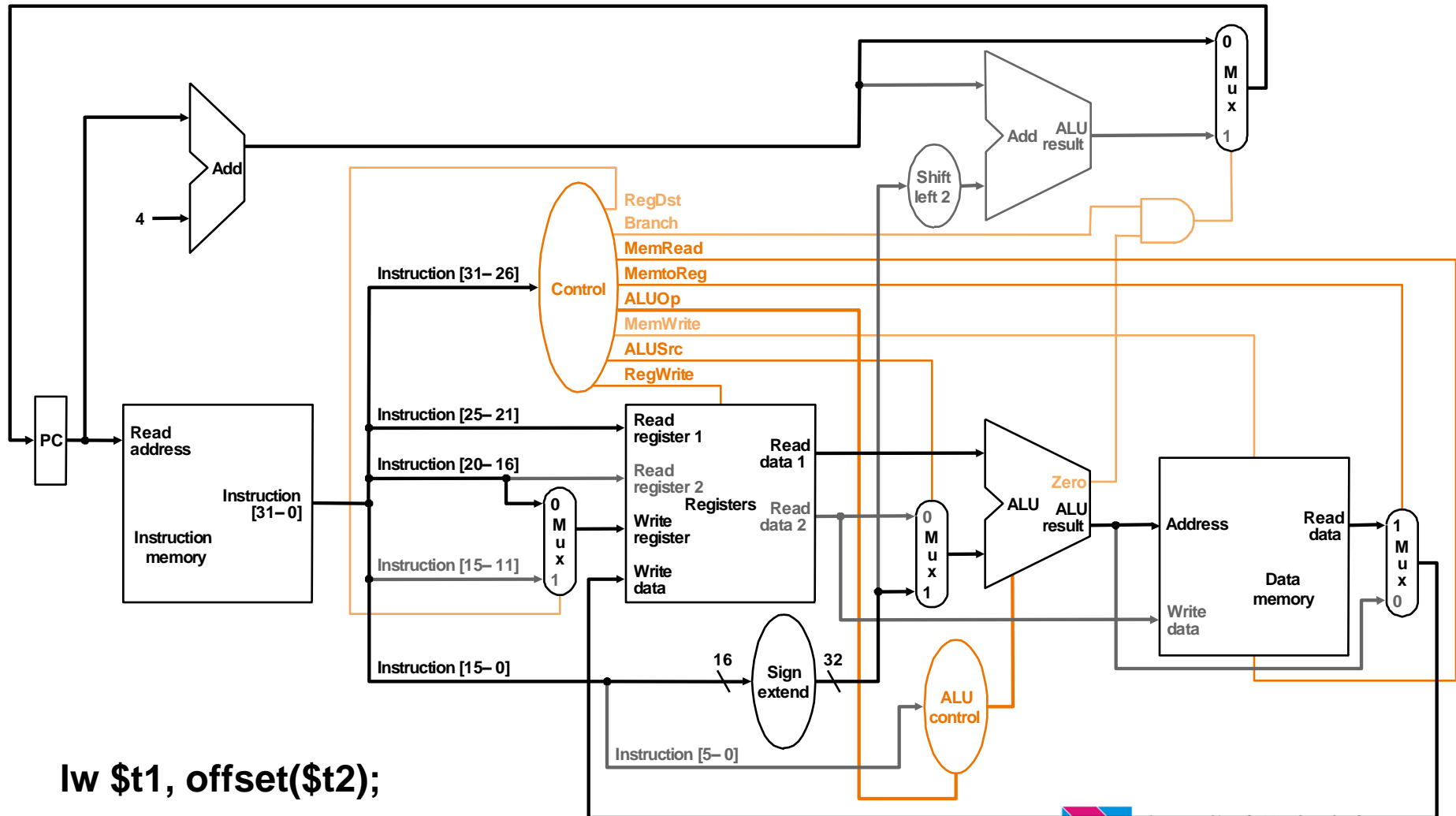


- `lw $t1, offset($t2);`       $M(\$t2 + \text{offset}) \rightarrow \$t1$
- 第一步：取指和  $PC + 4$
- 第二步：读寄存器  $\$t2$
- 第三步：ALU操作完成  $\$t2$  与符号扩展后的16位offset加
- 第四步：ALU的结果作为访存地址，送往数据MEM
- 第五步：内存中的数据送往  $\$t1$

l-type	35/31	rs(25-21)	rt(20-16)	addr (16 bits)
--------	-------	-----------	-----------	----------------



# lw指令的执行路径



`lw $t1, offset($t2);`



# beq指令的执行过程



- beq \$t1, \$t2, offset
- 第一步：取指和PC+4
- 第二步：读寄存器\$t1, \$t2
- 第三步：ALU将\$t1和\$t2相减；PC+4与被左移两位并进行符号扩展后的16位offset相加，作为分支目标地址
- 第四步：ALU的Zero确定应送往PC的值

J-type	4	rs(5 bits)	rt(5 bits)	addr(16 bits)
--------	---	------------	------------	---------------



University of Science and Technology of China



EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

## beq \$t1, \$t2, offset



# jump指令的实现



中国科学技术大学  
University of Science and Technology of China

J-type	2(31-26)	addr(25-0)
--------	----------	------------

□无条件转移，关键在于目标地址的拼装

✓PC+4的最高4位

✓指令字中的26位地址

✓最低两位补00

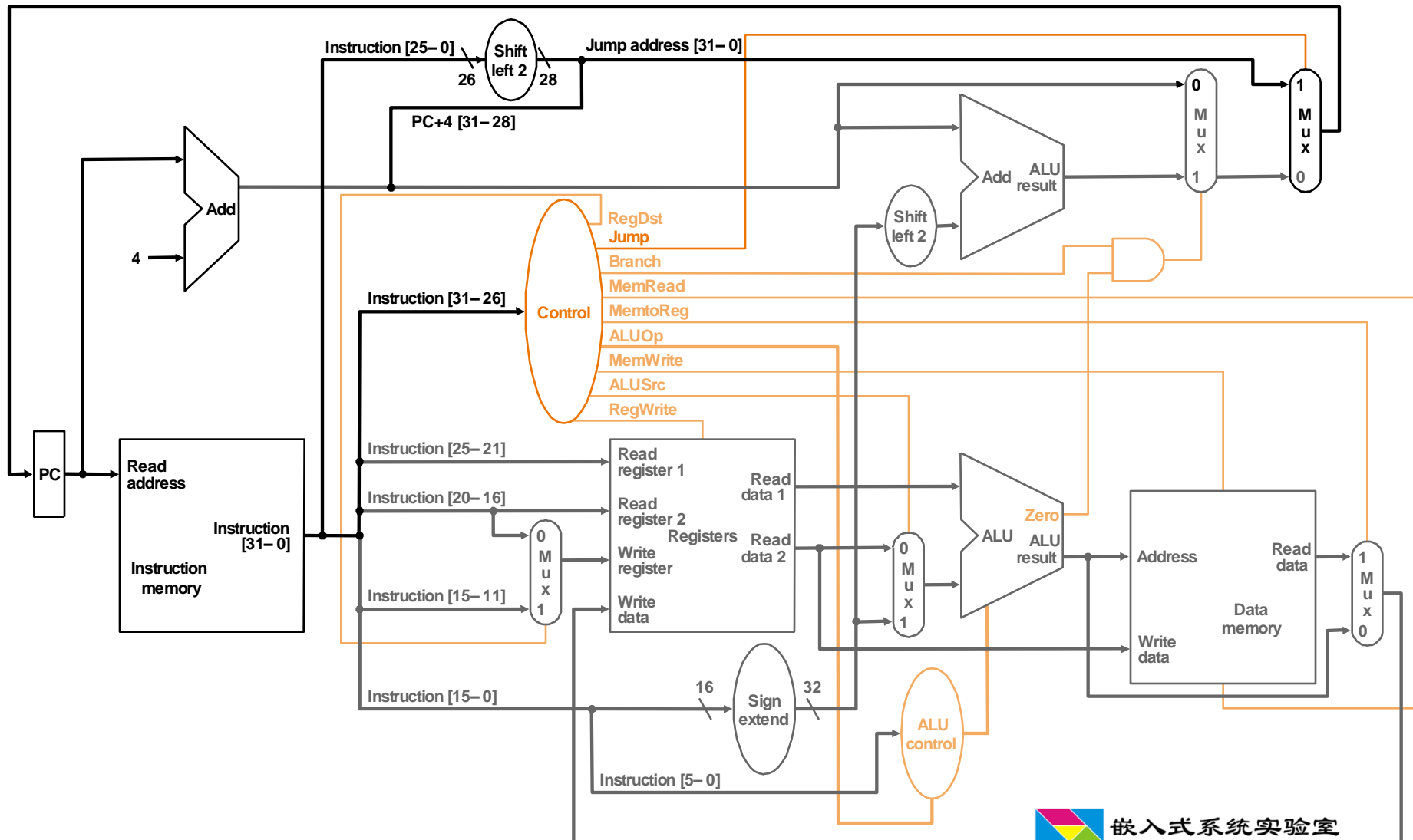
□“拼装”：只需合并地址总线

□增加一个jump指令识别控制



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

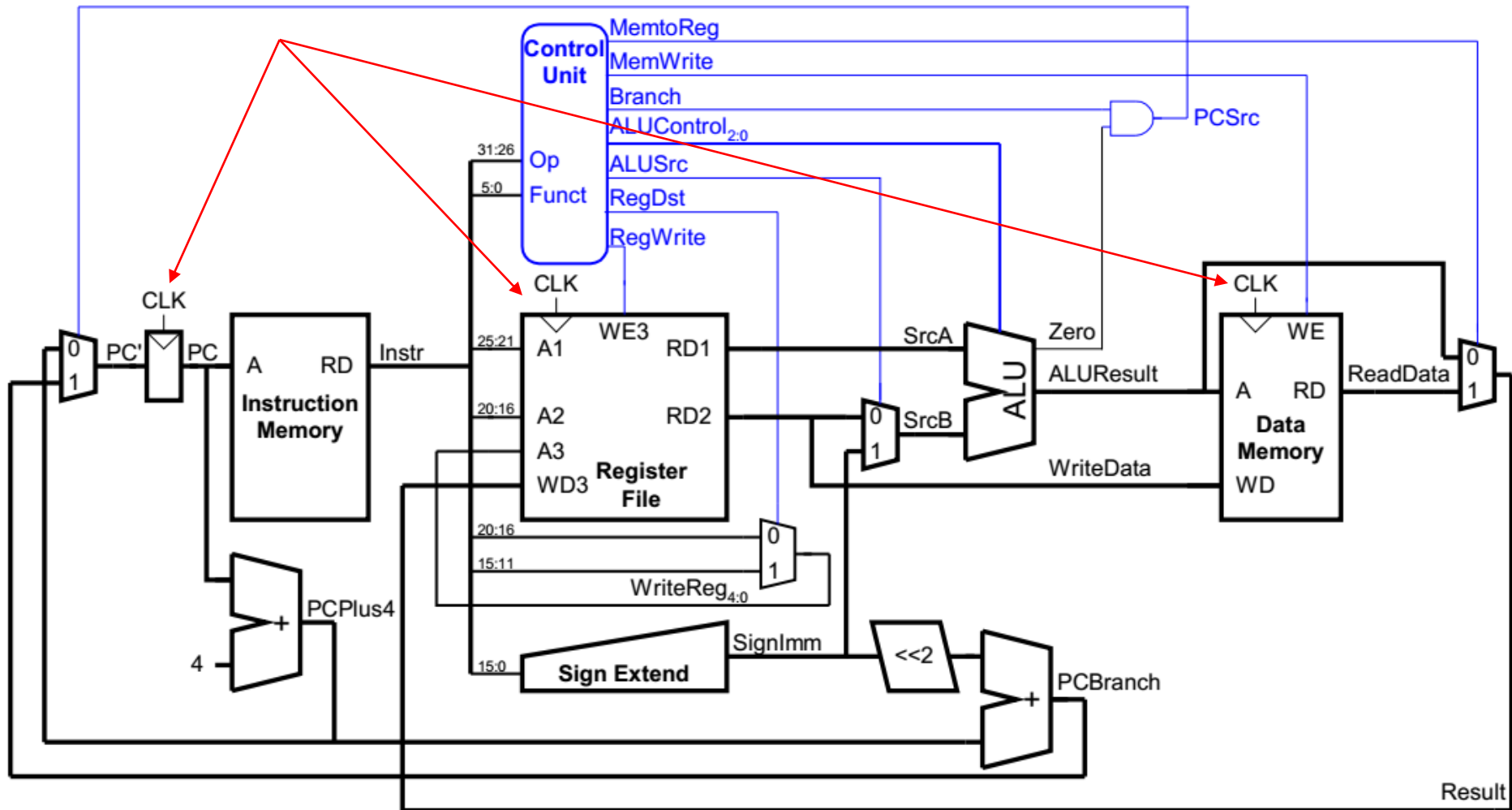
# jump指令的实现



# Single-Cycle Processor: Clocking

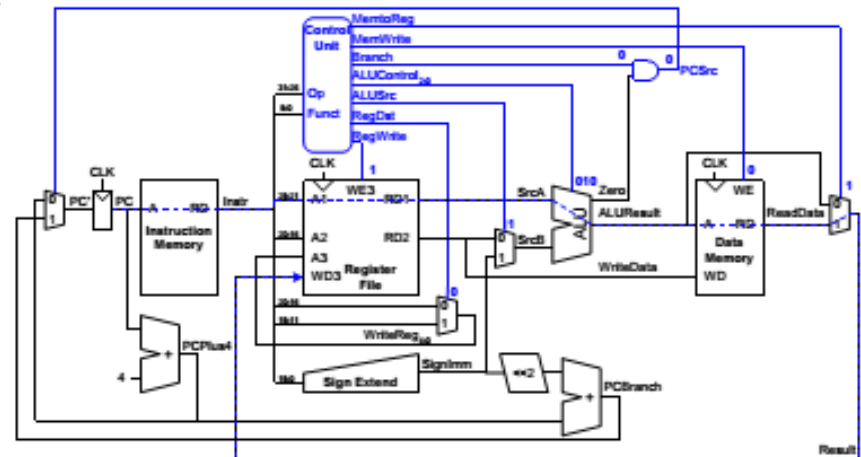


中国科学技术大学  
University of Science and Technology of China



# The Critical Path Dictates the Clock Period

Element	Delay
Register clk-to-Q	$t_{pcq-PC}$ 30 ps
Register setup	$t_{setup}$ 20
Multiplexer	$t_{mux}$ 25
ALU	$t_{ALU}$ 200
Memory Read	$t_{mem}$ 250
Register file read	$t_{Rfread}$ 150
Register file setup	$t_{RFsetup}$ 20



$$\begin{aligned}
 T_C &= t_{pcq-PC} + t_{mem-I} + t_{Rfread} + t_{ALU} + t_{mem-D} + t_{mux} + t_{RFsetup} \\
 &= (30 + 250 + 150 + 200 + 250 + 25 + 20) \text{ ps} \\
 &= 925 \text{ ps} \\
 &= 1.08 \text{ GHz}
 \end{aligned}$$



# 定长or不定长单周期？



- 设程序中load有24%，store有12%，R-type有44%，beq有18%，jump有2%。试比较时钟**定长**单周期实现和**不定长**单周期实现的性能。
  - ✓ 程序执行时间 = 指令数  $\times$  CPI  $\times$  时钟宽度
  - ✓ 定长单周期的时钟为8ns
  - ✓ 不定长单周期的时钟可以是2ns~8ns。假设load,store,R,beq,jump指令的时间分别是8,7,6,5,2ns, 则其平均指令执行时间 =  $8 \times 24\% + 7 \times 12\% + 6 \times 44\% + 5 \times 18\% + 2 \times 2\% = 6.3\text{ns}$
  - ✓ 因此，变长实现较定长实现快  $8/6.3 = 1.27$  倍



# 复习：指令译码



中国科学技术大学  
University of Science and Technology of China

R-type	0(31-26)	rs(25-21)	rt(20-16)	rd(15-11)	shamt(10-6)	funct(5-0)
--------	----------	-----------	-----------	-----------	-------------	------------

I-type	31-26	rs(25-21)	rt(20-16)	Imm (16 bits)
--------	-------	-----------	-----------	---------------

J-type	31-26	rs(5 bits)	rt(5 bits)	addr(16 bits)
--------	-------	------------	------------	---------------

## □ 指令类型

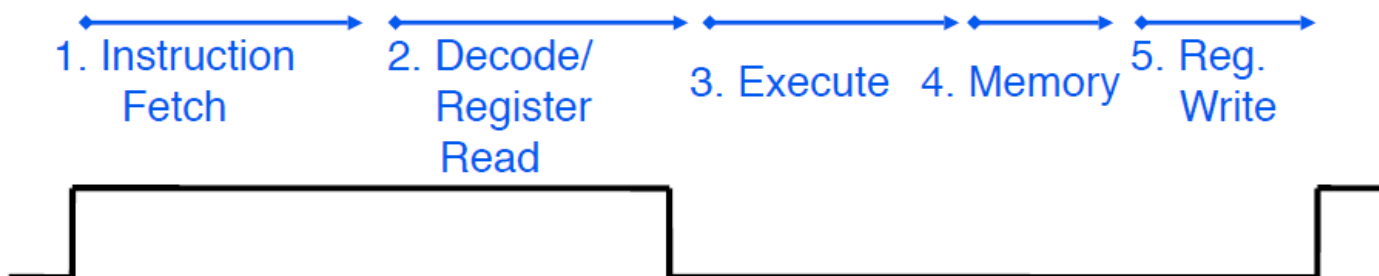
- ✓ 算术逻辑指令（R类/I类）
- ✓ 访存指令（I类）
- ✓ 分支/跳转指令（J类/I类）



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

## □ 定长指令周期

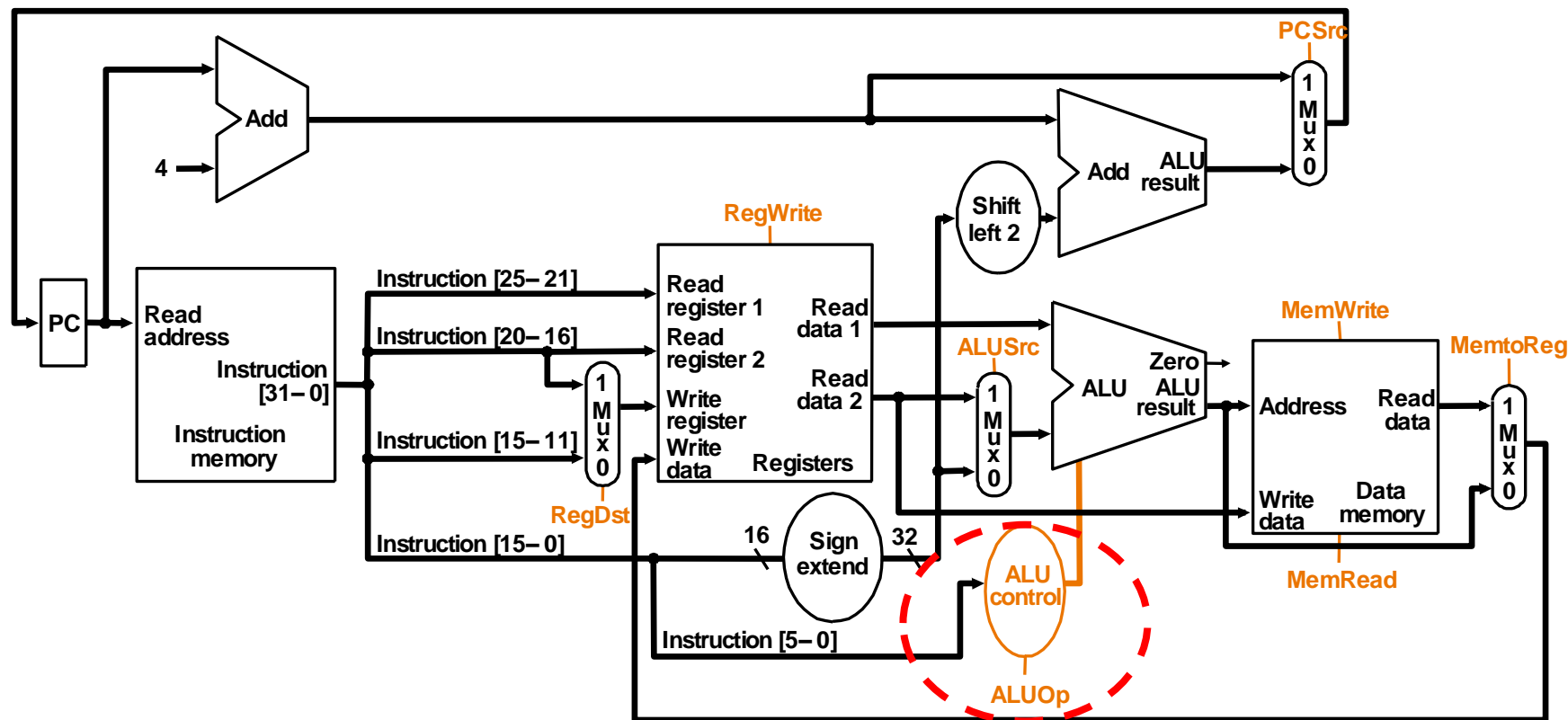
- ✓ All stages of an instruction are completed within one **long** clock cycle.
- ✓ 采用时钟边沿触发方式
  - 所有指令在时钟的一个边开始执行，在下一个边结束



## □ 不同指令的执行过程

- ✓ R-Type指令，LW指令，BEQ指令，JUMP指令

# 复习：ALU数据通路

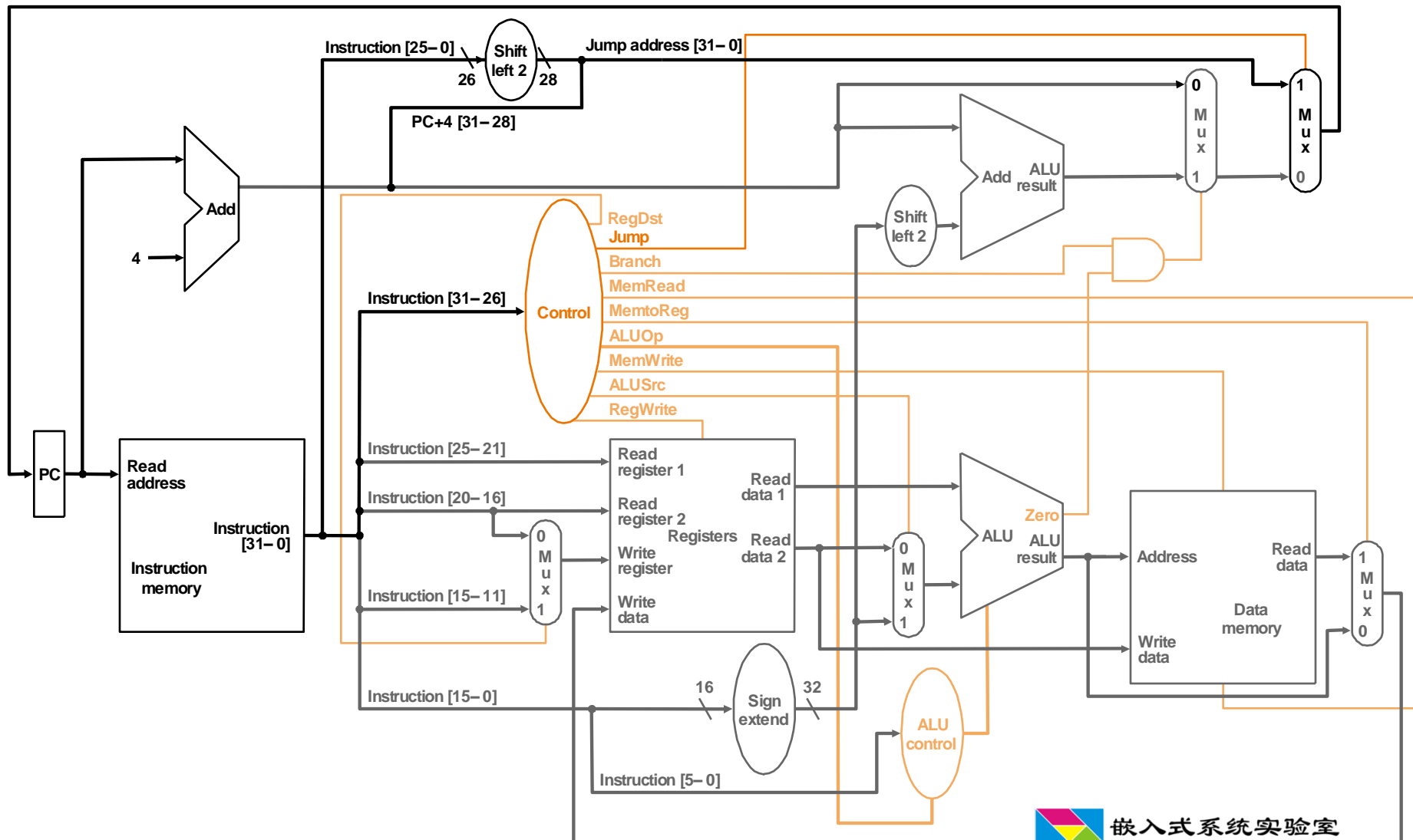


- ❑ 6位OP产生8个信号，包括ALUOp（不包括Jump）
- ❑ R-Type: 2位ALUOp和func组合产生ALU控制选择（四位）
- ❑ PCSRC信号由BRANCH和ALU ZERO信号共同确定





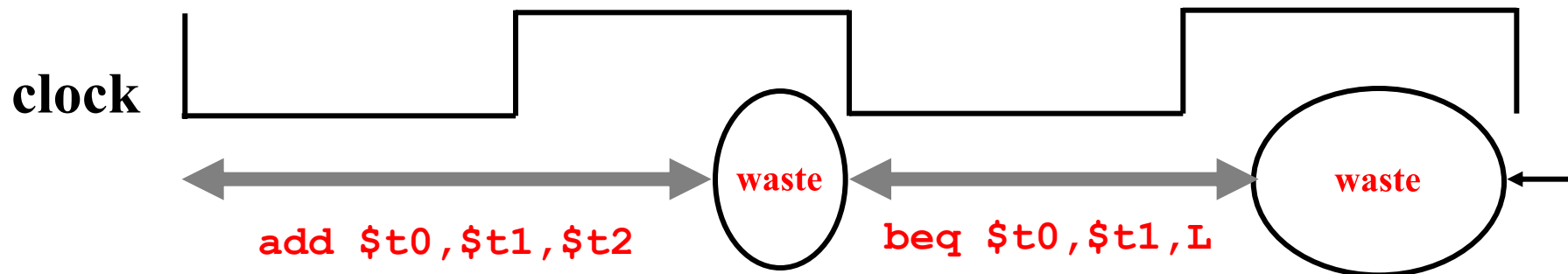
# 复习：ALU控制信号



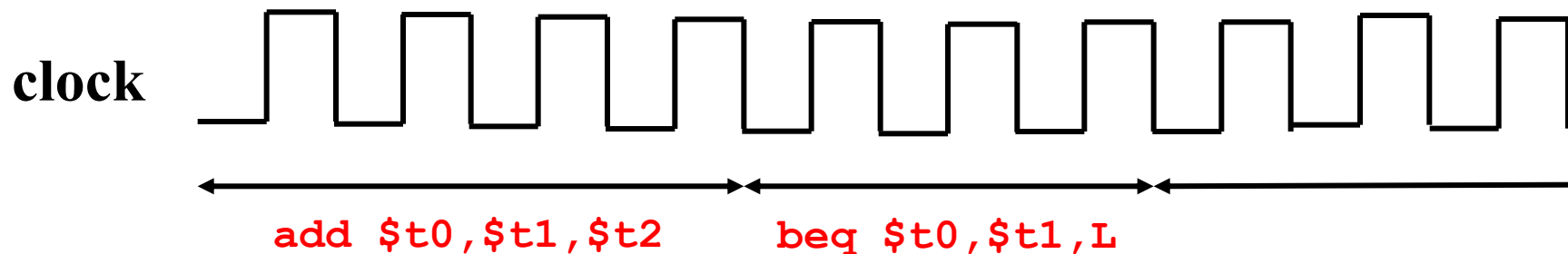
# 定长单周期 vs. 不定长多周期



## *Single-cycle Implementation:* 定长指令周期



## *Multicycle Implementation:* 不定长指令周期



### • Multicycle Implementation:

less waste = higher performance

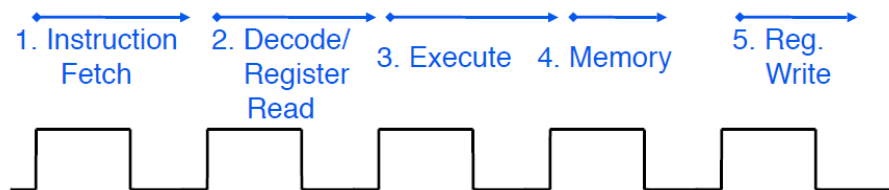


□ 根据指令执行所**使用的功能部件**，将执行过程划分成多个阶段，每个阶段一个周期

- ✓ 早结束的指令可以提升性能
- ✓ 在一个周期内的各个部件并行工作，功能部件可以在不同的阶段（周期）复用（流水线基础）

□ 时钟周期确定

- ✓ 每个周期的工作尽量平衡
- ✓ 假设一个周期内可以完成
  - 一次MEM访问， or
  - 一次寄存器访问（2 reads or one write）， or
  - 一次ALU操作



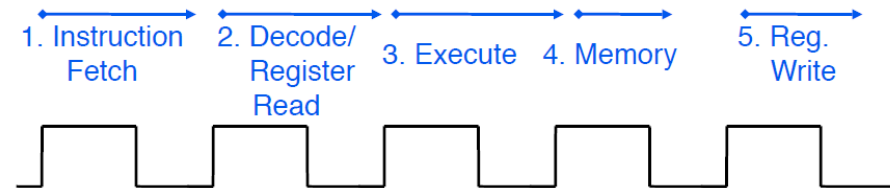
# 指令执行的阶段划分



中国科学技术大学  
University of Science and Technology of China

## □ 共5个阶段

- ✓ 取指
- ✓ 译码阶段、计算beq目标地址
- ✓ 执行：R-type指令执行、访存地址计算，分支**完成**阶段
- ✓ 访存：lw读，store和R-type指令**完成**阶段
- ✓ 写回：lw**完成**阶段



## □ 注意

- ✓ 定长机器周期：机器周期=时钟周期
- ✓ 不定长指令周期：分别为3、4、5个机器周期

## □ 控制器根据**机器周期标识**发出控制信号



嵌入式系统实验室

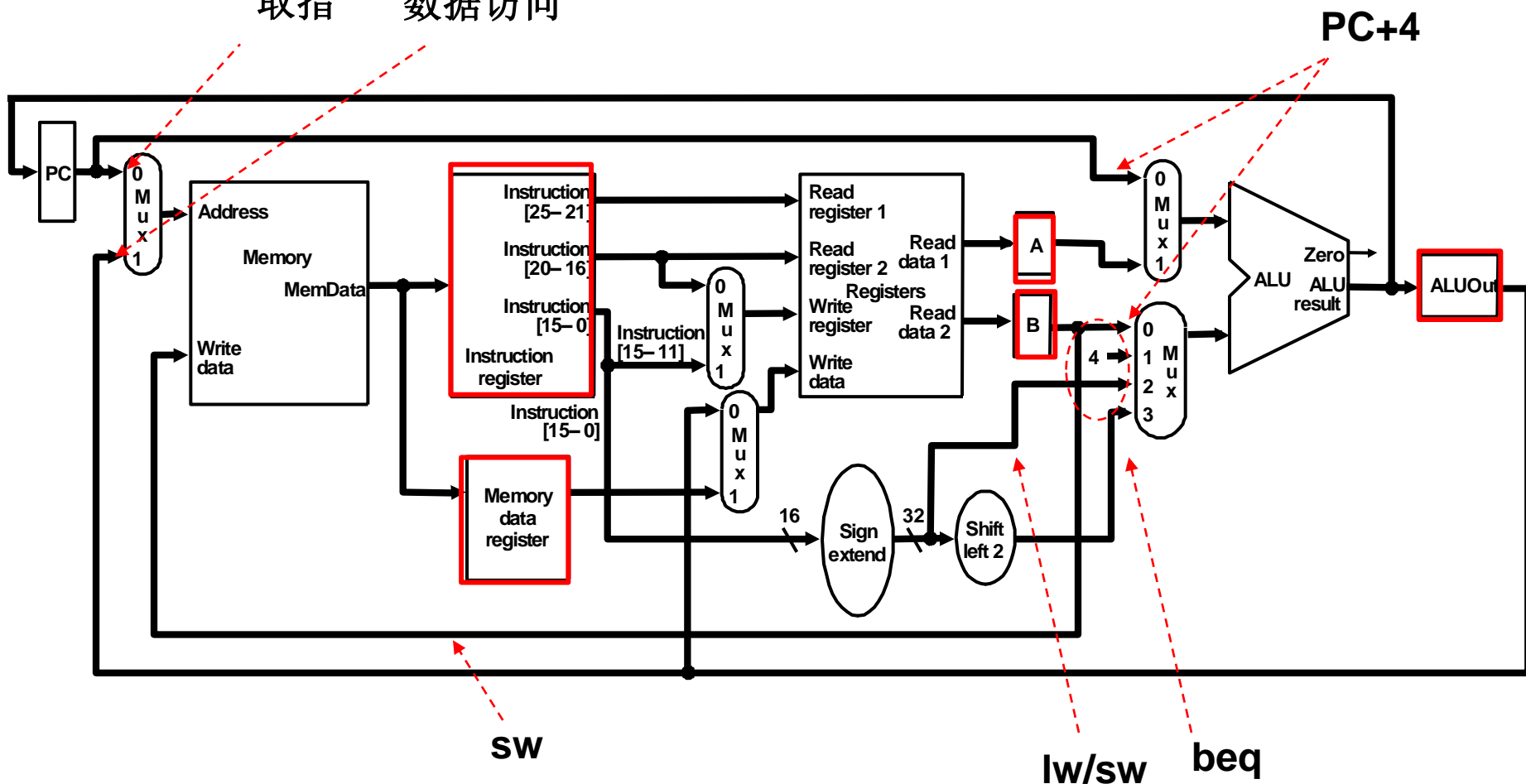
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

52

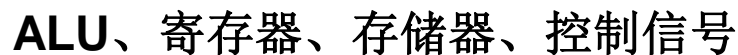
# 多周期数据通路



取指 数据访问



University of Science and Technology of China



EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

op(6 bits)	rs(5 bits)	rt(5 bits)	rd(5 bits)	shamt(5 bits)	funct(6 bits)
op(6 bits)	rs(5 bits)	rt(5 bits)	addr/immediate(16 bits)		
op(6 bits)	addr(26 bits)				

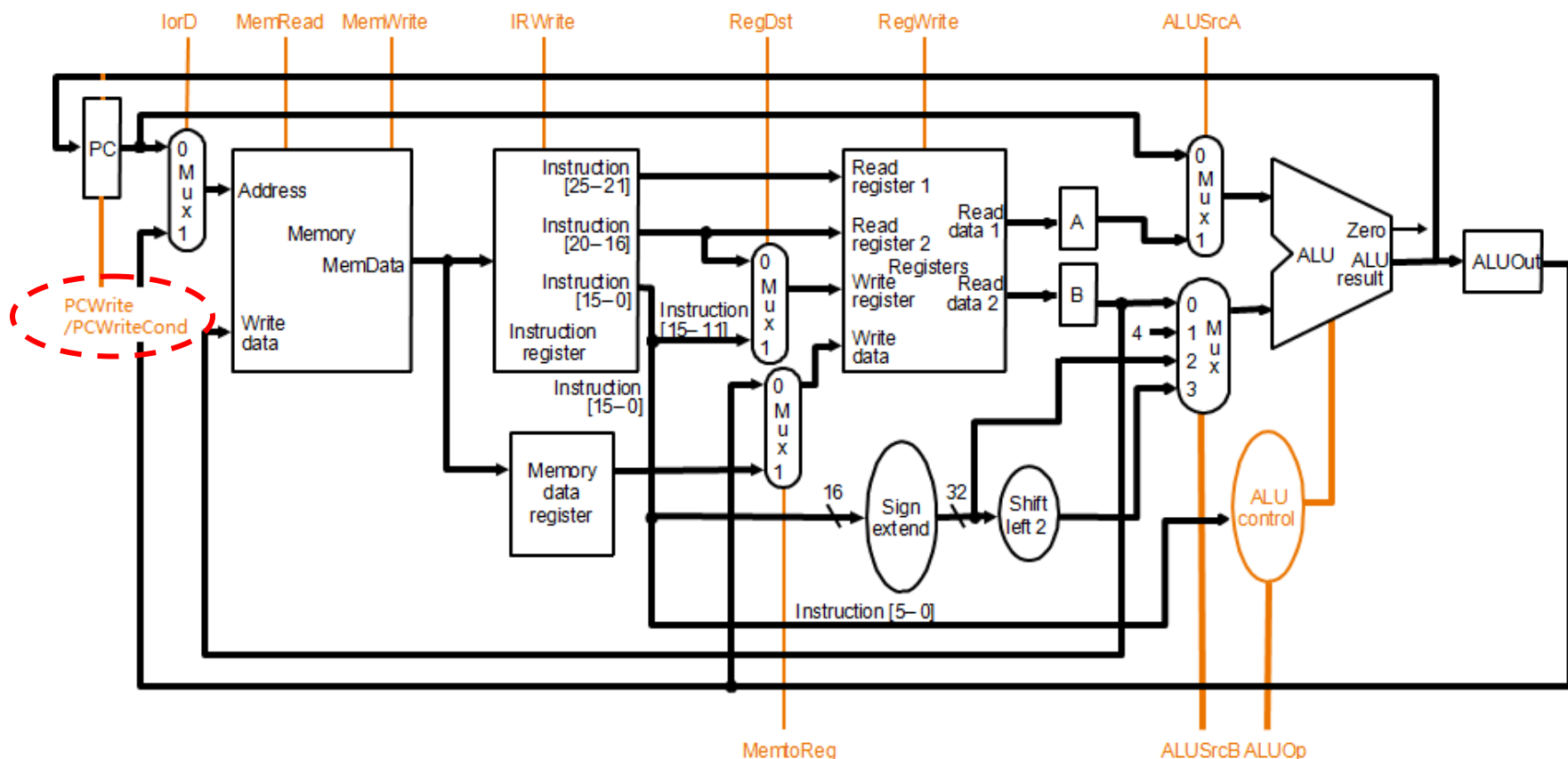


# 还需要对PC的写控制信号



中国科学技术大学  
University of Science and Technology of China

□ “在一个指令周期内，PC不能变”



□ 思考：为何单周期不需要PC写控制？



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

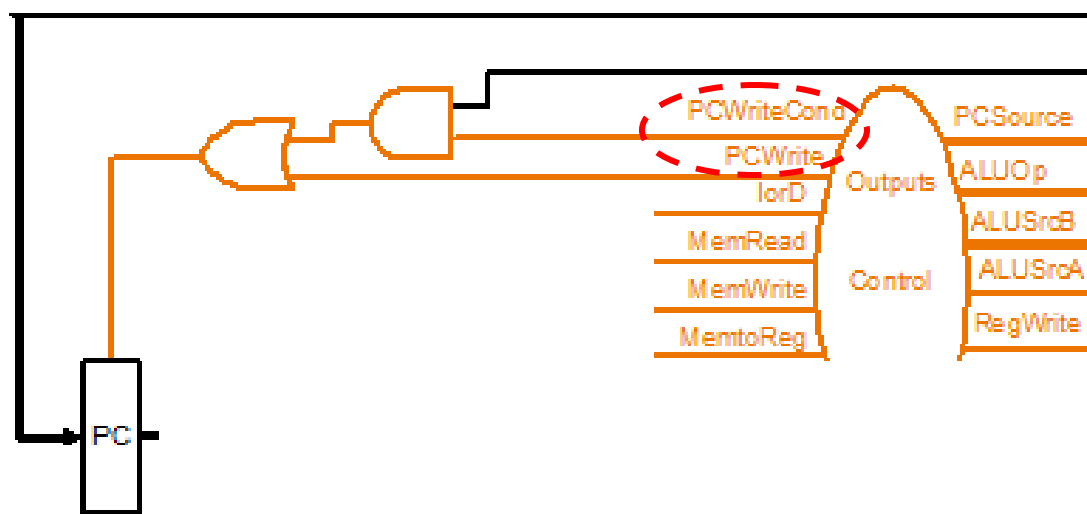


## □ 3种情况

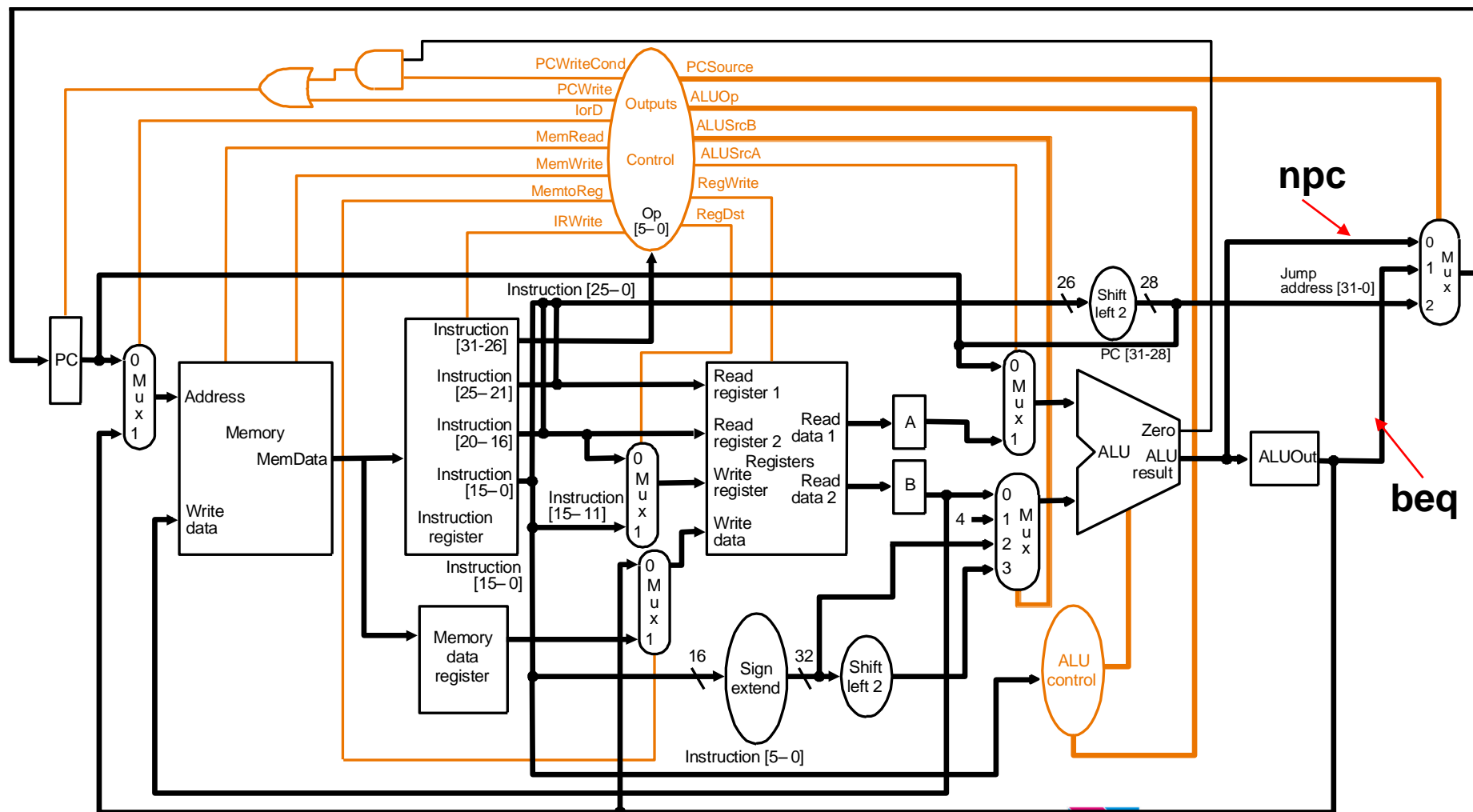
- ✓ ALU:  $PC+4$ 的输出直接存入PC, 无条件写 (取指阶段)
- ✓ ALU: beq指令的目标地址 (译码阶段)
- ✓ ALU: jump指令 J-type (可在译码阶段)

## □ 需要两个写控制

- ✓ 无条件写PCWrite:  $PC+4$ , jump
- ✓ 有条件写PCWriteCond: beq

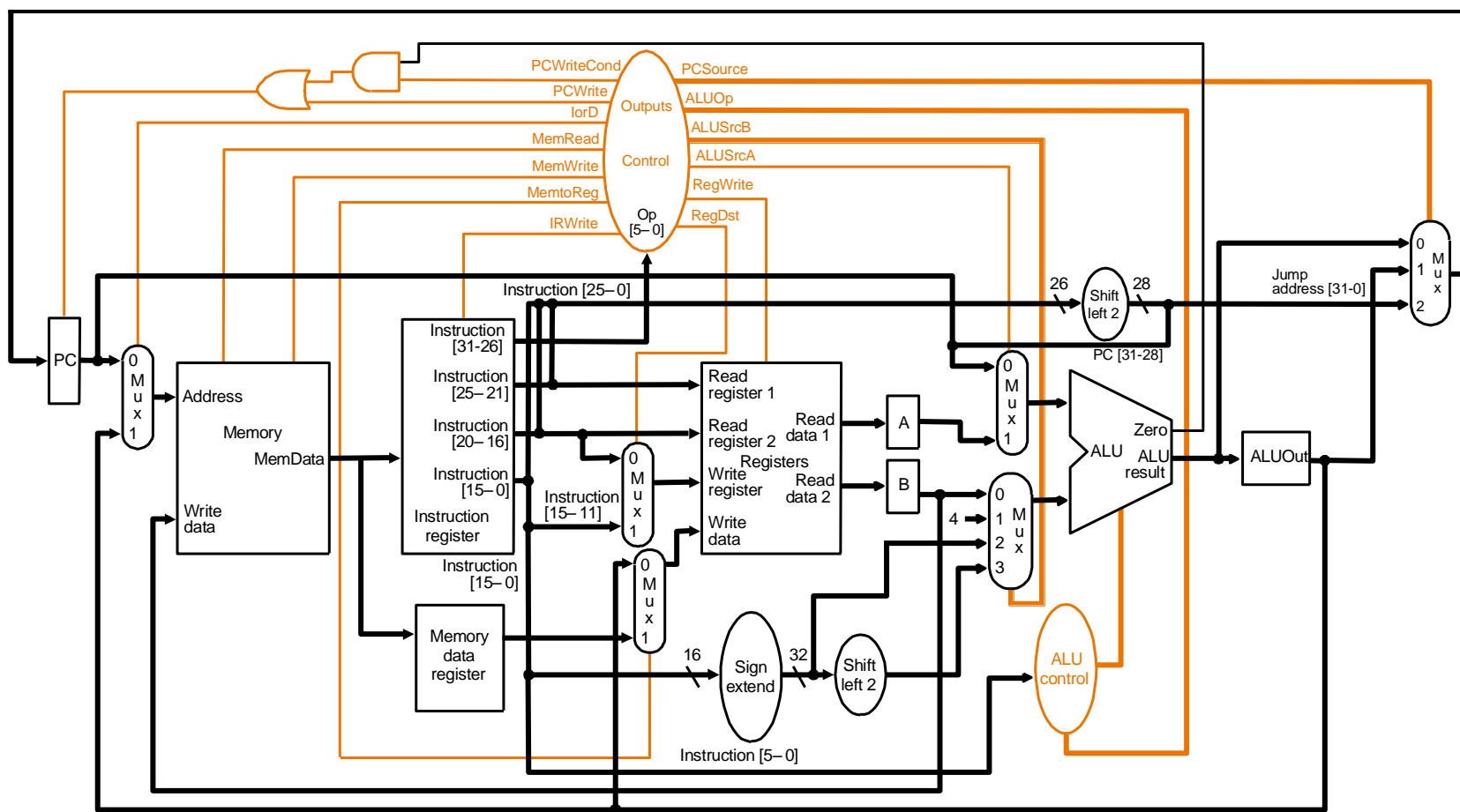


# 主控制部件

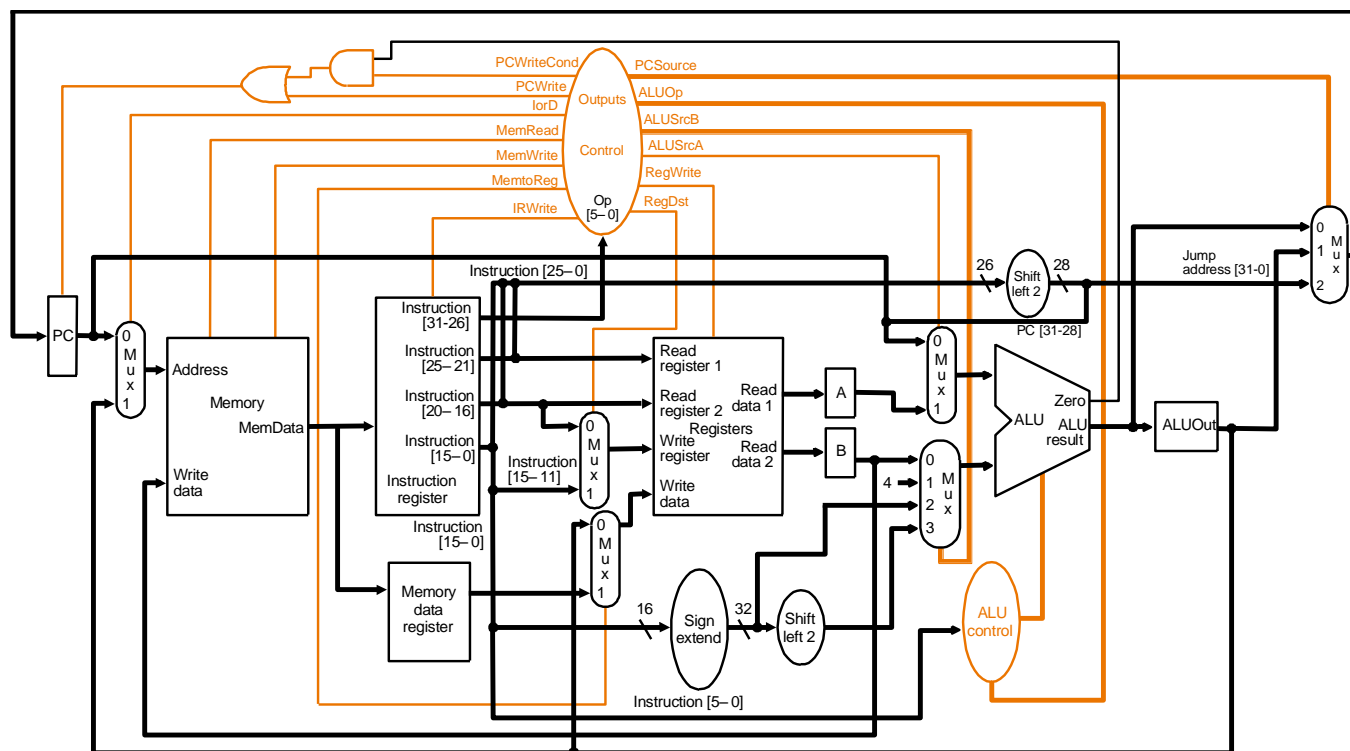


## □ 取指

- ✓ 根据PC从MEM中取指,  $IR = MEM[PC]$
- ✓ 计算NPC,  $PC = PC + 4$
- ✓ 控制信号: MemRead, IRWrite, IorD, ALUSrcA, ALUSrcB, ALUOp, PCWrite, PCSource



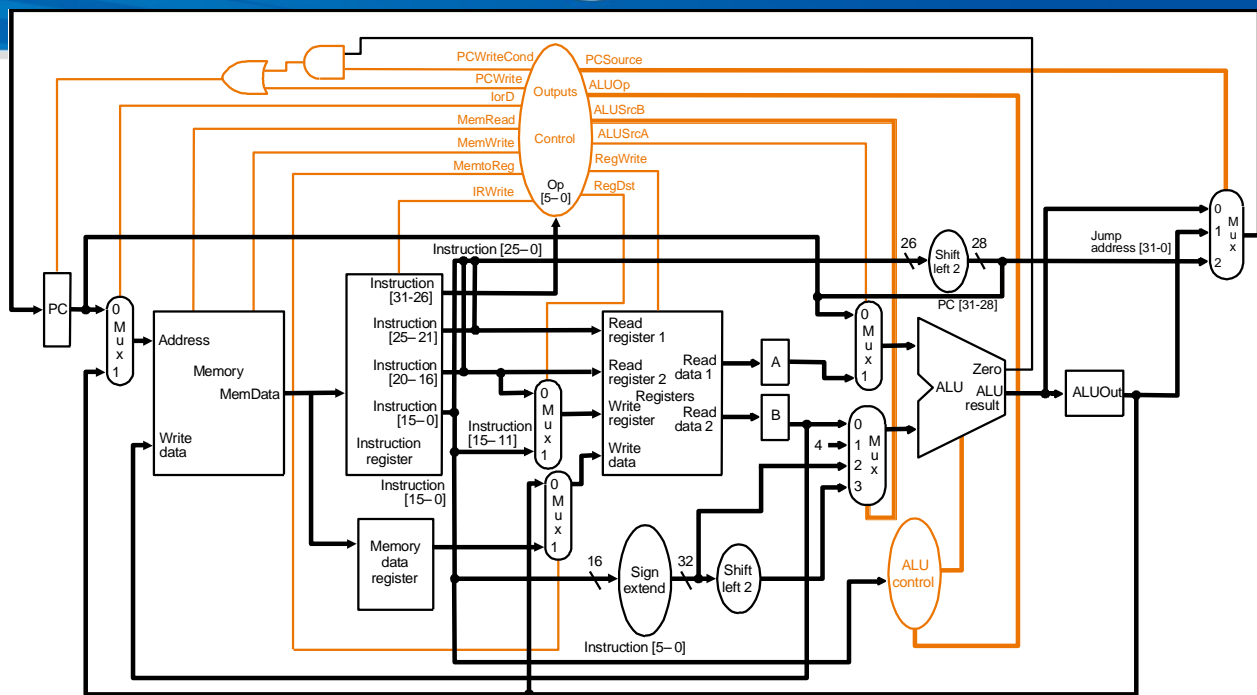
- ❑ 指令译码和读寄存器
  - ✓ 将rs和rt送往A和B:  $A = \text{Reg}[\text{IR}[25-21]]$ ,  $B = \text{Reg}[\text{IR}[20-16]]$
- ❑ 计算beq目标地址
  - ✓  $\text{ALUOut} = \text{PC} + (\text{sign-extend}(\text{IR}[15-0] \ll 2)$ 
    - 由于此时尚不知是何指令，所以读寄存器和计算分支地址可能无效
- ❑ 控制信号:  $\text{ALUSrcA}$ ,  $\text{ALUSrcB}$ ,  $\text{ALUOp}$



# R-type执行、访存地址计算、 分支完成阶段



中国科学技术大学  
University of Science and Technology of China



## □ 依赖于指令类型

### ✓ R-type指令

- $ALUOut = A \text{ op } B$

### ✓ 访存指令：计算访存地址

- $ALUOut = A + (\text{sign-extend}(\text{IR}[15-0]))$

### ✓ beq指令

- if  $(A == B)$   $PC = ALUOut$ ;

### ✓ jump指令

- $PC = PC[31-28] \parallel (\text{IR}[25-0] \ll 2)$

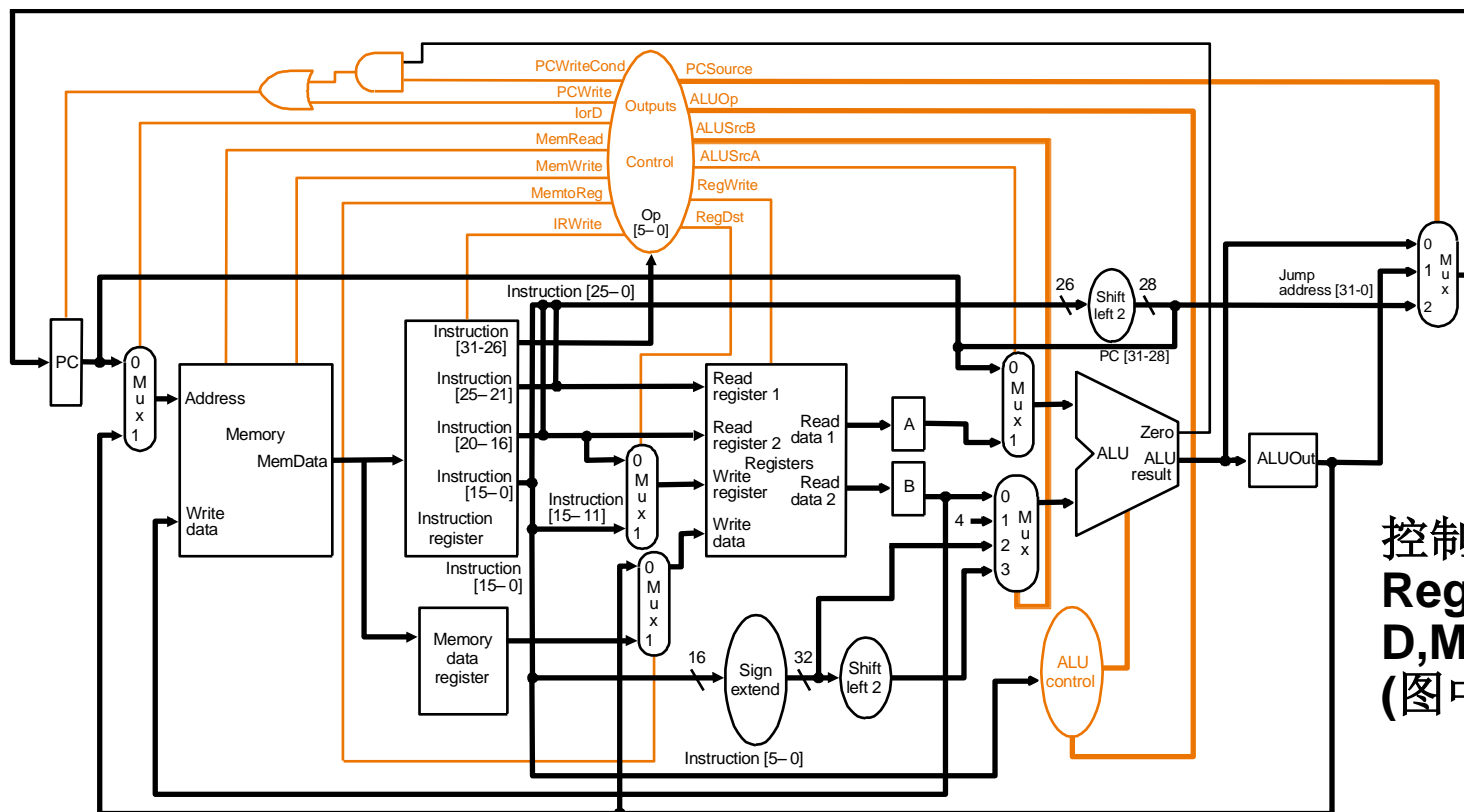
控制信号：**ALUSrcA, ALUSrcB, ALUOp, PCWriteCond, PCSource, PCWrite**(图中未全部加粗)



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC

## 第四阶段

- ✓ R-type完成：结果写回  $\text{Reg}[\text{IR}[15-11]] = \text{ALUOut}$
- ✓ sw完成：写入MEM  $\text{MEM}[\text{ALUOut}] = \text{B}$
- ✓ lw读：  $\text{MDR} = \text{MEM}[\text{ALUOut}]$

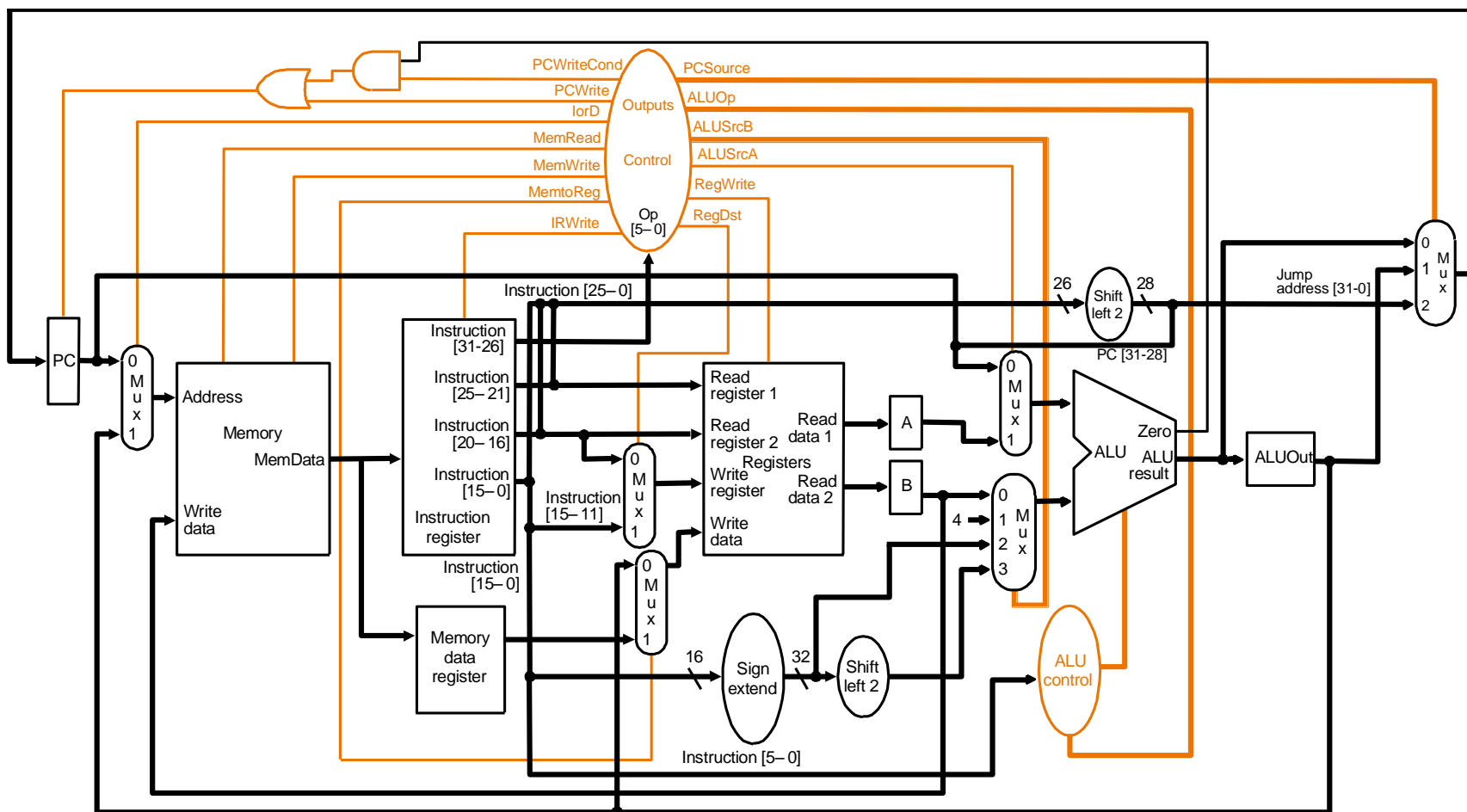


控制信号：RegWrite, RegDst, MemtoReg, lorD, MemRead, MemWrite (图中未全部加粗)

## 第五阶段

✓ lw写回:  $\text{Reg}[\text{IR}[15-11]] = \text{MDR}$

控制信号: **RegWrite**,  
**RegDst**, **MemtoReg** (图  
中未全部加粗)



# Multicycle RTL

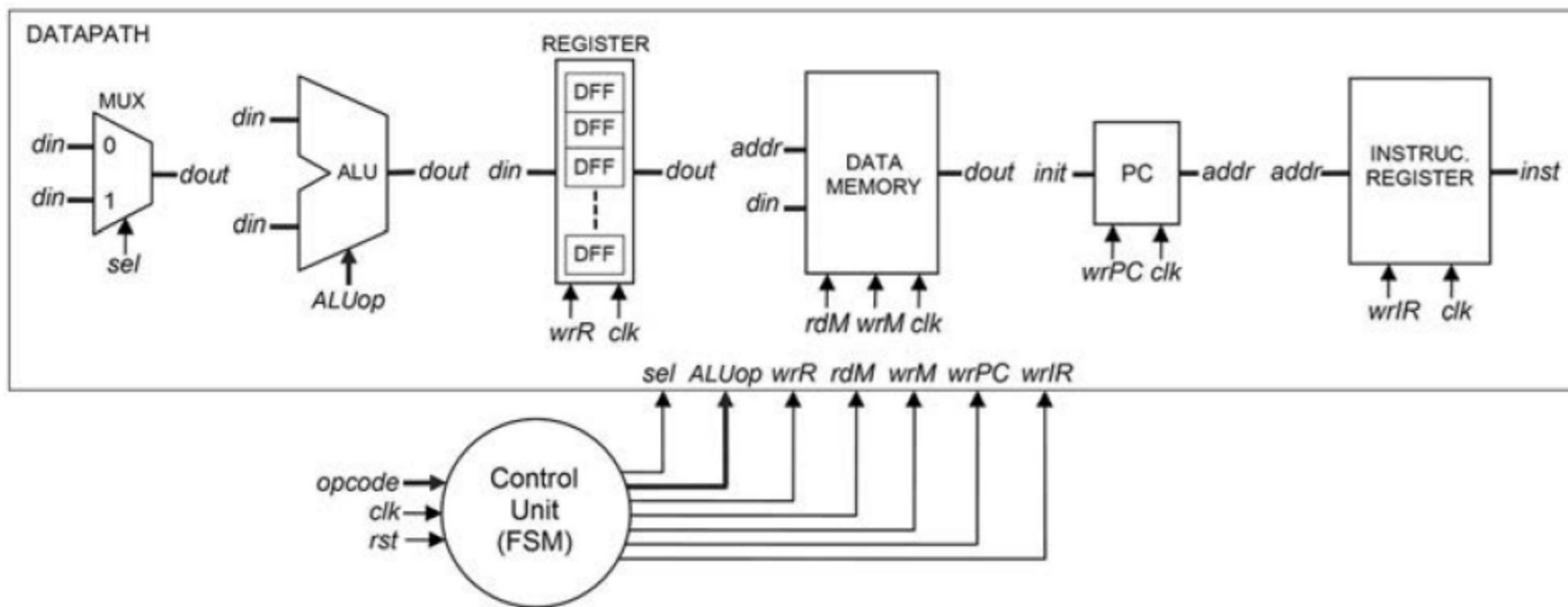


Step	R-Type	lw/sw	beq/bne	j
IF	$IR = Mem[PC]$ $PC = PC + 4$			
ID	$A = Reg[IR[25-21]]$ $B = Reg[IR[20-16]]$ $ALUOut = PC + (SE(IR[15-0]) \ll 2)$			
EX	$ALUOut = A \text{ op } B$	$ALUOut =$ $A + SE(IR[15-0])$	If $(A == B)$ then $PC = ALUOut$	$PC = PC[31-28]$ $  $ $(IR[25-0] \ll 2)$
MEM	$Reg[IR[15-11]] =$ $ALUOut$	$MDR = Mem[ALUOut]$ $Mem[ALUOut] = B$		
WB		$Reg[IR[20-16]] = MDR$		





## □ FSM: Finite State Machine



# FSM控制部件实现



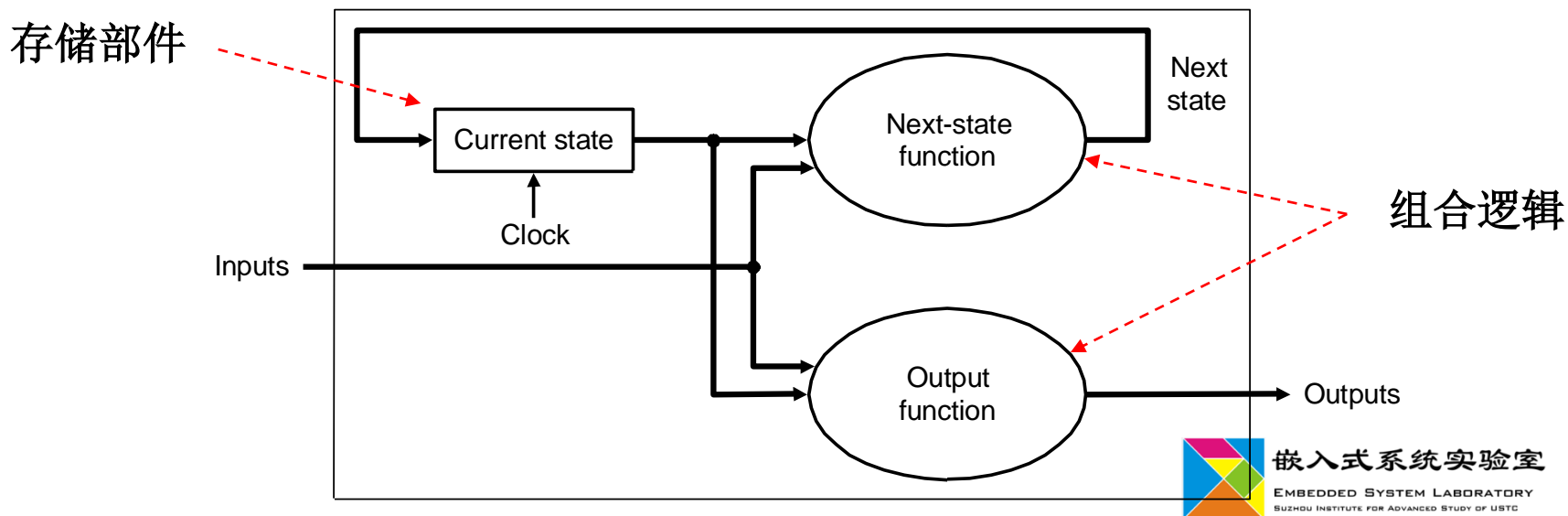
中国科学技术大学  
University of Science and Technology of China

□ FSM: Finite State Machine

□ Moore型 (Edward Moore), Mealy型 (George Mealy)

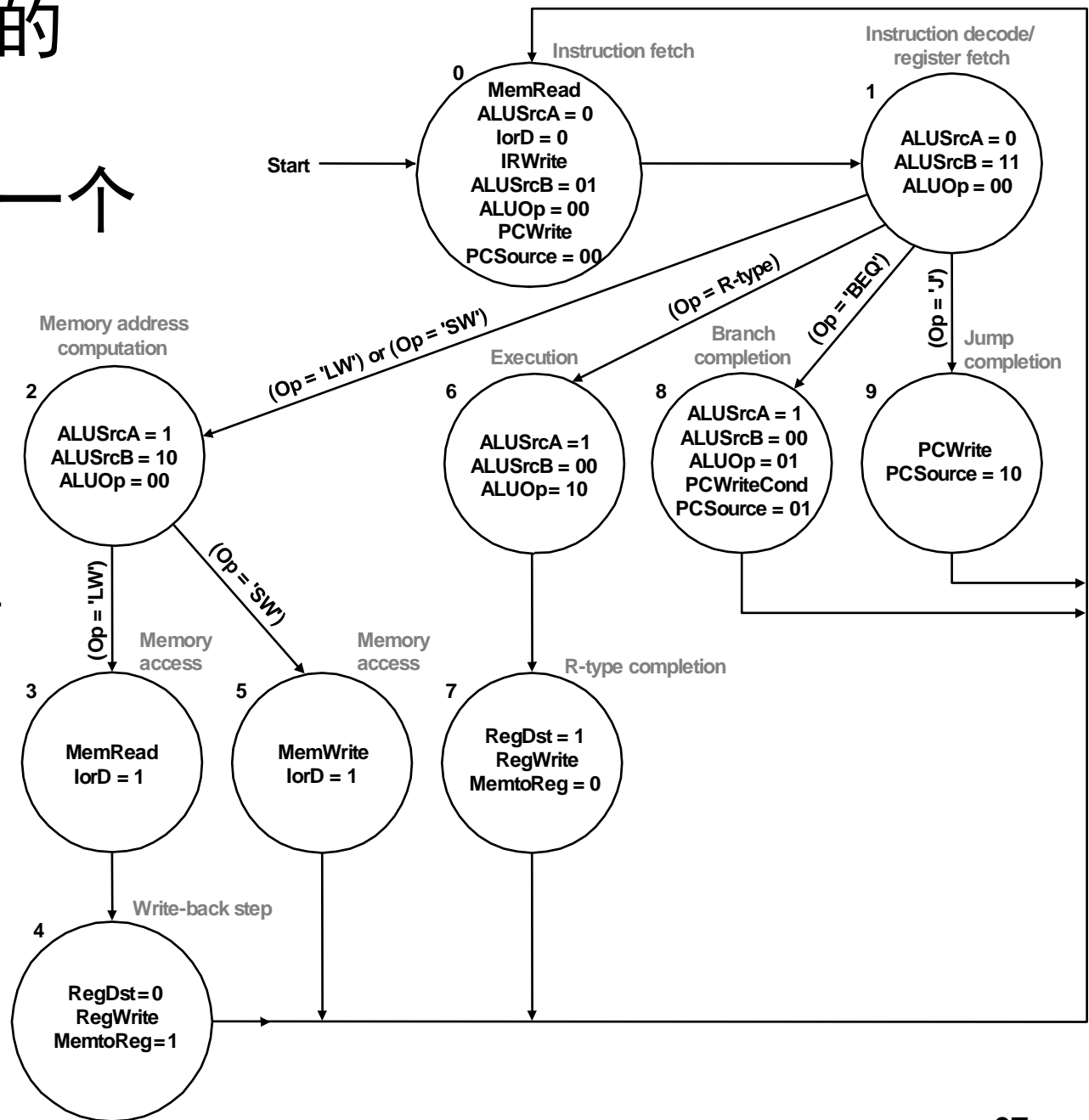
- ✓ Moore型速度快 (输出与输入无关, 可以在周期一开始就提供控制信号), 输出与时钟完全同步。
- ✓ Mealy型电路较小。输出与时钟不完全同步 (一个tick内随输入而变)。
- ✓ 两种状态机可以相互转换。

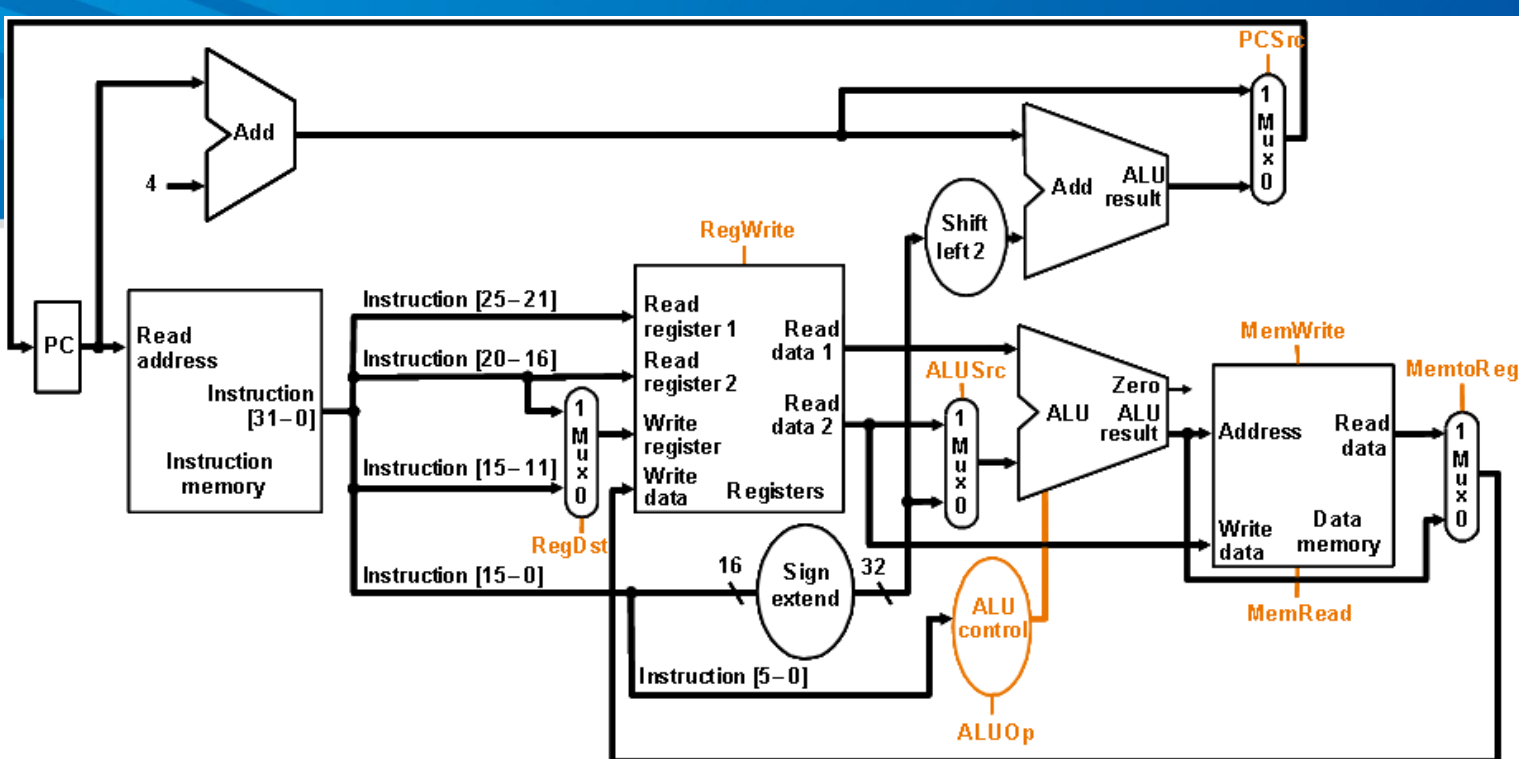
□ EDA工具可以根据FSM自动综合生成控制器



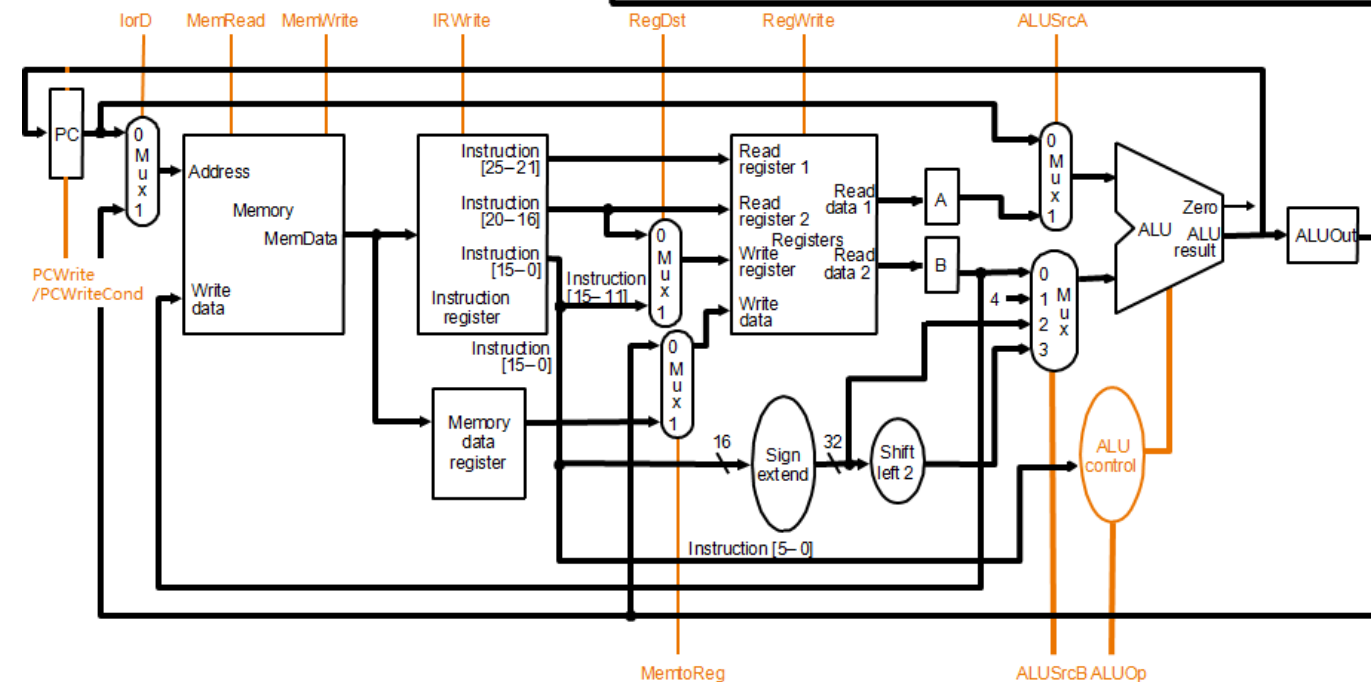
# 多周期控制器的 MooreFSM， 每个状态需要一个 时钟周期。

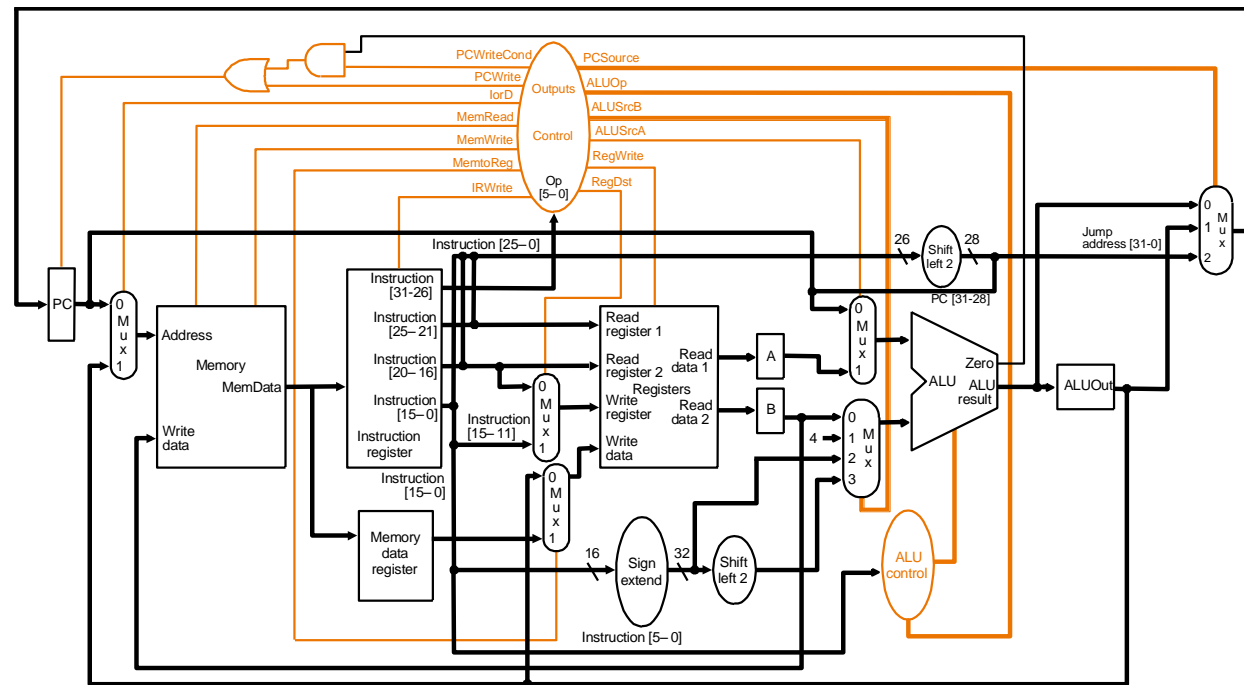
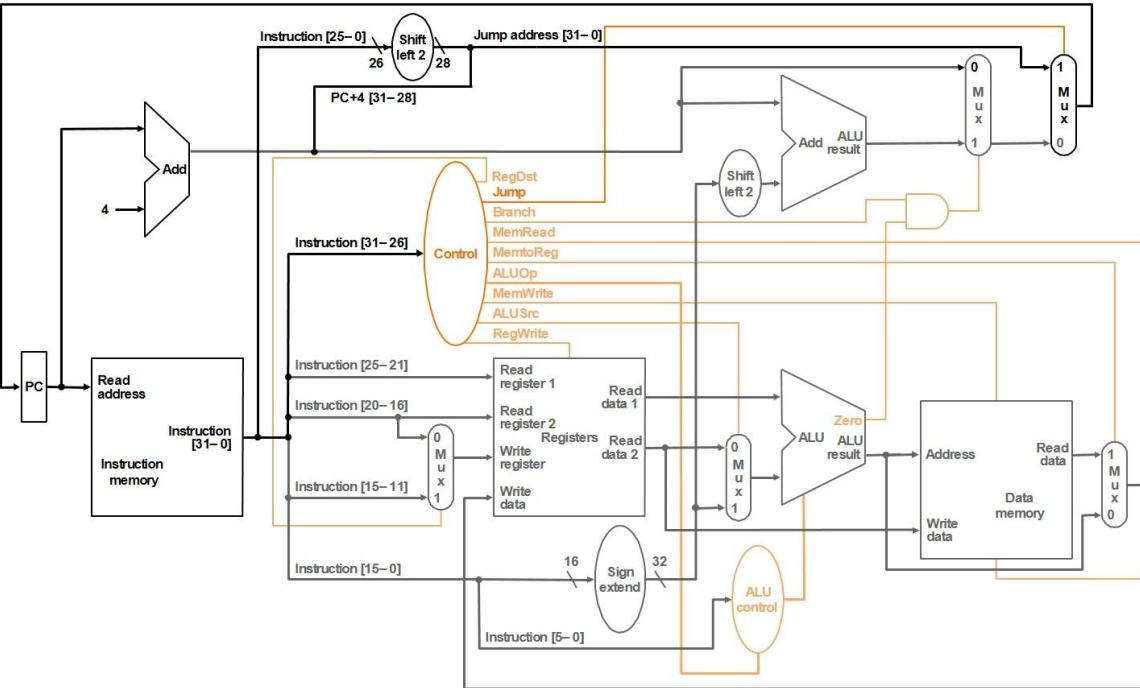
- ❑ 取指：PC+4
- ❑ 译码：BEQ算地址
- ❑ 执行
  - ✓ R执行
  - ✓ LW/SW算地址
  - ✓ 分支完成
- ❑ 访存
  - ✓ R/SW完成
  - ✓ Load访存
- ❑ 写回
  - ✓ Load完成





思考：找找两张图中相同及不同之处。





思考：找找两张图中相同及不同之处。

## □ 单周期与多周期

- ✓ 单周期：在一个周期内完成指令的所有操作
  - 周期宽度如何确定,能否在一个clk内完成?
- ✓ 多周期：一个周期完成指令的一步
  - 与单周期的区别：功能部件复用，中间结果保存
    - 可以实现不定长指令周期，提高性能
  - 按当前周期产生响应的控制信号
    - 何时刷新PC：指令周期中PC保持不变如何实现?

## □ 作业：

1. 4.1, 4.9
2. 分析MIPS三种类型指令的多周期设计方案中每个周期所用到的功能部件。

# 联系方式



中国科学技术大学  
University of Science and Technology of China

中国科学技术大学计算机学院  
嵌入式系统实验室（西活科住物业对面）  
高效能智能计算实验室（中科大苏州研究院）

主要研究方向：

- 基于分布式系统, **GPU**, **FPGA**的神经网络、图计算加速
- 人工智能和深度学习（寒武纪）芯片及智能计算机

课程问题、研究方向问题、实验室问题 欢迎大家邮件

[cswang@ustc.edu.cn](mailto:cswang@ustc.edu.cn)

<http://staff.ustc.edu.cn/~cswang>

A large, stylized handwritten signature in blue ink, likely belonging to the contact person, Chen Wang.



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC



# 单周期实现的周期宽度？

□ 指令周期 = 机器周期 = 时钟节拍

✓  $CPI = 1$

□ 时钟以执行路径最长的指令为准

✓ 例：设  $MEM = 2ns$ ， $ALU$  和加法器  $= 2ns$ ， $Reg = 1ns$ ，其他部件没有延时。

用到的部件

指令	inst MEM	Reg Read	ALU	Data MEM	Reg Write	Total
R-Type	2	1	2		1	6ns
lw	2	1	2	2	1	8ns
sw	2	1	2	2		7ns
beq	2	1	2			5ns
jump	2					2ns

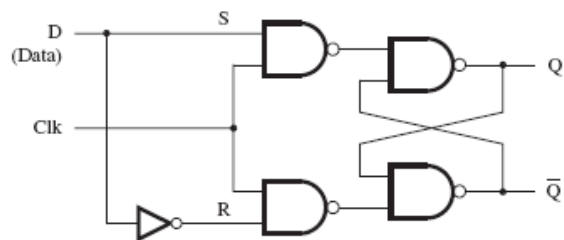




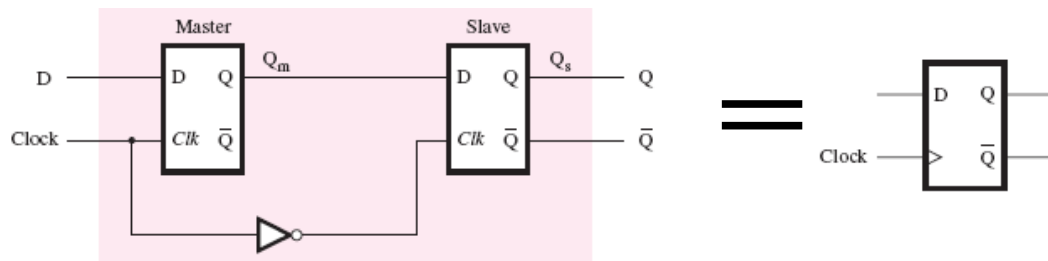
# 寄存器基本结构



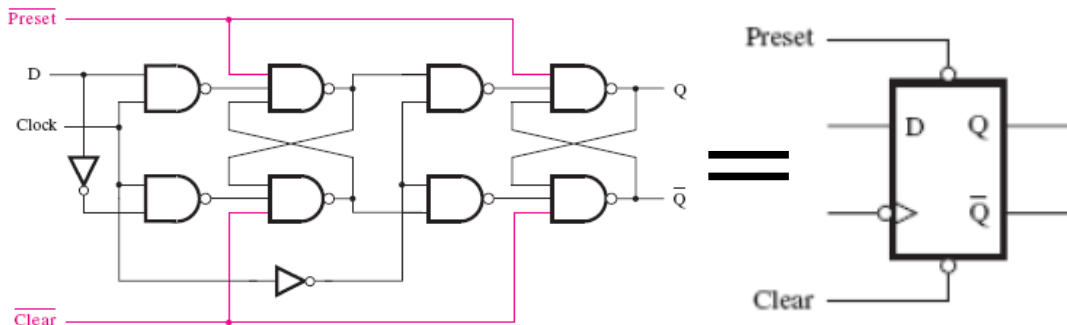
中国科学技术大学  
University of Science and Technology of China



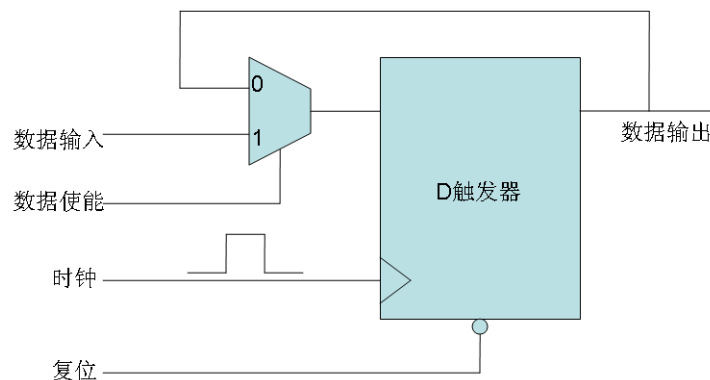
D 锁存器



一位 D 触发器



带清零和预置的D 触发器



一位寄存器



嵌入式系统实验室  
EMBEDDED SYSTEM LABORATORY  
SUZHOU INSTITUTE FOR ADVANCED STUDY OF USTC