

座位号：

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理（甲）		考试日期	2012 年 6 月 日		成绩	
课程号	A0507030	教师号		任课教师姓名		戴钧、冯建文、刘鹏	
考生姓名		学 号 （ 8 位）		年 级	10 级	专 业	计 算 机

题号	一	二	三	四	五	总分
分数	30	20	20	10	20	100
得分						

所有试题均做在答题纸上，否则不计分！

答题纸

1、 单项选择题（30 分，每题 1 分，按小标号填写答案）

①	②	③	④	⑤	⑥	⑦	⑧	⑨	⑩
○	○	○	○	○	○	○	○	○	○
○	○	○	○	○	○	○	○	○	○

2、 计算填空题（20 分，每空 2 分）

①	②	③	④	⑤	⑥	⑦	⑧	⑨	⑩

3、 简答题（20 分，每题 5 分）

座位号：

4、 计算题（10 分）

5、 综合设计题（20 分）

座位号：

试题

1、 选择最好的正确的答案填入括号中（30 分，每空 1 分，按小标题填写答案）

1、按冯·诺依曼计算机体系结构的基本思想设计的计算机硬件系统包括，①。

- A. 微程序控制器、存储器、显示器、键盘
- B. 运算器、控制器、存储器、输入设备、输出设备
- C. 总线、CPU、磁盘、显示器、打印机
- D. 运算器、主存、缓冲存储器、虚拟存储器、控制器

2、DRAM 是利用②存储电荷来表示‘0’和‘1’信息的，由于电荷的漏电作用，故需③。

- A. MOS 构成的双稳态触发器
- B. D 型触发器
- C. 极间电容
- D. 定时刷新、再生；
- E. 延长读写时间
- F. 增加写入驱动电流

3、ASCII 码是对④进行编码的一种方案。

- A. 图形符号
- B. 汉字
- C. 西文字符
- D. 声音

4、计算机的指令系统是指一台计算机中所有⑤的集合。

- A. 机器指令
- B. 微指令
- C. 操作系统
- D. 高级语言语句

5、下面三种语言中⑥既是符号化语言，又是面向机器的语言。

- A. 机器语言
- B. 汇编语言
- C. 高级语言

6、浮点机器数的符号（数符）由⑦来决定，当浮点机器数运算结果出现⑧时，则认为是机器零。

- A. 尾数的符号
- B. 阶码的符号
- C. 指数正溢出
- D. 指数负溢出，或尾数为 0
- E. 尾数负溢出

7、在 CPU 中，⑨用于存放指令代码，⑩用于存放运算结果的状态， 用于取指令时提供指令地址。

- A. 数据寄存器
- B. 地址寄存器
- C. 程序计数器
- D. 指令寄存器
- E. 标志寄存器
- F. 通用寄存器

8、指令系统中数据寻址采用不同寻址方式的目的主要是 ；指令寻址通常有 和 二种方式，后者通常用于程序转移。

- A. 实现存贮程序和程序控制
- B. 缩短指令长度，扩大寻址空间，提高编程灵活性
- C. 以便直接访问外存，寻找操作数
- D. 直接寻址
- E. 间接寻址
- F. 跳跃寻址
- G. 顺序寻址

9、Cache 是一种高速小容量的存储器，它位于 之间，通常由采用 。

- A. 主存与辅存
- B. DRAM
- C. CPU 与主存
- D. ROM
- E. SRAM
- F. CPU 与辅存

10、下面有关 Cache 的说法哪一个是不正确的： 。

- A. 设置 Cache 的理论基础，是程序访问的局部性原理。
- B. Cache 的内容是主存部分内容的副本。
- C. Cache 的功能均由硬件实现，对程序员是透明的。
- D. 设置 Cache 后，不仅扩大了主存的容量，而且提高了主存的平均访问速度。

11、微程序控制器中，一条机器指令通常是由 来解释执行的，微程序是存放在 中的。

- A. 一段微程序
- B. 一个微命令
- C. 一条微指令
- D. 主存储器
- E. 控制存储器
- F. 辅助存储器

12、下面哪一组存储器是永久性存储器 ，哪一组是易失性存储器 。

- A. DRAM 和 Cache
- B. ROM 和外存
- C. 优盘和 Cache
- D. EPROM 和 Cache

13、假定下列字符码中有奇偶校验位，但没有数据错误，采用偶校验的字符码是 。

- A. 11001011
- B. 11010110
- C. 11000011
- D. 11011001

14、用 8K×8 bits 的 SRAM 芯片，组成容量为 1M×16 bits 存储器系统，则至少需地址线 根，需芯片数为 片，其中芯片的片内地址线有 根。

- A. 12
- B. 13
- C. 18
- D. 20
- E. 32
- F. 64
- G. 128
- H. 256

15、指令周期、机器周期和时钟周期三者之间的关系是 。

- A. 一个机器周期包含若干个时钟周期，一个时钟周期包含若干个指令周期
- B. 一个指令周期包含若干个机器周期，一个机器周期包含若干个时钟周期
- C. 一个时钟周期包含若干个机器周期，一个机器周期包含若干个指令周期
- D. 一个机器周期包含若干个指令周期，一个指令周期包含若干个时钟周期

16、某机采用二级流水线组织，第一级为取指令、译码，需要 100ns 完成操作；第二级为执行周期，一部分指令能在 90ns 内完成，另一些指令要 120ns 才能完成，机器周期应选 。

- A. 100ns
- B. 90ns
- C. 120ns
- D. 以上都可以

17、根据指令出现的频度来分配操作码的长度原则是 。

- A. 使用频度高的指令分配较短的操作码，而频度低的指令分配较长的操作码。
- B. 使用频度高的指令分配较长的操作码，而频度低的指令分配较短的操作码。
- C. 功能强的指令分配较短的操作码，而功能弱的指令分配较长的操作码。
- D. 功能弱的指令分配较短的操作码，而功能强的指令分配较长的操作码。

18、数的机器码表示中， 和 的零的表示形式是唯一的，后者通常用作浮点数的阶码。

- A. 原码
- B. 反码
- C. 补码
- D. 移码

2、 计算填空题（20 分，每空 2 分）

1、假设 CPU **总是**从 Cache 取得数据，在一段时间内，Cache 完成存取的次数为 1800 次，主存完成的存取次数为 200 次，已知 Cache 的存储周期为 10ns，主存的存储周期为 50ns。则 Cache 的命中率为①，Cache/主存系统的平均访问时间为②ns。

2、设主存容量 64KB，存储器**按字节编址**；Cache 容量 4KB，每块 4 字节，Cache 按照 4 路组相联方式组织，则主存地址③位；其中“标记”字段④位，Cache 组地址⑤位，主存地址 2488H 映射到 Cache 的⑥组。

3、设有如下指令，目标操作数均为寄存器寻址，源操作数的寻址方式由下面每一条指令的注释给出，内存数据见表 1 所示；RI=12H；求顺序执行下列每一条指令的执行结果。

- (1) MOV R0, [15H] ;直接寻址 R0=⑦
- (2) MOV R1, [RI+5] ;变址寻址 R1=⑧
- (3) MOV R3, [R0] ;寄存器间接寻址 R3=⑨

座位号：

表 1

单元地址	内容	单元地址	内容	单元地址	内容
10H	80H	14H	33H	18H	F0H
11H	90H	15H	20H	19H	03H
12H	07H	16H	1BH	20H	10H
13H	10H	17H	16H	21H	20H

4、X 和 Y 是 8 位的补码机器数，X=+0011，Y= - 1011，则 $[X+Y]_{补}$ =__⑩__。

3、简答题（20 分，每题 5 分）

- 1、控制器的主要功能是什么，由哪些部件组成？
- 2、什么叫 CISC 和 RISC，它们各有何特征？
- 3、请说明多体交叉存储器的地址组织方式，并指出多体交叉存储器在什么情况下，带宽最大？
- 4、画图说明间接寻址方式的过程？

4、计算题（10 分）

设浮点数的格式为：阶码 5 位，包含一位符号位，尾数 5 位，包含一位符号位，阶码和尾数均用补码表示，排列顺序为：

阶符（1 位）	阶码（4 位）	数符（1 位）	尾数（4 位）
---------	---------	---------	---------

假设 $(X)_{10}=5/16$ ， $(Y)_{10}=-1.75$ ，则按上述浮点数的格式：

- (1)（4 分）求 X 和 Y 的规格化浮点数表示形式。
- (2)（6 分）求 $[X-Y]_{浮}$ ，要求写出计算过程。

5、综合设计题（20 分）

某 8 位模型机采用微程序控制器，结构如图 1 所示。其中 MEM 为主存，R0~R3 是通用寄存器。各部件的控制信号均已标出，控制信号的命名准则是：‘→’符号前的是数据发送方部件，‘→’符号后的是数据接收方部件，并且控制信号中的 B 表示总线；J1#控制指令译码，其他读写信号具有普通意义。

- (1)（4 分）图 1 中有 22 个微操作控制信号，另外 3 个信号 J1#~J3# 是用于转移的判别测试条件。在微指令中，控制字段采用直接控制法，判别测试字段采用译码法编码，下址字段 8 位，则微指令字长多少位？该模型机的控存容量是多少？
- (2)（6 分）模型机的某条指令的微程序流程图如图 2 所示，写出该条指令的功能、寻址方式、指令第二字的含义。
- (3)（4 分）写出 MEM→IR 微指令必须发送的微命令控制信号。
- (4)（6 分）根据图 1 所示的数据通路，写出 ADDR，[ADDR]指令的微程序流程图。指令功能为 $(RD) + (ADDR) \rightarrow RD$ ，即寄存器 RD 的内容加内存单元 ADDR 的内容送回 RD 寄存器。指令格式如下：

OP（4 位）	×	RD（2 位）
---------	---	---------

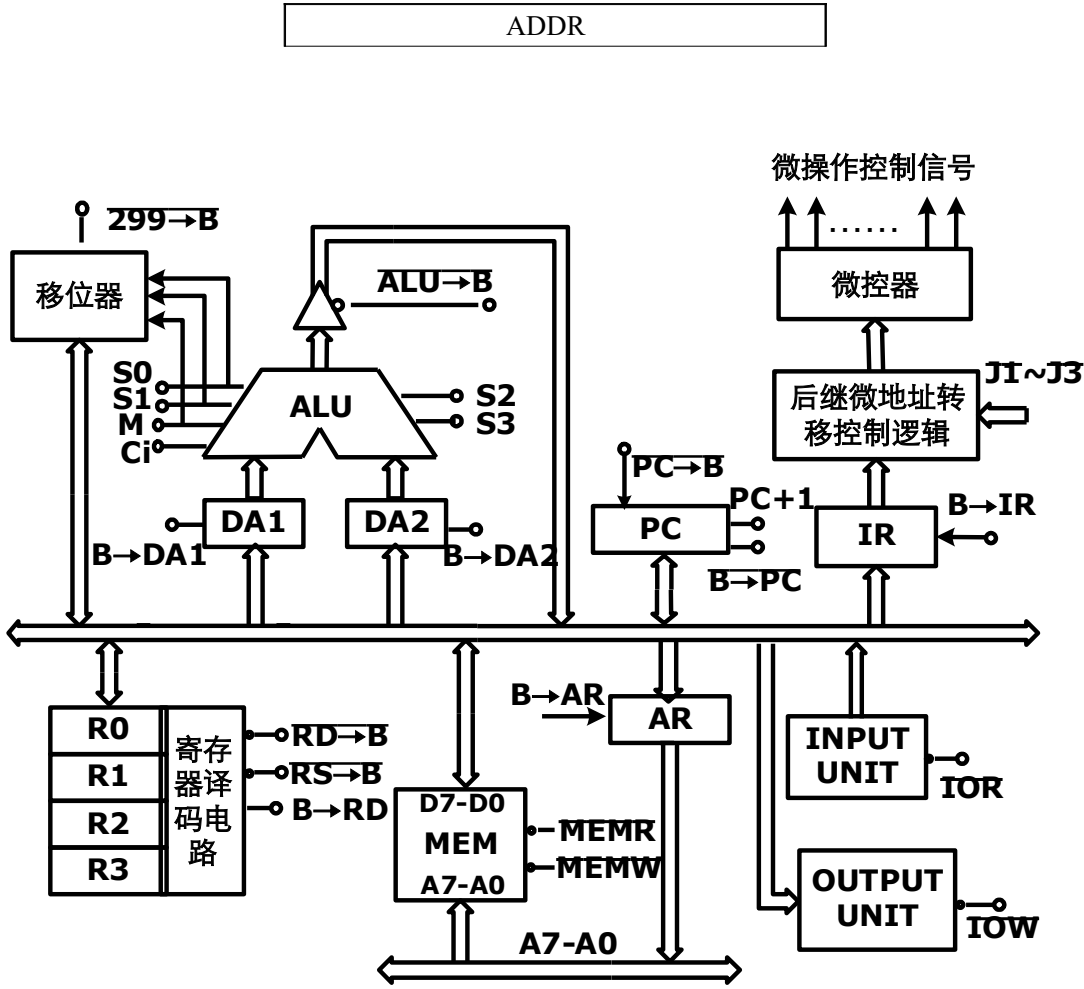


图 1 模型机结构框图

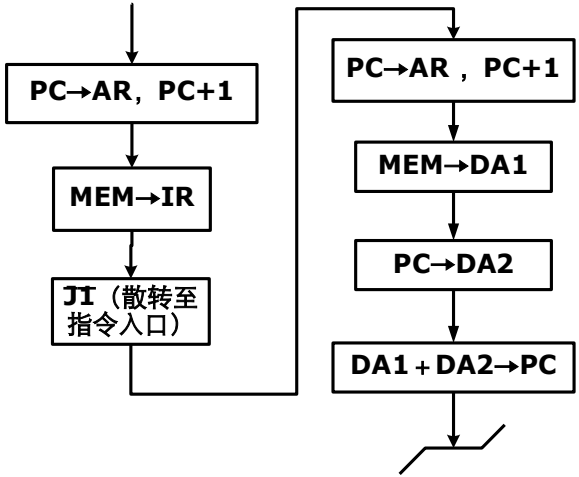


图 2 微程序流程图

座位号：