

杭州电子科技大学计算机学院

实验报告

实验项目：全加器设计实验

课程名称：计算机组成原理

姓名：李雪婷 学号：13055702

实验位置（机号）：

实验日期： 2015/4/20

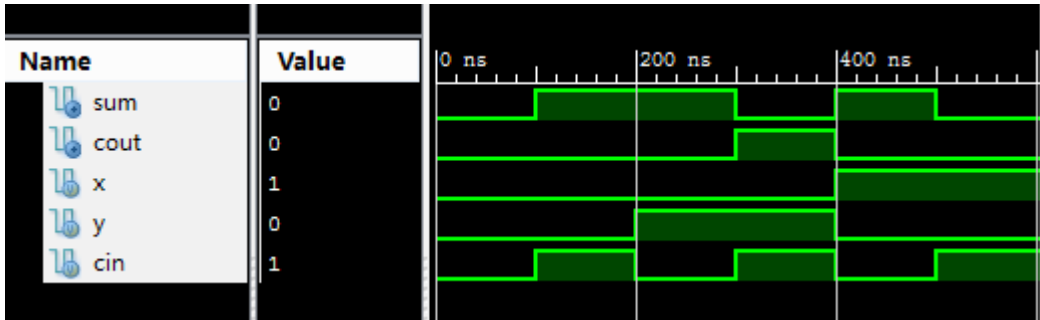
指导教师： 章复嘉

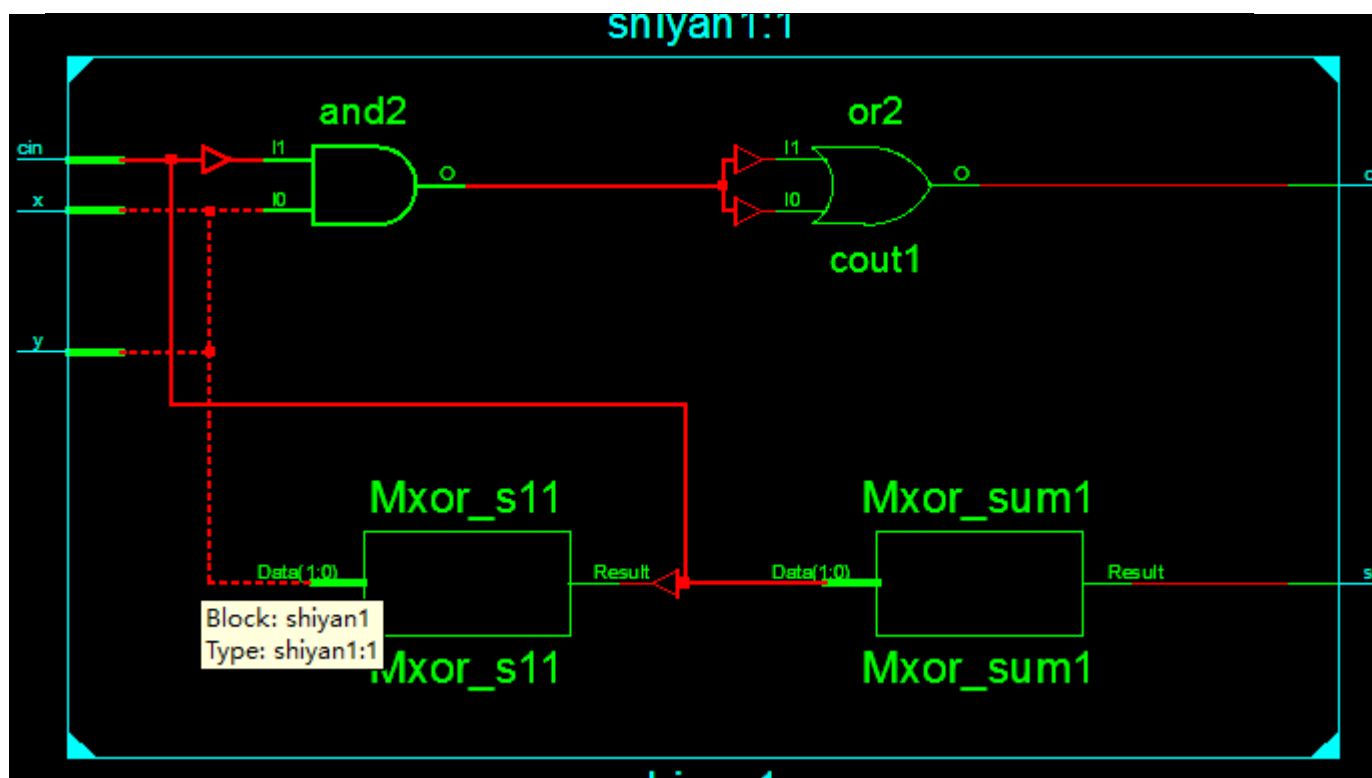
实验 内容 (算 法、 程序、 步骤 和方 法)	<p>1、实验目的</p> <ol style="list-style-type: none">1) 掌握运用 Verilog 进行结构描述与建模的技巧和方法。2) 掌握二进制全加器的原理与设计方法 <p>2、实验仪器</p> <p>ISE 平台</p> <p>三、步骤、方法</p> <ol style="list-style-type: none">1) 了解全加器的结构并设计电路，然后利用 ISE 软件，用 verilog 语言编写程序源代码，并进行编译综合。2) 编写激励代码，观察仿真波形，若有误则修改代码
操作 过程 及结 果	<p>1、操作过程</p> <ol style="list-style-type: none">1、输入引脚： a,b,cin；输出引脚： sum,cout。2、功能： 这是一位二进制全加器。a,b 为输入的两个二进制加数，cin 为低位向本位的借位，sum 为全加和，cout 为本位向高位的进位。 <p>源代码：</p> <pre>module shiyan1(sum,cout,x,y,cin); output sum,cout; input x,y,cin; wire x,y,cin; wire sum,cout; wire s1,t1,t2,t3;</pre>

```
xor xul(s1,x,y),
    xu2(sum,s1,cin);
and au1(t1,x,y),
    au2(t2,x,cin),
    au3(t3,y,cin);
or ou1(cout,t1,t3);

endmodule
```

2、结果





实验 体会	<p>思考题</p> <p>2.</p> <pre> module add(sum,cout,x,y,cin); output[3:0]sum; output cout; input[3:0] x,y; input cin; assign {cout,sum}=x+y+cin; endmodule </pre> <p>3.</p> <pre> module add_4 (input [3:0]a, input [3:0]b, input ci, output [3:0] s, output co); wire [3:0] c_tmp; assign co = c_tmp[3]; add_full i0 (a[0], b[0], ci, s[0], c_tmp[0]); add_full i1 (a[1], b[1], c_tmp[0], s[1], c_tmp[1]) add_full i2 (a[2], b[2], c_tmp[1], s[2], c_tmp[2]) add_full i3 (a[3], b[3], c_tmp[2], s[3], c_tmp[3]) endmodule </pre> <pre> module add_full(input a, input b, input ci, output s, output co); assign s = a^b^ci, co=(a&b) ((a b)& ci); </pre>

	<p>endmodule</p> <p>4.</p> <p>这次实验是对上学期数电中学习的加法器的回顾，更是对 verilog 语言的熟悉，一个暑假的懈怠使得对语言的了解可能有些生疏，但是在参考书的帮助下很快就适应了过来，本实验难度不大。</p>
指导教师 教师 评议	<p>成绩： 指导教师签名：</p>