

A network diagram featuring several blue human silhouettes connected by a web of blue lines. The background is a light beige color with a faint world map and a sun-like circular pattern on the right side.

计算机组成原理课程设计

实验 2

进位控制实验



实验 2 进位控制实验

一、实验目的

二、实验过程描述

三、相关单元

四、实验原理

五、实验要求

六、思考

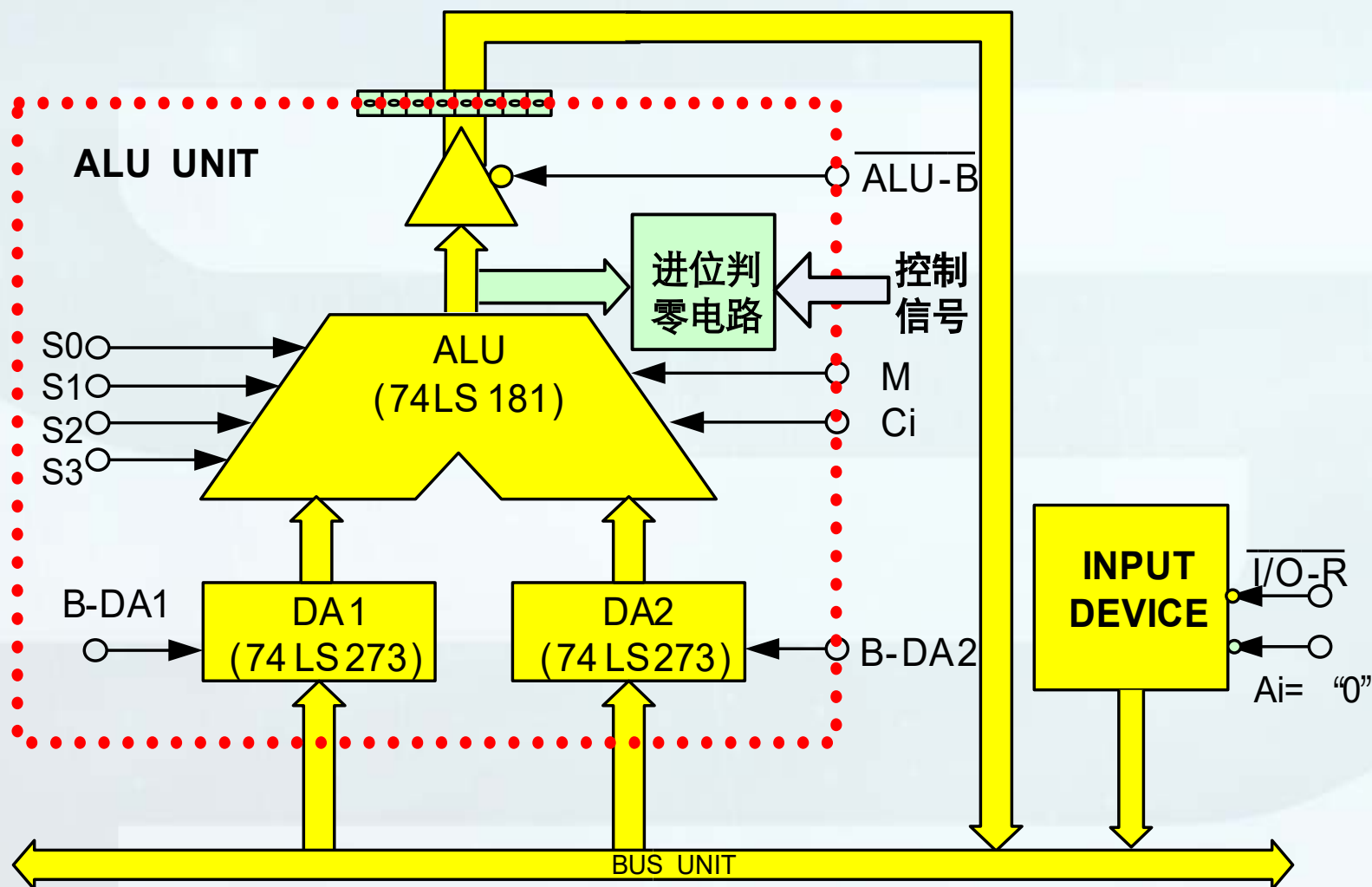


一、实验目的

1. 掌握算术运算器的**带进位控制**的设计方法。
2. 根据模型机上**标志位**的存放、显示电路，以及带进位和不带进位的运算控制电路，了解这些电路的工作原理并验证其正确性。

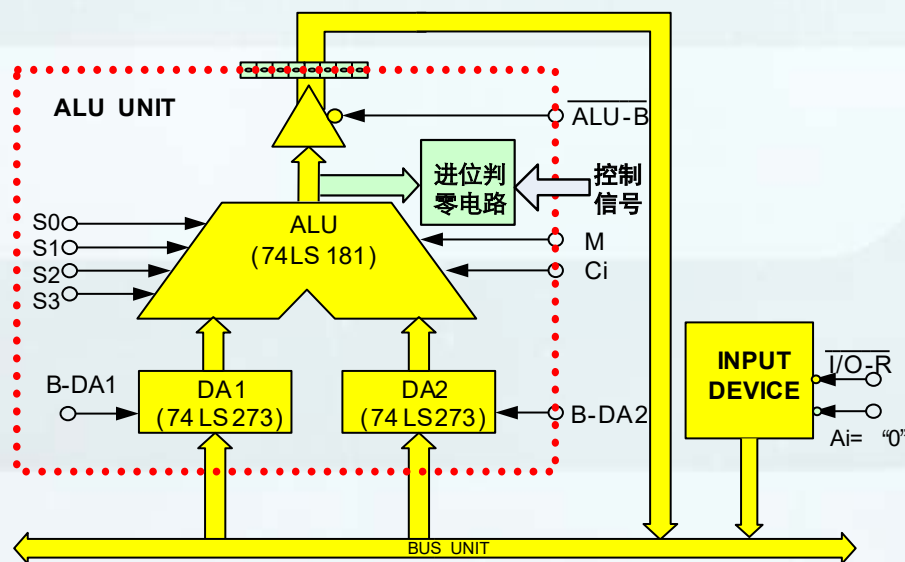


二、实验过程描述



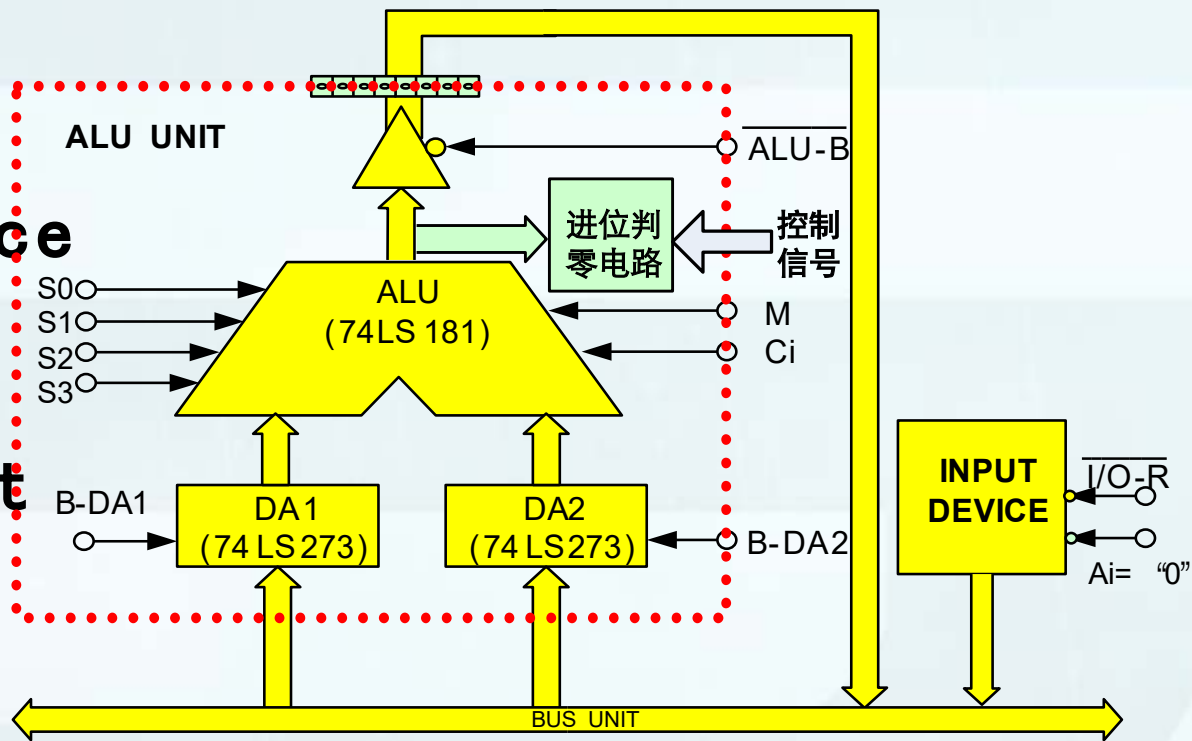
二、实验过程描述

1. 在实验一的基础上，做双操作数的加法运算，通过控制信号来控制带 / 不带当前进位标志进行加法运算。
2. 根据本次加法结果置 / 不置标志位



三、相关单元

1. ALU Unit
2. Input Device
3. BUS Unit
4. Manual Unit
5. Clock Unit





1、ALU Unit

■ 运算器构成：

①ALU：由 2 片 74LS181 芯片组成（8 位）

②暂存器：由 2 片 74LS273 组成

③三态门：由 74LS245 组成

④标志产生及进位电路

■ 移位器：1 片 74LS299 组成。



进位控制电路

0 灭 1
亮

Cy'

Zi'

Cn181



标志产生及进位电路

■(1) 标志位

■(2) 运算器（最低位）进位





(1) 标志位

- 有什么标志位？
- 标志位如何产生？
- 标志位如何控制？



有什么标志位？

①FC：进位 / 借位标志

- a) 做算术加时：为进位标志， $=1$ ，有进位； $=0$ ，无进位
- b) 做算术减时：为借位标志， $=1$ ，有借位； $=0$ ，无借位

②FZ：结果为零标志

- a) $=1$ ：运算结果全零
- b) $=0$ ：运算结果不全为零

③标志位的保存：使用两个触发器



标志位如何产生？

①进位状态 Cy' 产生方法：

- a) 当进行**算术加**运算时，若 74LS181 的 $CN + 4$ 信号 = 0，则 $Cy' = 1$ ； $CN + 4 = 1$ ，则 $Cy' = 0$ ；
- b) 当进行**算术减**运算时，若 74LS181 的 $CN + 4$ 信号 = 1，则 $Cy' = 1$ ； $CN + 4 = 0$ ，则 $Cy' = 0$ ；
- c) 当进行**逻辑运算** ($M=1$) 时， $Cy' = 0$ 。

②结果为零状态 Zi' 产生方法：

当运算结果 **F 为全零**时， $Zi' = 1$ ；否则

标志位如何控制？

①保存：2 个触发器（在 T4 上跳沿打入）

②指示灯：Cy、Zi，0 灭 1

不带进位运算，
且根据结果
置标志位

③控制方法：

带进位运算，
且根据结果
置标志位

a) $CyCn\#=0$ 或者 $CyNCn\#=0$ ：则

$Cy' \rightarrow FC$ ， $Zi' \rightarrow FZ$ ；（运算影响标志位）

b) $CyCn\#=1$ 且 $CyNCn\#=1$ ：则 FC、FZ 不变；（运算不影响标志位）

c) MANUAL UNIT 中的总清开关



(2) 运算器 (最低位) 进位 - **Cn181**

- **Cn181** : 低位 74LS181 芯片的最低位进位 C_n
- **Cn181** 的来源有 2 种: (0 — 有进位, 1 — 无进位)

① 上一次运算结果的 **FC** 标志

② **Ci** (通过微码产生或者人为设置)

- **Cn181** 的控制:

① $CyC_n \# = 1$, 则 $C_{n181} = C_i$

② $CyC_n \# = 0$ 且 $C_i = 1$, 则 $C_{n181} = 1$

③ $CyC_n \# = 0$ 且 $C_i = 0$, 则 $C_{n181} = 0$ (有进位)

强制带进位
运算

标志产生及进位控制逻辑表

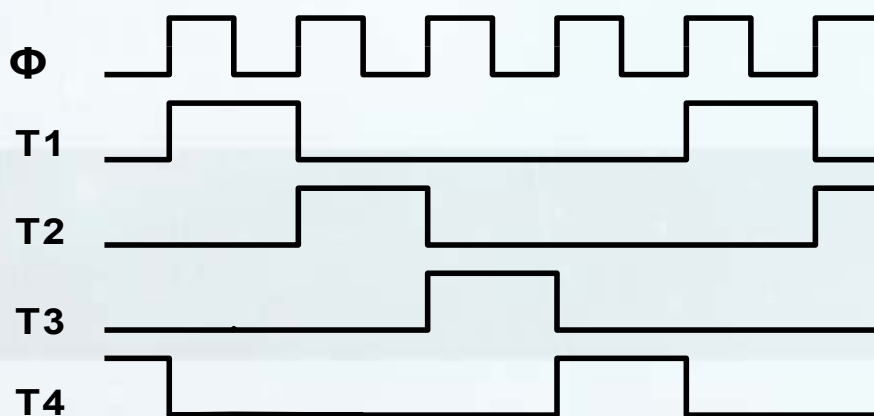
控制信号			输出结果		
CyCn#	CyNCn#	Ci	Cn181	FC	FZ
0	0	X	无意义	本次 Cy'	本次 Zi'
0	1	0	0	本次 Cy'	本次 Zi'
0	1	1	FC	本次 Cy'	本次 Zi'
1	0	X	Ci	本次 Cy'	本次 Zi'

总结

	带进位加法 (DA1 加 DA2 加 FC)	不带进位加法 (DA1 加 DA2 加 Ci)
影响标志 (Cy' → FC , Zi' → FZ)	CyCn#=0 CynCn#=1 Ci=1	CyCn#=1 CynCn#=0
不影响标志 (FC 和 FZ 不 变)	不能实现	CyCn#=1 CynCn#=1

5、Clock Unit

- 单脉冲产生及消抖电路：每按动一下微动开关 **KK**，就产生一个稳定的单脉冲 **KK2**（正）和 **KK1**（负）
- 时序信号产生电路：根据方波信号源 Φ 产生四个等间隔的 **T1**、**T2**、**T3**、**T4**



5、Clock Unit

- 时序信号的控制：由连续 / 单步开关 “**RUN#/STEP**” 控制

①当 “**RUN#/STEP**” =0 (RUN) 时，按动微动开关 “**START**”，产生连续的时序信号 T1 ~ T4 ；

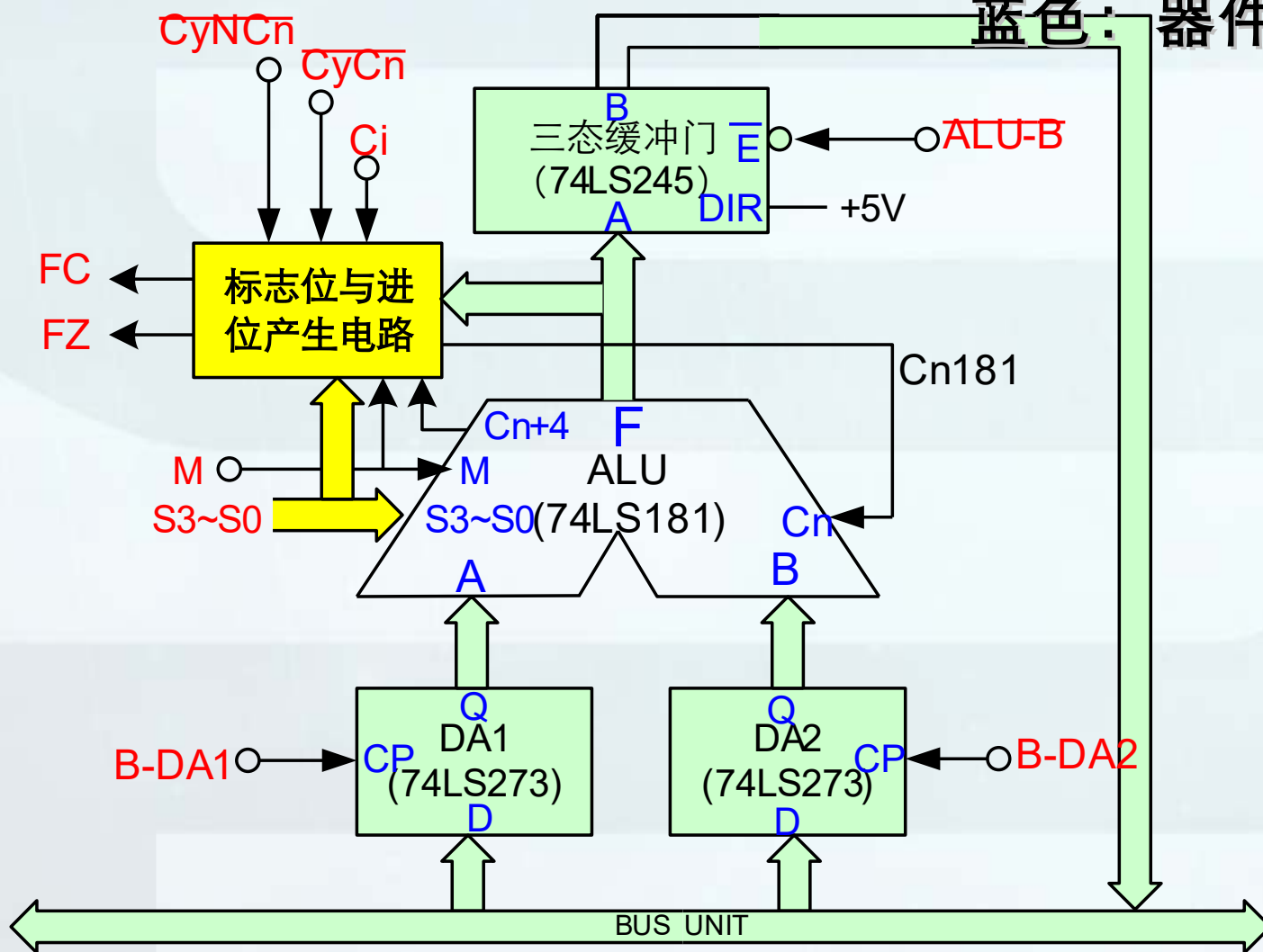
②当 “**RUN#/STEP**” =1 (STEP) 时，每按动开关 “**START**” 一次，产生一组时序信号 T1 ~ T4 。

- Clock Unit 的 T1 ~  T4 或 KK1、KK2 可根据需要连接到 **Main-Control Unit** 的 T1 ~ T4，当

四、实验原理

红色：运算器控制信号

蓝色：器件中信号



五、实验要求

1. 根据实验原理和相关单元电路，**画出实验接线图**

2. **设计实验步骤，实验并记录：**

- (1) $0FFH + 01H$ （算术加）
- (2) $5BH + 0A0H + FC$ （算术加）
- (3) $5BH \wedge 0A0H$ （逻辑与）
- (4) $79H + 32H + FC$ （算术加）
- 注意： $CyCn\# = ?$ $CyNCn\# = ?$



六、思考

请设计一个实验方案（电路、连线和步骤），手动完成 2 个 16 位数据的加法运算，第一个数据位于 R1 和 R0 中，第二个数据位于 R3 和 R2 中，结果位于 R1 和 R0 中，程序如下：

- IN R0 , PORTAR ; 第一个操作数的低 8 位 → R0
- IN R1 , PORTAR ; 第一个操作数的高 8 位 → R1
- IN R2 , PORTAR ; 第二个操作数的低 8 位 → R2
- IN R3 , PORTAR ; 第二个操作数的高 8 位 → R3
- ADD R0 , R2 ; (R0) + (R2) → R0
$$\begin{array}{r} \text{R1} \quad \text{R0} \\ \text{R3} \quad \text{R2} \\ + \\ \hline \text{R1} \quad \text{R0} \\ \text{F}_{15} \sim \text{F}_8 \quad \text{F}_7 \sim \text{F}_0 \end{array}$$
- ADC R1 , R3 ; (R1) + (R3) → R1



Reg Unit (通用寄存器单元)

1. 4 个 8D 寄存器 (74LS374) $R0 \sim R3$ 构成: $R2$ 为 SI 变址寄存器, $R3$ 为 SP 寄存器

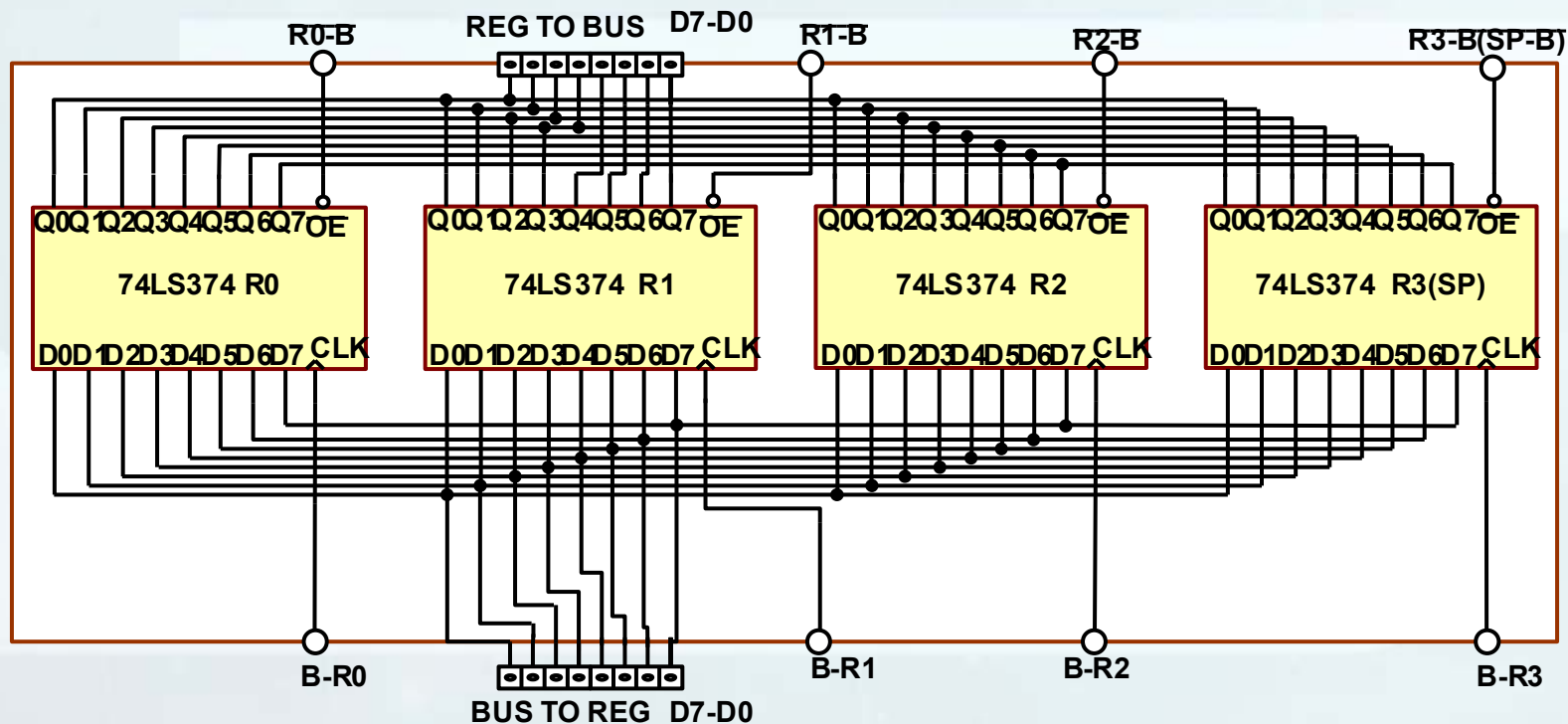
2. 74LS374 :

- CLK : 时钟脉冲, 打入寄存器控制信号
- OE# : 输出允许信号。

3. 各寄存器的打入脉冲 CLK : $B-R0 \sim B-R3$, 在 $T4$ 时刻产生。

4. 各寄存器的输出使能 OE# : $R0-B\# \sim R3-$

Reg Unit (通用寄存器单元)





对寄存器的操作：

1. 写寄存器 R0：

■ $B-R0 = 0 \rightarrow 1$ （总线上数据写入 R0）

2. 读寄存器 R0：

■ $R0-B\# = 0$ （R0 的数据送总线）





The End !