

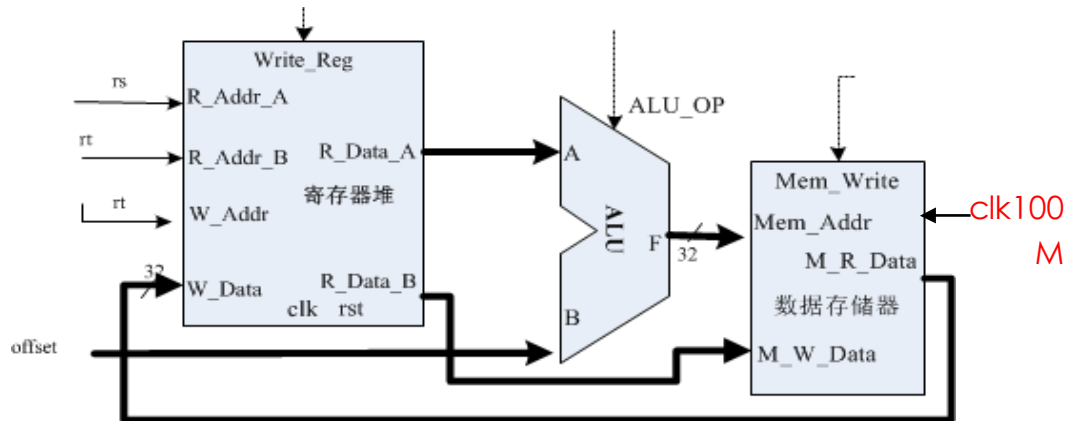
修改实验中实现的 32 位的基本 ALU 模块、寄存器堆模块和存储器模块为 16 位的 ALU，16 个 16 位的 REGS 堆，和 64*16 位的存储器模块。

编写一个顶层模块，完成

lw rt, offset(rs); //取数：(rs+offset) → rt

sw rt, offset(rs); //存数：rt → (rs+offset)

16 位的偏移地址 offset 从 input 输入，其中 rs 连接 R_Addr_A, rt 连接 R_Addr_B 和 W_Addr。仿真调试通过



存储器初值

memory_initialization_radix=16;

memory_initialization_vector=0001,0002,0004,0006,0008,0A0B,0B0C,000E,0B0C;

测试程序

Lw \$2,2(\$3)

Lw \$1,4(\$0)

sw \$2,8(\$1)

Lw \$3,8(\$2)

运行前相关寄存器和存储单元内容	运行前相关寄存器和存储单元内容