

## 第五章

### 例 5.4

设存储器容量为 32 字，字长 64 位，模块数  $M=4$ ，采用交叉方式进行组织。存储周期  $T=200\text{ns}$ ，数据总线宽度为 64 位，总线传送周期  $\tau=50\text{ns}$ 。问存储器的带宽是多少？如果不采用交叉方式进行组织，存储器的带宽又是多少？

解：4 体交叉存储器连续读出  $N$  个字的信息总量是：

$$q=N \times 64 \text{ 位}$$

4 体交叉存储器连续读出  $N$  个字所需的时间是：

$$t_1=T+(N-1)\tau$$

当  $N$  大到一定程度，上式可约为

$$t_1 \approx N\tau = N \times 50\text{ns}$$

则 4 体交叉存储器的带宽是：

$$W_1=q/t_1 = N \times 64 \text{ 位} / (N \times 50\text{ns}) = 128 \times 10^7 \text{ 位/秒}$$

若不采用交叉方式进行组织，则存储器连续读出  $N$  个字的信息总量是  $q=N \times 64$  位。

存储器连续读出  $N$  个字所需的时间是：

$$t_2=N T=N \times 200\text{ns}$$

存储器的带宽是：

$$W_2=q/t_2 = N \times 64 \text{ 位} / (N \times 200\text{ns}) = 32 \times 10^7 \text{ 位/秒}$$

### 例 5.5

小型计算机字长 16 位，常规设计的存贮空间  $\leq 32\text{K}$ ，若将存贮空间扩展到 256K，请提出一种可能方案。

解：可采用多体交叉存取方案，即将主存分为 8 个相互独立、容量相同的模块  $M_0, M_1, M_2, \dots, M_7$ ，每个模块  $32\text{K} \times 16$  位。它们各自具备一套地址寄存器、数据寄存器，各自以等同的方式与 CPU 传递信息。其组成结构类似图 5-32。CPU 访问 8 个存贮模块，可采用两种方式：一种是在一个存取周期内，同时访问 8 个存贮模块，由存贮器控制器控制它们分时使用总线进行信息传递。另一种方式是：在一个存取周期内分时访问每个体，即每经过  $1/8$  存取周期就访问一个模块。这样，对每个模块而言，从 CPU 给出访存操作命令直到读出信息，仍然是一个存取周期时间。而对 CPU 来说，它可以在一个存取周期内连续访问 8 个存贮体，各体的读写过程将并行进行。