

## 第5章 存储体系 作业参考题解

5.1 说明主存储器的组成，并比较 SRAM 和 DRAM 有什么不同之处？为什么 DRAM 的地址一般要分两次接收？

参考答案：

主存储器一般是由 RAM 和 ROM 组成的。

SRAM 和 DRAM 的不同之处见表 5.1：

表 5.1 SRAM 和 DRAM 的比较

比较内容	SRAM	DRAM
存储信息 0 和 1 的方式	双稳态触发器	极间电容上的电荷
电源不掉电时	信息稳定	信息会丢失
刷新	不需要	需要
集成度	低	高
容量	小	大
价格	高	低
速度	快	慢
适用场合	Cache	主存

DRAM 的地址一般要分两次接收，因为 DRAM 一般容量较大，为减少地址译码输出线，采用双向译码；并且为节省外引线，降低成本，DRAM 芯片地址线根数减少一半，行列地址分时复用，所以需要分两次接收。

5.2 有一个  $64K \times 16$  位的存储器，由  $16K \times 1$  位的 DRAM 芯片（芯片内是  $128 \times 128$  结构）构成，存储器读/写周期为  $500ns$ ，问：

参考答案：

(1) 需要多少片 DRAM 芯片？

$$(64K \times 16) \div (16K \times 1) = 64 \text{ 片}$$

(2) 采用异步刷新方式，如单元刷新间隔不超过  $2ms$ ，则刷新信号周期是多少？

$$2ms \div 128 = 15.625\mu s$$

(3) 如果用集中刷新方式，存储器刷新一遍最少用多少时间？

$$128 \times 500ns = 64\mu s$$

5.3 某机字长 16 位，CPU 地址总线 18 位，数据总线 16 位，存储器按字编址，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高电平为读信号）。试问：

参考答案：

(1) 该机可以配备的最大主存容量为  $2^{18} \times 16 \text{ 位} = 512KB$ 。

(2) 该机主存采用  $64K \times 16$  位的 DRAM 芯片（内部为 4 个  $128 \times 128$  阵列）构成最大主存空间，则共需  $(2^{18} \times 16) \div (64K \times 16) = 64$  个芯片；若采用异步刷新方式，单元刷新间隔为  $2ms$ ，则刷新信号的周期为  $2ms \div 128 = 15.625\mu s$ 。

(3) 若为该机配备  $2K \times 16$  位的 Cache，每块 8 字节，采用 2 路组相联映象，试写出对主存地址各个字段的划分（标出各个字段的位数）；若主存地址为  $462EH$ ，则该

地址可映象到 Cache 的哪一组？

- ◆ 存储器按字编址，而字长 16 位（地址总线 16 位），因此一块数据 8 字节=4 字，所以块内地址 2 位。
- ◆ Cache 有  $(2K \times 16 \text{ 位}) \div 8 \text{ 字节} = 512$  块；2 路组相联，即 2 块/组，则 Cache 有  $512 \div 2 = 256$  组，所以 Cache 组地址 8 位。
- ◆ 主存高位标记有 18-2-8=8 位。
- ◆ 主存地址划分：

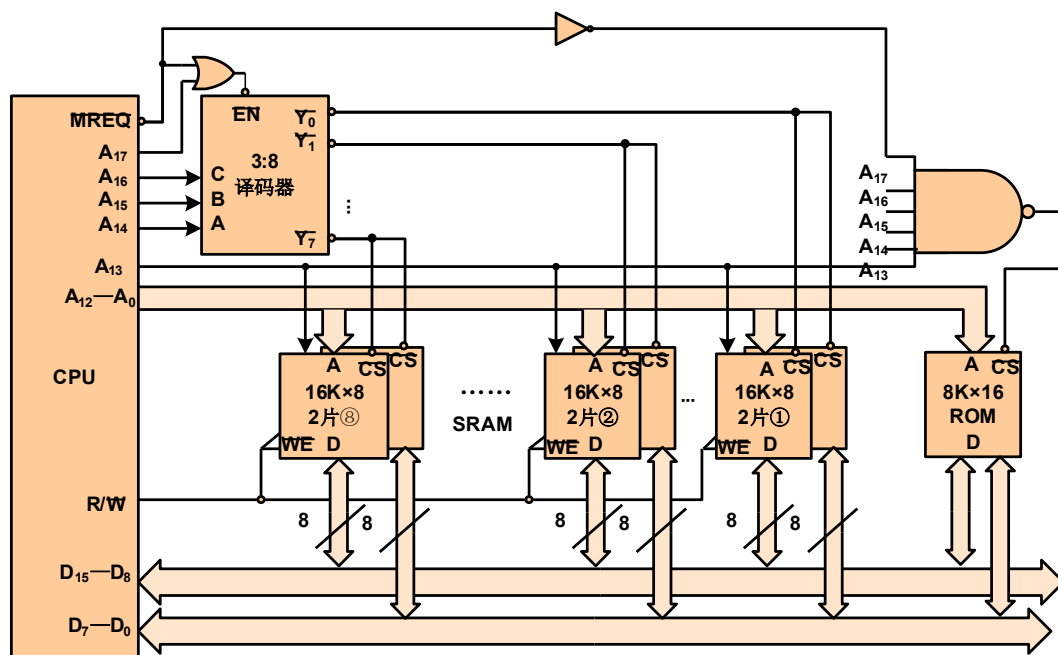
标记	Cache 组地址	块内地址
8 位	8 位	2 位

- ◆ 若主存地址为 462EH，则该地址按照上述划分得：

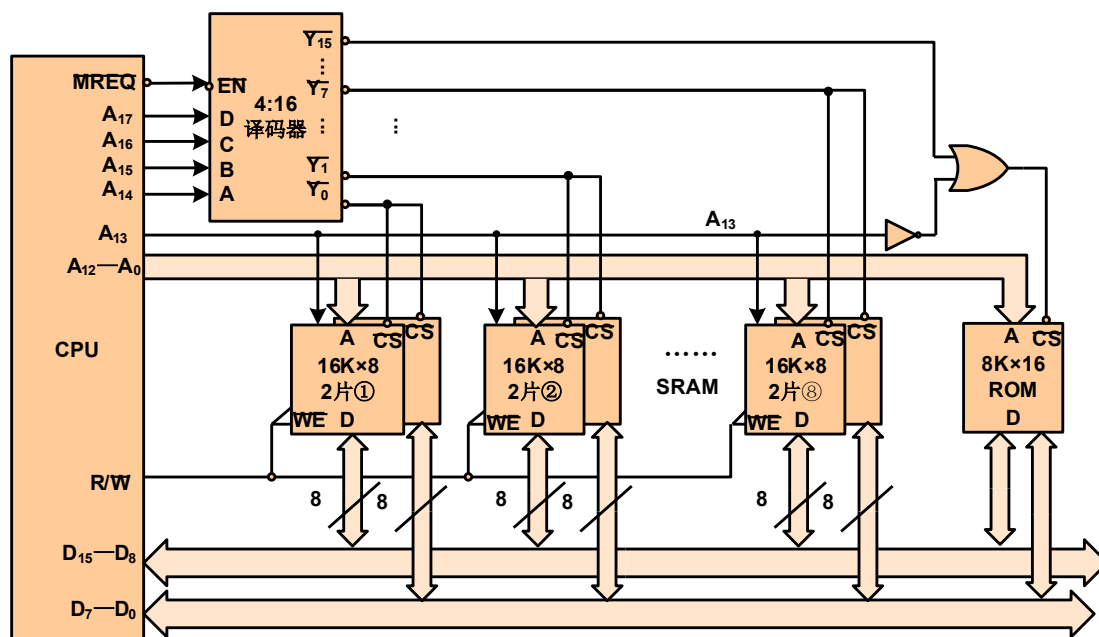
00 0100 01	10 0010 11	10
------------	------------	----

即主存地址 462EH 可映象到 Cache 的第 8BH=139 组。

- (4) 已知该机已有  $8K \times 16$  位的 ROM 存储器，地址处于主存的最高端；现在再用若干个  $16K \times 8$  位的 SRAM 芯片形成  $128K \times 16$  位的 RAM 存储区域，起始地址为 00000H，假设 SRAM 芯片有 CS#（片选，低电平有效）和 WE#（写使能，低电平有效）信号控制端；试写出 RAM、ROM 的地址范围，并画出 SRAM、ROM 与 CPU 的连接图，请标明 SRAM 芯片个数、译码器的输入输出线、地址线、数据线、控制线及其连接。
- ◆ ROM 容量  $8K \times 16 \text{ 位} = 2^{13} \times 16 \text{ 位}$ ，低 13 位地址编码全 0 到全 1；地址处于主存的最高端，所以高 5 位（ $18-13=5$ ）地址全 1；地址位数 18 位，**ROM 地址范围：03E000H~03FFFFH**
  - ◆ RAM 容量  $128K \times 16 \text{ 位} = 2^{17} \times 16 \text{ 位}$ ，低 17 位地址编码全 0 到全 1；起始地址为 00000H，所以高 1 位（ $18-17=1$ ）地址为 0；地址位数 18 位，**RAM 地址范围：00000H~1FFFFH**
  - ◆ SRAM 需要 16 片，2 片一组，共 8 组
  - ◆ 高位地址经过译码器译码产生的片选信号可以通过 3：8 译码器，或者 4：16 译码器（），但必须保证：
    - 当  $MREQ\# = 0$ ，且  $A_{17} = 0$  时，某一组 SRAM 芯片被选中工作，ROM 不能选中。
    - 当  $MREQ\# = 0$ ，且  $A_{17} A_{16} A_{15} A_{14} A_{13} = 11111$  时，某 ROM 芯片被选中工作，SRAM 不能选中。
- 连线图如图 5.1 所示。



(a) 使用 3:8 译码器实现



(b) 使用 4:16 译码器实现

图 5.1 习题 5.3 存储器扩展连线图

5.4 设有一个 4 体交叉存储器，在使用时经常遇到连续访问同一个存储体的情况，会产生怎样的结果？

**参考答案：**将会使并行存取的水流线堵塞，交叉存储器的带宽无法达到最大。

5.5 某计算机的存储系统由 Cache、主存和用于虚拟存储的磁盘组成。CPU 总是从 Cache 中获取数据。若所访问的字在 Cache 中，则存取它只需要 20ns，将所访问的字从主存装入 Cache 需要 60ns，而将它从磁盘装入主存则需要 1200μs。假定 Cache 的命中率为 90%，主存的命中率为 60%，计算该系统访问一个字的平均存取时间。

参考答案:

- ◆  $T_a = h \times T_c + (1 - h) \times (\overline{T_m} + T_c)$   
 $= 90\% \times 20\text{ns} + 10\% \times (\overline{T_m} + 20\text{ns})$   
 $= 18\text{ns} + 2\text{ns} + 0.1 \times \overline{T_m}$   
 $= 20\text{ns} + 0.1 \times \overline{T_m}$
- ◆  $\overline{T_m} = h_m \times T_m + (1 - h_m) \times (T_m + T_d)$   
 $= 60\% \times 60\text{ns} + 40\% \times (60\text{ns} + 1200\mu\text{s})$   
 $= 36\text{ns} + 24\text{ns} + 480\mu\text{s} = 60\text{ns} + 480\mu\text{s}$
- ◆  $T_a = 20\text{ns} + 0.1 \times \overline{T_m}$   
 $= 20\text{ns} + 0.1 \times (60\text{ns} + 480\mu\text{s})$   
 $= 20\text{ns} + 6\text{ns} + 48\mu\text{s}$   
 $= 48026\text{ns}$

5.6 CPU 执行一段时间时, Cache 完成存取的次数为 3900 次, 主存完成的存取次数为 100 次, 已知 Cache 的存储周期为 40ns, 主存的存储周期为 240ns。求 Cache/主存系统的效率和平均访问时间?

参考答案:

- ◆  $h = 3900 \div (3900 + 100) = 97.5\%$
- ◆ Cache/主存系统的平均访问时间:  
 $T_a = h \times T_c + (1 - h) \times T_m$   
 $= 97.5\% \times 40\text{ns} + 0.25\% \times 240\text{ns}$   
 $= 45\text{ns}$
- ◆ Cache/主存系统的效率:  
 $e = T_c \div T_a = 40/45 = 88.9\%$

5.7 某处理器包含一片内 Cache, 容量为 8K 字节, 且采用 4 路组相联结构, 块的大小为 4 个 32 位字。当 Cache 未命中时, 以分组方式从主存读取 4 个字到 Cache, 假定主存容量为 16M 字节。请说明:

参考答案:

(1) Cache 共分多少组?

- ◆ Cache 可以分  $8\text{K 字节} \div (4 \times 32 \text{ 位}) = 512$  块, 4 路组相联即 4 块/组, 所以 Cache 有  $512 \div 4 = 128$  组;

(2) 写出主存的字节地址的格式, 并说明地址格式中的不同字段的作用和位数;

- ◆ 主存的字节地址的格式, 意味着主存按字节编址, 容量 16M 字节 =  $2^{24}\text{B}$ , 主存地址 24 位;
- ◆ 块大小为  $4 \times 32$  位, 即  $16 = 2^4$  字节, 则块内地址 4 位
- ◆ 标记  $24 - 4 - 7 = 13$  位。

标记	Cache 组地址	块内地址
13 位	7 位	4 位

- 5.8 计算机主存容量为 256K 字，Cache 为 8K 字。主存与 Cache 之间按组相联映射，Cache 的每组有 4 个行，每行有 64 个字。假设开始时 Cache 为空，CPU 按顺序从主存地址为 0, 1, 2, …, 8447 单元执行“取”操作（不命中时，采用将主存中含有该字的块送入 Cache 后，再从 Cache 中把需要的字读出送 CPU 的方法），然后又重复执行 20 次。设 Cache 存取时间为主存的 1/10。替换使用 LRU 算法，请计算上述操作总的存取时间与不用 Cache 相比，速度提高多少倍？

参考答案：

- ◆ Cache 有  $8K \div 64 = 128$  行，分为  $128 \div 4 = 32$  组，每行或块 64 个字。
- ◆ 访问主存地址 0~8447 共 8448 字，即  $8448 \div 64 = 132$  行/块，即主存的 0~131 行/块
- ◆ 第 1 次访问 0~8447 单元（0~131 行）：
  - 0~127 行：直接进驻 Cache 并充满 Cache，主存行在 Cache 中的分布见图 5.2 (a)；

组地址	0路	1路	2路	3路	组地址	0路	1路	2路	3路
0:	0行	32行	64行	96行	0:	128行	32行	64行	96行
1:	1行	33行	65行	97行	1:	129行	33行	65行	97行
2:	2行	34行	66行	98行	2:	130行	34行	66行	98行
3:	3行	35行	67行	99行	3:	131行	35行	67行	99行
4:	4行	36行	68行	100行	4:	4行	36行	68行	100行
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
31:	31行	63行	95行	127行	31:	31行	63行	95行	127行

(a) 主存 0~127 行进驻 Cache 后

(b) 主存 128~131 行进驻 Cache 后

图 5.2 第 1 次访问 0~8447 单元

- 128~131 行：由于 Cache 已满，将替换 0~3 组的某一行；因为使用 LRU 算法，则将替换 Cache 的 0 路，原来存放主存的 0~3 行，现在用主存的 128~131 行替换，如图 5.2 (b) 所示；
- 未命中的单元是每行的第一个单元，因此未命中次数为 132 次。
- ◆ 第 2 次访问 0~8447 单元（0~131 行）：
  - 0~31 行：由图 5.2 (b) 可以看出，目前对于主存的 0~31 行来说，除了 0~3 行不在 Cache，其他 4~31 行的数据均命中 Cache，按照 LRU 算法，用主存 0~3 行替换 Cache 的 0~3 组的第 1 路，如图 5.3 (a) 所示；未命中次数 4 次。

组地址	0路	1路	2路	3路	组地址	0路	1路	2路	3路
0:	128行	0行	64行	96行	0:	128行	0行	32行	96行
1:	129行	1行	65行	97行	1:	129行	1行	33行	97行
2:	130行	2行	66行	98行	2:	130行	2行	34行	98行
3:	131行	3行	67行	99行	3:	131行	3行	35行	99行
4:	4行	36行	68行	100行	4:	4行	36行	68行	100行
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
31:	31行	63行	95行	127行	31:	31行	63行	95行	127行

(a) 主存 0~31 行进驻 Cache 后

(b) 主存 32~63 行进驻 Cache 后

组地址	0路	1路	2路	3路
0:	128行	0行	32行	64行
1:	129行	1行	33行	65行
2:	130行	2行	34行	66行
3:	131行	3行	35行	67行
4:	4行	36行	68行	100行
⋮	⋮	⋮	⋮	⋮
31:	31行	63行	95行	127行

(c) 主存 64~95 行进驻 Cache 后

组地址	0路	1路	2路	3路
0:	96行	0行	32行	64行
1:	97行	1行	33行	65行
2:	98行	2行	34行	66行
3:	99行	3行	35行	67行
4:	4行	36行	68行	100行
⋮	⋮	⋮	⋮	⋮
31:	31行	63行	95行	127行

(d) 主存 96~127 行进驻 Cache 后

组地址	0路	1路	2路	3路
0:	96行	128行	32行	64行
1:	97行	129行	33行	65行
2:	98行	130行	34行	66行
3:	99行	131行	35行	67行
4:	4行	36行	68行	100行
⋮	⋮	⋮	⋮	⋮
31:	31行	63行	95行	127行

(e) 主存 128~131 行进驻 Cache 后

图 5.3 第 2 次访问 0~8447 单元

- 32~63 行：同理，只有 32~35 行未命中，调入 Cache 并替换 0~3 组的第 2 路，如图 5.3 (b) 所示；未命中次数 4 次。
  - 64~95 行：同理，只有前 4 行未命中，调入 Cache 并替换 0~3 组的第 3 路，如图 5.3 (c) 所示；未命中次数 4 次。
  - 96~127 行：同理，只有前 4 行未命中，调入 Cache 并替换 0~3 组的第 0 路，如图 5.3 (d) 所示；未命中次数 4 次。
  - 128~131 行：这 4 行均未命中，调入 Cache 并替换 0~3 组的第 1 路，如图 5.3 (e) 所示；未命中次数 4 次。
  - 故：第 2 次访问 0~8447 单元未命中次数共  $4 \times 5 = 20$  次。
  - ◆ 第 3~21 次访问 0~8447 单元，均同第二次类似，每次均有 20 次未命中 Cache。
- 则 Cache 命中率：

$$h = \frac{8448 \times 21 - 132 - 20 \times 20}{8448 \times 21} \times 100\% = \frac{176876}{177408} \times 100\% = 99.7\%$$

Cache-主存的平均访问时间  $T_a = h \times T_c + (1-h) \times (T_m + T_c)$

因为： $T_c = 0.1T_m$ ，得  $T_a = 0.997 \times 0.1T_m + 0.003 \times 1.1T_m = 0.103T_m$

主存的存取时间为  $T_m$ ，因此，设置 Cache 后，存取速度是原来的  $1 \div 0.103 = 9.7$  倍。

## 5.9 简述虚拟存储器的含义和作用。

### 参考答案：

虚拟存储器由主存和辅存构成，使用软、硬件结合的方法，在逻辑上扩大存储容量，

从 CPU 角度看到的是一个速度接近内存却具有外存容量的存储器。虚拟存储器工作原理是：当程序运行时，只将部分程序和数据装入内存，另外一部分暂存于辅存中，在需要时，再由操作系统将它们装入内存，保证程序的正常运行。它需要 CPU 的存储管理部件的硬件支持和操作系统的请求调入与置换的软件功能支持。

5.10 设存储器容量为 32 字，字长 64 位，模块数  $M=4$ ，采用交叉方式进行组织。存储周期  $T=200\text{ns}$ ，数据总线宽度为 64 位，总线传送周期  $\tau=50\text{ns}$ 。试比较当连续读出 20 个字时，问：存储器采用 4 体交叉方式进行组织时比采用单体时的访存速度快了多少倍？如果总线传送周期  $\tau=25\text{ns}$ ，可以采用 8 体叉方式进行组织，这时，连续读出 20 个字的需要多少时间？

**参考答案：**

采用单体存储时，访问 20 个字所需时间为： $200\text{ns} \times 20 = 4000\text{ns}$   
采用 4 体交叉方式存储时，访问 20 个字所需时间为： $200 + 50 \times 19 = 1150\text{ns}$   
存储器按 4 体交叉组织时，访存速度是单体存储的  $4000\text{ns} \div 1150\text{ns} = 3.48$  倍。  
如果按 8 体叉方式进行组织，则连续读出 20 个字需要时间  $200 + 25 \times 19 = 675\text{ns}$

5.11 主存容量为 1GB，虚存容量为 1TB，虚拟存储器和物理存储器的地址各是多少位？根据寻址方式计算出的有效地址是虚存地址还是物理地址？如果页面大小为 4KB，页表长度是多少？

**参考答案：**

物理存储器的地址位数：30 位（ $1\text{G}=2^{30}$ ）  
虚拟存储器的地址位数：40 位（ $1\text{T}=2^{40}$ ）  
根据寻址方式计算出的有效地址是：虚存地址。

如果页面大小为 4KB，则主存共有  $1\text{GB} \div 4\text{KB} = 2^{18}$  个物理页，假设每个物理页都有一个页表项，则页表的最大长度是  $2^{18}$ 。实际上，每个程序一个页表，其长度取决于程序含有的逻辑页数。

5.12 设主存容量为 3 个页面，进程对页面的需求序列为 3, 4, 2, 6, 4, 3, 7, 4, 3, 6, 3, 4, 8, 4, 6，试用列表求分别采用 FIFO 和 LRU 替换策略时的命中率。当主存容量增加到 4 个页面时，两替换策略命中率又是多少？

**参考答案：**

主存有 3 个页面，设页号 0、1、2，则进程逐个请求 15 个页面时，0~2 号物理页的调入不断变化。表 5.2 按照 FIFO 替换策略的情况，表 5.3 为按照 LRU 替换策略的情况。

表 5.2 基于 FIFO 替换策略的页调度变化表

分 配 物理页	调入	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
0	3	3	3	6	6	6	6	4	4	4	4	4	4	8	8	8
1		4	4	4	4	3	3	3	3	6	6	6	6	6	4	4
2			2	2	2	2	7	7	7	7	3	3	3	3	3	6

采用 FIFO 替换策略时，有 12 个页访问未命中（表中着色的），命中率仅为  $3 \div 15 = 20\%$ 。

表 5.3 基于 LRU 替换策略的页调度变化表

分 配 物理页 调入	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
0	3	3	3	6	6	6	7	7	7	6	6	6	8	8	8
1		4	4	4	4	4	4	4	4	4	4	4	4	4	4
2			2	2	2	3	3	3	3	3	3	3	3	3	6

采用 LRU 替换策略时，有 9 个页面访问未命中（表中着深色的），命中率为  $6 \div 15 = 40\%$ 。

当主存容量增加到 4 个页面时，两替换策略对应的调页变化如表 5.4 和 5.5 所示。

由表可知：采用 FIFO 替换策略时，有 9 个页访问未命中（表中着色的），命中率为  $6 \div 15 = 40\%$ ；采用 LRU 替换策略时，有 6 个页访问未命中（表中着深色的），命中率为  $9 \div 15 = 60\%$ 。

表 5.2 基于 FIFO 替换策略的 4 页调度变化表

分 配 物理页 调入	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
0	3	3	3	3	3	3	7	7	7	7	7	7	7	7	6
1		4	4	4	4	4	4	4	3	3	3	3	3	3	3
2			2	2	2	2	2	2	2	2	2	4	4	4	4
3				6	6	6	6	6	6	6	6	6	8	8	8

表 5.3 基于 LRU 替换策略的 4 页调度变化表

分 配 物理页 调入	3	4	2	6	4	3	7	4	3	6	3	4	8	4	6
0	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
1		4	4	4	4	4	4	4	4	4	4	4	4	4	4
2			2	2	2	2	7	7	7	7	7	7	8	8	8
3				6	6	6	6	6	6	6	6	6	6	6	6

5.13 判断下列命题的对与错。

- (1) 设置 Cache 的主要目的是提高内存的整体访问速度。
- (2) 调入 Cache 中的数据在主存一定存有副本。
- (3) 在具有虚拟存储器的系统中，根据寻址方式计算出来的有效地址是辅存地址。
- (4) 程序可在辅助存储器中直接运行。
- (5) 虚拟存储器指的是“主存—辅存”层次。
- (6) 实现主存地址与 Cache 地址的映射是由硬件自动完成。
- (7) 采用多体交叉存储器可提高存储器的带宽。
- (8) 采用虚拟存贮器的主要目的是扩大主存贮器的存贮空间，并能进行自动管理和调度。
- (9) 采用虚拟存贮器技术能提高外存贮器的存取速度



- (10) 常用的虚拟存贮系统由 Cache—辅存两级存贮器组成，其中辅存是大容量的磁表面存贮器。
- (11) 相联存储器采用按内容访问方式，速度比普通存储器快。

**参考答案：**

- (1) √      (2) √      (3) ×      (4) ×      (5) √  
(6) √      (7) √      (8) √      (9) ×      (10) ×      (11) √