

计算机组成原理与系统结构

第二章 计算机硬件基础

<http://jpkc.hdu.edu.cn/computer/zcyl/dzkjdx/>





第 2 章 计算机硬件基础

2.1

半导体器件的开关特性

2.2

基本逻辑运算和基本门电路

2.3

组合逻辑电路实例

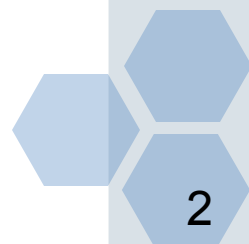
2.4

时序逻辑电路

2.5

计算机芯片的制造过程

本章小结





2.3 组合逻辑电路实例

一

组合逻辑电路设计方法

二

二进制加法器

三

算术逻辑运算单元

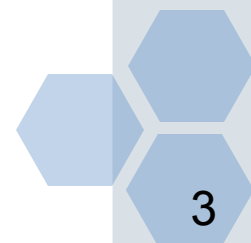
ALU

四

译码器

五

数据选择器

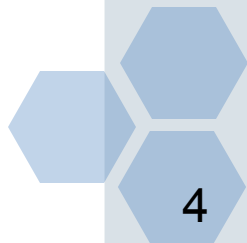




一、组合逻辑电路设计方法

1. 组合逻辑电路的特点：

- 当输入信号变化时，输出信号也跟着变化。
- 在计算机 CPU 设计中，组合电路通常被用来产生控制信号，它的输入可能是指令的操作码和状态信号，而其输出则是寄存器、存储器等等的写入控制信号和数据选择信号。

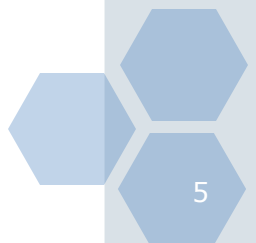




一、组合逻辑电路设计方法

2. 组合逻辑电路的设计步骤：

- 分析该逻辑电路的**逻辑要求**；
- 根据逻辑要求**确定输入变量和输出变量**；
- 将输入输出关系表示成**真值表**；
- 根据真值表写出输出函数的**逻辑表达式**，并化简；
- 画出**逻辑电路**。





二、二进制加法器

- ❖ 加法器是计算机基本运算部件之一。
- ❖ 一位二进制全加器：
 - 输入变量：3个，即加数 X_n 、被加数 Y_n 和低位来的进位 C_n ；
 - 输出变量：2个，即本位的和 S_n 、向高位的进位 C_{n+1} 。

一位全加器真值表

X_n	Y_n	C_n	F_n	C_{n+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	1	1
1	1	1		



二、二进制加法器

❖ 由真值表得全加器输出 F_n 和 C_{n+1} 的表达

式为：

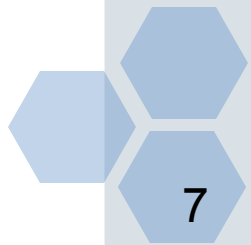
$$F_n = X_n \bar{Y}_n \bar{C}_n + \bar{X}_n Y_n \bar{C}_n + \bar{X}_n \bar{Y}_n C_n + X_n Y_n C_n$$

$$\begin{aligned} C_{n+1} &= X_n Y_n \bar{C}_n + X_n \bar{Y}_n C_n + \bar{X}_n Y_n C_n + X_n Y_n C_n \\ &= X_n Y_n + X_n C_n + Y_n C_n \end{aligned}$$

❖ 化简可得：

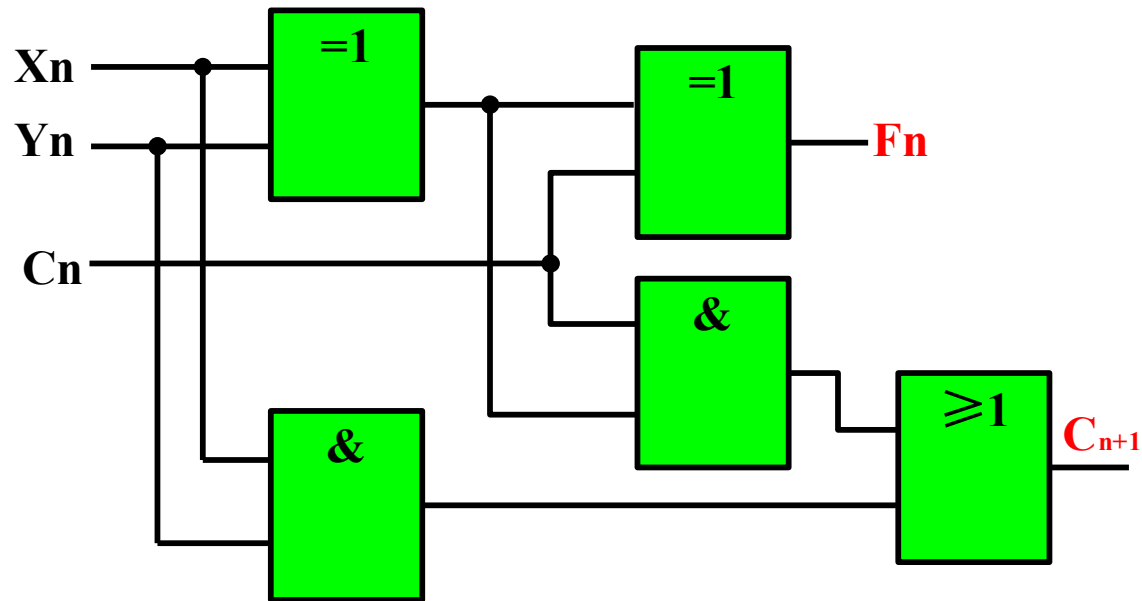
$$F_n = X_n \oplus Y_n \oplus C_n$$

$$\begin{aligned} C_{n+1} &= X_n Y_n + (X_n + Y_n) C_n \\ &= X_n Y_n + (X_n \oplus Y_n) C_n \end{aligned}$$

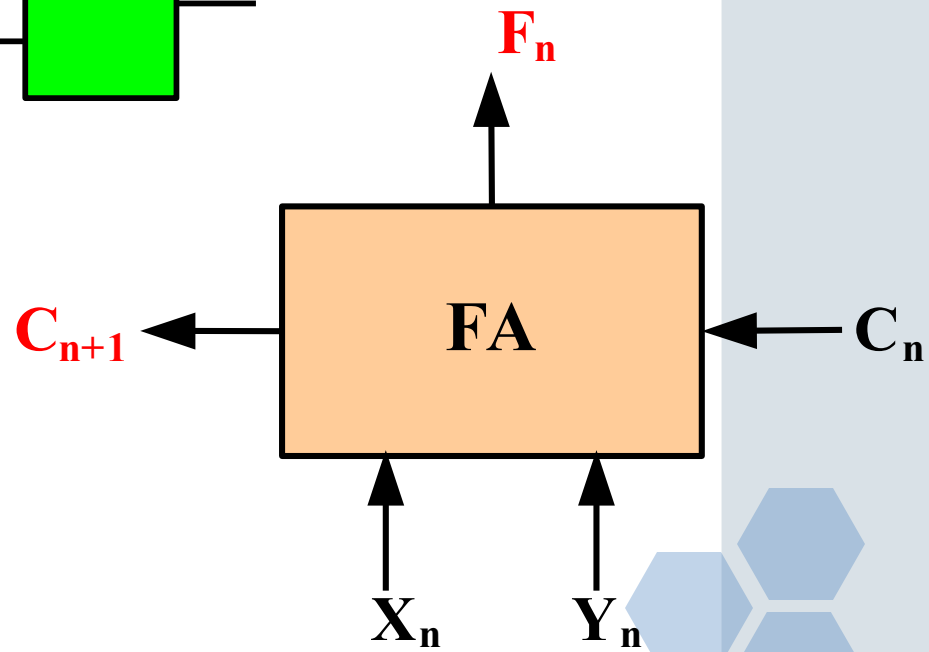




一位全加器逻辑电路



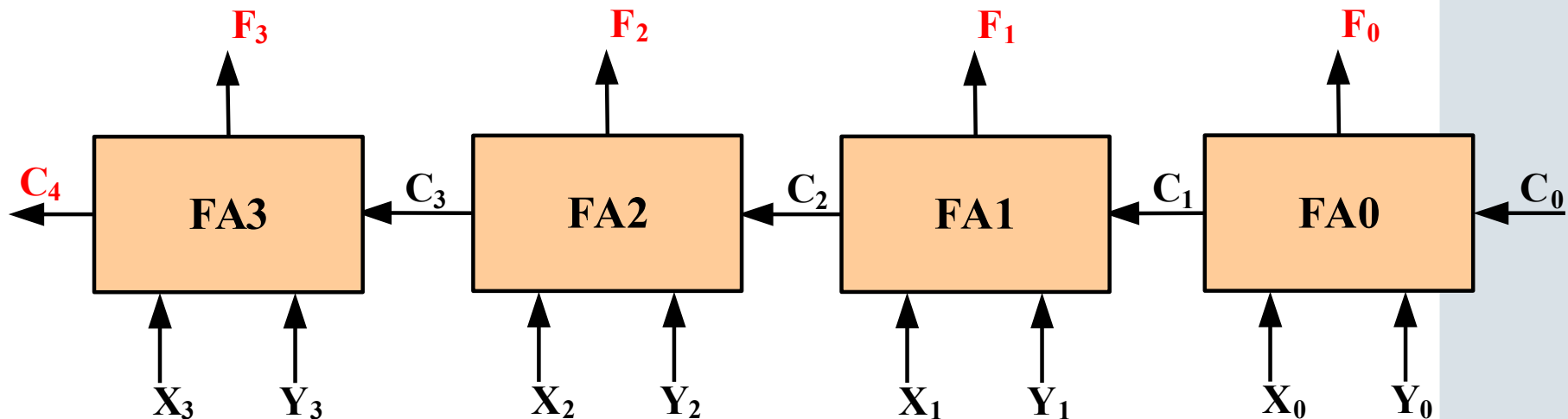
一位全加器逻辑框图



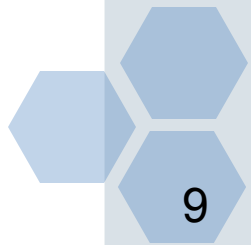


四位二进制加法器

由 4 个全加器 **串连** 构成 **行波进位** 加法器



- 特点：位间进位是串行传送（称为**行波进位**），即本位全加和 F_i 必须等低位进位 C_i 来到后才能得到。
- 缺点：加法时间与位数有关，**速度较慢**。

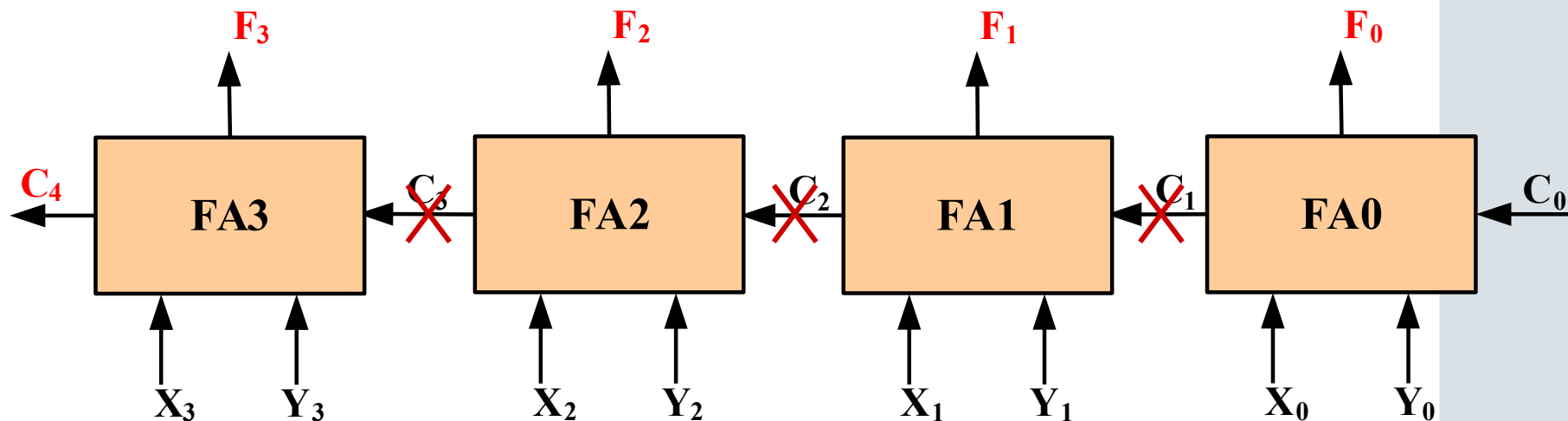




四位二进制并行进位加法器

❖ 在行波进位加法器基础上进行改造，以便并行产生进位，构成并行进位加法器。

❖ 方法：断开进位链





并行进位电路

引入两个辅助函数 G_i 和 P_i :

$G_i = X_i Y_i$ (进位产生)

则由: $C_{i+1} = X_i Y_i + (X_i + Y_i) C_i$

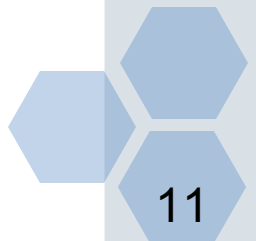
得: $C_{i+1} = G_i + P_i C_i$

那么对于 N 位并行进位加法器的进位依次迭代, 有递)

$$C_1 = G_0 + P_0 C_0 = G_1 + P_1 (G_0 + P_0 C_0) = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$C_2 = G_1 + P_1 C_1 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

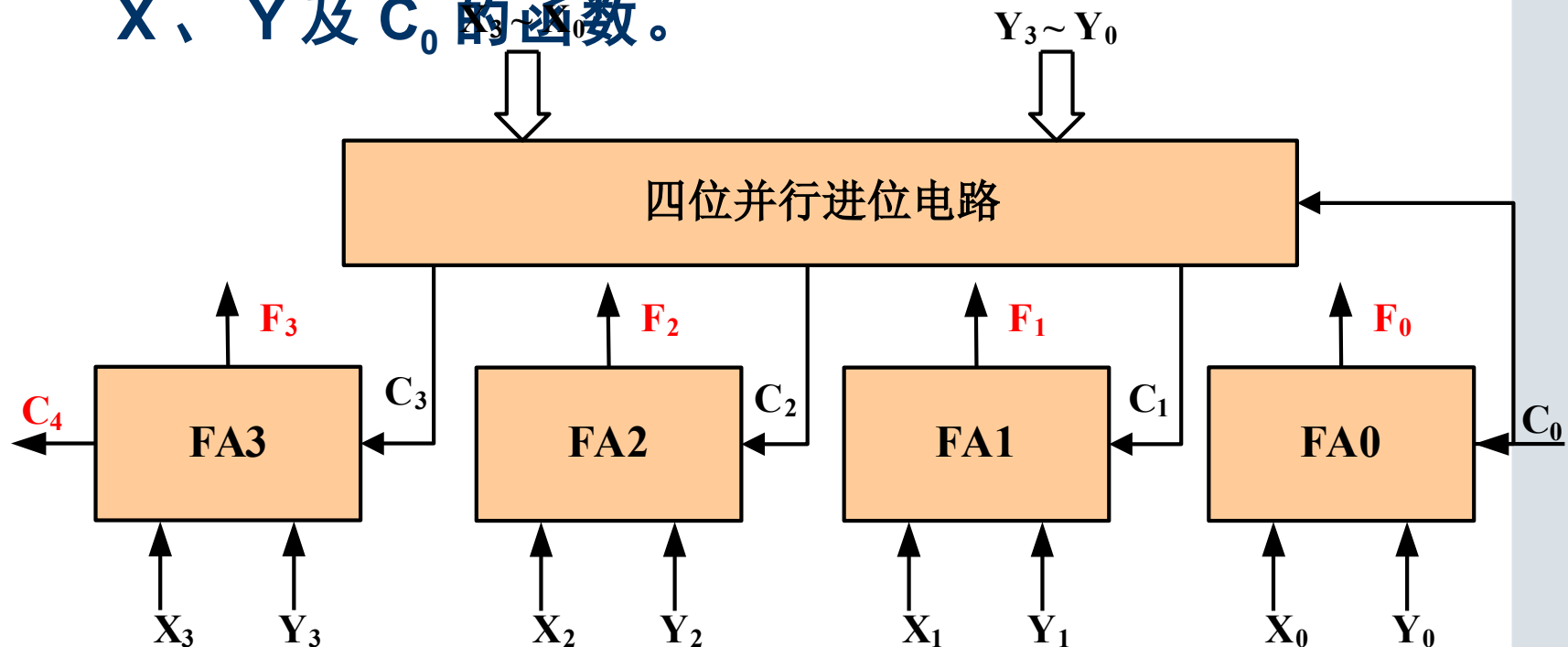
$$C_3 = G_2 + P_2 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$





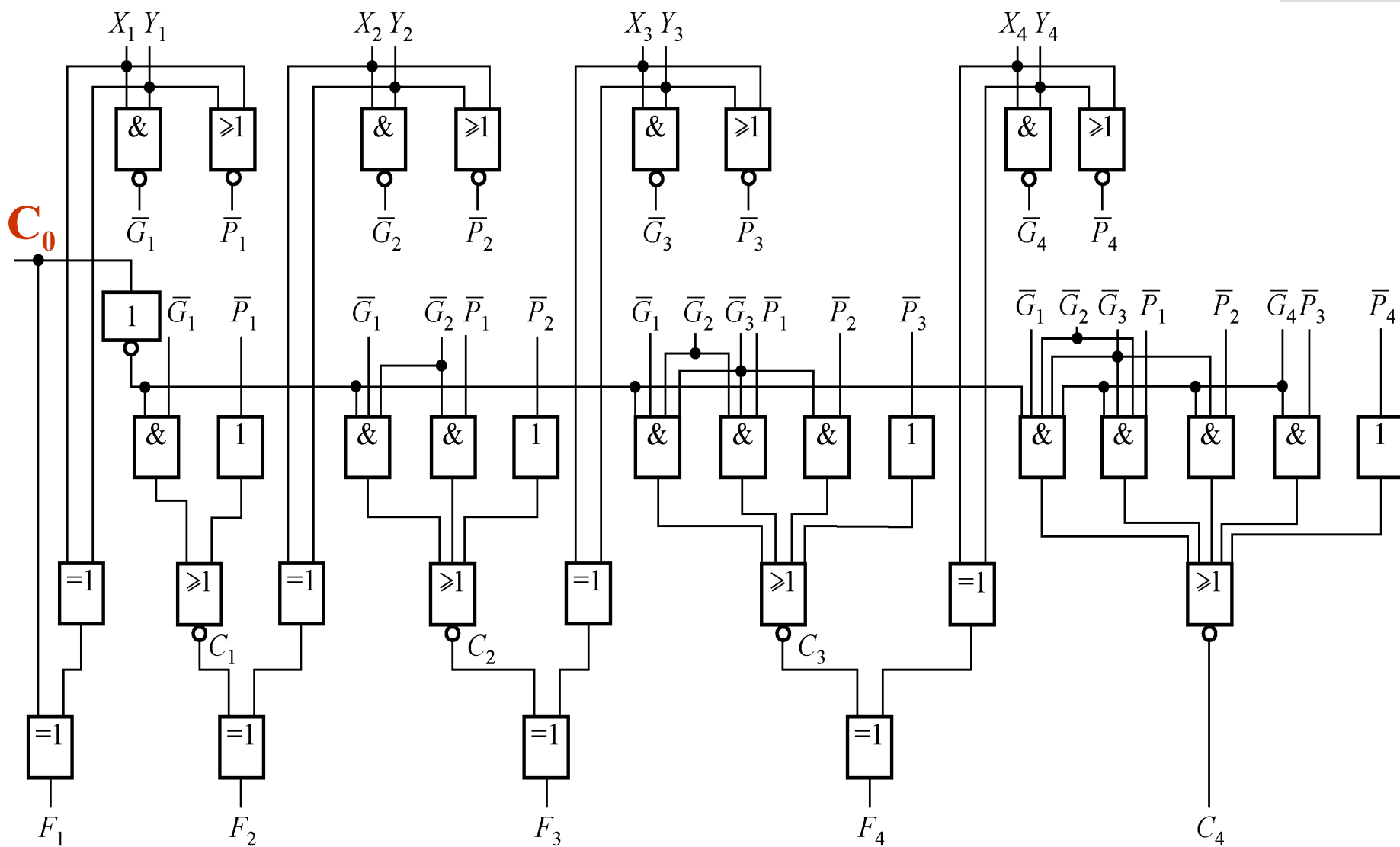
四位二进制并行进位加法器

结论： C_{i+1} 的产生不再依赖于 C_i ，而是依赖于 G_i 、 P_i 及 C_0 ，即：进位 C 是参加运算的数据 X 、 Y 及 C_0 的函数。





四位二进制并行进位加法器

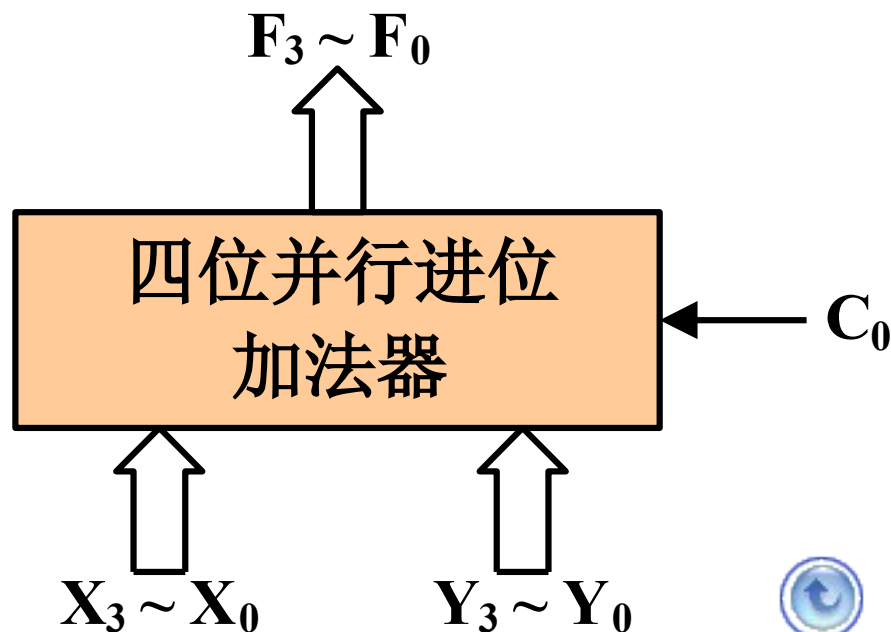




四位二进制并行进位加法器

- 特点：采用“**并行进位法**”或“**超前进位产生电路**”来**同时**形成各位的进位。
- 优点：运算速度大大加快。

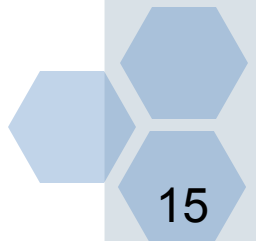
❖ **上述 4 位并行进位加法器的逻辑框图：**





三、算术逻辑运算单元 ALU

- ❖ **ALU (Arithmetic & Logic Unit)** : 算术逻辑运算单元，计算机中可以进行**逻辑运算和算术运算**的部件。
 - **全加器**：只能对输入数据进行加法运算。
 - **ALU 的实现**：在并行进位加法器的基础上，再加上一些逻辑电路和功能控制信号线，可形成**多功能算术逻辑运算部件 ALU**。

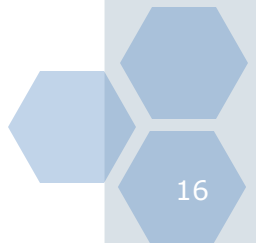




三、算术逻辑运算单元 ALU

❖ 74LS181 芯片：4 位多功能 ALU，内部集成了并行进位电路。

- 5 条功能选择线： $S_3S_2S_1S_0$ 和 M
- 16 种算术运算： $M = 0$ 时，由 $S_3S_2S_1S_0$ 来选择， $C_n = 0$ 有进位， $C_n = 1$ 无进位。
- 16 种逻辑运算： $M = 1$ 时，由 $S_3S_2S_1S_0$ 来选择



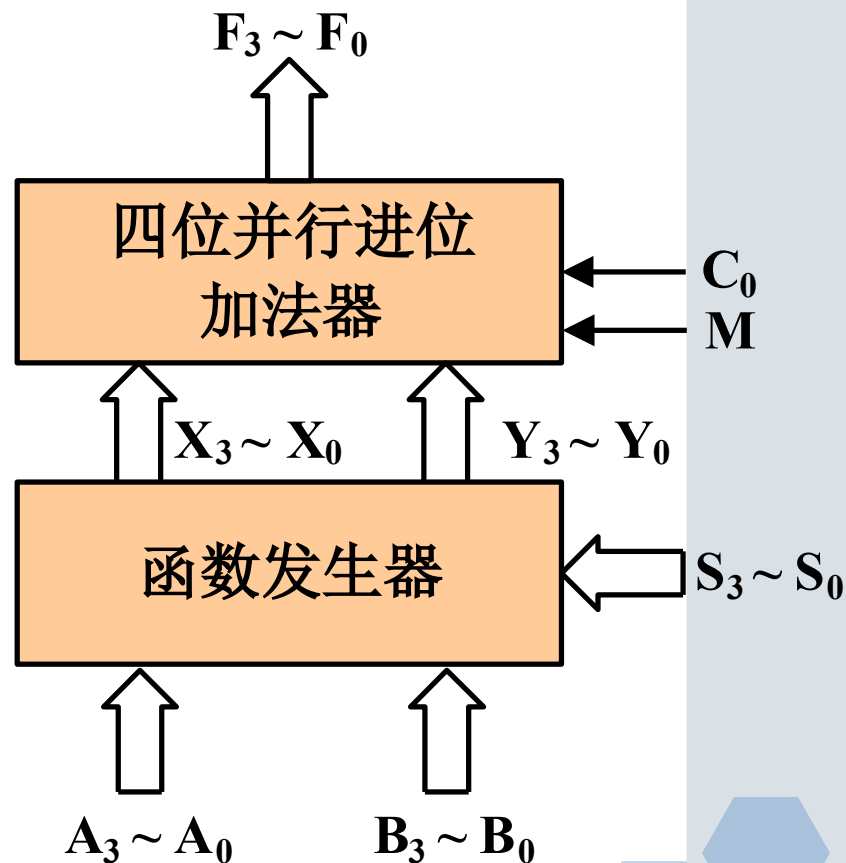


三、算术逻辑运算单元 ALU

❖ 74LS181 ALU 的构成

- 将输入数据 A 和 B 经过函数发生器形成它们的不同组合（由功能选择线 $S_3S_2S_1S_0$ 决定），再送入并行进位加法器进行加法运算，从而使得 ALU 能够实现各种的运算功能。

- $X = f_{S_1S_0}(A, B)$
- $Y = f_{S_3S_2}(A, B)$





S_1S_0 控制 X 的产生, S_3S_2 控制 Y 的

S_3S_2	Y	S_1S_0	X
0 0	0000	0 0	A
0 1	A B $\overline{\quad}$	0 1	A+B
1 0	AB	1 0	A+B $\overline{\quad}$
1 1	A	1 1	1111

- ❖ 功能: $F_n = X_n \oplus Y_n \oplus \overline{\overline{M \cdot C_n}}$
- ❖ 算术运算 ($M=0$) 即为: $F=X$ 加 Y 加 C_n
- ❖ 逻辑运算 ($M=1$): 由 $F_n = X_n \oplus Y_n \oplus 1 = X_n \odot Y_n$ 推算。



选择

正逻辑

$S_3 S_2 S_1 S_0$	M=H 逻辑运算	M=L 算术运算	
		$\overline{Cn}=H$ 无进位	$\overline{Cn}=L$ 有进位
L L L L L L L H L L H L L L H H	$F=\overline{A}$ $F=\overline{A+B}$ $F=A \ B$ $F=0$	$F=A$ $F=A+B$ $F=A+\overline{B}$ $F=\text{减 } 1 \ (-1)$	$F=A \text{ 加 } 1$ $F=(A+B) \text{ 加 } 1$ $F=(A+\overline{B}) \text{ 加 } 1$ $F=0$
L H L L L H L H L H H L L H H H	$F=\overline{AB}$ $F=\overline{B}$ $F=A \oplus B$ $F=\overline{AB}$ —	$F=A \text{ 加 } \overline{A} B$ $F=(A+B) \text{ 加 } AB$ $F=A \text{ 减 } B \text{ 减 } 1$ $F=\overline{AB} \text{ 减 } 1$	$F=A \text{ 加 } \overline{A} B \text{ 加 } 1$ $F=(A+B) \text{ 加 } \overline{AB}$ 加 1 $F=\overline{A} \text{ 减 } B$ $F=AB$
H L L L H L L H H L H L H L H H	$F=\overline{A+B}$ $F=A \oplus B$ $F=B$ $F=AB$ —	$F=A \text{ 加 } AB$ $F=A \text{ 加 } B$ $F=(A+B) \text{ 加 } AB$ $F=AB \text{ 减 } 1$	$F=A \text{ 加 } AB \text{ 加 } 1$ $F=A \text{ 加 } B \text{ 加 } 1$ $F=(A+B) \text{ 加 } AB$ 加 1 $F=AB$
H H L L H H L H H H H L	$F=1$ $F=A+B$ $F=A+B$	$F=A \text{ 加 } \overline{A}$ $F=(A+B) \text{ 加 } A$ $F=(A+B) \text{ 加 } A$	$F=A \text{ 加 } \overline{A} \text{ 加 } 1$ $F=(A+B) \text{ 加 } A \text{ 加 } 1$



功能验证举例

以 $S_3S_2S_1S_0 = 0100, M = 1$ 为例：

则 $X = A\bar{B}$, $Y = A$

$F = X \oplus Y \oplus (\overline{M \bullet C_n})$, 因为逻辑运算 $M = 1$

所以 $F = X \oplus Y \oplus 1 = \overline{X \oplus Y} = XY + \bar{X}\bar{Y}$

$$\therefore F = \overline{A\bar{B} \oplus A} = A\bar{B} \bullet A + \overline{A\bar{B}} \bullet \bar{A}$$

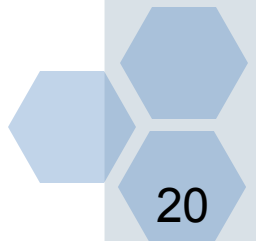
$$= A\bar{B} + (\bar{A} + B) \bullet \bar{A}$$

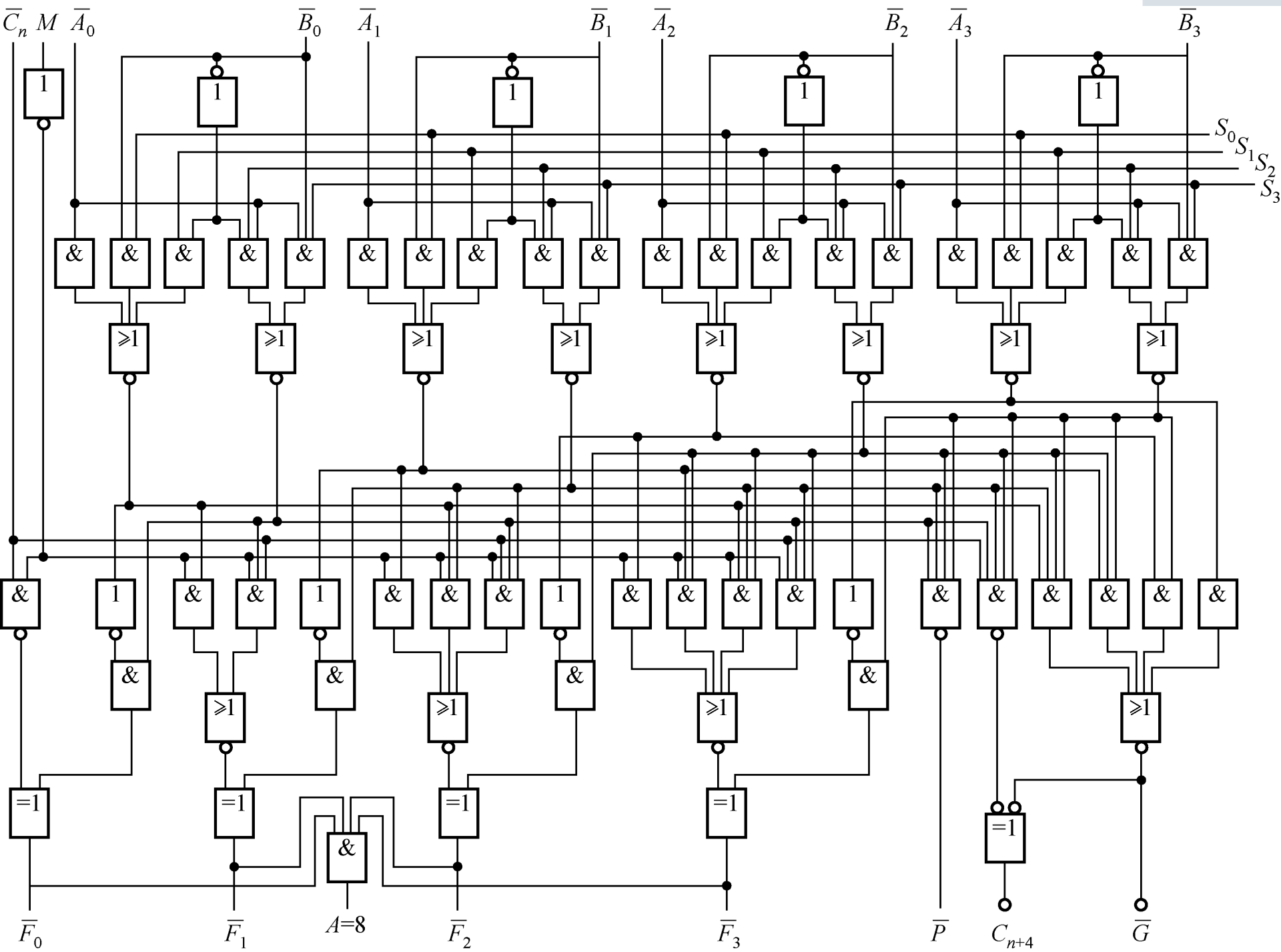
$$= A\bar{B} + \bar{A} \quad (\text{吸收律})$$

$$= \bar{A} + \bar{B} \quad (\text{补吸收律})$$

$$= \overline{AB} \quad (\text{反演律})$$

得证。



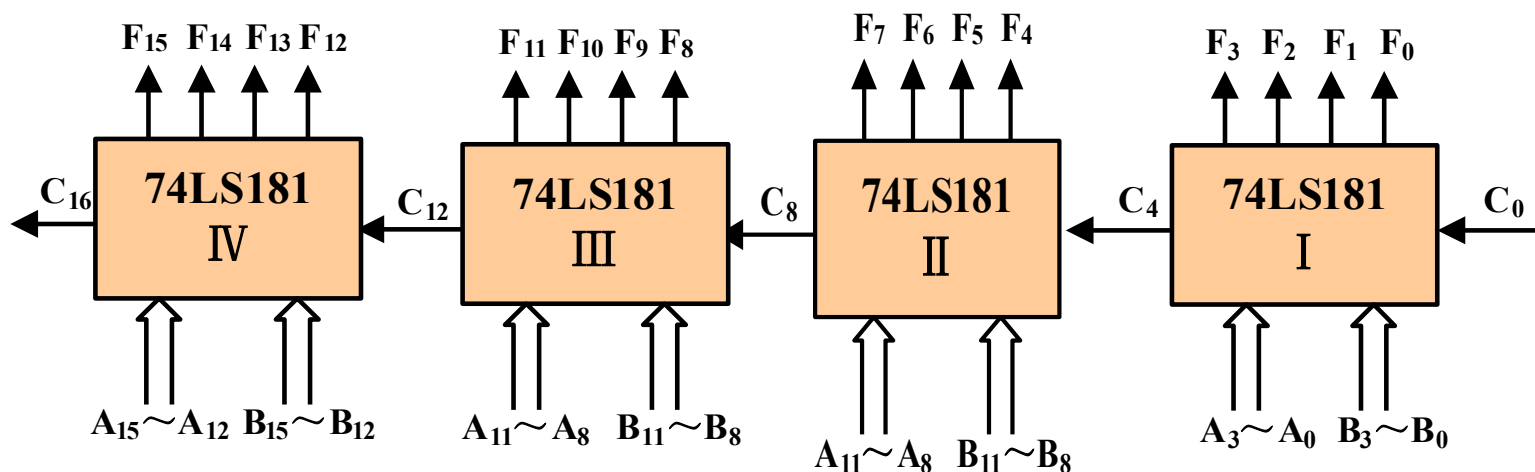




由 74LS181 构成 16 位 ALU

❖ 用 4 片 74LS181 构成 16 位 ALU

- 74LS181 片内：并行进位
- 片间：串行进位。

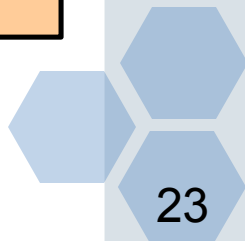
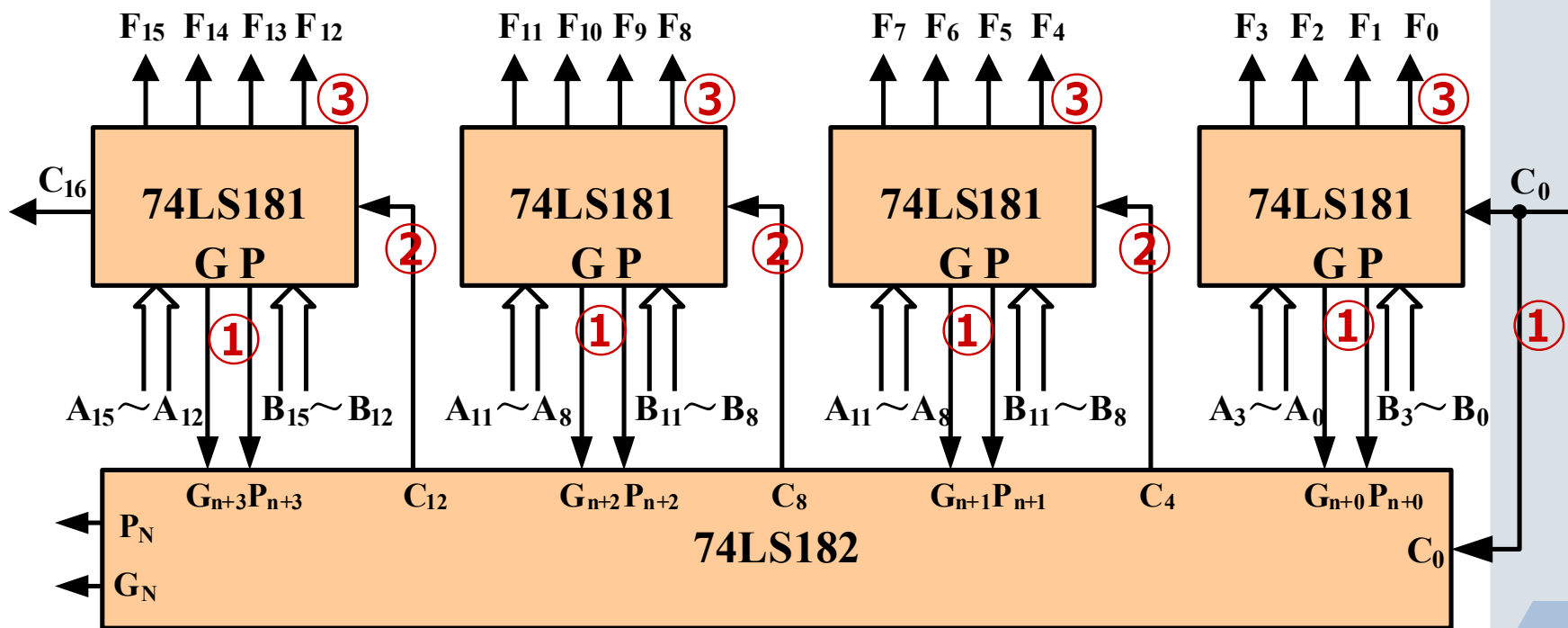




由 74LS181 构成片间并行进位的 16 位

❖ 用 4 片 74LS181 和 1 片 74LS182 构成

❖ 74LS181 片内：并行进位；片间：并行进位。





四、译码器

1. 译码器功能：

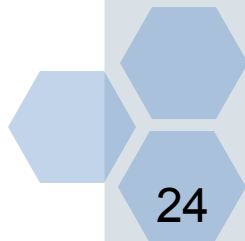
- 把输入编码译成相应的控制电位，作为芯片的片选信号或其他操作控制信号。

2. 特点：

- 有 n 个输入变量， 2^n 条输出变量（ $n = 2^n$ ）；
- 输入信号的 2^n 个编码对应于 2^n 条输出线输出：当输入为某一编码时，对应仅有一根输出为“0”（或为“1”），其余输出均为“1”（或为“0”）。

3. 常用的译码器芯片：

- 74LS139：双 2 — 4 译码器（ $n = 2$ ）
- 74LS138：3 — 8 译码器（ $n = 3$ ）





74LS139

❖ 内部集成了两个 2

— 4 译码器；

❖ 功能表：

- “使能”控制端 \overline{E} ：
用来控制译码器是否工作，当 \overline{E} 端为“1”时，禁止译码器工作，此时译码器的所有输出线均为无效即“1”。

输入			输出			
\overline{E}	B	A	\overline{Y}_0	\overline{Y}_1	\overline{Y}_2	\overline{Y}_3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

X：指可以取值 1 或者 0



74LS139

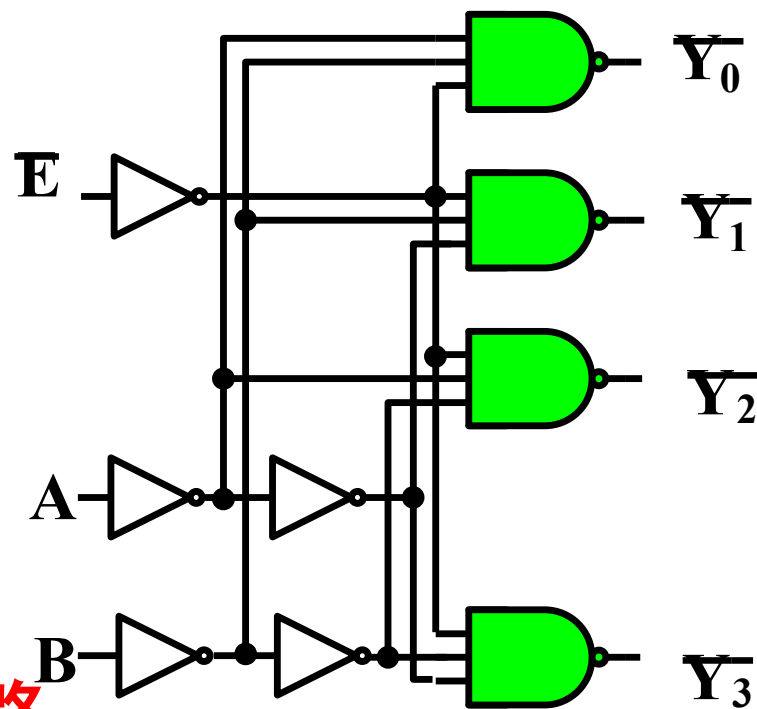
❖ 按照真值表，四个输出的逻辑代数式为：

$$\overline{Y_0} = \overline{E} \overline{B} \overline{A}$$

$$\overline{Y_1} = \overline{E} \overline{B} A$$

$$\overline{Y_2} = \overline{E} B \overline{A}$$

$$\overline{Y_3} = \overline{E} B A$$



❖ 2 — 4 译码器逻辑电路：





74LS138

❖ 3 输入 8
输出的译
码器： 3
— 8 译码
器；

❖ 功能表：
当 $\overline{G_1}\overline{G_{2A}}\overline{G_{2B}} =$
HLL 时，译码
器才工作。

输 入		输 出							
$\overline{G_1}\overline{G_{2A}}\overline{G_{2B}}$	C B A	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
1 0 0	0 0 0	1	1	1	1	1	1	1	0
1 0 0	0 0 1	1	1	1	1	1	1	0	1
1 0 0	0 1 0	1	1	1	1	1	0	1	1
1 0 0	0 1 1	1	1	1	1	0	1	1	1
1 0 0	1 0 0	1	1	1	0	1	1	1	1
1 0 0	1 0 1	1	1	0	1	1	1	1	1
1 0 0	1 1 0	1	0	1	1	1	1	1	1
1 0 0	1 1 1	0	1	1	1	1	1	1	1
0 X X	X X X	1	1	1	1	1	1	1	1
X 1 X	X X X	1	1	1	1	1	1	1	1
X X 1	X X X	1	1	1	1	1	1	1	1





五、数据选择器

1. 数据选择器也称多路选择开关。
2. 数据选择器是从 2^n 个输入数据中选择一个送到输出端，选择哪一个输入数据由 n 位地址输入来选择决定。
$$Y = (\bar{S}_0\bar{S}_1D_0 + S_0\bar{S}_1D_1 + \bar{S}_0S_1D_2 + S_0S_1D_3)\bar{E}$$

表2-7 四选一选择器功能表

\bar{E}	S_1	S_0	D_3	D_2	D_1	D_0	Y
1	\times	\times	\times	\times	\times	\times	0
0	1	1	D_3	\times	\times	\times	D_3
0	1	0	\times	D_2	\times	\times	D_2
0	0	1	\times	\times	D_1	\times	D_1
0	0	0	\times	\times	\times	D_0	D_0

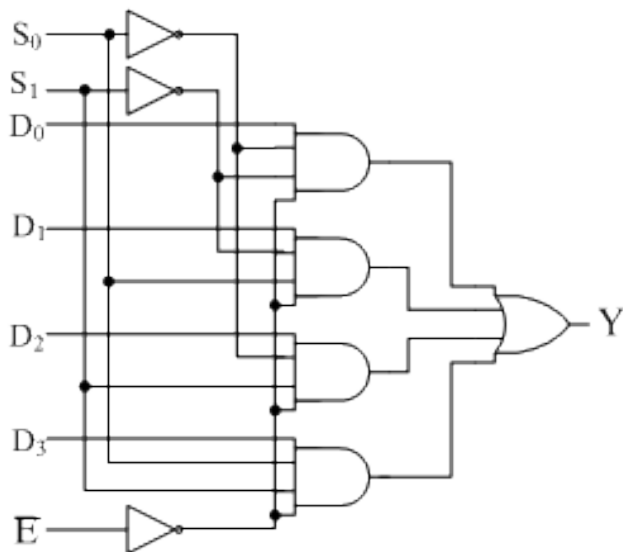
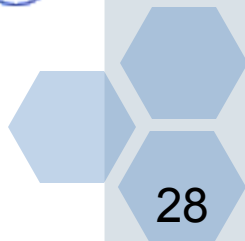


图2-29 四选一数据选择器





The End !

