

# 计算机组成原理与系统结构

## 第二章 计算机硬件基础

<http://jpkc.hdu.edu.cn/computer/zcyl/dzkjdx/>





## 第 2 章 计算机硬件基础

2.1

半导体器件的开关特性

2.2

基本逻辑运算和基本门电路

2.3

组合逻辑电路实例

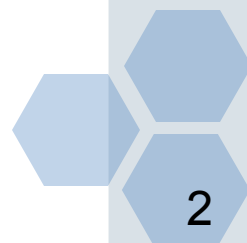
2.4

时序逻辑电路

2.5

计算机芯片的制造过程

本章小结





## 2.4 时序逻辑电路实例



触发器和锁存器



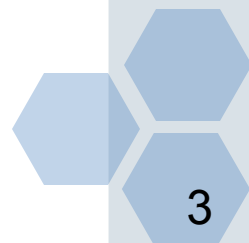
寄存器



移位寄存器



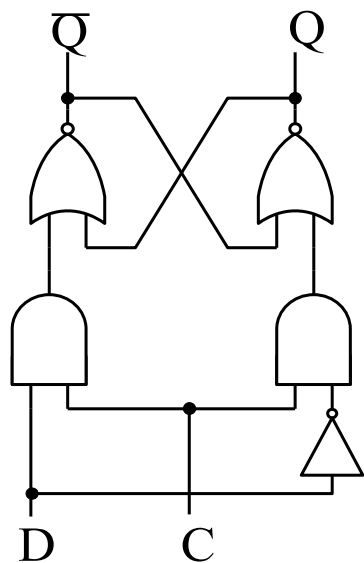
计数器





# 一、触发器和锁存器

## 1. 电平触发方式触发器

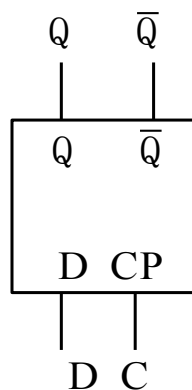


(a) 逻辑电路

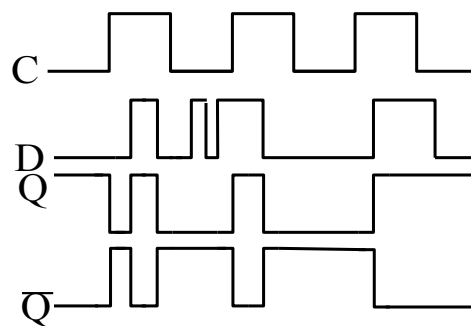
功能表

C	D	$Q_{n+1}$	$\bar{Q}_{n+1}$
1	0	0	1
1	1	1	0
0	x	$Q_n$	$\bar{Q}_n$

(b) 功能表



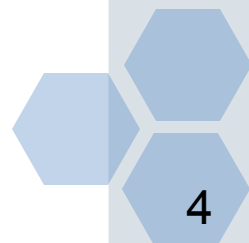
(c) 表示图



(d) 时序波形图

图2-30 D锁存器

- **C** : 时钟信号
- **D** : 数据输入信号
- **Q** : 输出信号, 代表触发器的状态, 即储存了 0/1
- **Q #** : 反相输出信号

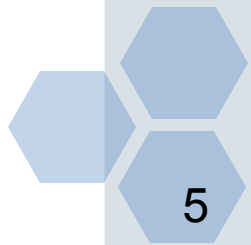




# 一、触发器和锁存器

## 2. 电平触发方式触发器特点：

- 触发器只在时钟信号  $C$  为触发约定电平高电平（或低电平）时，才接收输入数据  $D$ （至  $Q$  端），否则，触发器状态保持不变。
- 在时钟信号  $C$  为触发约定电平时，输出  $Q$  端的状态随着输入端  $D$  的变化而变化；
- 电平触发方式触发器又称为  $D$  锁存器，主要用作存储器的地址锁存器，以使 CPU 发出的地址在整个存储器读或写周期保持稳定不变。





# 一、触发器和锁存器

## 1. 边沿触发方式触发器

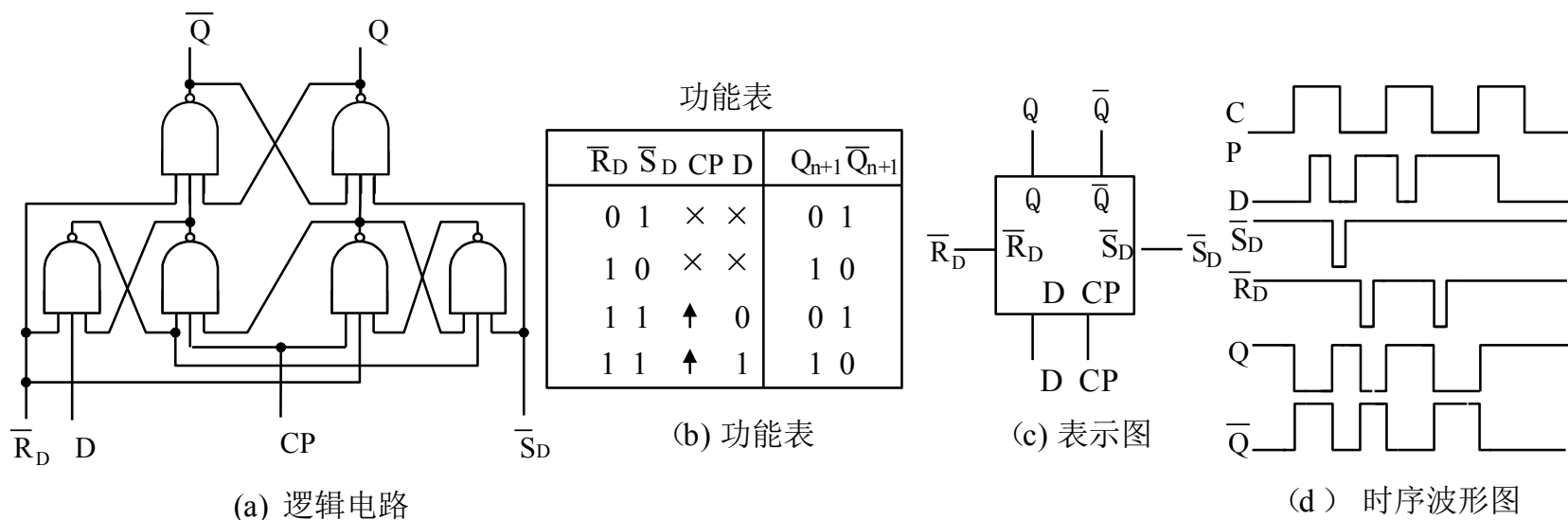


图2 — 31 带异步清零置位端的D触发器

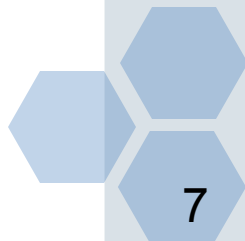
- **CP** : 时钟信号
- **D** : 数据输入
- **$R_D \#$**  : 异步清零端, 任何时间该信号为 0 , 则 Q 端必清零
- **$S_D \#$**  : 异步置位端, 任何时间该信号为 0 , 则 Q 端必置 1
- **Q** : 输出信号, 代表触发器的状态;  **$\overline{Q} \#$**  : 反相输出



# 一、触发器和锁存器

## 2. 边沿触发方式触发器特点：

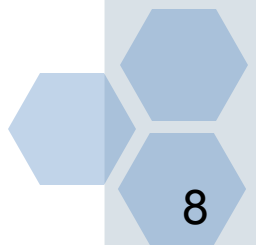
- 触发器只在时钟脉冲 CP 的约定边沿（上升沿或下降沿）来到时，才接收输入数据 D（至 Q 端），否则，触发器状态保持不变。
- 在时钟信号 C 为高电平或者低电平时，输出 Q 端的状态不会随着输入端 D 的变化而变化；
- 常用的正边沿触发器之一就是 D 触发器，由于它在 CP 上升沿以外时间出现在 D 端的数据变化和干扰信号不会被接收，因此具有很强的抗干扰能力而得到广泛应用。它一般可以用来组成寄存器、计数器和移位寄存器等。





## 二、寄存器

1. **功能**：存储二进制信息。
2. **组成**：由一组触发器组成，所有触发器采用同一个时钟信号或其他控制信号，以便进行**统一**的打入或其他控制操作。
3. 由  $n$  位触发器构成的寄存器称为  $n$  位寄存器，它可以存储  $n$  位二进制信息。







## 二、寄存器

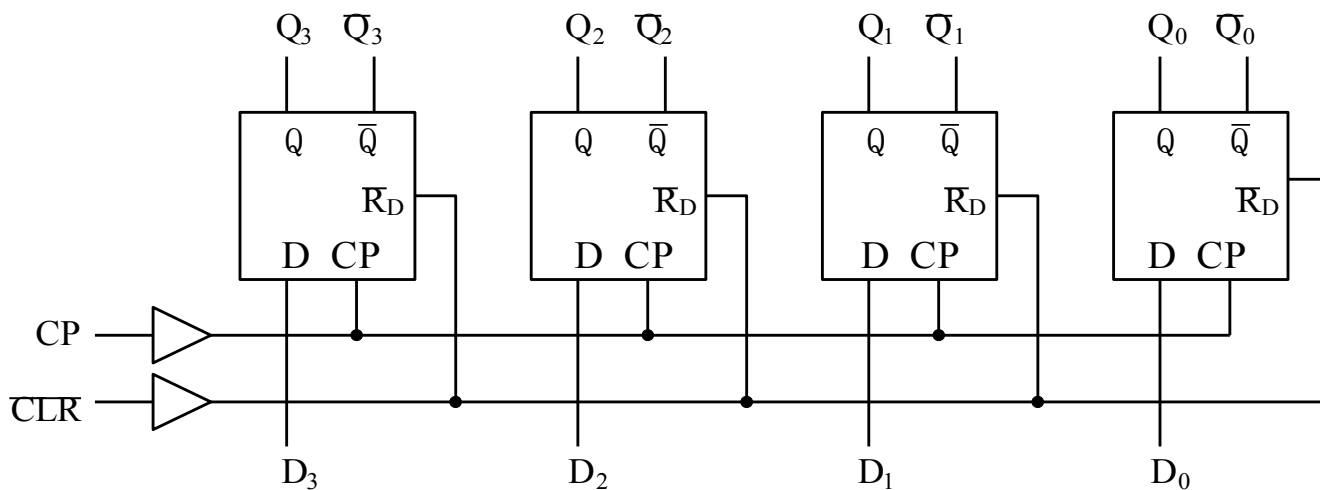


图2—32 4位寄存器

### 4. 工作原理：

当时钟脉冲 CP 到来时，寄存器的输入数据（ $D_3 \sim D_0$ ）同时打入寄存器，即输入→存放→输出到寄存器的输出端（ $Q_3 \sim Q_0$ ）。

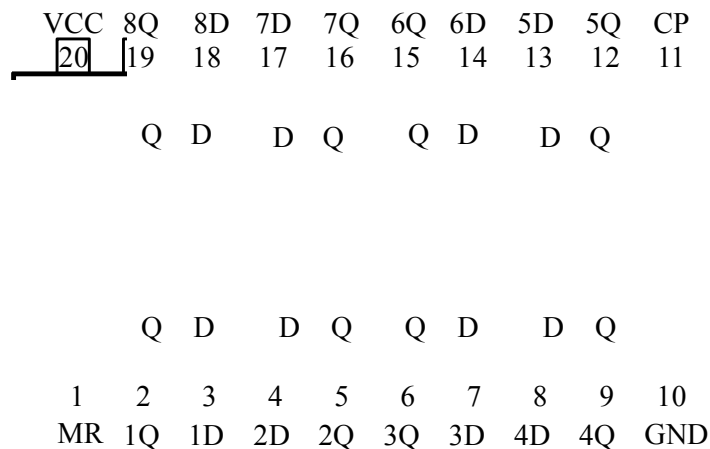
### 5. CLR #：寄存器清零信号，为低电平时，寄存器的输出端清为零。



## 二、寄存器

### 6. 带清零端的 8D 触发器 74LS273 芯片

- **MR #**：清零信号，当为低电平时，无论输入 D 是什么，输出 Q 均为 0。
- **CP**：寄存器打入脉冲信号，当 CP 来一上升沿，则将输入端 D 数据打到输出端 Q，并在下一上升沿来到之前，Q 端保持不变。



MR	CP	D	Q <sub>n+1</sub>
0	×	×	0
1	↑	1	1
1	↑	0	0
1	0	×	Q <sub>n</sub>

图2—33 74LS273逻辑、管脚图及功能表



### 三、移位寄存器

1. **功能：**对数据进行移位。
2. **组成：**由多个触发器组成，一个触发器的输出接到另一个触发器的输入，当公共时钟信号 CP 上升沿时，所有触发器的输出均写入相邻的下一个触发器中，从而实现移位。
3. 移位寄存器同时具备置数、左移、右移等功能。

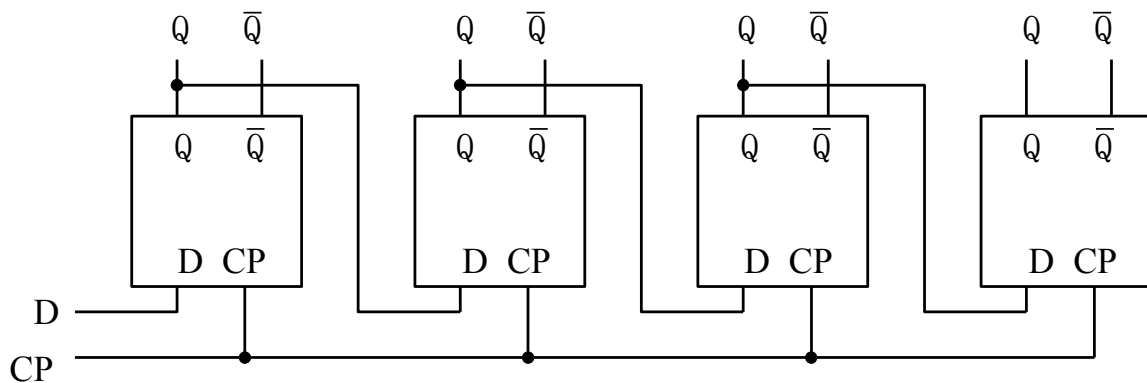


图2-34 简单移位寄存器



### 三、移位寄存器

#### 4. 74LS299 信号：

- S1S0：功能选择
- OE1OE2：输出使能
- I/00 ~ I/07：数据线
- MR #：清零
- DS0：右移时，将其移入最高位Q0

#### 5. 74LS299 信号：

- Q7：右移时，最低位从Q7移出。
- DS7：左移时，将其移入最低位Q7。
- Q0：左移时，最高位从Q0移出。

表2-1-7 74LS299移位寄存器功能表

输入信号						相应操作
MR	OE <sub>1</sub>	OE <sub>2</sub>	S <sub>1</sub>	S <sub>0</sub>	CP	
0	0	0	×	×	×	清零，Q <sub>0</sub> ~Q <sub>7</sub> → I/O <sub>0</sub> ~I/O <sub>7</sub> 输出低电平
1	×	×	1	1	↑	并行置数，I/O <sub>n</sub> → Q <sub>n</sub>
1	0	0	0	1	↑	右移，DS <sub>0</sub> → Q <sub>0</sub> ，Q <sub>0</sub> → Q <sub>1</sub> ，Q <sub>7</sub> 右移出，Q <sub>0</sub> ~Q <sub>7</sub> → I/O <sub>0</sub> ~I/O <sub>7</sub>
1	0	0	1	0	↑	左移，DS <sub>7</sub> → Q <sub>7</sub> ，Q <sub>7</sub> → Q <sub>6</sub> ，Q <sub>0</sub> 左移出，Q <sub>0</sub> ~Q <sub>7</sub> → I/O <sub>0</sub> ~I/O <sub>7</sub>
1	0	0	0	0	×	保持，Q <sub>0</sub> ~Q <sub>7</sub> 输出保持不变，Q <sub>0</sub> ~Q <sub>7</sub> → I/O <sub>0</sub> ~I/O <sub>7</sub>



### 三、移位寄存器

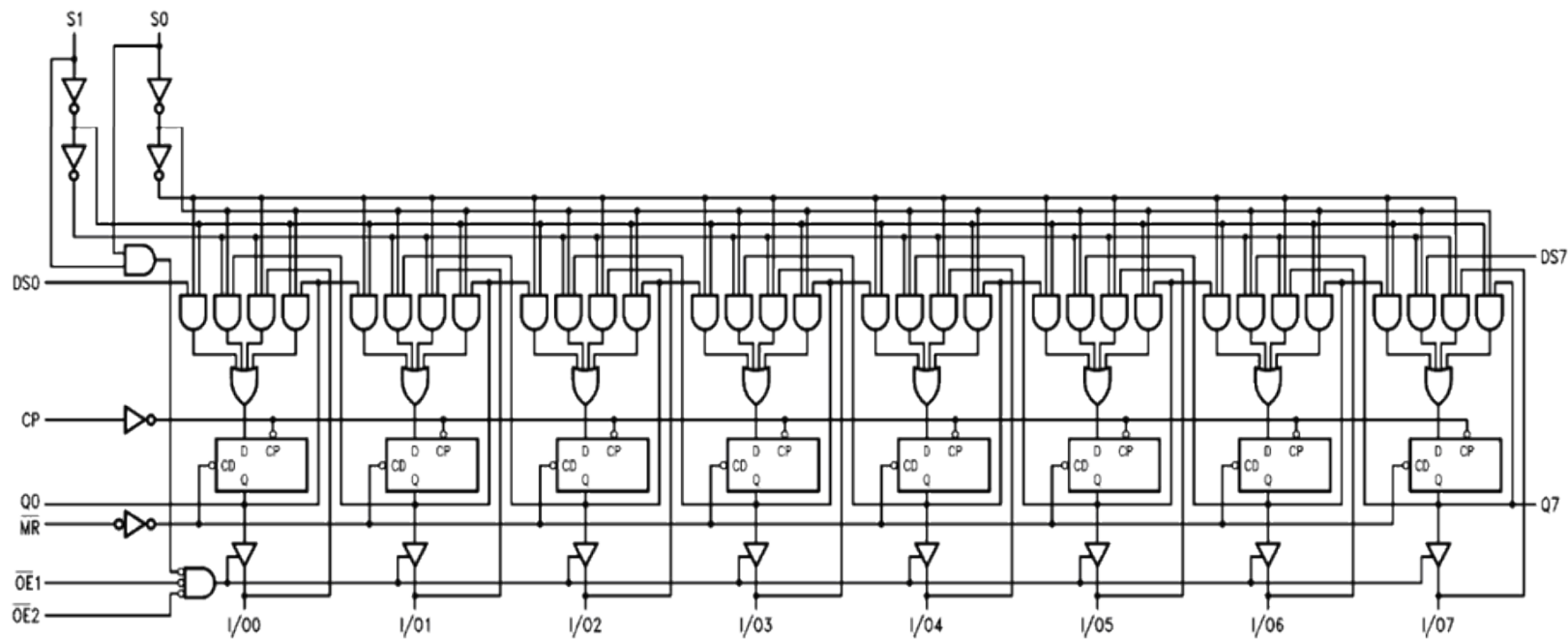


图 2—35 74LS299 内部逻辑电路





## 四、计数器

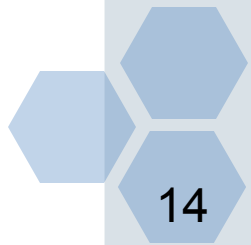
### 1. 按功能分：

- 加法计数器：+ 1 计数
- 减法计数器：- 1 计数
- 可逆计数器：即可 + 1 计数又可 - 1 计数

### 2. 按进位制分：

- 二进制计数器：低位触发器逢 2 进 1。
- 十进制计数器：采用 BCD 码计数。

### 3. 在计算机中使用的大多是同步二进制计数器，用来作为程序计数器 PC。





## 四、计数器

### 4. 74LS161 4 位二进制计数器

- 特性： 4 位二进制、同步、带进位输出的加法计数器
- 功能： 置数、清零、加 1 计数、保持
- 信号：
  - ① **CLR**： 异步清零信号
  - ② **LOAD**： 置数控制信号，为低电平时，在时钟脉冲 CLK 上跳沿，将输入信号  $D \sim A$  打入计数器  $Q_D \sim Q_A$
  - ③ **ENP**、**ENT**： 计数使能信号，都为高电平时，+ 1 计数
  - ④ **RCO**： 进位输出信号，当计数器加 1 计数到 1111（即 15）时，下一个时钟上升沿则使计数器输出  $Q_D \sim Q_A$  变为 0000，此时 RCO 输出一个时钟周期的高电平，用于芯片串联时提供进位；

## 四、计数器

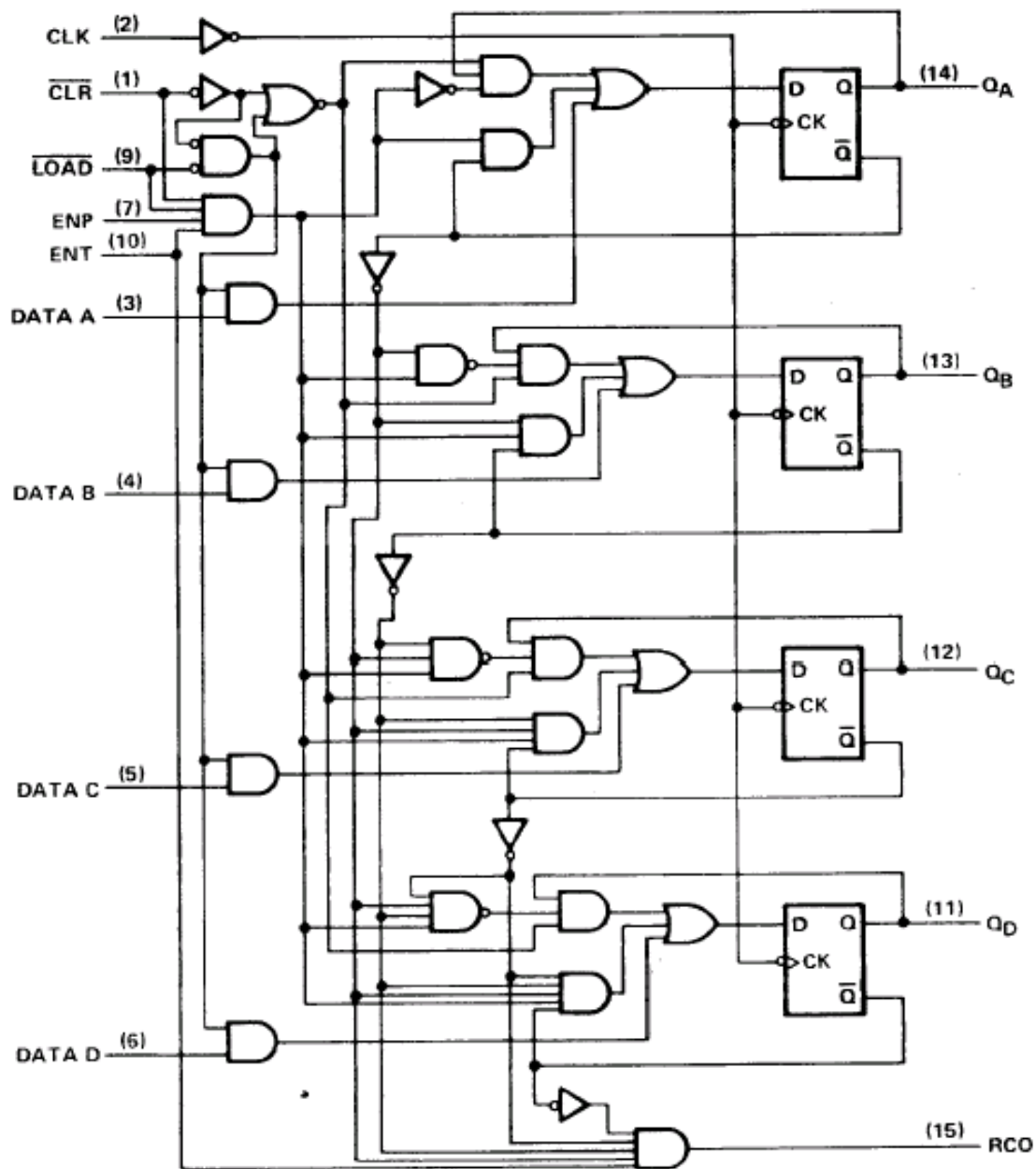


图2-36 74LS161计数器逻辑电路





表2 - 8 74 LS 161 计数器功能表

输入信号					响应操作
$\overline{\text{CLR}}$	$\overline{\text{LOAD}}$	ENP	ENT	CP	
0	×	×	×	×	异步清零, $Q_D \sim Q_A$ 输出低电平
0	×	×	×	↑	同步清零, $Q_D \sim Q_A$ 输出低电平
1	0	×	×	↑	预置数, D, C, B, A, 装入 $Q_D \sim Q_A$
1	1	1	1	↑	加一计数, 并将计数值输出 $Q_D \sim Q_A$
1	1	1	0	×	保持, $Q_D \sim Q_A$ 输出保持不变
1	1	0	1	×	保持, $Q_D \sim Q_A$ 输出保持不变

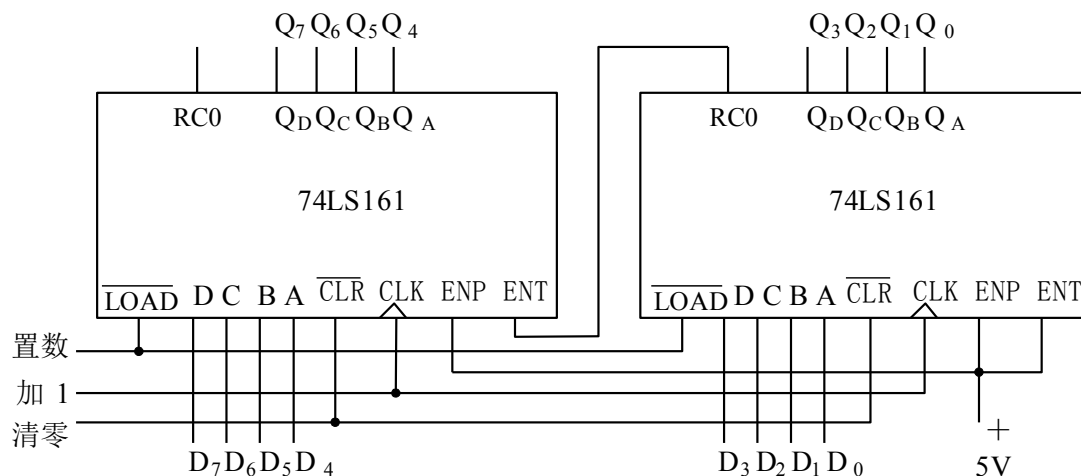


图 2-38 同步二进制计数器的扩展





**The End !**