

座位号：

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理（甲）		考试日期	2014 年 6 月 日		成绩	
课程号	A0507030	教师号		任课教师姓名		包健、赵辽英、冯建文、章复嘉、张翔、高志刚、赵备	
考生姓名		学号（8位）		年级	12	专业	

所有试题均做在答题纸上，否则不计分！

题号	一	二	三	四	五		总分
					1	2/3	
分数	20	20	15	20	10	15	100
得分							

答题纸

1、 单项选择题（20 分，每题 1 分，按小标号填写答案）

(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)	(10)
(11)	(12)	(13)	(14)	(15)	(16)	(17)	(18)	(19)	(20)

2、 计算填空题（20 分，每空 1 分）

(1)	(2)	(3)	(4)	(5)
(6)	(7)	(8)	(9)	(10)
(11)	(12)	(13)	(14)	(15)
(16)	(17)	(18)	(19)	(20)

--	--	--	--	--

3、 简答题（15 分，每题 5 分）

座位号：

4、 计算题（20 分）

5、 综合设计题（25 分）

3. （2）

表 4

指令	w_r_s	imm_ s	rt_imm _s	wr_data _s	ALU_O P	Write_Re g	Mem_Wr ite	PC_s
addi rt, rs, imm								

座位号：

试题

1、 单项选择题（20 分，每空 1 分）

- 1、下列选项中，描述 CPU 运算能力的 MIPS 单位含义是： (1)。
- A. 千万指令每秒 B. 百万指令每秒 C. 万指令每秒 D. 百万浮点运算每秒
- 2、8 位二进制补码所能表示的整数范围为 (2)。
- A. -256~255 B. -128~127 C. -255~255 D. -127~127
- 3、码距为 (3) 的校验码具备检出错误和纠正一位错误的能力。
- A. 0 B. 1 C. 2 D. 3
- 4、在汉字系统中存在下面几种编码，汉字库中存放的是 (4)。
- A. 汉字输入码 B. 汉字内码 C. 汉字交换码 D. 汉字字模码
- 5、设机器字长 8 位，若机器数 11H 为补码，则算术左移一位后为 (5)，算术右移一位后为 (6)。
- A. 44H B. 22H C. 88H D. 08H E. 20H
- 6、指令格式中， (7) 字段用来指明指令所要完成操作。
- A. 微指令 B. 操作数 C. 地址码 D. 操作码
- 7、微程序控制器特点是 (8)。
- A.指令执行速度慢，指令功能的修改和扩展容易 B.指令执行速度慢，指令功能的修改和扩展难
C.指令执行速度快，指令功能的修改和扩展容易 D.指令执行速度快，指令功能的修改和扩展难
- 8、浮点机器数的符号（数符）由 (9) 来决定。
- A. 尾数的符号 B. 阶码的符号 C. 阶码的底 D. 隐含决定
- 9、某机采用二级流水线组织，第一级为取指令、译码，需要 200ns 完成操作；第二级为执行周期，一部分指令能在 180ns 内完成，另一些指令要 360ns 才能完成，如果采用同步控制方式则机器周期应选 (10)。
- A. 180ns B. 190ns C. 200ns D. 360ns
- 10、某计算机存储器按字节编址，主存地址空间大小为 32MB，现用 4M*8 位的 RAM 芯片组建主存储器，则计算机地址寄存器 AR 的位数是 (11)。
- A. 22 位 B. 23 位 C. 25 位 D. 26 位
- 11、若阶码的底为 2，则规格化浮点数的尾数 M 应满足条件 (12)
- A. $1/2 > |M|$ B. $1/2 \leq |M| \leq 1$
C. $1/3 > |M|$ D. $1 < |M|$
- 12、以下存储器中， (13) 是数据掉电丢失的。
- A. FLASH B. EPROM C. SRAM D. E²PROM E. SSD
- 13、微程序控制器中，一条机器指令通常是由 (14) 来解释执行的。
- A. 一段微程序 B. 一个微命令
C. 一条微指令 D. 一个微操作
- 14、寄存器寻址方式中，操作数在 (15) 中。
- A. 程序计数器 B. 堆栈 C. 寄存器 D. 主存
- 15、假定用若干个 1K*8 位的芯片组成一个 8K*8 位的存储器，则地址 0910H 所在芯片的起始地址是 (16)。

A. 0000H B. 0600H C. 0700H D. 0800H

- 16、控制器取指令过程中，指令地址是由 (17) 提供的。
- A. PC 寄存器 B. AR 寄存器 C. 基址寄存器 D. IR 寄存器
- 17、定点二进制运算器中，减法运算一般通过 (18) 来实现。
- A. 原码运算的二进制减法器 B. 补码运算的二进制减法器
C. 原码运算的十进制加法器 D. 补码运算的二进制加法器
- 18、假设一补码机器数为 10000000，则其十进制真值是 (19)。
- A. +128 B. -127 C. -128 D. +127 E. 0
- 19、控制存储器属于计算机的以下哪个部件： (20)。
- A. 运算器 B. 控制器 C. 存储器 D. 外设

2、 计算填空题（20 分，每空 1 分）

- 1、在 CPU 执行的一段时间内，Cache 完成存取的次数为 3900 次，主存完成的存取次数为 100 次，已知 Cache 的存储周期为 15ns，主存的存储周期为 75ns。则 Cache 的命中率为 (1)，Cache/主存系统的平均访问时间为 (2) ns，Cache/主存系统的效率为 (3)。
- 2、设主存容量 16MB，存储器按字节编址；Cache 容量 32KB，每块 16B，Cache 按照 4 路组相联方式组织，则主存地址有 (4) 位；其中“标记”字段 (5) 位，Cache 组地址 (6) 位，块内地址 (7) 位；主存地址 111634H 映射到 Cache 的 (8) 组。
- 3、设某 8 位计算机指令格式如下：

OP (4 位)	MOD (2 位)	RD (2 位)
ADDR/ DATA / DISP		

其中，RD 为源/目的寄存器号，MOD 为寻址方式码字段，指令第二字为地址、数据或偏移量；源操作数由 MOD 字段和指令第二字共同确定。除了 HALT 指令为单字指令外，其他指令均为双字指令；操作码字段解释见表 1-1，MOD 字段解释见表 1-2，RD 字段解释见表 1-3。

表 1-1

指令助记符	操作码	指令助记符	操作码
MOV	0000	SBB	0100
ADD	0001	JMP	1000
SUB	0010	……	……
AND	0011	HALT	1111

表 1-2

MOD	寻址方式
00	立即寻址
01	直接寻址
10	变址寻址(SI)
11	间接寻址

表 1-3

RD	寄存器
00	R0
01	R1
10	R2
11	R3

- 1 指令 ADD R1, ((40H)) 的功能：R1 = ((40H))+R1；指令使用间接寻址，则该指令机器码第一字节

座位号：

为 (9) H，第二字节为 (10) H。

②内存地址的部分单元内容如表 2，若 (PC) = 20H，变址寄存器 (SI) = 10H，则此时启动程序执行，则程序执行的前三条指令如表 3，请填写完整。

表 2

单元地址	内容	单元地址	内容	单元地址	内容
10H	80H	20H	10H	24H	39H
11H	90H	21H	11H	25H	03H
12H	10H	22H	05H	26H	F0H
13H	11H	23H	12H	27H	20H

表 3

指令序号	助记符	寻址方式	源操作数	执行结果
1	(11)	(12)	(13)	
2	(14)	(15)	(16)	
3	(17)	(18)	(19)	(20)

3、简答题（15 分，每题 5 分）

- （5 分）简述 RISC 指令系统的特点。
- （5 分）简述控制器的功能和主要组成部件。
- （5 分）从计算机组成的角度，谈谈你对计算机工作过程的理解。

四、计算题（20 分）

- （4 分）设浮点数的格式为：阶码 5 位，包含一位符号位，尾数 7 位，包含一位符号位，阶码和尾数均用补码表示，排列顺序为：

阶符（1 位）	阶码（4 位）	数符（1 位）	尾数（6 位）
---------	---------	---------	---------

则按上述浮点数的格式：若 $(X)_{10} = 9/32$ ， $(Y)_{10} = -1.75$ ，求 X 和 Y 的规格化浮点数表示形式。

- （6 分）在上题基础上，使用规格化浮点数，计算 X+Y，写出计算过程和结果。
- （10 分）若某机器指令长 16 位，指令中每个操作数地址码长 4 位，采用扩展码技术：

（1）（6 分）设计一个指令系统，三地址指令 12 条，两地址指令 50 条，单地址指令 20 条，没有零地址指令；写出编码方案；

（2）（4 分）假设指令系统有三地址指令 M 条，两地址指令 N 条，没有零地址指令。问：该指令系统最多有多少条一地址指令？

五、综合设计题（25 分，第 2 题和第 3 题二选一）

- （10 分）某 CPU 地址总线 16 位，数据总线 8 位，CPU 的控制信号线有：MREQ#（存储器访问请求，低电平有效），R/W#（读写控制，低电平为写信号，高电平为读信号）。若用若干个 8K×4 位的 SRAM 芯片形成 32K×8 位的 RAM 存储区域，起始地址为 2000H，假设 SRAM 芯片有 CS#（片选，低电平有效）和 WE#（写使能，低电平有效）信号控制端；试写出 RAM 的地址范围，并画出 SRAM 与 CPU 的连接图（请标明 SRAM 芯片个数、译码器的输入输出线、地址

线、数据线、控制线及其连接）。

以下 2、3 两题二选一：

2. （15 分）某 8 位模型机采用微程序控制器，结构如图 1 所示。其中 MEM 为主存，R0~R3 是通用寄存器。各部件的控制信号均已标出，控制信号的命名准则是：‘→’符号前的是数据发送方部件，‘→’符号后的是数据接收方部件，并且控制信号中的 B 表示总线；J1#控制指令译码，其他读写信号具有普通意义。

- （4 分）图 1 中有 28 个微操作控制信号，其中 J1 # ~J5 # 是用于转移的判别测试条件。在微指令中，控制字段采用直接控制法，判别测试字段采用译码法编码，下址字段 8 位，则该模型机的控制存储器容量是多少？
- （4 分）模型机的某条指令的微程序流程图如图 2 所示，写出该条指令的功能、寻址方式、指令第二字的含义。
- （2 分）写出 Mem→IR 微指令应该发送的微操作控制信号。
- （5 分）根据图 1 所示的数据通路，写出 ADDDR, # data 指令的微程序流程图，指令功能为 (DR) + data→DR。

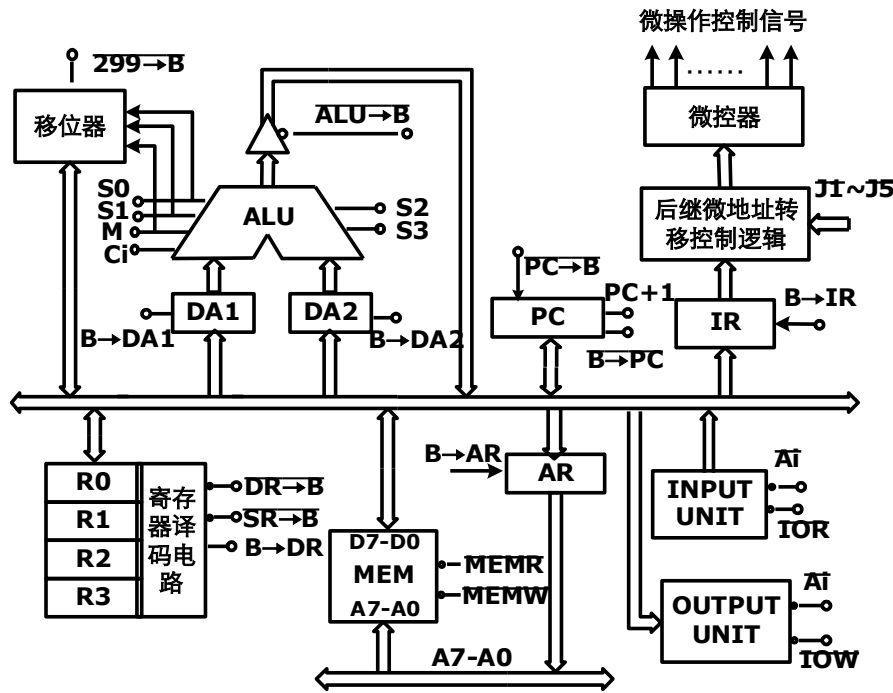


图 1 模型机结构框图

座位号：

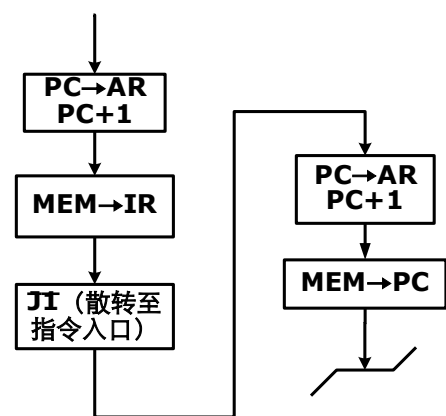


图2 微程序流程图

3. (15分) 为实现 MIPS 核心指令子集，设计一个计算机系统，其单周期 CPU 的结构和数据通路如图 3 所示，其中 ALU 有 4 种功能。假设在其上实现一条 I 型指令 `addi rt, rs, imm`，功能是 $(rs) + imm \rightarrow rt$ ，即带符号数的立即数加法指令：

- (1) (5分) 写出指令 `addi` 在机器上执行的过程；
- (2) (5分) 为实现 `addi` 指令的数据通路，写出译码与控制单元所需设置的控制信号，填入表 4。

表 4

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	PC_s
addi rt, rs, imm								

- (3) (5分) 假设译码与控制单元采用微程序实现，即所有的控制信号由微指令发送，控制字段采用直接控制法，没有判别测试字段，下址字段 6 位，则该 CPU 的控制存储器容量是多少？

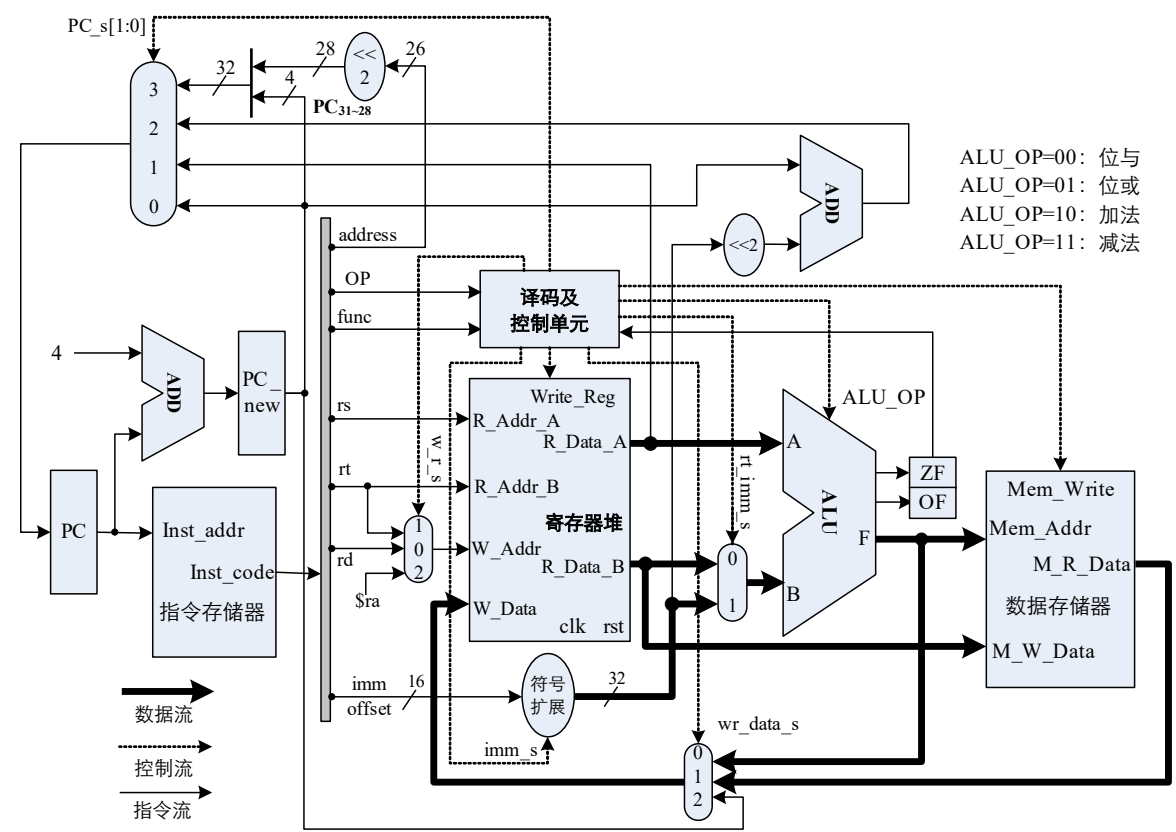


图3 MIPS CPU 数据通路