

第五章

例 5.1

设 CPU 有 16 根地址线，8 根数据线，并用 MREQ# 作访存控制信号（低电平有效），用 R/W# 作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4 位 SRAM；4K×8 位 SRAM；8K×8 位 SRAM；2K×8 位 ROM；4K×8 位 ROM；8K×8 位 ROM；及 3-8 译码器和各种门电路。画出 CPU 与存储器的连接图。

要求：主存的地址空间满足下述条件：最小 8K 地址为系统程序区（ROM 区），与其相邻的 16K 地址为用户程序区（RAM 区），最大 4K 地址空间为系统程序区（ROM 区）。请画出存储芯片的片选逻辑并指出存储芯片的种类及片数。

解：首先根据题目的地址范围写出相应的二进制地址码。

| A ₁₅ | A ₁₄ | A ₁₃ | A ₁₂ | A ₁₁ | A ₁₀ | A ₉ | A ₈ | A ₇ | A ₆ | A ₅ | A ₄ | A ₃ | A ₂ | A ₁ | A ₀ | |
|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | } 最小8K 系统区 |
| ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | } 相邻16K 用户程 序区 |
| ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | |
| ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | } 最大4K 系统区 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | |

第二步，根据地址范围的容量及其在计算机系统中的作用，确定最小 8K 系统程序区选一片 8K×8 位 ROM 来实现；与其相邻的 16K 用户程序区选 2 片 8K×8 位 SRAM 来实现；最大 4K 系统程序工作区选 1 片 4K×8 位 ROM 来实现。

第三步，分配 CPU 地址线。因为 8K 存储器容量为 $8K = 2^{13}$ ，所以 8K 存储器的片内地址需要 13 位，将 CPU 的低 13 位地址线 A₁₂~A₀ 与 1 片 8K×8 位 ROM 和两片 8K×8 位 SRAM 芯片提供的 13 位地址线相连；而 $4K = 2^{12}$ ，因此 4K 存储器的片内地址需要 12 位，将 CPU 的低 12 位地址线 A₁₁~A₀ 与 1 片 4K×8 位 SRAM 芯片的 12 根地址线相连。

第四步，形成片选信号。将 3-8 译码器的使能端 EN# 接 MREQ#，使得 CPU 访存有效时（MREQ# 有效）译码器工作。CPU 的 A₁₅、A₁₄、A₁₃ 分别接在译码器的 C、B、A 端，作为译码输入，译码输出 Y₀#、Y₁#、Y₂# 分别作 ROM、SRAM1、和 SRAM2 的片选信号。此外，根据题意，最大 4K 地址范围的 A₁₂ 为高，故经反相后再与 Y₇# 相“与”，这个与逻辑用或门实现，其输出作为 4K×8 位 SRAM 的片选信号，如图 5-24 所示：

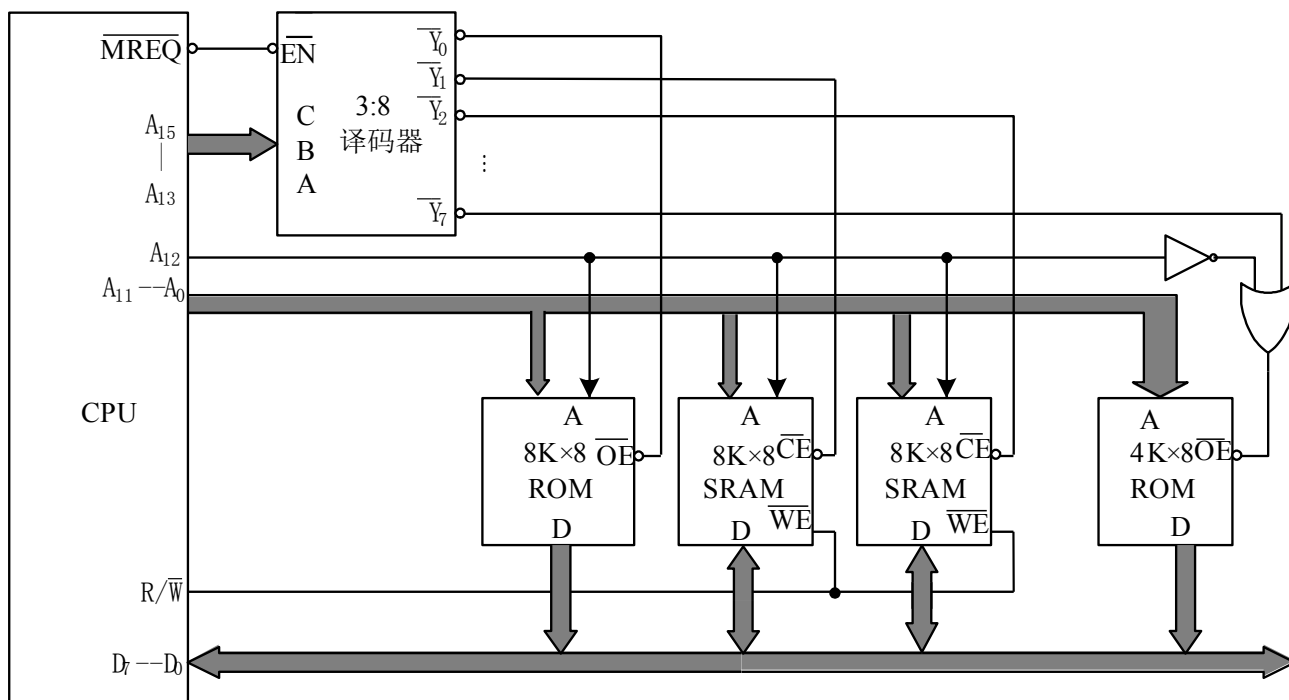


图 5-24 主存储器与 CPU 连接-1

例 5.2

设有若干片 $256\text{K} \times 8$ 位的 SRAM 芯片，问如何构成 $2048\text{K} \times 32$ 位的存储器？需要多少片 RAM 芯片？该存储器需要多少根地址线？画出该存储器与 CPU 连接的结构图，设 CPU 的接口信号有地址信号、数据信号、控制信号 $\overline{\text{MREQ}}$ 和 $\text{R}/\overline{\text{W}}$ 。

解：采用字位扩展的方法。该存储器需要 $2048\text{K}/256\text{K} \times 32/8 = 32$ 片 SRAM 芯片，其中每 4 片构成一个字的存储器芯片组，8 组 256K 字进行字（容量）扩展。

构成 2048K 存储器需要 21 位地址线，其中高 3 位 $\text{A}_{20} \sim \text{A}_{18}$ 作为 8 组芯片的选择，低 18 位 $\text{A}_{17} \sim \text{A}_0$ 作为每个 256K 存储器芯片的地址输入。。

用 $\overline{\text{MREQ}}$ 作为译码器芯片的使能信号， $\text{A}_{20} \sim \text{A}_{18}$ 经译码器的译码输出作为存储器芯片的片选信号， $\text{R}/\overline{\text{W}}$ 作为读写控制信号，该存储器与 CPU 连接的结构图如 5-25 所示。

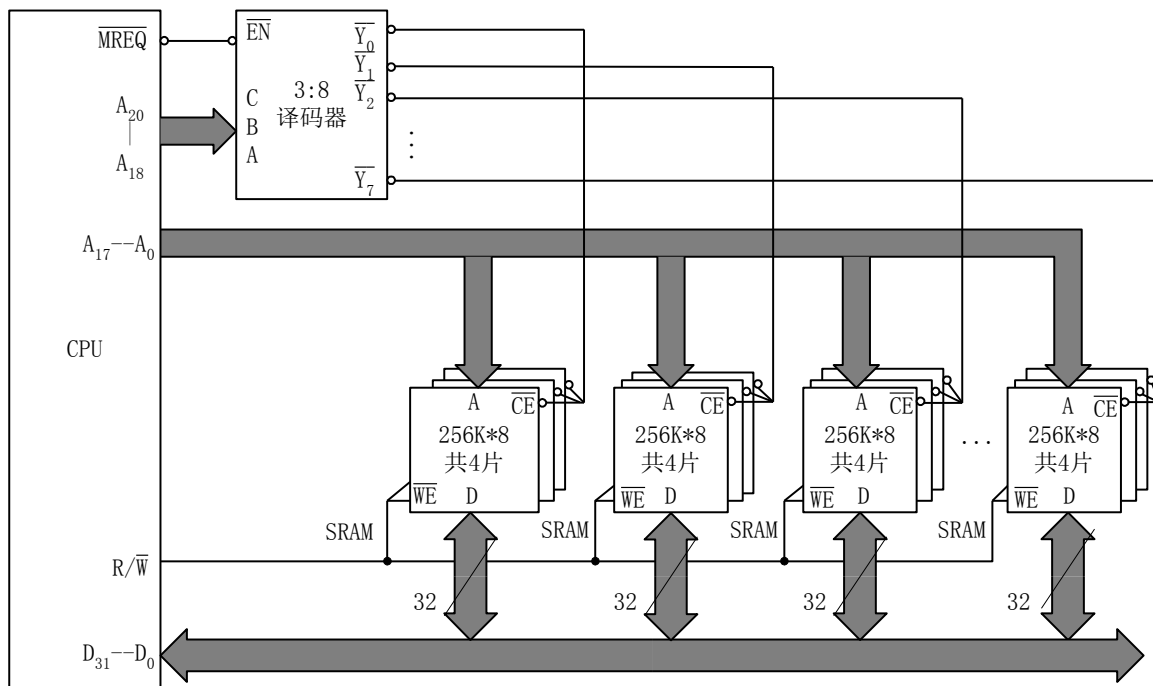


图 5-25 主存储器与 CPU 连接-2

例 5.3

某计算机的主存地址空间中，从地址 0000H 到 3FFFH 为 ROM 存储区域，从 4000H 到 5FFFH 为保留地址区域，暂时不用，从 6000H 到 FFFFH 为 RAM 地址区域。RAM 的控制信号为 CS#和 WE#，CPU 的地址线为 A₁₅~A₀，数据线的 8 位的线路 D₇~D₀，控制信号有读写控制 R/W#和访存请求 MREQ#，要求：

(1) 画出地址译码方案

(2) 如果 ROM 和 RAM 存储器芯片都采用 8K×1 的芯片，试画出存储器与 CPU 的连接图。

(3) 如果 ROM 存储器芯片采用 8K×8 的芯片，RAM 存储器芯片采用 4K×8 的芯片，试画出存储器与 CPU 的连接图。

(4) 如果 ROM 存储器芯片采用 16K×8 的芯片，RAM 存储器芯片采用 8K×8 的芯片，试画出存储器与 CPU 的连接图。

解：(1) 全部地址空间为 $2^{16}=64\text{KB}$ ，ROM 存储区域的容量为 $2^{14}=16\text{KB}$ ，保留存储区域容量 $2^{13}=8\text{KB}$ ，RAM 的存储区域为 $64-16-8=40\text{KB}$ 。地址译码采用以 8KB 为区域单位，将 64KB 的存储空间分为 8 个 8KB 的区域，用地址的高 3 位 A₁₅~A₁₃ 作为每个 8K 区域选择译码信号。这样构成的译码方案如图 5-26 所示。Y₀#和 Y₁#的输出作为 ROM 的选择信号，因为 ROM 的地址区域为 0000H 到 3FFFH，其区域选择地址 A₁₅~A₁₃ 位为 000~001；Y₃#到 Y₇#这 5 条输出信号作为 RAM 的选择信号，因为 RAM 的地址区域为 6000H~0FFFFH，其区域选择地址 A₁₅~A₁₃ 位为 011~111。

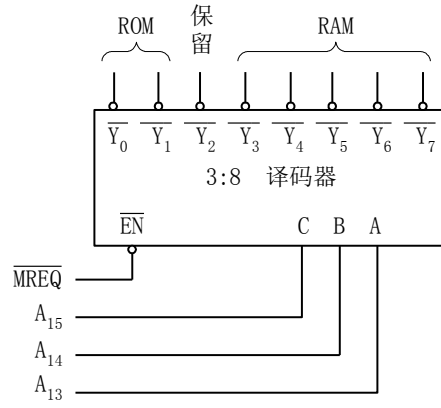


图 5-26 译码方案

译码器的输出信号逻辑表达式为：

$$\overline{Y_0} = \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{MREQ}$$

$$\overline{Y_1} = \overline{A_{15}} \cdot \overline{A_{14}} \cdot A_{13} \cdot \overline{MREQ}$$

$$\overline{Y_3} = \overline{A_{15}} \cdot A_{14} \cdot \overline{A_{13}} \cdot \overline{MREQ}$$

$$\overline{Y_4} = \overline{A_{15}} \cdot \overline{A_{14}} \cdot A_{13} \cdot \overline{MREQ}$$

$$\overline{Y_5} = \overline{A_{15}} \cdot A_{14} \cdot A_{13} \cdot \overline{MREQ}$$

$$\overline{Y_6} = A_{15} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{MREQ}$$

$$\overline{Y_7} = A_{15} \cdot A_{14} \cdot A_{13} \cdot \overline{MREQ}$$

(2) 8KB 的存储区域可以用 8 片存储器芯片构成一组实现。8K×1 的存储器芯片的地址线需要 13 条，即 A₁₂~A₀，16 条地址线的高 3 位采用与上题相同的地址译码方案，输出信号分别控制一组存储器芯片，存储器电路如图 5-27 所示，其中 ROM 芯片的连接方式与 SRAM 的类似，只是没有 R/W#控制信号输入。

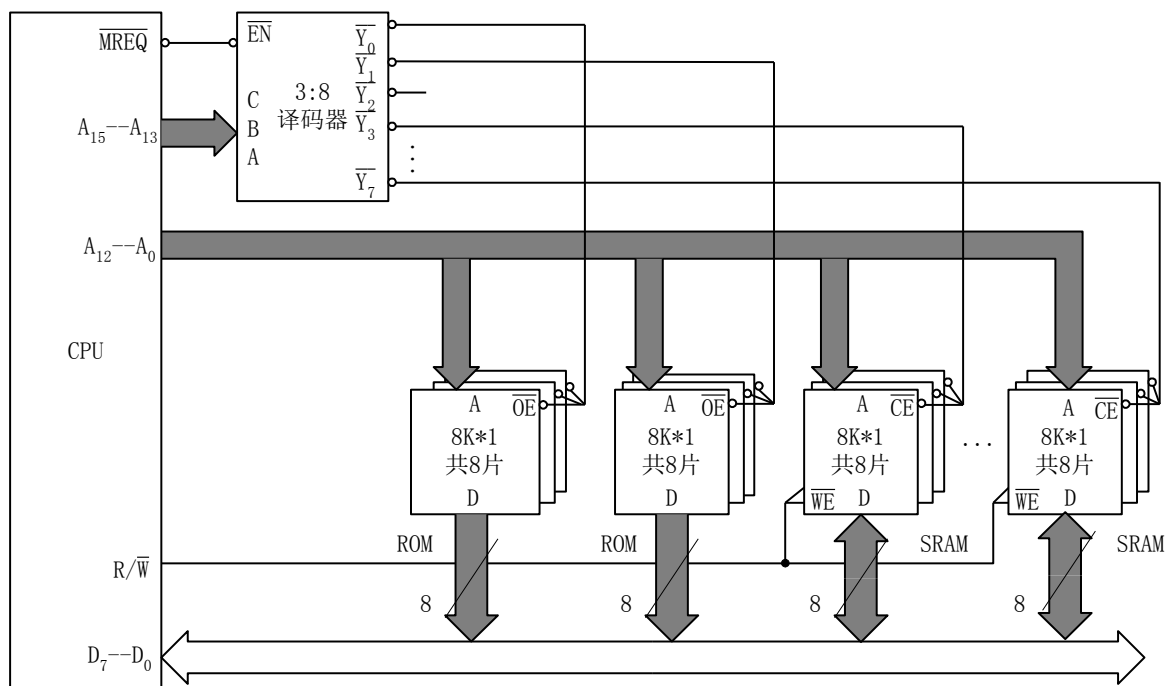


图 5-27 主存储器与 CPU 连接-2

(3) 16KB 的 ROM 存储区域可以用 2 片 $8K \times 8$ 位的 ROM 芯片实现，40KB 的 RAM 区域可用 10 片 $4K \times 8$ 位的 RAM 芯片实现。 $8K \times 8$ 位的 ROM 芯片的地址线需要 13 条，即 $A_{12} \sim A_0$ ， $4K \times 8$ 的 RAM 芯片的地址线需要 12 条，即 $A_{11} \sim A_0$ ，16 条地址线的其余高 4 位中的最高 3 位采用与上题相同的地址译码方案，输出信号分别选择两片 4KB 的 RAM 存储器芯片，再用高 4 位中的 A_{12} 选择这两片的两个 RAM 芯片之一，如图 5-28 所示。

(4) 16KB 的 ROM 存储区域可以用 1 片 $16K \times 8$ 位的 ROM 芯片实现。40KB 的 RAM 存储区域可以用 5 片 $8K \times 8$ 位的 RAM 芯片实现。 $16K \times 8$ 的 ROM 芯片的地址线需要 14 条，即 $A_{13} \sim A_0$ ， $8K \times 8$ 的 RAM 芯片的地址线需要 13 条，即 $A_{12} \sim A_0$ 。16 条地址线的高 3 位地址采用与上题相同的地址译码方案，译码输出信号 $Y_0\#$ 、 $Y_1\#$ （每一个表示 8K 的范围）通过一个与门来作为 16KB 的 ROM 芯片的片选，即当 $Y_0\#$ 、 $Y_1\#$ 中任意一个信号有效时（前 8K 或后 8K）均选中该 ROM 芯片。 $Y_3\# \sim Y_7\#$ 分别选择 5 片 $8K \times 8$ 位的 RAM 芯片之一，如图 5-29 所示。

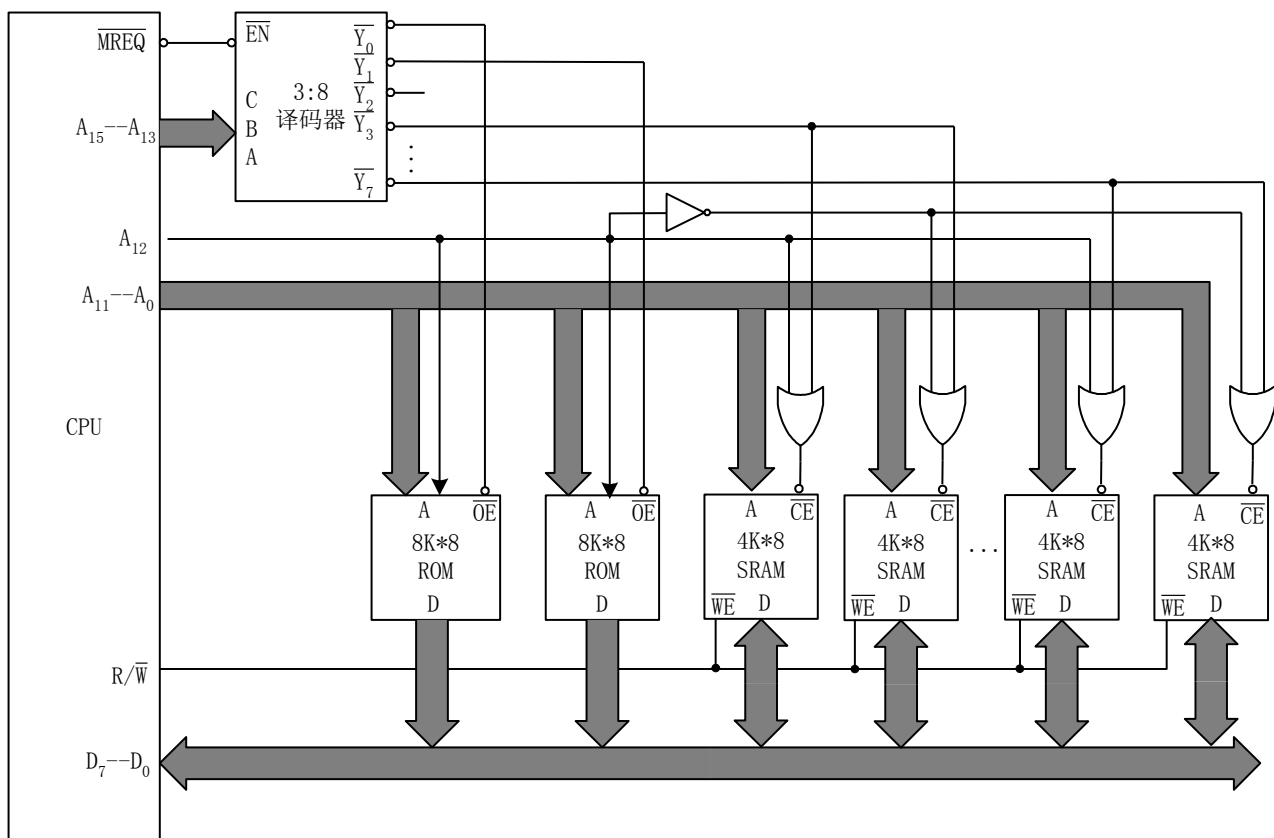


图 5-28 主存储器与 CPU 连接-3

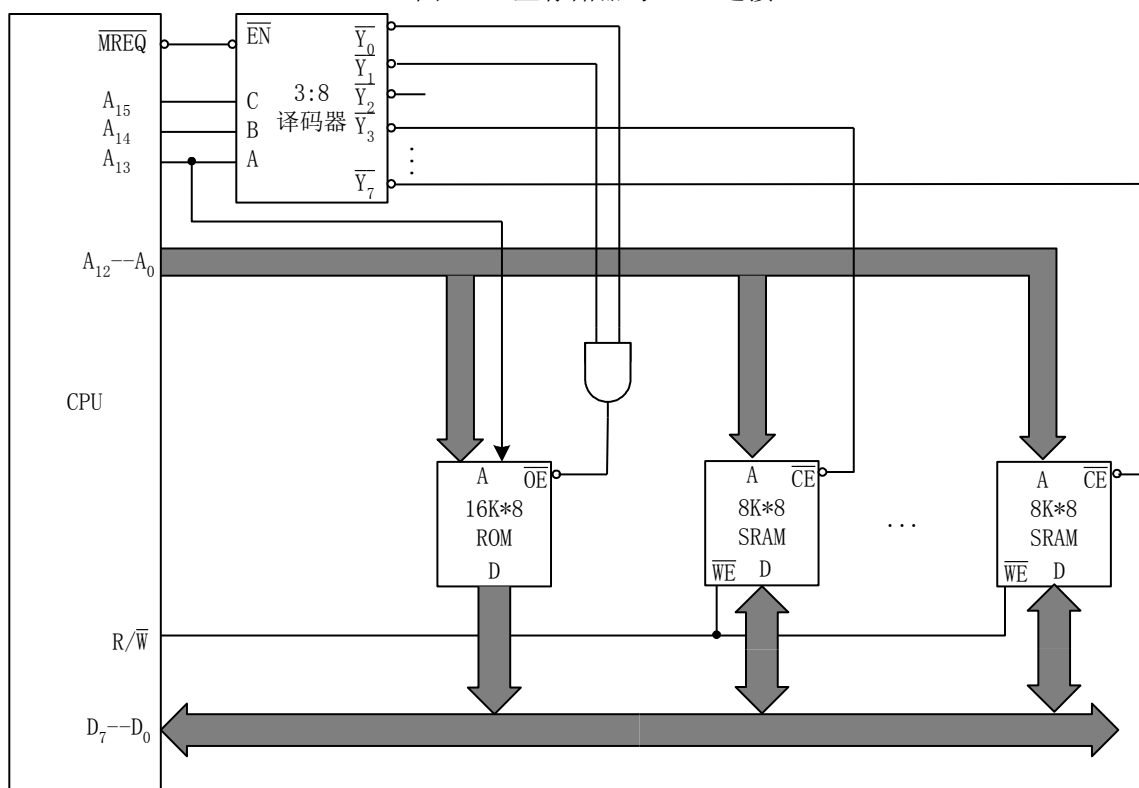


图 5-29 主存储器与 CPU 连接-4

以上例题所采用的都是 SRAM 芯片，因此与 CPU 的连接相对简单些。如果换成 DRAM 芯片（事实上，计算机系统的主存多采用 DRAM 构成），那么进行存储器扩展的方法基

本一致，只是与 CPU 连接时更复杂一些。DRAM 芯片大都采用地址复用技术，需要考虑 RAS#、CAS# 引脚的连接和刷新电路的问题，因此 DRAM 与 CPU 的连接一般都有 DRAM 控制器的支持。