



控制器补充作业

MIPS

为实现 MIPS 核心指令子集，设计一个计算机系统，其单周期 CPU 结构和数据通路如图 1 所示。假设在其上实现一条 I 型指令 xori rt, rs, imm，功能是 $(rs) \wedge imm \rightarrow rt$ ，即立即数异或指令：

①写出指令 xori 执行的过程；

②为实现 xori 指令的数据通路，写出译码与控制单元所需设置的控制信号，填入表 1。

指令	w_r_s	im_m_s	rt_im_m_s	wr_d_ata_s	ALU_OP	Write_Reg	Mem_Write	P_C_s
xori rt, rs, imm								

指令	w_r_s	im_m_s	rt_im_m_s	wr_da_ta_s	rs_sp_s	Write_Reg	Mem_Write	PC_s
xori rt, rs, imm	1	1	1	0	0	1	0	0

