

座位号：

杭州电子科技大学学生考试卷（B）卷

考试课程	计算机组成原理（甲）		考试日期	2014 年 月 日		成 绩	
课程号	A0507030	教师号		任课教师姓名		包健、赵辽英、冯建文、章复嘉、张翔、高志刚、赵备	
考生姓名		学 号 （ 8 位）		年 级		专 业	

所有试题均做在答题纸上，否则不计分！

题号	一	二	三	四	五	六	七	总分
分数	20	15	15	15	10	10	15	100
得分								

答题纸

1. 判断题：（对的打“√”，错的打“×”，每题2分，共20分）

1	2	3	4	5	6	7	8	9	10

2. 单选题（每题1分，共15分）

1	2	3	4	5	6	7	8	9	10
11	12	13	14	15					

3. 简答题（每题5分，共15分）

1.

2.

3.

四．计算题 （共15分）

1.

座位号：

2.

五. （共 10 分）

六. （共 10 分）

七. （共 15 分）

指令	w_r_s	imm_ s	rt_imm_ s	wr_data_ s	ALU_O P	Write_Re g	Mem_Wr ite	PC_s
ori rt, rs, imm								

座位号：

试题

- 1、 判断题：（对的打“√”，错的打“×”，每题2分，共20分）
- 1. 浮点数的阶码数值大小决定了该浮点数实际小数点位置与尾数的小数点位置之间的偏移量。
 - 2. 十进制数整数-1的八位二进制原码表示为11111110。
 - 3. 设置Cache的目的是扩大主存的容量，提高主存访问速度。
 - 4. 虚拟存储器是指主存-辅存系统，它由硬件和软件共同来实现统一调度和管理。
 - 5. 计算机的五大部件都是由组合逻辑电路构成。
 - 6. RISC机的指令系统通常格式固定，寻址方式少，指令等长。
 - 7. 同一时刻可以有多个部件向总线传送数据，也可以有多个部件从总线读取数据。
 - 8. 一般根据PC寄存器给出的地址从主存中所取出的是指令，而根据指令中地址码字段从主存中所取出的是数据。
 - 9. 奇校验码能检验出奇数个位出错，偶校验码能检验出偶数个位出错。
 - 10. AR是用来存放指令的寄存器。
 - 11.
- 二、 单选题（每题1分，共15分）
- 1. 定点机器数中，__ (1) __的零的表示形式是唯一的。
A. 原码和反码 B. 反码和补码 C. 补码 D. 原码
 - 2. $X=0.0011$, $Y=-0.1011$, $[X+Y]_{补} =$ __ (2) __。
A. 0.1110 B. 0.1000 C. 溢出 D. 1.1000
 - 3. 在定点二进制运算器中，减法运算一般通过__ (3) __来实现。
A. 原码运算的二进制减法器 B. 补码运算的二进制减法器
C. 原码运算的十进制加法器 D. 补码运算的二进制加法器
 - 4. 指令的地址字段作为操作数地址在存储器单元的地址，该寻址方式称为：__ (4) __。
A. 立即数寻址 B. 直接寻址 C. 间接寻址 D. 变址寻址
 - 5. 微程序控制器中，每一条机器指令通常需__ (5) __。
A. 一条微指令来解释执行 B. 一段微指令编写的微程序来解释执行
C. 一条毫微指令来直接解释执行 D. 一段毫微指令编写的毫微程序来直接解释执行
 - 6. IEEE754规格化浮点数的尾数和阶码分别是用__ (6) __表示的。
A. 原码和移码 B. 补码和移码 C. 原码和补码 D. 补码和原码
 - 7. 某机主频为10MHz，每个机器周期包含6个节拍，每条指令执行需要2个机器周期，该机的平均指令周期是多少时间：__ (7) __。
A. 1200ns B. 400ns C. 800ns D. 600ns
 - 8. 指令是由操作码和__ (8) __两部分构成的。
A. 校验码 B. 微地址码 C. 微地址控制码 D. 地址码
 - 9. 一般来说，在相同的工艺条件下，CPU采用多总线结构与单总线结构相比__ (9) __。
A. 运算功能增加，可提高CPU的功能
B. 硬件复杂，造成线路延迟时间增加，速度变慢
C. 并行性提高，速度快，硬件成本高
D. 以上都不是
 - 10. 某计算机存储器按字节编址，主存地址空间大小为32MB，现用4M×8位的RAM芯片组建主存储器，

- 则计算机地址寄存器AR的位数是__ (10) __。
A. 22位 B. 23位 C. 25位 D. 26位
- 11. 以下存储器中，__ (11) __是非易失性存储器。
A. EPROM和SSD B. FLASH和SRAM C. SRAM和DRAM D. E²PROM和DRAM
 - 12. 微程序存放在__ (12) __中。
A. 微指令寄存器 B. 微存储器 C. 主存 D. 控制存储器
 - 13. 下面三种语言中，__ (13) __既是符号化语言，又是面向机器的语言。
A. 机器语言 B. 汇编语言 C. 高级语言
 - 14. 运算器运算结果的状态，譬如OF、ZF等，由__ (14) __来指出。
A. 标志寄存器 B. 累加器 C. DR D. IR
 - 15. 下面关于多体交叉存储器的叙述中，**错误的是**：__ (15) __。
A. 多体交叉存储器是为了提高存储器的带宽而采用交叉编址方法。
B. 它的每个模块的体选信号是由地址总线的高位经过译码产生的。
C. 它的每个模块都有自己的MAR和MDR。
D. 它的每个模块内的单元，其地址是不连续的。

三、 简答题（每题5分，共15分）

- 1. 谈谈冯·诺依曼体系结构计算机的特点。（5分）
- 2. SRAM、DRAM分别是靠什么来存储信息的？DRAM为何要刷新？有哪几种刷新方式？（5分）
- 3. 从工作原理、执行速度、规整性、易扩充性和适用场合几个方面来比较硬布线控制器和微程序控制器的不同点。

四、 计算题（共15分）

- 1. （5分）某机器指令系统指令长18位，每个操作数的地址码长6位。指令分无操作数、单操作数和双操作数三类，若单操作数和双操作数指令分别有K条和L条，则无操作数指令最多有多少条？
- 2. （10分）设浮点数的格式为：阶码6位，包含一位符号位，尾数6位，包含一位符号位，阶码和尾数均用补码表示，排列顺序为：

阶符（1位）	阶码（5位）	数符（1位）	尾数（5位）
--------	--------	--------	--------

- 则按上述浮点数的格式：
- (1) 若 $(X)_{10}=29/64$, $(Y)_{10}=-5.25$, 则求X和Y的规格化浮点数表示形式。（4分）
 - (2) 求 $[X+Y]_{浮}$ （要求用补码计算，采用0舍1入法，列出计算步骤）。（6分）

五、（共10分）设某计算机的机器字长16位，Cache容量16KB，采用4路组相联映像，主存容量为2MB，每块有16个机器字，主存按字节编址。

- 1. 主存地址有多少位？画出主存地址字段的划分图，请标明字段名及相应位数。（4分）
- 2. 若主存地址为12888H，则该地址可映象到的Cache的哪一组？（2分）
- 3. 用16K×8位的DRAM芯片组成该主存，则共需多少芯片？若该DRAM芯片采用地址复用的封装技术（内部为8个128×128阵列），问芯片有多少根地址线引脚？如果采用异步刷新方式，单元刷新间隔为2ms，则刷新信号周期是多少？（4分）

座位号：

六．（共 10 分） 设某 8 位计算机指令格式如下：

Opcode（4 位）	M（2 位）	Rd（2 位）
A（8 位）		

其中，各部分的含义如下：

Opcode=	寻址方式字段 M=	Rd=
0000——MOV	00——立即数寻址	00——R0
0001——ADD	01——间接寻址	01——R1
0010——JMP	10——变址寻址（变址寄存器为 R3）	10——R2
… …	11——相对寻址	11——R3
1111——HALT		

主存部分单元的内容如下表。假设当前（PC）=00H；变址寄存器（R3）=10H，问：这时 CPU 启动程序运行，机器执行到第几条指令后停机？写出 CPU 所执行的每一条指令的功能、寻址方式、操作数及执行结果。

地址：	内容	地址：	内容	地址：	内容
00H：	01H	04H：	F0H	30H：	20H
01H：	06H	05H：	30H	31H：	00H
02H：	15H	06H：	22H	32H：	30H
03H：	07H	07H：	33H	33H：	35H

七．（共 15 分） 以下 1、2 两题二选一：

- 1．（15 分）某 8 位模型机采用微程序控制器，结构如图 1 所示。其中 MEM 为主存，R0~R3 是通用寄存器。各部件的控制信号均已标出，控制信号的命名准则是：‘→’符号前的是数据发送方部件，‘→’符号后的是数据接收方部件，并且控制信号中的 B 表示总线；J1#控制指令译码，其他读写信号具有普通意义。

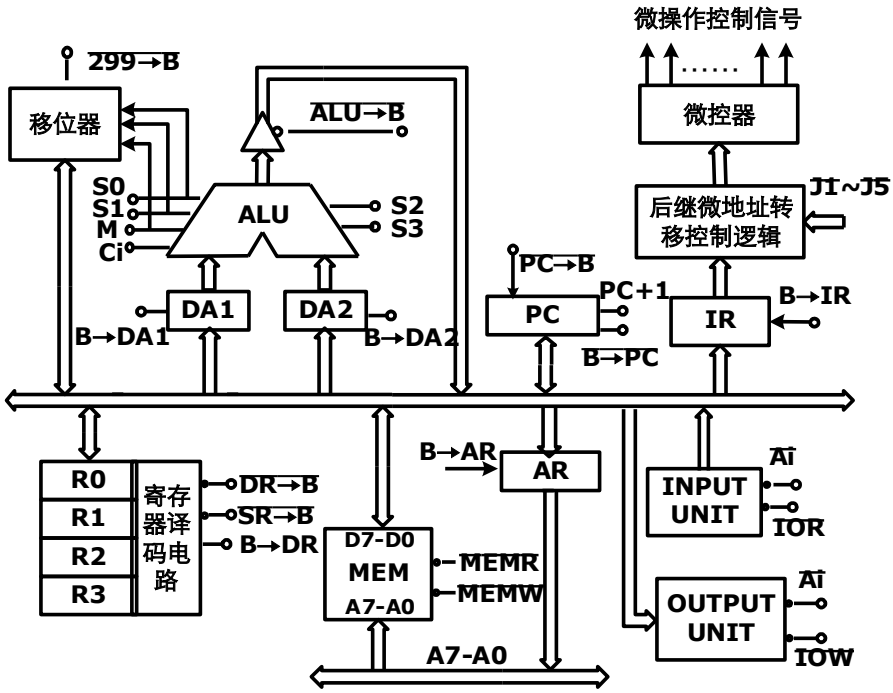


图 1 模型机结构框图

- (1)（4 分）图 1 中有 28 个微操作控制信号，其中 J1 # ~J5 # 是用于转移的判别测试条件。在微指令中，控制字段采用直接控制法，判别测试字段采用译码法编码，下址字段 7 位，则该模型机的控制存储器容量是多少？
- (2)（4 分）模型机的某条指令的微程序流程图如图 2 所示，写出该条指令的功能、寻址方式、指令第二字的含义。

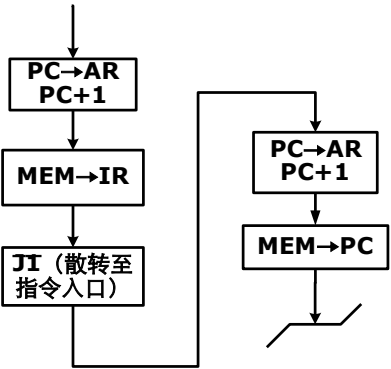


图 2 微程序流程图

- (3)（2 分）写出 PC→AR 微指令应该发送的微操作控制信号。
- (4)（5 分）根据图 1 所示的数据通路，写出 MOV DR, # data 指令的微程序流程图，指令功能为 data→DR，立即数 data 在指令的第二字。
- 2．（15 分）为实现 MIPS 核心指令子集，设计一个计算机系统，其单周期 CPU 的结构和数据通路如图 3 所示，其中 ALU 有 4 种功能。假设在其上实现一条 I 型指令 ori rt, rs, imm，功能是 (rs) | imm→rt，即立即数（不带符号）位或指令：

座位号：

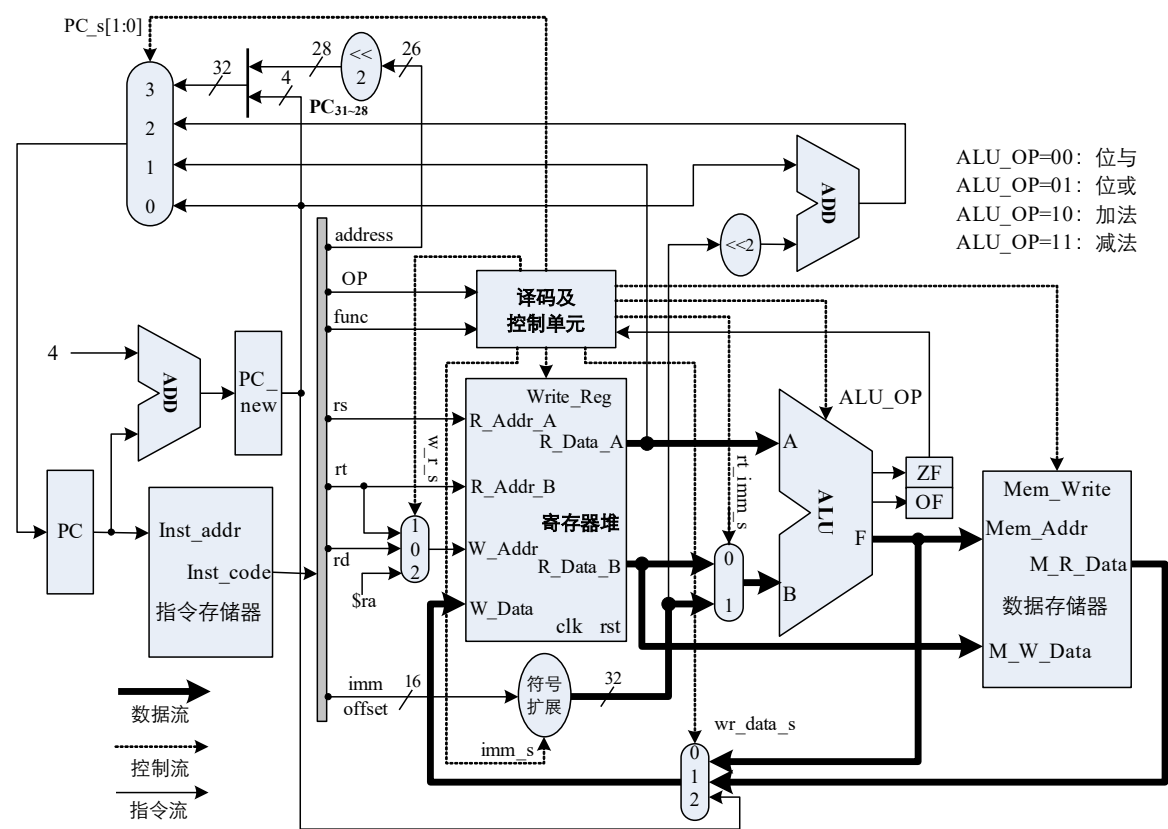


图 3 MIPS CPU 数据通路

- (1) (5 分) 写出指令 ori 在机器上执行的过程；
- (2) (5 分) 为实现 ori 指令的数据通路，写出译码与控制单元所需设置的控制信号，填入下表。

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	PC_s
ori rt, rs, imm								

- (3) (5 分) 假设译码与控制单元采用微程序实现，即上表所有的控制信号由微指令发送，控制字段采用直接控制法，没有判别测试字段，下址字段 7 位，则该 CPU 的控制存储器容量是多少？