

华文 mooc 计组课后题

1.计算机基本结构

下列哪些定律属于计算机行业的著名“定律”？

- ☒ A、摩尔定律
- ☒ B、反摩尔定律
- ☐ C、墨菲定律
- ☐ D、马太效应
- ☐ E、木桶定律

答案： A,B

2、(5分)



当前摩尔定律的常见表述是

- ☐ A、当价格不变时，集成电路可容纳的晶体管数数量，约每隔6个月便会增加一倍，性能也将提升一倍。
- ☐ B、当价格不变时，集成电路可容纳的晶体管数数量，约每隔12个月便会增加一倍，性能也将提升一倍。
- ☒ C、当价格不变时，集成电路可容纳的晶体管数数量，约每隔18个月便会增加一倍，性能也将提升一倍。
- ☐ D、当价格不变时，集成电路可容纳的晶体管数数量，约每隔24个月便会增加一倍，性能也将提升一倍。

下列关于反摩尔定律的表述正确的是

- ☐ A、一个IT公司如果今天和6个月前卖掉同样多，同样的产品，它的营业额就要降一半。
- ☐ B、一个IT公司如果今天和12个月前卖掉同样多，同样的产品，它的营业额就要降一半。
- ☒ C、一个IT公司如果今天和18个月前卖掉同样多，同样的产品，它的营业额就要降一半。
- ☐ D、一个IT公司如果今天和24个月前卖掉同样多，同样的产品，它的营业额就要降一半。

答案： C

4、 (5分)



在计算机结构的简化模型中，下列哪个寄存器是用于记录存储单元地址的？

- ☒ A、 MAR
- ☐ B、 MDR
- ☐ C、 IR
- ☐ D、 PC
- ☐ E、 RO

5、 (5分)



在指令的取指阶段，CPU中的MAR的内容来自哪里？

- ☐ A、 IR
- ☐ B、 MDR
- ☐ C、 RO
- ☒ D、 PC
- ☐ E、 ALI

答案： D

6、(5分)



在指令的取指阶段，CPU中的MDR的内容会送到哪里？

- ☐ A、PC
- ☐ B、MDR
- ☐ C、R0
- ☒ D、IR
- ☐ E、ALU

答案：D

7、(5分)



执行一条指令的全过程中，指令的编码会出现在CPU中的哪些部件？

- ☒ A、MDR
- ☒ B、IR
- ☐ C、R0
- ☐ D、R1
- ☐ E、PC
- ☐ F、ALU

答案：A,B

8、(5分)



课程视频中讲解的指令是"ADD R0, [6]"，如果换成"ADD [6], R0"，则在执行该条指令的过程中，会读几次存储器？

- ☐ A、0次
- ☐ B、1次
- ☒ C、2次
- ☐ D、3次
- ☐ E、4次

答案：C

9、(5分)



课程视频中讲解的指令是“ADD R0, [6]”，如果换成“ADD [6], R0”，则在执行该条指令的过程中，会写几次存储器？

- ☐ A、0次
- ☒ B、1次
- ☐ C、2次
- ☐ D、3次
- ☐ E、4次

答案： B

10、(5分)



课程视频中讲解的指令是“ADD R0, [6]”，如果换成“ADD R0, R1”，则在执行该条指令的过程中，会访问几次存储器？

- ☐ A、0次
- ☒ B、1次
- ☐ C、2次
- ☐ D、3次
- ☐ E、4次

答案： B

11、(5分)



哪位人物被称为“现代电子计算机之父”？

- ☒ A、冯·诺依曼
- ☐ B、阿兰·麦席森·图灵
- ☐ C、戈登·摩尔
- ☐ D、史蒂夫·乔布斯
- ☐ E、安迪·格鲁夫
- ☐ F、比尔·盖茨

答案： A

12、(5分)



下列关于EDVAC的描述正确的是

- ☒ A、全称为“离散变量自动电子计算机”
- ☐ B、世界上第一台通用电子计算机
- ☐ C、使用十进制
- ☐ D、使用晶体管
- ☐ E、第一台采用冯·诺依曼结构的计算机

答案：A

13、(5分)



下列关于冯·诺依曼结构描述错误的是

- ☒ A、数据与程序采用十进制的方式进行存储
- ☐ B、最早出自《关于EDVAC的报告草案》
- ☐ C、采用“存储程序”的思想
- ☐ D、主要由五大部分组成
- ☐ E、工作时自动从存储器中取出指令加以执行

答案：A

14、(5分)



下列关于冯·诺依曼结构计算机中英文对照关系错误的是

- ☒ A、管理器——M
- ☐ B、运算器——CA
- ☐ C、控制器——CC
- ☐ D、输入设备——I
- ☐ E、外部记录设备——R
- ☐ F、输出设备——O

答案：A

15、(5分)



下列关于冯·诺依曼结构计算机英文缩写对照关系错误的是

- ☒ A、R——Register
- ☐ B、CA——Central Arithmetical
- ☐ C、CC——Central Control
- ☐ D、M——Memory
- ☐ E、O——Output
- ☐ F、I——Input

答案：A

16、(5分)



现代计算机主存储器一般是以什么单位来进行划分的？

- ☒ A、字节
- ☐ B、比特
- ☐ C、双字
- ☐ D、扇区
- ☐ E、波特
- ☐ F、字长

答案：A

17、(5分)



下列哪些部件并称为计算机中的“大脑”？

- ☒ A、控制器
- ☒ B、运算器
- ☐ C、外部存储器
- ☐ D、主存储器
- ☐ E、寄存器

答案：A,B

18、(5分)



下列各选项中，哪一项不属于课程视频中提到的计算机执行指令的步骤？

- ☒ A、完成
- ☒ B、结束
- ☐ C、取指
- ☐ D、译码
- ☐ E、回写
- ☐ F、执行

答案：A,B

19、(5分)



下列关于计算机执行指令的步骤顺序正确的是？

- ☒ A、取指，译码，执行，回写
- ☐ B、取指，执行，译码，回写
- ☐ C、取指，译码，回写，执行
- ☐ D、译码，取指，执行，回写
- ☐ E、取指，回写，译码，执行

答案：A

20、(5分)



下列关于Intel 4004描述错误的是？

- ☒ A、字长为8位
- ☐ B、世界上第一个商业微处理器
- ☐ C、晶体管数量为2250
- ☐ D、面积为4.2mm×3.2mm
- ☐ E、1971年诞生
- ☐ F、10微米的制造工艺
- ☐ G、主频为740KHz

答案：A

21、(5分)



在传统台式机主板的南北桥结构中，下列设备中哪些属于南桥？

- ☒ A、U盘
- ☒ B、硬盘
- ☒ C、鼠标
- ☒ D、键盘
- ☐ E、PCIe显卡
- ☐ F、内存
- ☐ G、CPU

答案：A,B,C,D

22、(5分)



下列哪些设备属于输入设备？

- ☒ A、鼠标
- ☒ B、键盘
- ☒ C、麦克风
- ☒ D、摄像头
- ☐ E、显示器
- ☐ F、音箱
- ☐ G、打印机

答案：A,B,C,D

23、(5分)



下列哪些设备属于输出设备？

- ☒ A、显示器
- ☒ B、音箱
- ☒ C、打印机
- ☐ D、鼠标
- ☐ E、键盘
- ☐ F、麦克风
- ☐ G、摄像头

答案： A,B,C

24、(5分)



CPU向存储器发起访问时，通过什么总线告知存储器当前的访问是读还是写？

- ☒ A、控制总线
- ☐ B、数据总线
- ☐ C、地址总线
- ☐ D、方向总线
- ☐ E、读写总线

答案： A

25、(5分)



下列哪项不属于系统总线？

- ☒ A、逻辑总线
- ☒ B、运算总线
- ☐ C、数据总线
- ☐ D、地址总线
- ☐ E、控制总线

答案：A,B

26、(5分)



对于按字节编址的存储器来说，控制器有10条地址线，对应的存储空间有多大？

- ☒ A、1KB
- ☐ B、10KB
- ☐ C、1MB
- ☐ D、10MB

2.指令体系结构

1、(5分)

下列关于CISC和RISC的描述错误的是？

- ☐ A、CISC指令长度是不固定的
- ☐ B、CISC指令的操作数必须预存于寄存器中
- ☐ C、RISC指令长度是固定的
- ☐ D、RISC指令的操作数必须预存于寄存器中
- ☐ E、RISC架构的指令种类通常比CISC架构更少

2、(5分)

下列关于Intel处理器及其推出时间描述错误的是？

- ☐ A、Intel 8086——1978年
- ☐ B、Intel 80286——1982年
- ☐ C、Intel Pentium——1993年
- ☐ D、Intel PentiumPro——1995年
- ☐ E、Intel 80386——1988年
- ☐ F、Intel Core i7——2008年
- ☐ G、Intel Core 2——2006年

3、(5分)

x86体系结构中，寄存器EAX长度为多少位？

- ☐ A、8位
- ☐ B、16位
- ☐ C、32位
- ☐ D、64位

4、(5分)

x86体系结构中，寄存器AX长度为多少位？

- ☐ A、8位
- ☐ B、16位
- ☐ C、32位
- ☐ D、64位

5、(5分)

IA-32寄存器模型中包括以下哪些寄存器？（多选题）

- ☐ A、通用寄存器
- ☐ B、指令指针寄存器
- ☐ C、页面寄存器
- ☐ D、标志寄存器
- ☐ E、段寄存器

6、(5分)

8086系统中标志位CF的含义是？

- ☐ A、溢出标志
- ☐ B、零标志
- ☐ C、符号标志
- ☐ D、进位标志

7、(5分)

8086系统中标志位CF的含义是？

- ☐ A、符号标志
- ☐ B、奇偶标志
- ☐ C、溢出标志
- ☐ D、进位标志

8、(5分)

8086系统中标志位ZF的含义是？

- ☐ A、符号标志
- ☐ B、奇偶标志
- ☐ C、溢出标志
- ☐ D、进位标志
- ☐ E、零标志

9、(5分)

8086系统中段寄存器DS的含义是？

- ☐ A、代码段寄存器
- ☐ B、附加段寄存器
- ☐ C、数据段寄存器
- ☐ D、堆栈段寄存器

10、(5分)

8086系统中段寄存器CS的含义是？

- ☐ A、数据段寄存器
- ☐ B、附加段寄存器
- ☐ C、代码段寄存器
- ☐ D、堆栈段寄存器

11、(5分)

设CS=2500H, DS=2400H, SS=2430H, BP=0200H, SI=0010H, DI=0206H, 计算下列x86指令源操作数的物理地址:

MOV AX, [2000H]

- ☐ A、 4500H
- ☐ B、 27000H
- ☐ C、 26000H
- ☐ D、 4430H

12、(5分)

设CS=2500H, DS=2400H, SS=2430H, BP=0200H, SI=0010H, DI=0206H, 计算下列x86指令源操作数的物理地址:

MOV AX, [BP+SI+4]

- ☐ A、 2714H
- ☐ B、 25214H
- ☐ C、 24514H
- ☐ D、 2614H

13、(5分)

设CS=2500H, DS=2400H, SS=2430H, BP=0200H, SI=0010H, DI=0206H, 计算下列x86指令源操作数的物理地址: MOV AX, [DI+100H]

- ☐ A、 25306H
- ☐ B、 24606H
- ☐ C、 2806H
- ☐ D、 24306H
- ☐ E、 2706H
- ☐ F、 2736H

14、(5分)

设CS=2500H, DS=2400H, SS=2430H, BP=0200H, SI=0010H, DI=0206H, 计算下列x86指令源操作数的物理地址: MOV AX, [BP+SI+4]

- ☐ A、 24214H
- ☐ B、 2714H
- ☐ C、 24514H
- ☐ D、 2644H

15、(5分)

设CS=2500H, DS=2400H, SS=2430H, BP=0200H, SI=0010H, DI=0206H, 计算下列x86指令源操作数的物理地址: MOV AX, [2000H]

- ☐ A、 26300H
- ☐ B、 4500H
- ☐ C、 26000H
- ☐ D、 4400H

16、(5分)

下列x86指令中，哪些属于算术运算指令？（多选题）

- ☐ A、ADD
- ☐ B、DEC
- ☐ C、MOV
- ☐ D、IN
- ☐ E、LEA
- ☐ F、AND
- ☐ G、SHL
- ☐ H、MOVSb
- ☐ I、CALL
- ☐ J、JNZ
- ☐ K、LOOP
- ☐ L、MUL

17、(5分)

下列关于MIPS指令的主要特点说法错误的是？

- ☐ A、指令长度固定
- ☐ B、寻址模式简单
- ☐ C、只有Load和Store指令可以访问存储器
- ☐ D、需要优秀的编译器支持
- ☐ E、指令数量多，且功能复杂

18、(5分)

MIPS按照指令的基本格式可以分为三种类型，以下不属于这三种类型的是？

- ☐ A、R型指令
- ☐ B、O型指令
- ☐ C、M型指令
- ☐ D、I型指令
- ☐ E、J型指令

19、(5分)

MIPS按照指令的基本格式进行划分,可以分为几种?

- ☐ A、 1
- ☐ B、 2
- ☐ C、 3
- ☐ D、 4

20、(5分)

某MIPS指令的机器码是0x20A5FFFF,对应的汇编指令是什么?

- ☐ A、 addi \$a2,\$a2,-1
- ☐ B、 ori \$a1,\$a1,-1
- ☐ C、 ori \$a2,\$a2,-1
- ☐ D、 addi \$a1,\$a1,-1

21、(5分)

某MIPS指令的机器码是0x0005402A,对应的汇编指令是什么?

- ☐ A、 slt \$a1,\$0,\$t0
- ☐ B、 or \$v0,\$0,\$a1
- ☐ C、 or \$a1,\$0,\$v0
- ☐ D、 slt \$t0,\$0,\$a1

22、(5分)

阅读下面的x86汇编程序，回答问题。

```
; 设DS=1000H  
MOV SI, 1250H  
MOV DI, 1370H  
MOV CL, 3  
MOV AX, DS  
MOV ES, AX  
MOV BX, 5  
STD  
REP MOVSB
```

请问，在这次串传送操作中，完成了第一个元素的传送后，SI寄存器的值是什么？

- ☐ A、124FH
- ☐ B、1252H
- ☐ C、1251
- ☐ D、不确定

23、(5分)

阅读下面的x86汇编程序，回答问题。

```
; 设DS=1000H  
MOV SI, 1250H  
MOV DI, 1370H  
MOV CL, 3  
MOV AX, DS  
MOV ES, AX  
MOV BX, 5  
STD  
REP MOVSB
```

请问，在这次串传送操作中，完成了第一个元素的传送后，SI寄存器的值是什么？

- ☐ A、124FH
- ☐ B、1249
- ☐ C、1249H
- ☐ D、不确定

24、(5分)

阅读下面的x86汇编程序，回答问题。

```
; 设DS=1000H
```

```
MOV SI, 1250H
```

```
MOV DI, 1370H
```

```
MOV CL, 3
```

```
MOV AX, DS
```

```
MOV ES, AX
```

```
MOV BX, 5
```

```
STD
```

```
REP MOVSB
```

请问，在这次串传送操作中，完成了第一个元素的传送后，SI寄存器的值是什么？

- ☐ A、 124FH
- ☐ B、 1248H
- ☐ C、 1251H
- ☐ D、 1252H

25、(5分)

阅读下面的x86汇编程序，回答问题。

```
; 设DS=1000H
```

```
MOV SI, 1250H
```

```
MOV DI, 1370H
```

```
MOV CL, 3
```

```
MOV AX, DS
```

```
MOV ES, AX
```

```
MOV BX, 5
```

```
CLD
```

```
REP MOVSB
```

请问，这次串传送操作，总共传送了多少个字节的数据？

- ☐ A、 0个
- ☐ B、 3个
- ☐ C、 5个
- ☐ D、 不确定

26、(5分)

如果想用8086 CPU把内存中某个区域的1024个字节的数据传送到另一个区域，可以选用如下三种方法：

- (1) 只使用传送指令（MOV）；
- (2) 使用传送指令（MOV），并用条件转移指令建立循环语句的结构；
- (3) 使用串传送指令（MOVSB）以及必要的配合指令，不使用循环语句的结构。

请比较用这三种方法编写的程序，执行时访问存储器次数最少的是：

- ☐ A、方法一
- ☐ B、方法二
- ☐ C、方法三
- ☐ D、无法比较

如果想用8086 CPU把内存中某个区域的1024个字节的数据传送到另一个区域，可以选用如下三种方法：

- (1) 只使用传送指令（MOV）；
- (2) 使用传送指令（MOV），并用条件转移指令建立循环语句的结构；
- (3) 使用串传送指令（MOVSB）以及必要的配合指令，不使用循环语句的结构。

请比较用这三种方法编写的程序，执行时访问存储器次数最多的是：

- ☐ A、方法一
- ☐ B、方法二
- ☐ C、方法三
- ☐ D、无法比较

28、(5分)

如果想用8086 CPU把内存中某个区域的1024个字节的数据传送到另一个区域，可以选用如下三种方法：

- (1) 只使用传送指令（MOV）；
- (2) 使用传送指令（MOV），并用条件转移指令建立循环语句的结构；
- (3) 使用串传送指令（MOVSB）以及必要的配合指令，不使用循环语句的结构。

请比较用这三种方法编写的程序，程序代码占用存储器空间最大的是：

- ☐ A、方法1
- ☐ B、方法2
- ☐ C、方法3
- ☐ D、无法比较

29、(5分)

很多x86指令的功能比较复杂，往往一条x86指令可以完成的功能，需要多条MIPS指令才能实现。请问下列x86指令中，哪些确定能够只用一条MIPS指令完成对应的功能？（注：只需考虑这条指令本身，不用考虑对后续指令的影响）

- ☐ A、 ADD ECX, 15H
- ☐ B、 MOV EAX, 28H
- ☐ C、 ADD EDX, EBX
- ☐ D、 ADD EAX, [13H]
- ☐ E、 MOV EDX, [EBX+11H]
- ☐ F、 ADD [EBX+ESI*4+200H], EAX
- ☐ G、 REP MOVSB
- ☐ H、 JZ LOOP_1

3.算术逻辑单元

1、(5分)

下列哪些和时间相关的名词，是属于D触发器的特性？

- ☒ A、 CLK-to-Q time
- ☐ B、 Setup time
- ☒ C、 Hold time
- ☐ D、 Select time
- ☒ E、 Input time
- ☒ F、 Output time
- ☐ G、 Access time

答案： A,B,C

2. (5分)

对于一个4输入或门，当输入信号为1010和0110，输出信号为：

- ☒ A、 1110
- ☐ B、 1100
- ☐ C、 0011
- ☐ D、 0110
- ☐ E、 1010
- ☐ F、 1011

答案： A

3. (5分)

对于一个4输入与门，当输入信号为1010和0110，输出信号为：

- ☒ A、 0010
- ☐ B、 1110
- ☐ C、 1001
- ☐ D、 0110
- ☐ E、 1010
- ☐ F、 1011

答案： A

4. (5分)

对于一个4输入异或门，当输入信号为1010和0110，输出信号为：

- ☒ A、 1100
- ☐ B、 1110
- ☐ C、 0011
- ☐ D、 0110
- ☐ E、 1010
- ☐ F、 1011

答案： A

5. (5分)



要对一个有符号的立即数和某个寄存器中的值进行加法运算，应当用的MIPS指令是：

- ☒ A、 addi rt,rs,imm
- ☐ B、 and rt,rs,imm
- ☐ C、 andi rt, imm, rs
- ☐ D、 addi rt, imm, rs
- ☐ E、 andi rt,rs,imm
- ☐ F、 addiu rt,rs,imm

答案： A

6. (5分)



要对一个立即数和某个寄存器中的值进行逻辑与运算，应当用的MIPS指令是：

- ☒ A、 andi rt,rs,imm
- ☐ B、 and rt,rs,imm
- ☐ C、 addi rt, imm, rs
- ☐ D、 addiu rt,rs,imm
- ☐ E、 addi rt,rs,imm

答案： A

7. (5分)



对于半加器和全加器，下列描述正确的是：

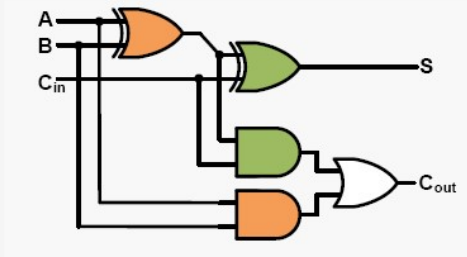
- ☒ A、 半加器虽能产生进位输出，但半加器本身并不能处理进位输入
- ☐ B、 半加器能产生进位输出，也能处理进位输入
- ☐ C、 半加器既不能产生进位输出，也不能处理进位输入
- ☐ D、 全加器虽能产生进位输出，但全加器本身并不能处理进位输入
- ☐ E、 全加器既不能产生进位输出，也不能处理进位输入
- ☐ F、 全加器虽能处理进位输入，但全加器本身并不能产生进位输出

答案： A

8、(5分)



对于如图所示的全加器，当A、B和进位输入C_{in}分别为1、0、1时，输出端口S和进位输出C_{out}为：



- ☒ A、S=0，输出进位1
- ☐ B、S=1，输出进位1
- ☐ C、S=1，输出进位0
- ☐ D、S=0，输出进位0

答案：A

9、(5分)



对于“溢出”和“进位”，下列描述正确的是：

- ☐ A、“溢出”只针对有符号数
- ☒ B、有“进位”时，不一定有“溢出”
- ☐ C、有“溢出”时，不一定有“进位”
- ☐ D、有“进位”时，一定有“溢出”
- ☒ E、“溢出”可以针对无符号数

答案：A,B,C

10、(5分)

“溢出”的检测方法是：

- ☒ A、 “最高位的进位输入” 不等于 “最高位的进位输出”
- ☐ B、 “最高位的进位输入” 等于 “最高位的进位输出”
- ☐ C、 “最高位的进位输入” 不等于 “次高位的进位输出”
- ☐ D、 “最高位的进位输入” 等于 “次高位的进位输出”
- ☐ E、 “最高位的进位输入” 不等于 “最低位的进位输出”
- ☐ F、 “最高位的进位输入” 等于 “最低位的进位输出”

答案： A

11、(5分)



MIPS和x86对溢出的处理方式是：

- ☒ A、 对于MIPS，提供两类不同的指令分别处理，分别是：将操作数看做有符号数，发生“溢出”时产生异常；将操作数看做无符号数，不处理“溢出”
- ☒ B、 对于x86，利用程序状态字寄存器中的OF位，发生溢出，设置OF=1
- ☐ C、 对于MIPS，提供两类不同的指令分别处理，分别是：将操作数看做无符号数，发生“溢出”时产生异常；将操作数看做有符号数，不处理“溢出”
- ☐ D、 对于x86，利用程序状态字寄存器中的ZF位，发生溢出，设置ZF=1
- ☐ E、 对于x86，利用标志寄存器中的OF位，发生溢出，设置OF=0

答案： A,B

12、(5分)



为了使十进制表示的算式 (8-3) 能够在二进制补码加法器上运算, 可以表示的形式为:

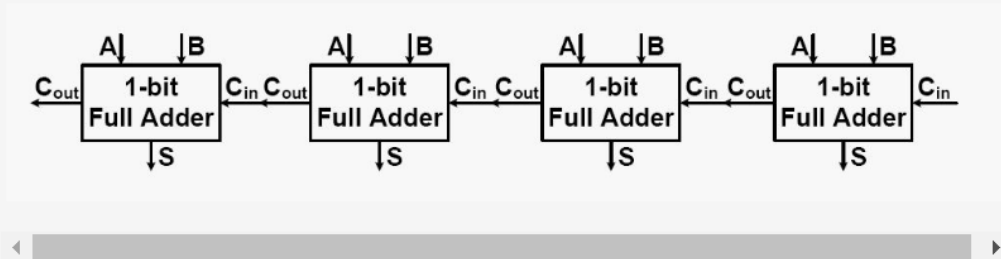
- ☒ A、1000+1101
- ☐ B、0011+0011
- ☐ C、1000-1011
- ☐ D、1000-0011
- ☐ E、0011+1101
- ☐ F、1000+1011

答案: A

13、(5分)



假设一个基本逻辑门延迟为 T , 对于4-bit行波进位加法器的关键路径延迟为:



- ☒ A、9T
- ☐ B、6T
- ☐ C、7T
- ☐ D、8T
- ☐ E、10T
- ☐ F、11T

答案: A

超前进行加法器相对于行波进位加法器的优化思路是：

- ☒ A、提前计算出“进位输出信号”
- ☐ B、简化电路实现的复杂程度
- ☐ C、适用更宽位的加法运算
- ☐ D、节省基本逻辑门之间的连线

答案：A

15、(5分)



关于行波进位加法器和超前进位加法器各自的优缺点描述正确的是：

- ☒ A、行波进位加法器门延迟比超前进位加法器更长
- ☒ B、行波进位加法器电路实现相对简单
- ☐ C、超前进位加法器门延迟比行波进位加法器更长
- ☐ D、行波进位加法器电路实现更加复杂
- ☐ E、超前进位加法器电路实现更加简单

16、(5分)



对于4-bit超前进位加法器，如何用生成信号Gi和传播信号Pi表示 C2：

- ☒ A、 $G1 + P1 \cdot G0 + P1 \cdot P0 \cdot C0$
- ☐ B、 $P1 \cdot G0 + P1 \cdot P0 \cdot C0$
- ☐ C、 $G1 + P1 + P0$
- ☐ D、 $G1 + P1 + P0 \cdot C0 \cdot G0$
- ☐ E、 $G1 + P1 \cdot P0 \cdot C0$
- ☐ F、 $G1 + P1 + C0$

答案：A

17、(5分)



假设一个基本逻辑门延迟为 T ，4-bit超前进位加法器产生和的门延迟为：

- ☒ A、 $4T$
- ☐ B、 $3T$
- ☐ C、 $5T$
- ☐ D、 $6T$
- ☐ E、 $7T$
- ☐ F、 $9T$

答案：A

18、(5分)



假设一个基本逻辑门延迟为 T ，超前进位加法器计算 C_{i+1} 产生的门延迟为：

- ☒ A、 $3T$
- ☐ B、 $4T$
- ☐ C、 $5T$
- ☐ D、 $6T$
- ☐ E、 $7T$

答案：A

19、(5分)



以32-bit加法器为例，综合考虑性能和电路复杂度，一般会选择哪种形式实现：

- ☒ A、采用多个小规模超前进位加法器拼接而成
- ☐ B、采用多个小规模行波进位加法器和超前进位加法器拼接而成
- ☐ C、完全采用行波进位加法器
- ☐ D、采用一个完整的超前进位加法器

答案：A

4.乘法器除法器

1、(5分)



对于第一版乘法器，当乘数寄存器最低位为1时，在该次循环过程中，需要将乘数寄存器向哪个方向移动，需要将被乘数寄存器向哪个方向移动？

- ☒ A、右、左
- ☐ B、不移动，左
- ☐ C、不移动，右
- ☐ D、右、右
- ☐ E、左、左
- ☐ F、右，不移动

答案： A

2、(5分)

对于第一版乘法器，在每次循环的过程中，需要将被乘数寄存器的内容与乘积寄存器中的内容相加，并将结果放入乘积寄存器的条件是：

- ☒ A、乘数寄存器的最低位为1
- ☐ B、乘数寄存器的最低位为0
- ☐ C、被乘数寄存器的最低位为1
- ☐ D、被乘数寄存器的最低位为0
- ☐ E、乘积寄存器的最低位为1

答案： A

3、(5分)

对于32-bit的第一版乘法器，每次循环都需要判断的条件是哪几个？

- ☒ A、乘数寄存器的最低位是否为0
- ☒ B、是否循环了32次
- ☐ C、被乘数寄存器的最低位是否为0
- ☐ D、是否循环了33次
- ☐ E、是否循环了31次

答案： A,B

4、(5分)



以4-bit的第一版乘法器为例，对于二进制数0010□0011，当第2次循环结束时，被乘数寄存器、乘数寄存器和乘积寄存器的值分别是？

- ☒ A、00001000, 0000, 00000110
- ☐ B、00001000, 0001, 00000110
- ☐ C、00000100, 0000, 00000110
- ☐ D、00000100, 0000, 00000010

答案： A

5、(5分)

对于32-bit的第一版乘法器，需要包含以下哪些组成部分？

- ☒ A、64位ALU
- ☒ B、32位的乘数寄存器
- ☒ C、64位的被乘数寄存器
- ☒ D、64位的乘积寄存器
- ☐ E、32位ALU
- ☐ F、32位的被乘数寄存器

答案： A,B,C,D

6、(5分)

对于第一版乘法器，下列哪些属于对其进行面积优化的措施？

- ☒ A、将加法运算和两个移位同时进行
- ☒ B、将加法器和被乘数寄存器位宽减半优化面积
- ☒ C、64-bit加法器缩小为32-bit
- ☒ D、取消乘数寄存器
- ☐ E、乘积寄存器需支持右移

答案： A,B,C,D,E

7、(5分)

对于第一版乘法器，控制逻辑的作用有哪些？

- ☒ A、控制何时对被乘数寄存器进行移位
- ☒ B、控制何时对乘数寄存器进行移位
- ☒ C、控制何时将新值写入积寄存器
- ☐ D、控制何时将乘积寄存器进行移位

答案： A,B,C

8、(5分)

对于本课中讲授的第二版乘法器，在对乘法器进行面积优化后，一个32-bit乘法器需要包含以下哪些部分？

- ☒ A、32位ALU
- ☒ B、32位的被乘数寄存器
- ☒ C、64位的乘积寄存器
- ☐ D、32位的乘数寄存器
- ☐ E、64位ALU
- ☐ F、32位的乘积寄存器

答案： A,B,C

9、(5分)

对于第一版除法器，在一次循环中当余数寄存器大于0时，需要将商寄存器向哪个方向移动，需要将除数寄存器向哪个方向移动？

- ☒ A、左、右
- ☐ B、不移动，左
- ☐ C、不移动，右
- ☐ D、右、右
- ☐ E、左、左
- ☐ F、右，不移动

答案： A

10、(5分)

对于第一版除法器，在每次循环的过程中，需要左移商寄存器，并将其最低位设置为1的条件是：

- ☒ A、余数大于等于0
- ☐ B、余数小于0
- ☐ C、除数寄存器的最低位为1
- ☐ D、除数寄存器的最低位为0

答案： A

11、(5分)

一个32-bit除法器，对于第一种除法算法，每次迭代时都需要判断的条件是哪几个？

- ☒ A、余数寄存器是否小于0
- ☒ B、是否完成了重复了33次循环
- ☐ C、除数寄存器是否小于0
- ☐ D、是否重复了31次循环
- ☐ E、是否重复了32次循环

答案： A,B

12、(5分)

对于32-bit的第一版除法器，需要包含以下哪些组成部分？

- ☒ A、64位ALU
- ☒ B、32位的商寄存器
- ☒ C、64位的余数寄存器
- ☒ D、64位的除数寄存器
- ☐ E、32位ALU
- ☐ F、32位的除数寄存器

答案： A,B,C,D

13、(5分)

以4-bit的第一版除法器为例，对于二进制数0111+0010，当第2次循环结束时，商寄存器、除数寄存器和余数寄存器的值是？

- ☒ A、0000, 00001000, 00000111
- ☐ B、0001, 00001000, 00000111
- ☐ C、0000, 00001000, 11110111
- ☐ D、0000, 00010000, 00000111

答案： A

14、(5分)

对于第二版除法器，在对除法器进行面积优化后，一个32-bit除法器需要包含以下哪些组成部分？

- ☒ A、32位ALU
- ☒ B、32除数寄存器
- ☒ C、64位余数寄存器
- ☐ D、64位ALU
- ☐ E、32位商寄存器
- ☐ F、32位余数寄存器

答案： A,B,C

15、(5分)

对于第二种除法算法，在对除法器进行面积优化后，商的结果放置在哪里？

- ☒ A、余数寄存器的低32位
- ☐ B、余数寄存器的高32位
- ☐ C、除数寄存器的低32位
- ☐ D、除数寄存器的高32位

答案： A

5.单周期处理器

1、(5分)处理器设计的五个步骤如下，请正确排序。

- 1 连接组件建立数据通路
- 2 为数据通路选择合适的组件
- 3 集成控制信号，形成完整的控制逻辑
- 4 分析指令系统，得出对数据通路的需求
- 5 分析每条指令的实现，以确定控制信号

答案样例格式：12345

42153

答案： 42153

2、(5分)

课程中提到的MIPS-lite指令子集 (addu, subu, ori, lw, sw, beq) 对ALU的需求有哪些?

- ☒ A、加法
- ☒ B、减法
- ☒ C、逻辑或
- ☐ D、相等
- ☒ E、逻辑与
- ☐ F、逻辑非
- ☒ G、乘法
- ☒ H、除法
- ☐ I、左移
- ☐ J、右移

答案: A,B,C,D

3、(5分)

下列关于MIPS-lite指令子集对数据通路的需求描述正确的是?

- ☒ A、add指令与ori指令对寄存器堆的写操作需求不一样
- ☒ B、lw指令需要符号扩展部件
- ☒ C、lw指令与sw指令都需要数据存储器
- ☐ D、add指令需要零扩展部件
- ☐ E、sub指令需要符号扩展部件
- ☐ F、ori指令需要符号扩展部件

答案: A,B,C

4、(5分)

下列关于运算指令的控制信号描述正确的是？

- ☒ A、add指令与ori指令的寄存器堆控制信号RegDst不同
- ☒ B、add指令与ori指令的ALU源操作数控制信号ALUSrc不同
- ☒ C、add指令与ori指令的ALU运算类型控制信号ALUctr不同
- ☒ D、add指令的扩展部件控制信号ExtOp不唯一
- ☐ E、ori指令的扩展部件控制信号ExtOp不唯一
- ☐ F、add指令与ori指令的数据存储器控制信号MemWr可以不相同

答案：A,B,C,D

5、(5分)

下列关于访存指令的控制信号描述正确的是？

- ☒ A、lw指令与sw指令的ALU运算类型控制信号ALUctr相同
- ☒ B、lw指令与sw指令的控制信号MemtoReg可以不相同
- ☐ C、lw指令与sw指令的寄存器堆控制信号RegDst一定相同
- ☐ D、lw指令与sw指令的扩展部件控制信号ExtOp可以不相同
- ☐ E、lw指令与sw指令的数据存储器控制信号MemWr可以不相同

答案：A,B

6、(5分)

下列关于beq指令的执行描述正确的是？

- ☒ A、beq指令的寄存器堆控制信号RegDst是不唯一的
- ☒ B、beq指令与lw指令的数据存储器控制信号MemWr是相同的
- ☐ C、beq指令与add指令的ALU运算类型控制信号ALUctr相同
- ☒ D、beq指令的扩展部件控制信号ExtOp一定为sign
- ☐ E、若ALU计算结果为零，则beq指令不需要执行PC+4操作

答案：A,B

7、(5分)

在单周期处理器上执行beq指令，使用到了下列哪些部件？

- ☒ A、寄存器堆
- ☐ B、ALU
- ☒ C、扩展部件（零扩展或符号扩展）
- ☐ D、数据存储器

答案： A,B

8、(5分)

在单周期处理器上执行add指令，使用到了下列哪些部件？

- ☒ A、寄存器堆
- ☒ B、ALU
- ☐ C、扩展部件（零扩展或符号扩展）
- ☐ D、数据存储器

答案： A,B

9、(5分)

在单周期处理器上执行ori指令，使用到了下列哪些部件？

- ☒ A、扩展部件（零扩展或符号扩展）
- ☒ B、寄存器堆
- ☒ C、ALU
- ☐ D、数据存储器

答案： A,B,C

10、(5分)

在单周期处理器上执行lw指令，使用到了下列哪些部件？

- ☒ A、扩展部件（零扩展或符号扩展）
- ☒ B、数据存储器
- ☒ C、寄存器堆
- ☒ D、ALU

答案：A,B,C,D

11、(5分)假设单周期处理器五个阶段的延迟分别为200ps（取指）、50ps（读寄存器）、200ps（ALU操作）、300ps（访存）、100ps（写寄存器），则sw指令的总延迟为多少ps？（答案直接填数字，不用带单位）



750

答案：750

12、(5分)假设单周期处理器五个阶段的延迟分别为200ps（取指）、50ps（读寄存器）、200ps（ALU操作）、300ps（访存）、100ps（写寄存器），则lw指令的总延迟为多少ps？（答案直接填数字，不用带单位）



850

13、(5分)假设单周期处理器五个阶段的延迟分别为200ps（取指）、50ps（读寄存器）、200ps（ALU操作）、300ps（访存）、100ps（写寄存器），则add指令的总延迟为多少ps？（答案直接填数字，不用带单位）



550

答案：550

14、(5分)假设单周期处理器五个阶段的延迟分别为200ps（取指）、50ps（读寄存器）、200ps（ALU操作）、300ps（访存）、100ps（写寄存器），则beq指令的总延迟为多少ps？（答案直接填数字，不用带单位）



450

15、(5分)

假设一条指令的32位编码从高到低依次为Ins<31>, Ins<30>,, Ins<0>, 则产生ExtOp控制信号需要用到指令编码中的多少位？



- ☒ A、6位
- ☐ B、12位
- ☐ C、32位
- ☐ D、1位

答案：A

16、(5分)

假设一条指令的32位编码从高到低依次为Ins<31>, Ins<30>,, Ins<0>, 则产生MemWr控制信号需要用到指令编码中的多少位？



- ☒ A、6位
- ☐ B、12位
- ☐ C、32位
- ☐ D、1位

答案：A

17、(5分)

假设一条指令的32位编码从高到低依次为Ins<31>, Ins<30>,, Ins<0>, 则产生ALUctr[0]控制信号需要用到指令编码中的多少位?

- ☒ A、12位
- ☐ B、6位
- ☐ C、7位
- ☐ D、26位
- ☐ E、32位
- ☐ F、14位

答案: A

18、(5分)

假设一条指令的32位编码从高到低依次为Ins<31>, Ins<30>,, Ins<0>, 则产生RegWr控制信号需要用到指令编码中的多少位?

- ☒ A、12位
- ☐ B、6位
- ☐ C、7位
- ☐ D、26位
- ☐ E、32位
- ☐ F、14位

答案: A

6.流水线处理器

1、(5分)

MIPS的五级流水线结构中，计算访存的地址是在哪个阶段完成的？

- ☒ A、执行
- ☐ B、取指
- ☐ C、译码
- ☐ D、访存
- ☐ E、回写

答案： A

2、(5分)

MIPS的五级流水线结构中，读寄存器堆是在哪个阶段完成的？

- ☒ A、译码
- ☐ B、取指
- ☐ C、执行
- ☐ D、访存
- ☐ E、回写

答案： A

3、(5分)



一个五级流水线的处理器，时钟频率为1GHz。指定运行一段5条指令的代码，在流水线不停顿的情况下，需要多长时间？

- ☒ A、 9ns
- ☐ B、 50ns
- ☐ C、 25ns
- ☐ D、 8ns

答案： A

4、(5分)



一个五级流水线的处理器，时钟频率为2GHz。指定运行一段8条指令的代码，在流水线不停顿的情况下，需要多长时间？

- ☒ A、 6ns
- ☐ B、 8ns
- ☐ C、 2ns
- ☐ D、 4ns

5、(5分)



一个五级流水线的处理器，时钟频率为1GHz。指定运行一段5条指令的代码，在流水线不停顿的情况下，需要多长时间？

- ☒ A、 9ns
- ☐ B、 25ns
- ☐ C、 50ns
- ☐ D、 5ns

答案： A

6、(5分)



一个五级流水线的处理器，时钟频率为2GHz。指定运行一段8条指令的代码，在流水线不停顿的情况下，需要多长时间？

- ☒ A、 6ns
- ☐ B、 2ns
- ☐ C、 8ns
- ☐ D、 12ns

7、(5分)



一个五级流水线的处理器，时钟频率为1GHz。指定运行一段5条指令的代码，在流水线不停顿的情况下，需要多长时间？

- ☒ A、 9ns
- ☐ B、 10ns
- ☐ C、 15ns
- ☐ D、 25ns

答案： A

8、(5分)



一个五级流水线的处理器，时钟频率为2GHz。指定运行一段8条指令的代码，在流水线不停顿的情况下，需要多长时间？

- ☒ A、 6ns
- ☐ B、 16ns
- ☐ C、 10ns
- ☐ D、 2ns

9、(5分)



以下哪些是处理器采用流水线技术带来的影响？

- ☒ A、 提高指令的吞吐率
- ☐ B、 提高时钟频率
- ☒ C、 简化硬件电路
- ☒ D、 降低功耗

答案： A,B

10、(5分)



以下哪些是处理器采用流水线技术带来的影响？

- ☒ A、 提高指令的吞吐率
- ☐ B、 增加指令的执行时间
- ☒ C、 减少指令的执行时间
- ☒ D、 简化硬件电路

答案: A,B

11、(5分)



以下哪些是处理器采用流水线技术的目的?

- ☒ A、提高指令的吞吐率
- ☐ B、简化硬件电路
- ☐ C、提高时钟频率
- ☐ D、降低功耗

答案: A

12、(5分)



以下哪些是处理器采用流水线技术的目的?

- ☒ A、提高指令的吞吐率
- ☐ B、增加单条指令执行时间
- ☐ C、降低功耗
- ☐ D、简化硬件电路

13、(5分)



以下哪些是处理器采用流水线技术带来的影响？

- ☐ A、增加指令的执行时间
- ☒ B、提高指令的吞吐率
- ☒ C、简化硬件电路
- ☒ D、降低功耗

答案： A,B

14、(5分)



以下哪些是处理器采用流水线技术的目的？

- ☒ A、提高指令的吞吐率
- ☐ B、减少单条指令执行时间
- ☐ C、降低功耗
- ☐ D、提高时钟频率

15、(5分)



在流水线处理器设计时，如果划分出五个相对独立的阶段，延迟分别为：250ps，150ps，200ps，300ps，250ps。而还需要加入的流水线寄存器延迟为50ps。那时钟周期应该为：

- ☒ A、350ps
- ☐ B、250ps
- ☐ C、300ps
- ☐ D、150ps
- ☐ E、2.8GHz
- ☐ F、3.3GHz

答案： A

16、(5分)



在流水线处理器设计时，如果划分出五个相对独立的阶段，延迟分别为：250ps，150ps，200ps，300ps，250ps。而还需要加入的流水线寄存器延迟为50ps。那时钟周期应该为：

- ☒ A、350ps
- ☐ B、250ps
- ☐ C、300ps
- ☐ D、150ps
- ☐ E、2.8GHz
- ☐ F、2.5GHz

答案：A

17、(5分)



在流水线处理器设计时，如果划分出五个相对独立的阶段，延迟分别为：450ps，350ps，300ps，400ps，350ps。而还需要加入的流水线寄存器延迟为50ps。那时钟频率应该为：

- ☒ A、2GHz
- ☐ B、450ps
- ☐ C、400ps
- ☐ D、500ps

答案：A

18、(5分)



有一个五级流水线的处理器设计，每一级的延迟分别为：450ps, 650ps, 450ps, 450ps, 450ps。其中包含流水线寄存器延迟50ps。如果将第二级（650ps）均匀拆分为两级，从而形成六级流水线。那新处理器的主频应该是：

- ☒ A、 2.22GHz
- ☐ B、 500ps
- ☐ C、 450ps
- ☐ D、 300ps
- ☐ E、 325ps
- ☐ F、 2.86GHz
- ☐ G、 2GHz
- ☐ H、 3.33GHz
- ☐ I、 3.07GHz

答案： A

19、(5分)



有一个五级流水线的处理器设计，每一级的延迟分别为：450ps, 950ps, 450ps, 450ps, 450ps。其中包含流水线寄存器延迟50ps。如果将第二级（950ps）均匀拆分为两级，从而形成六级流水线。那在新处理器上，一条指令的执行时间是：

- ☒ A、 3000ps
- ☐ B、 2500ps
- ☐ C、 450ps
- ☐ D、 500ps
- ☐ E、 2700ps
- ☐ F、 475ps
- ☐ G、 2750ps
- ☐ H、 2950ps
- ☐ I、 2850ps

答案： A

20、(5分)

以下关于超标量的说法，哪些是正确的？

- ☐ A、超标量和流水线是两种独立的技术
- ☒ B、超标量是一种利用空间并行性的优化
- ☒ C、现代的多核CPU通常都是超标量处理器
- ☒ D、超标量技术是建立在标量流水线技术基础上的
- ☐ E、超标量处理器是多核CPU的另一种说法
- ☐ F、超标量是一种利用时间并行性的优化

答案： A,B,C

21、(5分)

流水线的“冒险”有哪几种？

- ☒ A、结构冒险
- ☒ B、数据冒险
- ☒ C、控制冒险
- ☐ D、指令冒险
- ☐ E、运算冒险
- ☐ F、硬件冒险
- ☐ G、软件冒险
- ☐ H、流水冒险

答案： A,B,C

22、(5分)



对于典型的MIPS五级流水线处理器，如果将指令和数据放在同一个存储器中，则会直接导致哪种冒险？

- ☒ A、结构冒险
- ☐ B、控制冒险
- ☐ C、数据冒险
- ☐ D、运算冒险

答案：A

23、(5分)



对于典型的MIPS五级流水线处理器，如果将指令和数据放在同一个存储器中，则会直接导致哪种冒险？

- ☒ A、结构冒险
- ☐ B、控制冒险
- ☐ C、指令冒险
- ☐ D、运算冒险

24、(5分)



以下哪个方法，可以解决所有的冒险？

- ☒ A、让流水线停顿
- ☐ B、增加流水线深度
- ☐ C、提高时钟频率
- ☐ D、采用超标量结构

答案：A

25、(5分)



以下哪个方法，可以解决所有的冒险？

- ☒ A、让流水线停顿
- ☐ B、前递技术
- ☐ C、增加流水线深度
- ☐ D、增加运算部件

26、(5分)



以下哪个方法，可以解决所有的冒险？

- ☒ A、让流水线停顿
- ☐ B、增加运算部件
- ☐ C、扩大存储器
- ☐ D、旁路技术

答案： A

27、(5分)



以下哪个方法，可以解决所有的冒险？

- ☒ A、让流水线停顿
- ☐ B、采用超标量结构
- ☐ C、旁路技术
- ☐ D、扩大存储器

28、(5分)

对于典型的MIPS五级流水线处理器（不前递，指令存储器和数据存储器分开），下面这段代码中，存在哪些冒险？

```
lw $1, 40($6)
```

```
beq $2, $1, Label;
```

```
add $6, $6, $2
```

```
add $6, $6, $1
```

```
Label: add $2, $6, $6
```

- ☒ A、数据冒险
- ☒ B、控制冒险
- ☐ C、指令冒险
- ☐ D、结构冒险

答案： A,B

29、(5分)

对于典型的MIPS五级流水线处理器（不前递，指令存储器和数据存储器分开），下面这段代码中，存在哪些冒险？

```
lw $1, 40($6)
```

```
beq $2, $1, Label;
```

```
add $6, $6, $2
```

```
add $6, $6, $1
```

```
Label: add $2, $6, $6
```

☒ A、数据冒险

☒ B、控制冒险

☐ C、运算冒险

☐ D、指令冒险

答案： A,B

30、(5分)

对于典型的MIPS五级流水线处理器（不前递，指令存储器和数据存储器分开），下面这段代码中，存在哪些冒险？

```
lw $1, 40($6)
```

```
add $6, $1, $2
```

```
sw $6, 50($1)
```

☒ A、数据冒险

☐ B、结构冒险

☐ C、控制冒险

☐ D、运算冒险

答案： A

31、(5分)

对于典型的MIPS五级流水线处理器（不前递，指令存储器和数据存储器分开），下面这段代码中，存在哪些冒险？

lw \$1, 40(\$6)

add \$6, \$1, \$2

sw \$6, 50(\$1)

- ☒ A、数据冒险
- ☐ B、控制冒险
- ☐ C、指令冒险
- ☐ D、结构冒险

答案： A

32、(5分)

对于典型的MIPS五级流水线处理器（不前递），下面这段代码中，哪条指令会遇到数据冒险？

instruction 1: add \$1, \$2, \$3

instruction 2: sw \$2, 0(\$1)

instruction 3: lw \$1, 4(\$2)

instruction 4: add \$2, \$2, \$1

- ☒ A、 instruction 2
- ☒ B、 instruction 4
- ☐ C、 instruction 1
- ☐ D、 instruction 3

答案： A,B

33、(5分)

对于典型的MIPS五级流水线处理器，即使已经对数据冒险进行了处理，下面这段代码中，哪条指令还是会导致流水线停顿？

add \$s0, \$t0, \$t1

sub \$t2, \$s0, \$t3

lw \$t3, 40(\$t2)

or \$t4, \$t3, \$t2

and \$t3, \$t4, \$t2

- ☒ A、 lw
- ☐ B、 and
- ☐ C、 or
- ☐ D、 add

答案： A

34、(5分)

对于典型的MIPS五级流水线处理器，即使已经对数据冒险进行了处理，下面这段代码中，哪条指令还是会导致流水线停顿？

add \$s0, \$t0, \$t1

sub \$t2, \$s0, \$t3

lw \$t3, 40(\$t2)

or \$t4, \$t3, \$t2

and \$t3, \$t4, \$t2

- ☒ A、 lw
- ☐ B、 or
- ☐ C、 sub
- ☐ D、 and

答案： A

35、(5分)

对于典型的MIPS五级流水线处理器，按照指令执行的正常流程，beq指令的分支条件判定会在哪个阶段完成？

- ☒ A、执行
- ☐ B、访存
- ☐ C、取指
- ☐ D、译码

答案： A

36、(5分)

对于典型的MIPS五级流水线处理器，按照指令执行的正常流程，beq指令的分支条件判定会在哪个阶段完成？

- ☒ A、执行
- ☐ B、回写
- ☐ C、译码
- ☐ D、访存

答案： A

37、(5分)

如果采用延迟转移技术（延迟数为1），那么执行完下面这些指令之后，\$s1的内容是什么？

```
xor $s1, $s1, $s1
```

```
addi $t1, $t3, 1
```

```
subi $t2, $t4, 2
```

```
beq $t1, $t2, Next; Assume $t1 == $t2 is True
```

```
addi $s1, $s1, 1
```

```
addi $s1, $s1, 2
```

```
Next:
```

```
addi $s1, $s1, 3
```

☒ A、 4

☐ B、 2

☐ C、 1

☐ D、 5

答案： A

38、(5分)

如果采用延迟转移技术（延迟数为1），那么执行完下面这些指令之后，\$s1的内容是什么？

```
xor $s1, $s1, $s1
```

```
addi $t1, $t3, 1
```

```
subi $t2, $t4, 2
```

```
beq $t1, $t2, Next; Assume $t1 == $t2 is True
```

```
addi $s1, $s1, 1
```

```
addi $s1, $s1, 2
```

```
Next:
```

```
addi $s1, $s1, 3
```

☒ A、 4

☐ B、 5

☐ C、 1

☐ D、 0

答案： A

39、(5分)

如果采用延迟转移技术（延迟数为1），那么执行完下面这些指令之后，\$s1的内容是什么？

```
xor $s1, $s1, $s1
```

```
addi $t1, $t3, 1
```

```
subi $t2, $t4, 2
```

```
beq $t1, $t2, Next; Assume $t1 == $t2 is True
```

```
addi $s1, $s1, 1
```

```
addi $s1, $s1, 2
```

```
Next:
```

```
addi $s1, $s1, 3
```

☒ A、 4

☐ B、 0

☐ C、 3

☐ D、 1

答案： A

40、(5分)

如果采用延迟转移技术（延迟数为1），那么执行完下面这些指令之后，\$s1的内容是什么？

```
xor $s1, $s1, $s1
```

```
addi $t1, $t3, 1
```

```
subi $t2, $t4, 2
```

```
beq $t1, $t2, Next; Assume $t1 == $t2 is True
```

```
addi $s1, $s1, 1
```

```
addi $s1, $s1, 2
```

```
Next:
```

```
addi $s1, $s1, 3
```

☒ A、 4

☐ B、 0

☐ C、 6

☐ D、 1

答案： A

7.存储层次结构

1、(5分)

下列哪些常用的设备是基于非易失性存储器的？

- ☒ A、固态硬盘 (SSD)
- ☒ B、机械硬盘
- ☒ C、光盘
- ☒ D、优盘 (Flash)
- ☒ E、BIOS ROM芯片
- ☐ F、SDRAM芯片
- ☐ G、SRAM芯片

答案：A,B,C,D,E

2、(5分)

按照课程中提供的SRAM结构图，在写入“0”的过程中，哪几个晶体管是处于连通状态？

- ☒ A、M3
- ☒ B、M2
- ☒ C、M5
- ☒ D、M6
- ☐ E、M1
- ☐ F、M4

答案：A,B,C,D

3、(5分)

下面是有关SRAM和DRAM的叙述正确的是哪几项？

- ☒ A、 DRAM结构比SRAM简单
- ☒ B、 DRAM功耗比SRAM低
- ☒ C、 DRAM要刷新，SRAM不要刷新
- ☐ D、 单位容量的DRAM比SRAM成本高
- ☐ E、 单位容量的DRAM比SRAM速度快
- ☐ F、 单位容量的DRAM比SRAM面积大

答案： A,B,C

4、(5分)

以PC133标准的SDRAM为例，时钟频率133MHz。设 $t_{RCD}=15\text{ns}$ ， $CL=2$ ， $t_{RP}=15\text{ns}$ 。在正常的读操作情况下，从内存控制器发出行地址到内存输出第四个数据，需要多少个时钟周期？

- ☒ A、 7
- ☐ B、 4
- ☐ C、 12
- ☐ D、 5
- ☐ E、 6
- ☐ F、 8
- ☐ G、 9
- ☐ H、 15

答案： A

5、(5分)



以PC133标准的SDRAM为例，时钟频率133MHz。设 $t_{RCD}=15ns$ ， $CL=2$ ， $t_{RP}=15ns$ 。在正常的读操作情况下，从内存控制器发出行地址到内存输出第一个数据，需要多少个时钟周期？

- ☒ A、 4
- ☐ B、 2
- ☐ C、 3
- ☐ D、 5
- ☐ E、 8
- ☐ F、 12
- ☐ G、 15

答案： A

6、(5分)



以PC133标准的SDRAM为例，时钟频率133MHz。设 $t_{RCD}=22ns$ ， $CL=2$ ， $t_{RP}=22ns$ 。如果内存控制器需要发起两次不同行地址的读操作，每次读操作读出四个数据，那从发出第一个行地址到发出第二个行地址，最短需要多少个时钟周期？

- ☒ A、 11
- ☐ B、 4
- ☐ C、 7
- ☐ D、 5
- ☐ E、 8
- ☐ F、 10
- ☐ G、 15

答案： A

7、(5分)



以PC133标准的SDRAM为例，时钟频率133MHz。设tRCD=15ns，CL=2，tRP=22ns。如果内存控制器需要发起两次不同行地址的读操作，每次读操作读出四个数据，那从发出第一个行地址到发出第二个行地址，最短需要多少个时钟周期？

- ☐ A、 10
- ☐ B、 4
- ☐ C、 7
- ☐ D、 5
- ☐ E、 8
- ☒ F、 11
- ☐ G、 15

答案： A

8、(5分)



64-bit数据宽度的DDR-400 SDRAM的峰值带宽为3.2GB/s，核心时钟频率为200MHz，芯片内部采用了2位数据预取技术，其接口频率是多少？

- ☒ A、 200MHz
- ☐ B、 400MHz
- ☐ C、 800MHz
- ☐ D、 1600MHz
- ☐ E、 100MHz
- ☐ F、 1200MHz

答案： A

9、(5分)



64-bit数据宽度的DDR3-1600 SDRAM的峰值带宽为12.8GB/s，接口时钟频率为800MHz，芯片内部采用了8位数据预取技术，其核心频率是多少？

- ☒ A、200MHz
- ☐ B、400MHz
- ☐ C、800MHz
- ☐ D、1600MHz
- ☐ E、100MHz
- ☐ F、1200MHz

答案：A

10、(5分)



关于程序局部性的描述，正确的是哪几项？

- ☒ A、数组通常具有很好的空间局部性
- ☐ B、循环通常具有很好的时间局部性
- ☒ C、循环通常具有很好的空间局部性
- ☐ D、数组通常具有很好的时间局部性
- ☒ E、链表通常具有很好的时间局部性
- ☐ F、链表通常具有很好的空间局部性

答案：A,B,C

11、(5分)请阅读代码片段

```
sum = 0;  
for (i = 0; i < n; i++)  
    sum += a[i];  
return sum;
```

在上述代码片段中，对数组a[]的使用体现了_____局部性。

空间

答案： 空间

12、(5分)请阅读代码片段

```
sum = 0;  
for (i = 0; i < n; i++)  
    sum += a[i];  
return sum;
```

在上述代码片段中，对变量sum的使用体现了_____局部性。

时间

答案： 时间

13、(5分)一个容量为1GB的硬盘，如果不考虑冗余空间，那可以存储多少个二进制位的信息？（只填写数字，中间不带任何分隔符，后面不带单位）

8000000000

14、(5分)一个容量为1GB的内存，如果不考虑冗余空间，那可以存储多少个二进制位的信息？（只填写数字，中间不带任何分隔符，后面不带单位）

8589934592

答案：8589934592

15、(5分)一个传输率为100Mbps的以太网接口，每秒钟最多能输出多少个二进制位的信息？（只填写数字，中间不带任何分隔符，后面不带单位）

100000000

答案：100000000

16、(5分)一个传输率为100Mbps的内存接口，每秒钟最多能输出多少个二进制位的信息？（只填写数字，中间不带任何分隔符，后面不带单位）

104857600

答案：100000000

17、(5分)一个传输率为100Mbps的硬盘接口，每秒钟最多能输出多少个二进制位的信息？（只填写数字，中间不带任何分隔符，后面不带单位）

100000000

答案：100000000

8.中断与异常

1、(5分)x86实模式下，若中断类型码为15H，则中断向量存放在从哪个地址开始的4个字节单元中。

(答案用16进制数表示，如02ABCH)

00054H

答案：00054h

2、(5分)x86实模式下，若中断类型码为10H，则中断向量存放在从哪个地址开始的4个字节单元中。

(答案用16进制数表示，如02ABCH)

00040H

答案：00040h

3、(5分)x86实模式下，若某中断向量对应的4字节内容分别是10H，24H，50H，68H（从低到高），则中断程序的入口地址为多少？（答案用16进制数表示，如02ABCH）

52A90H

答案：6a910h

4、(5分)x86实模式下，若某中断向量对应的4字节内容分别是10H，34H，50H，78H（从低到高），则中断程序的入口地址为多少？（答案用16进制数表示，如02ABCH）

7B910H

答案：7b910h

5、(5分)x86实模式下，若中断类型码为20H，中断服务程序的入口地址为5670H:1350H，试指出中断向量表中存放该中断向量的第3个字节（从低到高）单元的内容是什么？（答案用16进制数表示，如12H）

70H

答案：70h

6、(5分)x86实模式下，若中断类型码为20H，中断服务程序的入口地址为5670H:1350H，试指出中断向量表中存放该中断向量的第2个字节（从低到高）单元的地址是什么？（答案用16进制数表示，如02ABCH）

13H

答案：00081h

7、(5分)

8086系统中，中断标志寄存器是哪一个？

- ☒ A、IF
- ☐ B、DF
- ☐ C、TF
- ☐ D、ZF
- ☐ E、OF
- ☐ F、CF

答案：



8、(5分)中断处理一共分为六个步骤，请按照正确处理顺序为各个步骤排序，答案直接填写数字，如123456。

- 1 识别中断源
- 2 执行中断服务程序
- 3 关中断
- 4 恢复现场并返回
- 5 保存断点
- 6 保护现场

351624

答案： 351624

9、(5分)

下列哪项操作是在中断处理过程中的“保护现场”步骤进行的？

- ☒ A、将中断服务程序中要使用的寄存器压入堆栈
- ☒ B、将标志寄存器压入堆栈
- ☐ C、屏蔽其他中断请求
- ☐ D、将发生中断处的指令地址压入堆栈
- ☐ E、找到相应的中断服务程序的入口地址
- ☐ F、开放中断，以便允许响应较高优先级的中断
- ☐ G、将标志寄存器弹出堆栈

答案： A,B

10、(5分)

下列哪些操作是在中断处理过程中的"恢复现场"步骤进行的?

- ☒ A、将中断服务程序中要使用的寄存器弹出堆栈
- ☒ B、将标志寄存器弹出堆栈
- ☒ C、执行中断返回指令
- ☐ D、将发生中断处的指令地址压入堆栈
- ☐ E、将中断服务程序中要使用的寄存器压入堆栈
- ☐ F、屏蔽其他中断请求

答案: A,B,C

11、(5分)

下列关于除法错中断描述错误的是?

- ☒ A、除法错中断可以通过软件方法屏蔽
- ☐ B、除法错中断的中断类型号为0
- ☐ C、DIV指令能够触发除法错中断
- ☐ D、IDIV指令能够触发触发错中断
- ☐ E、除法错中断属于内部中断

答案: A

12、(5分)

下列关于溢出中断描述正确的是?

- ☒ A、溢出中断有时候会被处理器为空操作
- ☒ B、溢出中断属于内部中断
- ☐ C、溢出中断的中断类型号为1
- ☐ D、溢出中断的触发与标志位ZF有关
- ☐ E、溢出中断只能跟在DIV指令之后使用

答案: A,B

13、(5分)

下列关于单步中断描述正确的是？

- ☒ A、单步中断服务程序一般用于显示CPU内部各寄存器的内容
- ☒ B、单步工作方式下，CPU每执行完一条指令，就会自动产生一个单步中断
- ☐ C、单步中断的中断类型号为4
- ☐ D、单步中断不能通过软件方法屏蔽
- ☐ E、单步中断的执行与OF标志位有关

答案： A,B

14、(5分)

下列关于断点中断描述错误的是？

- ☒ A、断点中断可以通过软件方法屏蔽
- ☐ B、断点中断通常与单步中断结合使用
- ☐ C、断点中断的中断服务程序通常显示CPU各寄存器的值
- ☐ D、断点中断的中断类型号为3

答案： A

15、(5分)

下列关于断点中断描述错误的是？

- ☒ A、断点中断可以通过软件方法屏蔽
- ☐ B、断点中断的中断服务程序通常显示CPU各寄存器的值
- ☐ C、断点中断往往作为一种程序的调试手段
- ☐ D、断点中断通常与单步中断结合使用

16、(5分)

下列x86程序实现的是什么功能？

```
MOV AH, 2CH
```

```
INT 21H
```

- ☐ A、读取时间
- ☒ B、输入字符
- ☐ C、显示字符串
- ☐ D、设置时间

答案： A

17、(5分)

下列x86程序实现的是什么功能？

```
MOV AH, 2CH
```

```
INT 21H
```

- ☐ A、读取时间
- ☐ B、设置时间
- ☒ C、输入字符
- ☐ D、输出字符

答案： A

18、(5分)

下列x86程序实现的是什么功能？

```
MOV AH, 0
```

```
MOV AL, 12H
```

```
INT 10H
```

- ☒ A、设置显示方式为640×480彩色图形
- ☐ B、设置光标位置
- ☐ C、读时钟
- ☐ D、设置显示方式为640×480单色图形

答案： A

19、(5分)

下列x86程序实现的是什么功能？

```
MOV AH, 0
```

```
MOV AL, 12H
```

```
INT 10H
```

- ☒ A、设置显示方式为640×480彩色图形
- ☐ B、设置光标位置
- ☐ C、读时钟
- ☐ D、置时钟

答案： A

9.i/o 设备

1、(5分)

I/O接口的主要功能有哪些？

- ☒ A、数据缓冲
- ☒ B、提供联络信息
- ☒ C、信号与信息格式的转换
- ☒ D、设备选择
- ☐ E、提高处理器性能
- ☐ F、提高处理器工作频率

答案： A,B,C,D

2、(5分)

现代个人计算机中，哪些设备可以看做是I/O接口？

- ☒ A、显卡
- ☒ B、并口控制芯片
- ☒ C、南桥
- ☒ D、网卡
- ☐ E、硬盘
- ☐ F、SD卡
- ☐ G、耳机
- ☐ H、内存控制器

答案：A,B,C,D

3、(5分)

下列关于I/O端口和存储器统一编址的说法哪些是正确的？

- ☒ A、可以利用访问存储器的指令来访问I/O，功能比较齐全
- ☒ B、CPU内部的控制逻辑较为简单
- ☒ C、可以减少CPU的引脚数目
- ☐ D、可以增大用户的存储器地址空间
- ☐ E、I/O指令的执行速度更快
- ☐ F、I/O指令的地址译码更方便

答案：A,B,C

4、(5分)

下列关于I/O端口和存储器分开编址的说法哪些是错误的？

- ☒ A、可以减少CPU的引脚数目
- ☐ B、I/O端口不会减少用户的存储器地址空间
- ☐ C、I/O指令的执行速度更快
- ☐ D、I/O指令的地址译码更方便

答案：A

5、(5分)

下列哪条x86指令实现了把寄存器AL的内容写入端口70H？

- ☐ A、IN 70H, AL
- ☒ B、OUT 70H, AL
- ☐ C、OUT AL, 70H
- ☐ D、IN AL, 70H

下列哪条x86指令实现了把端口70H的内容读入到寄存器AL？

- ☒ A、IN AL, 70H
- ☐ B、IN 70H, AL
- ☐ C、OUT AL, 70H
- ☐ D、OUT 70H, AL

答案：A

7、(5分)

下列哪些是无条件传送方式的特点？

- ☒ A、控制程序简单
- ☒ B、只适用于简单外设的操作
- ☒ C、对外设要求低
- ☐ D、操作流程较为复杂
- ☐ E、CPU不需要参与数据传输



8、(5分)

下列哪些是程序查询方式的特点？

- ☒ A、比无条件传送方式准确可靠
- ☒ B、查询外设状态占用了大量的时间
- ☐ C、CPU不需要参与数据传输
- ☐ D、只适用于简单外设操作

答案： A,B

9、(5分)请按照正确的程序查询数据输出过程，给下列各个步骤排序，答案直接填写数字，如12345

6。

1 CPU执行指令，将数据写到接口的“输出缓冲寄存器”

2 在这个过程中，CPU反复执行指令从“状态寄存器”中读出状态字，直到发现“输出缓冲空”，然后开始下一个输出过程，继续输出新数据

3 外设发现“输出准备好”信号有效后，从“并行数据输出”信号线上接收数据，并将“输出回答”信号置为有效

4 接口发现“输出回答”信号有效后，将“状态寄存器”中的状态位“输出缓冲空”置为有效

5 接口将数据发到“并行数据输出”信号线上，并将“输出准备好”信号置为有效

6 CPU执行指令，将控制字写入接口的“控制寄存器”，从而设置接口的工作模式

615342

答案： 615342

10、(5分)请按照正确的程序查询数据输入过程，给下列各个步骤排序，答案直接填写数字，如12345

6。

1 外设将数据发到“并行数据输入”信号线上，并将“输入准备好”信号置为有效

2 接口将“输入回答”信号置为无效，等待外设输入新数据

3 接口将“状态寄存器”中的状态位“输入缓冲满”置为有效

4 系统初始化时，CPU执行指令，将控制字写入接口的“控制寄存器”，设置接口的工作模式

5 在上述过程中，CPU反复执行指令从“状态寄存器”中读出状态字，直到发现“输入缓冲满”，然后执行指令从“输入缓冲寄存器”中读出数据

6 接口发现“输入准备好”信号有效后，从“并行数据输入”信号线上接收数据，放入“输入缓冲寄存器”，并将“输入回答”信号置为有效，阻止外设输入新数据

416352

答案：416352

11、(5分)

下列关于中断控制方式的描述哪些是正确的？

- ☒ A、CPU可以和外设并行工作，提高了工作效率
- ☒ B、外围设备具有申请服务的主动权
- ☒ C、一定程度上满足了I/O处理的实时性要求
- ☐ D、CPU不再需要参与数据传输
- ☐ E、需要反复检查状态位

答案：A,B

12、(5分)x86 CPU的外部中断有两大类：可屏蔽中断和（）中断？

非屏蔽

答案：非屏蔽

13、(5分)



8086系统中，假设同时发生了溢出中断，单步中断和可屏蔽中断，则哪个中断会被优先处理？

- ☒ A、溢出中断
- ☐ B、单步中断
- ☐ C、可屏蔽中断
- ☐ D、任意中断都有可能被优先处理

答案： A

14、(5分)请给下列DMA方式进行数据传输的主要步骤进行排序，答案直接填写数字，如1234567



- 1、CPU设置DMAC内部配置寄存器
- 2、重复总线读写直到本次DMA传送完成
- 3、DMAC响应I/O接口的申请
- 4、DMAC向I/O接口发起总线读传输
- 5、DMAC处于空闲等待状态
- 6、I/O接口向DMAC发出DMA传送申请
- 7、DMAC向存储器发起总线写传输

1563472

15、(5分)

DMA控制器初始化时，至少要配置哪些参数？

- ☒ A、源地址的初始值
- ☒ B、传送时的地址增减方式
- ☒ C、目的地址的初始值
- ☐ D、待传送数据的长度
- ☐ E、DMA控制器的时钟频率
- ☐ F、传送接口的数据位宽

答案： A,B,C

16、(5分)

现代个人计算机中，哪些设备通常是自带DMA控制器的？

- ☒ A、显卡
- ☒ B、网卡
- ☒ C、声卡
- ☐ D、内存
- ☐ E、键盘
- ☐ F、鼠标
- ☐ G、打印机

答案： A,B,C

17、(5分)

关于I/O的各种控制方式，下列哪些说法是正确的？

- ☒ A、DMA方式不需要CPU干预数据传送
- ☒ B、中断方式需要保护和恢复现场
- ☐ C、DMA方式需要和程序控制方式或者中断方式配合使用
- ☐ D、DMA方式数据需要先存入CPU中，在转到内存中
- ☐ E、中断方式的效率总比程序控制的效率要高
- ☐ F、程序控制方式需要反复读取状态寄存器

答案： A,B,C

