

2024 Digital IC Design Homework II

NAME	陳俐蓉	
Student ID	N26120113	
Functional Simulation Result		
FIFO Pass	LIFO Pass	CIPU Pass
Stage 1		
There are total 0 errors in FIFO !!		
Stage 2		
There are total 0 errors in LIFO !!		
Stage 3		
There are total 0 errors in FIFO2 !!		
<pre>***** ** ** ** Congratulations!! ** ** ** ** Simulation PASS!! ** ** ** ***** ** ** Correct / Total : 100 / 100</pre>		
Description of your design		
本設計由三個模組組成: CIPU、FIFO、LIFO_FIFO		
1. CIPU		
Top module，負責子模組接線，包含 FIFO 和 LIFO_FIFO 兩個子模組。		
2. FIFO		
負責將旅客的編號(A~Z)以 First In First Out 的方式輸出，使用狀態機來控制暫存器的讀取和輸入，分為 IDLE、W_DATA、R_DATA 三個狀態。初始狀態為 IDLE，當 ready_fifo 訊號拉起時，表示要開始輸入資料到暫存器，接著下個 cycle 的狀態會轉為 W_DATA，表示 FIFO 可以開始寫入資料，若輸入資料為 A~Z，wen 訊號才會拉起，暫存器才能寫入資料，並且將 write pointer 加一。當偵測到輸入資料為”\$”時，表示此 session 的資料輸入完畢，接著下個 cycle 的狀態會轉為 R_DATA，此時 FIFO 會開始將資料讀出，並且將 read pointer 加一，直到 read pointer 等於 write pointer 時，done_fifo 會拉起，表示資料讀取完畢，接著狀態會回到 IDLE 等待下次資料的輸入。		

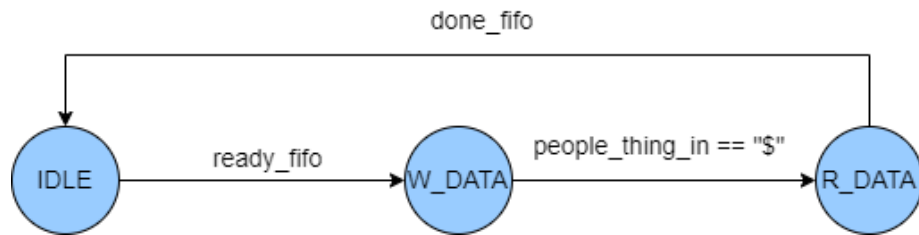


Fig 1. FIFO 狀態機

3. LIFO_FIFO

主要分成兩個階段，第一階段會依照輸出行李數的訊號(thing_num)，將每位旅客的行李編號(1~9)以 Last In First Out 的方式輸出，第二階段會以 First In First Out 的方式輸出剩餘的行李編號。這裡一樣使用狀態機來控制暫存器的讀取和輸入，分為 **IDLE**、**W_DATA**、**R_DATA_LIFO**、**R_DATA_FIFO** 四個狀態。

初始狀態為 IDLE，當 ready_lifo 訊號拉起時，表示要開始輸入資料到 LIFO，接著下個 cycle 的狀態會轉為 W_DATA，表示 LIFO 可以開始寫入資料，若輸入資料為 1~9，wen 訊號才會拉起，暫存器才能寫入資料，並且將 write pointer 加一。當偵測到輸入資料為";"時，表示該旅客的行李編號輸入完畢，接著下個 cycle 的狀態會轉為 R_DATA_LIFO，此時 LIFO 會開始將資料讀出，並且將 write pointer 減一。直到資料輸出數等於系統要求的行李數，done_thing 訊號會拉起，表示資料讀取完畢，接著下個 cycle 狀態會回到 W_DATA，表示可以繼續寫入下位旅客的行李，接著重複上一步驟。直到偵測到輸入資料為"\$"時，done_lifo 會拉起，表示第一階段完成。接著下個 cycle 狀態會轉為 R_DATA_FIFO，表示進入第二階段，此時暫存器會轉為 FIFO 的功能，讀出剩餘的行李，並且將 read pointer 加一，直到 read pointer 等於 write pointer 時，done_fifo2 會拉起，表示資料讀取完畢，接著狀態會回到 IDLE 等待下次資料的輸入。

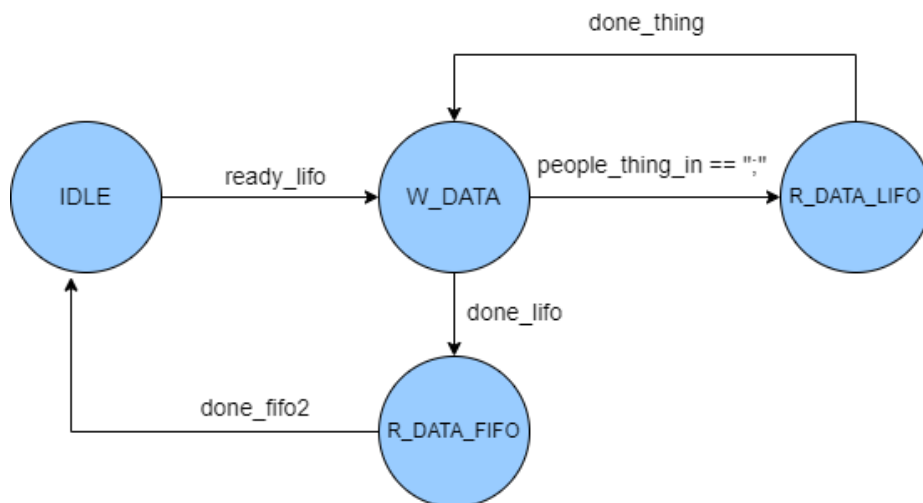


Fig 2. LIFO_FIFO 狀態機