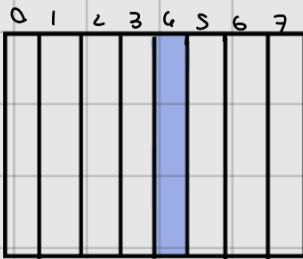


Cache fully/set associative, LRU

Piccola revisione 3 modalità cache

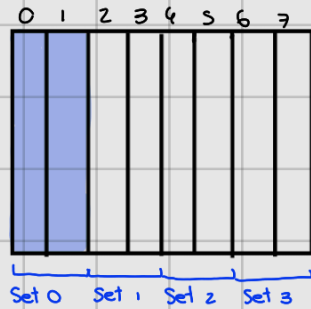
Direct mapped: il blocco 12 si trova

sul blocco $12 \% 8 = 4$



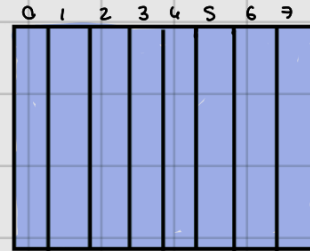
Set associative: il blocco 12 può essere

disposto ovunque nel set ($12 \% 4 = 0$)

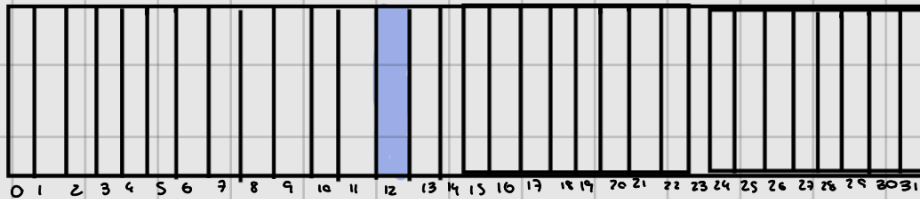


Fully associative: il blocco 12 può

essere disposto ovunque



Memoria di
livello inferiore



Rimpiazzamento blocco:

- Direct Mapping: rimpiazzamento facile, ha una sola scelta.
- Set/Fully associative: rimpiazzamento con criterio, politiche LRU. Non sapendo chi mi servirà in futuro, mi baso sul passato attraverso le due località.

Usare le parti di un indirizzo

- Indice: per scegliere il "set" ($n^{\circ} \text{ set} = 2^{\text{bit index}}$)
- Tag: per riconoscere quale blocco tra quelli del set
- Offset: per indicare un singolo byte del blocco.

Esercizio LRU con set associative

Testo: "Cache da 4 blocchi da 4 parole. 2-way set associative. Sequenza accessi: 0, 8, 0, 6, 8.

Dati:

Dim totale = 4 blocchi da 3 word

Dim blocchi = 4 byte (3 word)

Indirizzi = di blocco (= word, non di byte)

Org. Cache = 2-way set

Sequenza accessi = 0, 8, 0, 6, 8

Politica = LRU

Sviloppo:

ind. blocco		n° set		dove mappa
0	%	2	=	0
6	%	2	=	0
8	%	2	=	0

Sequenza:

	Dato	Blocchi				h/m
		0	1	2	3	
		Set 0		Set 1		
	0	mem[0]				miss
	8	mem[0]	mem[8]			miss
	0	mem[0]	mem[8]			hit
LRU! →	6	mem[0]	mem[6]			miss
LRU! →	8	mem[8]	mem[6]			miss

N.B.: in blu evidenzio quando
cambiamo i dati

Possiamo notare che, in questo caso, la LRU "predice" male, infatti se avessimo cambiato l'altro valore, non avremmo missato nell'ultimo accesso.

2 miss per prima load, 2 miss per LRU.

• **Esercizio Fully associative**

Info:

Fully Associative \rightarrow no indice

4 blocchi in cache

2 words per blocco \rightarrow 8 byte per blocco \rightarrow 3 bit offset

Blocchi ram da 8 bytes

Sequenza accessi: 508, 3036, 504, 24, 540

Visualizzazione

Acc.

Cache

Ram

508, 3036, 504, 24, 540

1^a miss "

2^a miss "

1^a hit "

3^a miss "

4^a miss "

v	tag	data addr.s
1	63	504
		512
1	327	3036
		3023
0	3	24
		32
0	67	536
		543

0	0 - 7
...	
2	16 - 23
3	24 - 31
...	
63	504 - 511
...	
132	1056 ...

4 miss per prima load, no LRU (il meno recentemente usata era tag 127!)

