



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Московский государственный технический университет имени
Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Программное обеспечение ЭВМ и информационные технологии»(ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 «Программная инженерия»

О Т Ч Е Т

по лабораторной работе № 1

Название Проектирование систем на кристалле на основе ПЛИС

Дисциплина Архитектура электронно-вычислительных машин

Студент:

_____ Золотухин А. В.

подпись, дата

Фамилия, И.О.

Преподаватель:

_____ Попов А. Ю.

подпись, дата

Фамилия, И. О.

Москва — 2022 г.

Цель работы

Изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы необходимо ознакомиться с принципами построения систем на кристалле (СНК) на основе ПЛИС, получить навыки проектирования СНК в САПР Altera Quartus II, выполнить проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Функциональная схема разрабатываемой системы на кристалле

Функциональная схема разрабатываемой системы на кристалле представлена на рисунке 1.

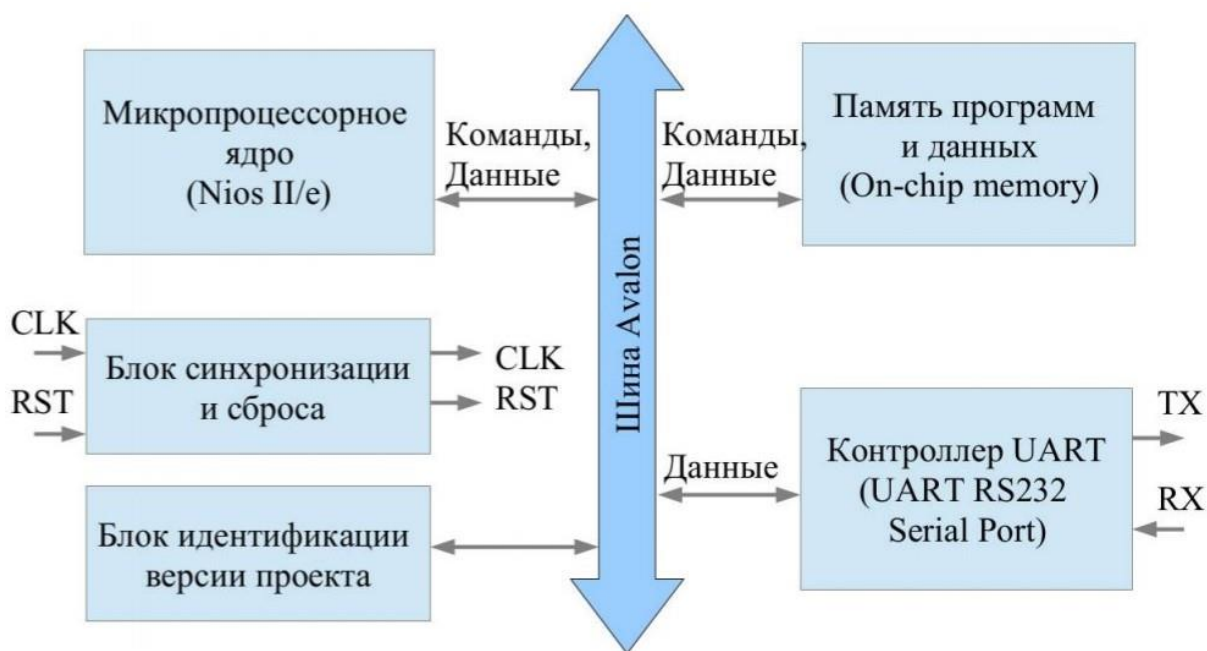


Рисунок 1 – Функциональная схема разрабатываемой системы на кристалле

Система на кристалле состоит из следующих блоков.

1. Микропроцессорное ядро Nios II/e выполняет функции управления системой.
2. Внутренняя оперативная память СНК, используемая для хранения программы управления и данных.
3. Системная шина Avalon обеспечивает связность всех компонентов системы.
4. Блок синхронизации и сброса обеспечивает обработку входных сигналов сброса и синхронизации и распределение их в системе. Внутренний сигнал сброса синхронизирован и имеет необходимую для системы длительность.

5. Блок идентификации версии проекта обеспечивает хранение и выдачу уникального идентификатора версии, который используется программой управления при инициализации системы.
6. Контроллер UART обеспечивает прием и передачу информации по интерфейсу RS232.

Маршрут проектирования

Модуль в QSYS

Для создания нового модуля системы на кристалле QSYS выполнены следующие действия.

1. Создан новый модуль CHK.
2. Установлена частота внешнего сигнала синхронизации 50 000 000 Гц.
3. Добавлен в проект модуль синтезируемого микропроцессорного ядра Nios2.
4. Добавлен в проект модуль ОЗУ программ и данных.
5. Добавлены компоненты Avalon System ID, Avalon UART.
6. Создана сеть синхронизации и сброса системы.
7. Все блоки подключены к системной шине Avalon.
8. Сигналы TX и RX экспортированы во внешние порты.
9. Соединены выход IRQ блока UART с входом IRQ процессора.
10. Выполнена настройка таблицы прерываний процессора.
11. Назначены базовые адреса устройств.

Результат выполненных действий приведен на рисунке 2.

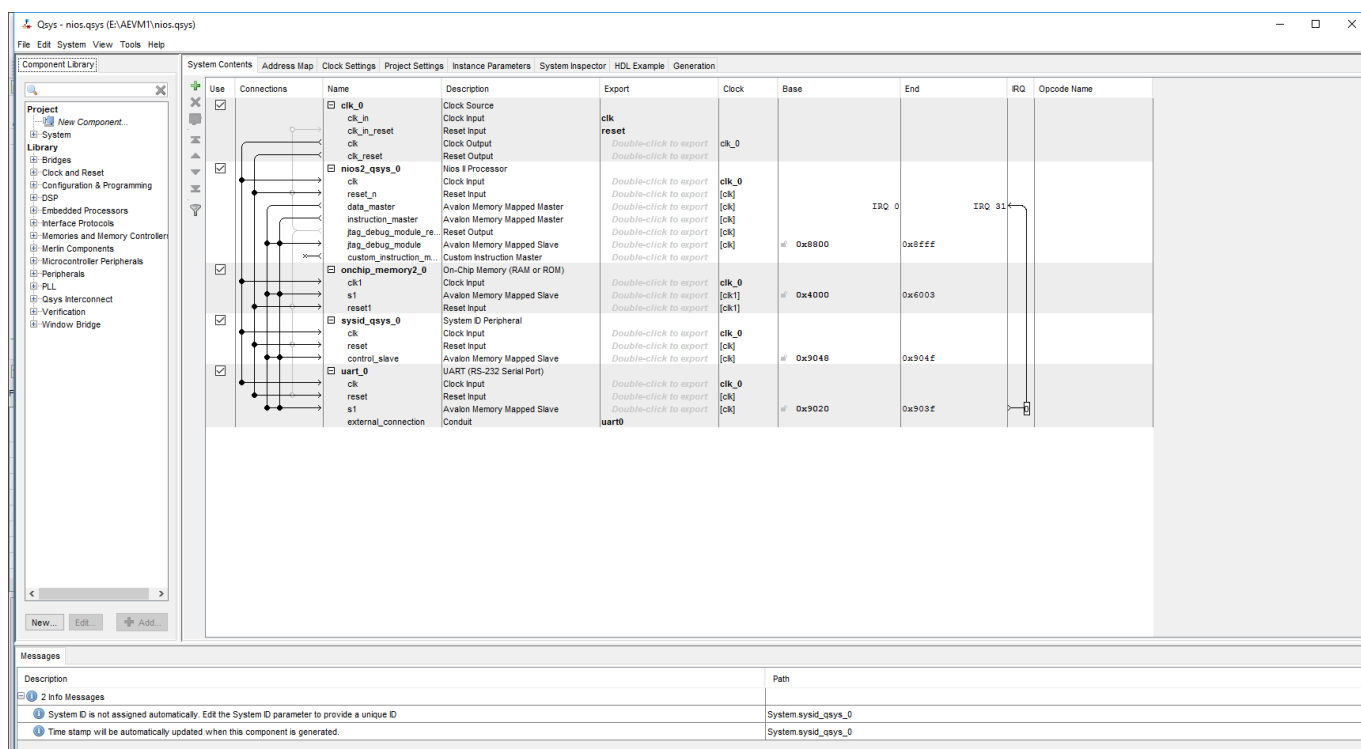


Рисунок 2 – Модуль в Qsys

Назначение портам проекта контактов микросхемы

Были назначены контакты в соответствии с таблицей 1 из методических указаний, а затем выполнен синтез проекта.

Таблица 1. Назначение контактов микросхемы портам проекта

Сигнал	Контакт
clk	L1
reset	R22
uart0_rxd	F14
uart0_txd	G12

Рисунок 3

Результат выполненных действий приведен на рисунке 4.

Top View - Wire Bond
Cyclone II - EP2C20F484C7

Report not available

Groups Report

Tasks

- Run Analysis and Elaboration
 - Early Pin Planning
 - Early Pin Planning...
 - Run I/O Assignment Analysis
 - Export Pin Assignments...
 - Change View
 - Show I/O Banks
 - Show VREF Groups
 - Show Edges
 - Show DQ/DQS Pins

Node Name	Direction	Location	I/O Bank	VREF Group	Filter Location	I/O Standard	Reserved	Current Strength	Differential Pair
clk_clk	Input				PIN_M1	3.3-V LV...default		24mA (default)	
reset_reset_n	Input				PIN_M2	3.3-V LV...default		24mA (default)	
uart0_rxd	Input				PIN_T12	3.3-V LV...default		24mA (default)	
uart0_bxd	Output				PIN_B13	3.3-V LV...default		24mA (default)	
<new node>									

Рисунок 4 – Модуль Pin Planner

Результаты тестирования PSoC на отладочной плате

К ПК была подключена отладочная плата с ПЛИС EPC2C20, выполнена верификация проекта с использованием программы терминала. Доработан код проекта с использованием необходимых библиотек.

Доработанный код проекта представлен на рисунке 6, а также вывод сообщения с номером группы (54) представлен на рисунке 7.

```
1  #include "sys/alt_stdio.h"
2  #include "system.h"
3  #include <stdio.h>
4  #include "altera_avalon_sysid_qsys.h"
5  #include "altera_avalon_sysid_qsys_regs.h"
6
7  int main()
8  {
9      char ch;
10     alt_putstr("Hello from System on Chip\n");
11     alt_putstr("Send any character\n");
12     char str[17];
13     sprintf(str, "%x", IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE));
14     alt_putstr(str);
15     while (1)
16     {
17         ch = alt_getchar();
18         alt_putchar(ch);
19     }
20     return 0;
21 }
22
```

Рисунок 6 – Доработанный код программы.

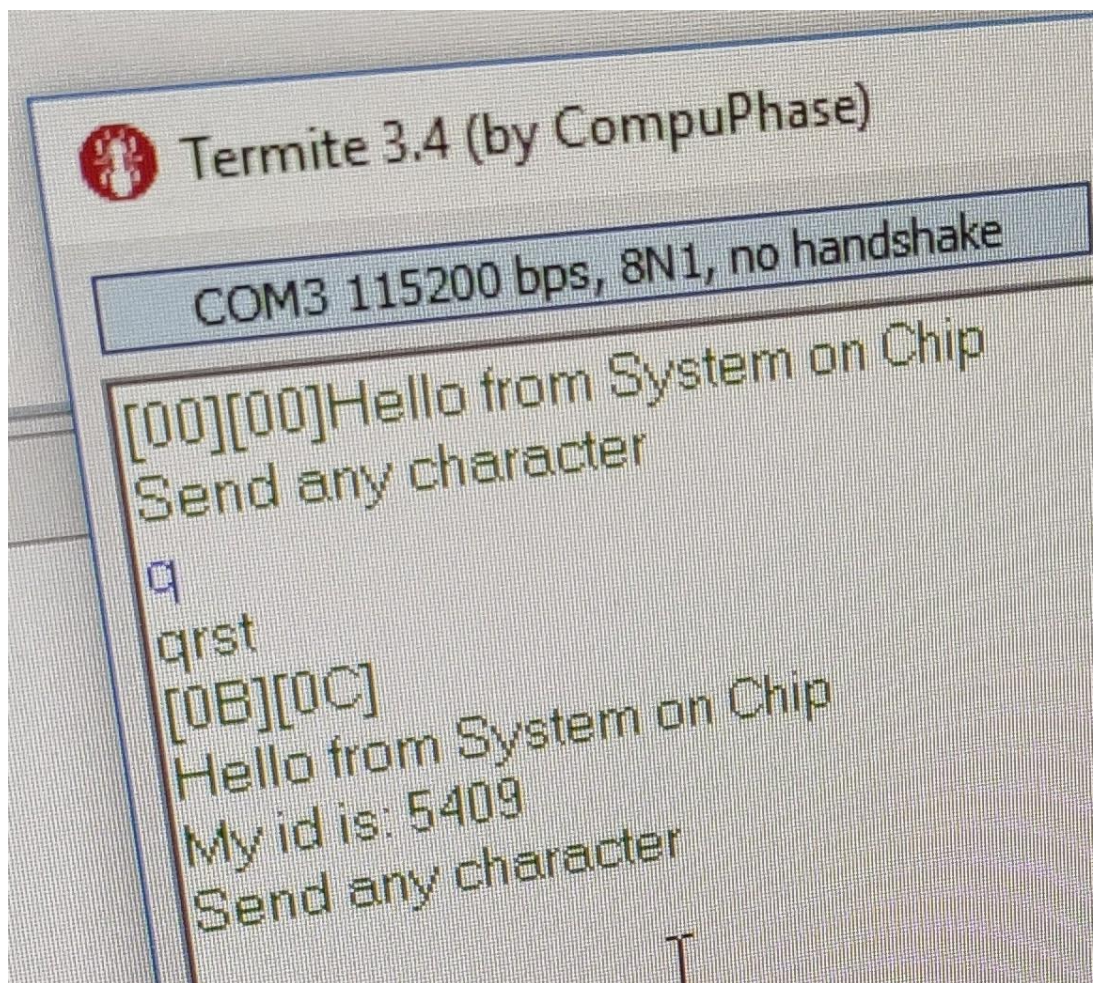


Рисунок 7 – Результаты тестирования PSoC на отладочной плате

Вывод

В ходе работы изучены принципы построения систем на кристалле (СНК) на основе ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II, выполнено проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board.