

4-to-1 MUX, (Multiplexer) 8-to-1 MUX.

CVLSI

601系統晶片實驗室

撰寫程式注意事項

- Xilinx ISE 新建 Project 時的 Device 設定：
 - Family: **Spartan3E** (不是 Automotive Spartan3E)
 - Device: **XC3S250E**
 - Package: **PQ208**
 - Speed: **-4**

撰寫程式注意事項 (續)

- Project、.v、.tbw 檔之檔名路徑限制：
 - ❑ 不可有「空白字元」(Space)；請改用底線字元(_)。
 - ❑ 不可有「減號字元」(-)；請改用底線字元(_)。
 - ❑ 不可以「數字開頭」；只能以「英文開頭」。
 - ❑ 盡量只用小寫英文、數字、底線。
 - ❑ 僅限「半型」字元，否則全型字元等同中文字。

撰寫程式注意事項 (續)

- SMIMS VeriLite 小板子 I/O Pins 腳對照表在：
 - 開啟 **VeriComm** 程式，
 - 按 **Help\Help** 選單開出說明檔，
 - 最後一項即是。
 - **FPGA腳位資訊\VeriLite Xilinx USB V2\XC3S250EV2**
 - 建議列印出來比較方便使用。

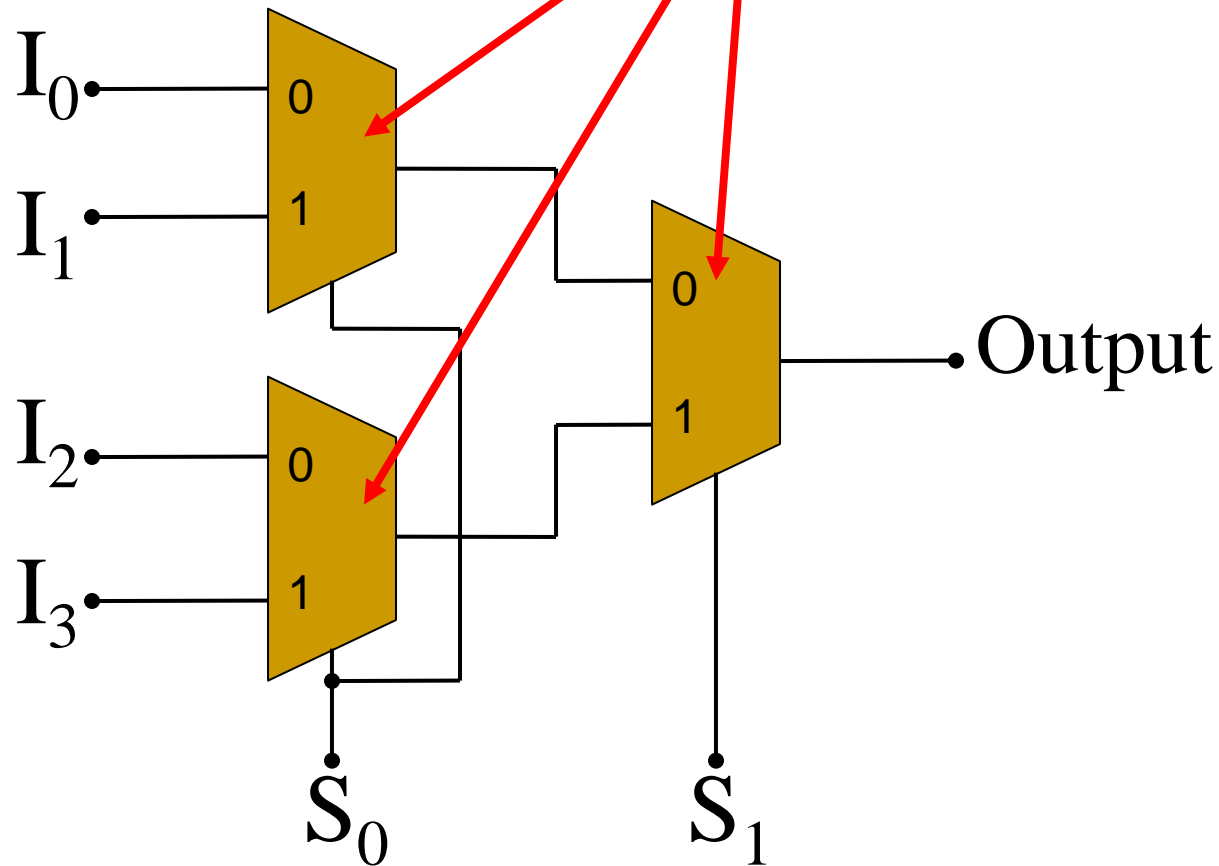
撰寫程式注意事項 (續)

- 一個 .v 檔(Verilog Module)裡面只能寫一個 Module，所以多層架構模組，一定不可全擠在同個 .v 檔。
- 在引用 Module 時，請注意被包的子模組原來的接腳順序，上層包它的母模組在填入接腳順序也要一致。

4:1 MUX: Truth Table

S_1	S_0	Output
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

4:1 MUX: Build by 2:1 MUX * 3



8:1 MUX: Truth Table

S_2	S_1	S_0	Output
0	0	0	I_0
0	0	1	I_1
0	1	0	I_2
0	1	1	I_3
1	0	0	I_4
1	0	1	I_5
1	1	0	I_6
1	1	1	I_7

8:1 MUX: Build by 4:1 MUX*2 + 2:1 MUX*1

