

Mini_LED分区背光开发套件

用户手册

2024-09-03

版权所有 ©2024 武汉易思达科技有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除易思达科技在其产品的销售条款和条件中声明的责任之外，易思达科技概不承担任何法律或非法律责任。易思达科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，易思达科技保留修改文档中任何内容的权利，恕不另行通知。易思达科技不承诺对这些文档进行适时的更新。

目 录

1、关于本手册.....	1
1.1 手册内容	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈.....	2
2、开发套件介绍.....	3
2.1 概述.....	3
2.2 开发套件	4
2.3 系统框架	4
2.4 特性.....	5
3、开发套件详细介绍	6
3.1、总体硬件资源说明.....	6
3.2、Mini_LED分区背光开发套件电路说明.....	7
3.2.1 FPGA	7
3.2.2 时钟输入.....	9
3.2.3 电源	10
3.2.4 Type-C 下载接口	11
3.2.5 按键、复位、拨码开关.....	12
3.2.6 LED.....	13
3.2.7 Type-C 串口.....	14
3.2.8 2Gbit DDR3.....	15

3.2.9 128Mbit FLASH	17
3.2.10 I/O 核心板扩展排座	18
3.2.11 LVDS_RX	19
3.2.12 LVDS_TX	21
3.2.13 SPI.....	23
3.2.14 I/O 扩展接口.....	24
4、FPGA 开发环境安装及流程	26
4.1 开发环境简介	26
4.2 开发环境安装	27
4.3 开发流程	27
4.3.1 新建工程.....	28
4.3.2 添加工程文件	30
4.3.3 管脚约束.....	31
4.3.4 综合、编译	33
4.3.5 上板验证.....	34
5、开发套件使用注意事项	36

1、关于本手册

1.1 手册内容

Mini_LED分区背光开发套件用户手册分为四个部分：

1. 简述开发套件的功能特点和硬件资源；
2. 介绍开发套件上的各部分硬件电路的功能、电路及管脚分配；
3. 开发套件使用注意事项。

本手册中所述信息可适用于以下GW2A系列FPGA产品：

- GW2A-55K

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

1. GW2A 系列 FPGA 产品数据手册
2. GW2A 系列 FPGA 产品封装与管脚手册
3. GW2A 器件 Pinout 手册
4. GW2A 系列 FPGA 产品编程配置手册
5. Gowin 云源软件用户手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。

表 1-1 术语、缩略语

术语、缩略语	全称	含义
FPGA	Field Programmable Gate Array	现场可编程门阵列
LDO	Low Dropout Regulator	低压差线性稳压器
GPIO	General Purpose Input Output	Gowin 可编程通用管脚
LUT4	4-input Look-up Table	4 输入查找表
DDR3	Double-data-rate Three Synchronous Dynamic Random Access Memory	高速同步动态随机存储
FLASH	Flash Memory	非易失存储器
SSRAM	Shadow SRAM	分布式静态随机存储器
BSRAM	Block SRAM	块状静态随机存储器
PLL	Phase-locked Loop	锁相环
DLL	Delay-locked Loop	延迟锁相环
DSP	Digital Signal Processing	数字信号处理
LVDS	Low-Voltage Differential Signaling	低电压差分信号

1.5 技术支持与反馈

武汉易思达科技有限公司全方位提供技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网 址: <http://www.wheasystart.com>

E-mail: support@wheasystart.com

Tel : [027-59234258-807](tel:027-59234258-807)

2、开发套件介绍

2.1 概述

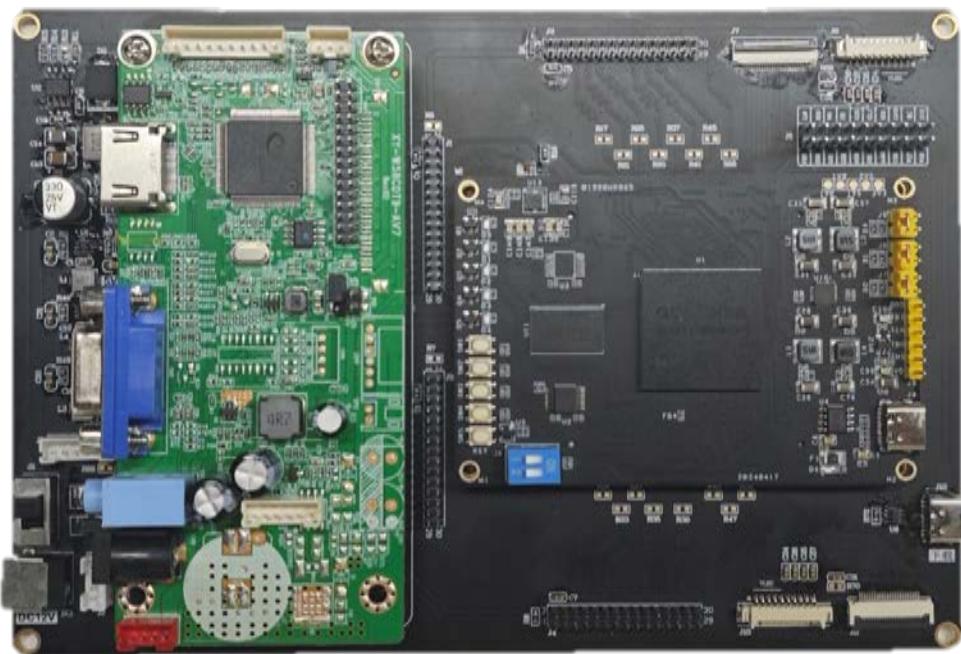


图 2-1 Mini_LED分区背光开发套件

Mini_LED分区背光开发套件采用核心板+底板架构设计，搭载了高云GW2A-55 系列 FPGA 芯片，使得其能用于诸多测试测量领域。

“FPGA”核心采用高云晨曦家族系列第一代产品 GW2A-LV55PG484C8/I7，具有功耗低、性能强、资源多、使用方便等优点。其采用 BGA 形式 484 脚封装；密集式封装形式使得在芯片面积较小的情况下能为用户提供较多的 I/O 引脚。“FPGA”核心作为“逻辑器件”角色（亦可以说成“并行”执行角色），负责并行处理、实时性处理及逻辑管理等功能。

Mini_LED分区背光开发套件提供面向市场自主研发的新一代 FPGA

分区背光功能的硬件开发环境，支持 GW2A 系列 FPGA 产品，能够完成 FPGA 综合、布局、布线、产生数据流 文件及下载等一站式工作。

2.2 开发套件

开发套件包括：

- 开发套件
- Mini_LED 屏幕套组
- 12V 电源适配器
- Type-C 数据线
- HDMI 线
- Mini_LED 分区背光开发套件手册

2.3 系统框架

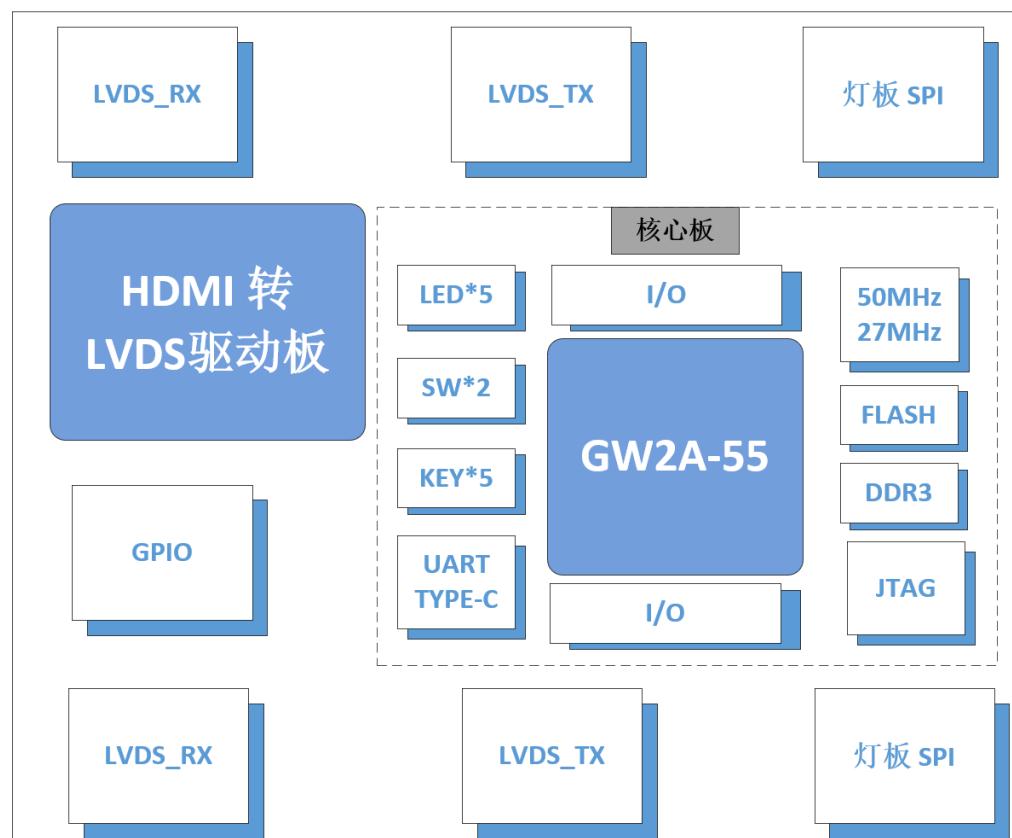


图2-2 Mini_LED分区背光开发套件框架

2.4 特性

开发套件组成结构及特性如下：

1. FPGA 器件

- 高云 GW2A-LV55PG484C8/I7
- 最多用户 I/O 319个

2. 下载与启动

- 开发套件集成了下载模块，通过 USB Type-C 下载线下载
- 开发套件核心板支持 JTAG 接口，通过下载器进行下载和调试
- 外部 FLASH 启动
- 加载完成后，DONE管脚的蓝色灯亮

3. 供电方式

- 外接12V-2A DC适配器供电
- JTAG 5V供电（核心板）
- USB Type-C 串口5V供电（核心板）
- 开发套件可产生 4V灯板 电源

4. 系统时钟

- 50MHz 晶振输入
- 27MHz 晶振输入
- 外部信号源输入

5. 存储设备

- 2Gbit DDR3
- 128M bit FLASH

6. 扩展接口

- 2Port LVDS_TX
- 2Port LVDS_RX
- 2Port 灯板SPI
- 可扩展IO

3、开发套件详细介绍

本章将向大家详细介绍 Mini_LED分区背光开发套件各部分的硬件原理图，让大家对该开发套件的各部分硬件原理有个深入理解，并向大家介绍开发套件的使用注意事项，为后面的学习和使用做好准备。

3.1、总体硬件资源说明

如表 3-1 所示为 开发套件资源说明，如图 3-1 所示为开发套件总体硬件资源展示图。

表 3-1 开发套件硬件资源

核心板	底板
50MHz 时钟晶振	1 个 GWUX Type-C 下载接口
27MHz 时钟晶振	1 个 20Pin GPIO 扩展接口
4个 LED	1 个 HDMI 接口
2 个 拨码开关	2 个 LVDS_RX 接口
5 个 按键开关	2 个 LVDS_TX 接口
1 块 128Mbit FLASH	2 个 SPI 接口
1 块 2Gbit DDR3	1 个 VLED 供电接口
1 个 UART Type-C接口	
1 个 JTAG 下载接口	



图 3-1 开发套件硬件资源

3.2、Mini_LED分区背光开发套件电路说明

3.2.1 FPGA

(1) 概述

开发套件搭载了高云 FPGA GW2A-55K 芯片，具有丰富的逻辑资源。

GW2A 系列 FPGA 产品资源信息如表 3-2 所示。

表 3-2 GW2A 系列 FPGA 产品信息列表

器件	GW2A-18	GW2A-55
逻辑单元(LUT4)	20,736	54,720
寄存器(FF)	15,552	41,040
分布式静态存储器 S-SRAM(bit)	41,472	109,440
块状静态随机存储器 Block SRAM(bit)	828K	2520K
块状静态随机存储器数目 Block SRAM(个)	46	140
用户闪存 bit	0	0
乘法器(18 x 18 ultiplier)	48	40

PLL	4	6
I/O Bank 总数	8	8
核电压 (LV 版本)	1.0V	1.0V

(2) I/O BANK 说明

GW2A 系列 FPGA 产品分有 8 个 I/O Bank 区，如图 3-2 所示，每个Bank 有独立的 I/O 电源 VCCIO。VCCIO可以设置为 3.3V、2.5V、1.8V、1.5V 或 1.2V。为支持 SSTL, HSTL 等 I/O 输入标准，每个 Bank 还提供一个独 立的参考电压(VREF)，用户可以选择使用 IOB 内置的 VREF源(等于 $0.5 \times VCCIO$)，也可选择外部的 VREF 输入(使用 Bank 中任意一个 I/O 管脚作为外部 VREF 输入)。VCCX供电电压支持 1.8V 和 2.3V。

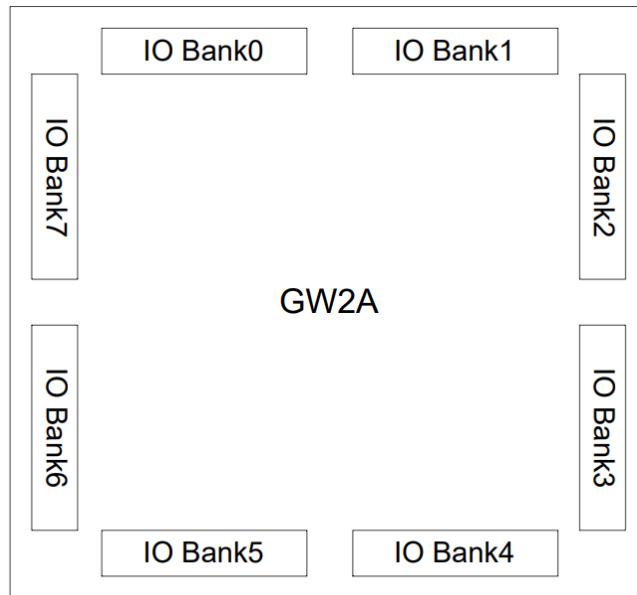


图 3-2 GW2A 系列 FPGA 产品 I/O BANK 整体示意图

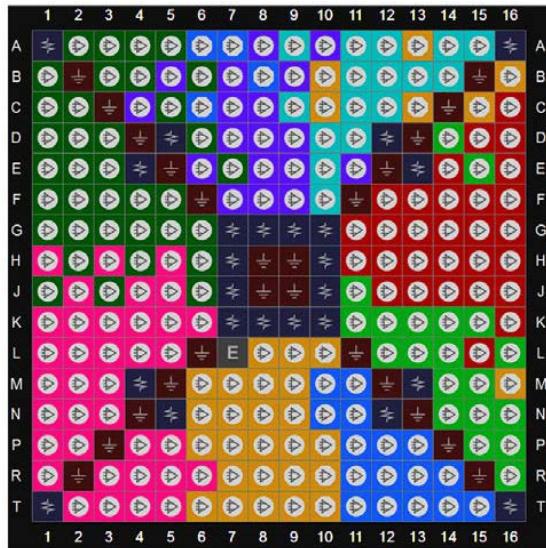


图 3-3 GW2A 系列器件 封装管脚分布示意图 (顶视图)

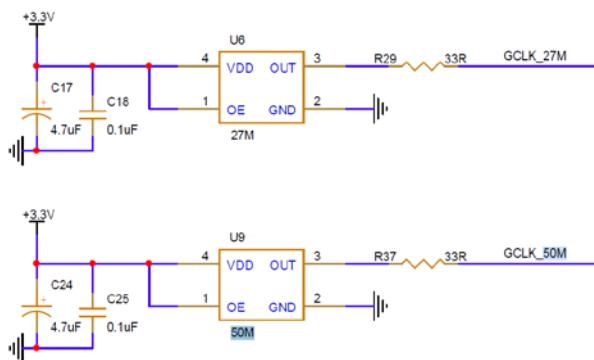
3.2.2 时钟输入

(1) 概述

开发套件提供 50MHz 和 27MHz 的时钟晶振，连接到 PLL 输入端管脚，可以作为 FPGA 内部 PLL 的时钟输入，并通过配置 PLL 分频、倍频输出用户需要的时钟。

50MHz时钟晶振常采用晶体振荡器（Crystal Oscillator）作为振荡器类型。晶体振荡器利用晶体材料的压电效应，在外部施加电场下产生稳定可靠的振荡频率。

(2) 时钟电路



(3) 管脚分配

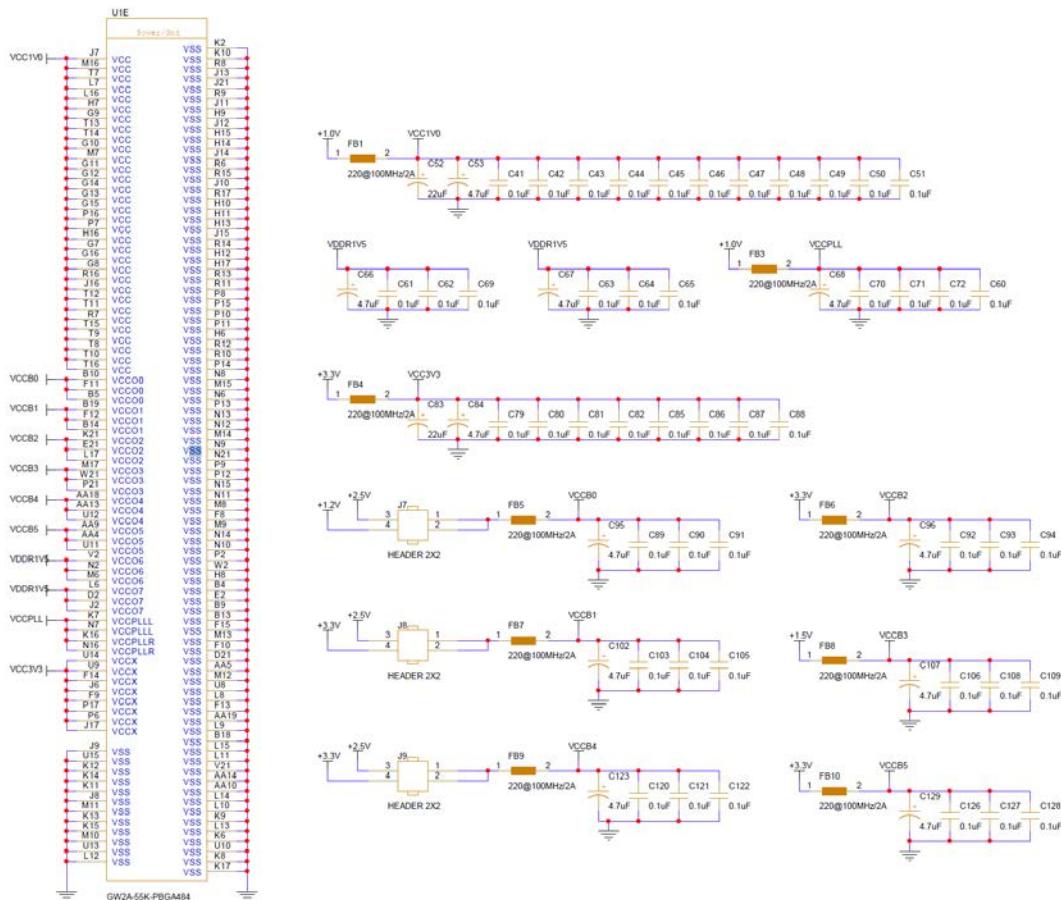
信号名称	FPGA管脚序号	BANK	描述	I/O电平
clk_50m	M19	BANK_2	50MHz 有源晶振输入	3.3V
Clk_27m	B20	BANK_2	27MHz 有源晶振输入	3.3V

3.2.3 电源

(1) 概述

开发套件由Type-C下载接口进行供电，无需外接电源。采用 EA3059 电源芯片，实现由5V到3.3V、2.5V、1.8V、1.0V 转换，供电电流可达1A，可满足开发套件的电源需求。并且，FPGA 的 bank电压还可以通过跳线帽和更改电阻进行选择，可自由切换3.3V、2.5V、1.8V。

(2) 电源电路



(3) 管脚分配

信号名称	BANK	描述	I/O电平
VCCO0	BANK_0	BANK 电压	2.5V、1.2V
VCCO1	BANK_1		3.3V、2.5V
VCCO2	BANK_2		3.3V
VCCO3	BANK_3		3.3V
VCCO4	BANK_4		3.3V、2.5V
VCCO5	BANK_5		3.3V
VCCO6	BANK_6		3.3V
VCCO7	BANK_7		1.5V
VCC	---	核电压	3.3V、2.5V、1.8V
VSS	---	辅助电压	1V

3.2.4 Type-C 下载接口

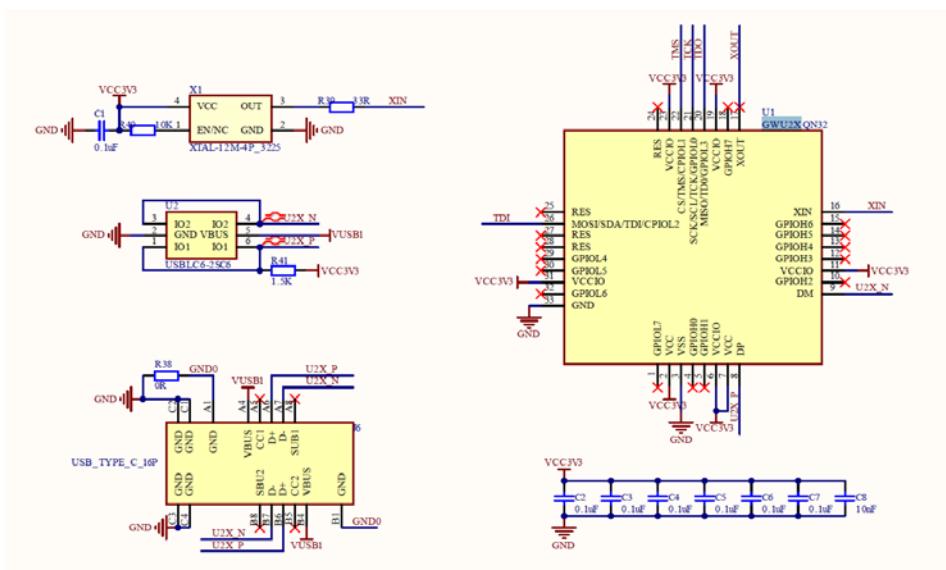
(1) 概述

开发套件提供 Type-C 下载接口，并且具备下载电路，只需要一根USB电缆线即可进行开发。下载时可根据需要设置MODE模式，下载至片内 SRAM、外部 FLASH中。

注!

- 下载至 SRAM 时，当器件掉电后数据流文件会丢失，重新上电需再次下载数据流文件。
- 下载至外部 FLASH 后，掉电后数据流文件不会丢失。

(2) 下载电路



(3) 管脚分配

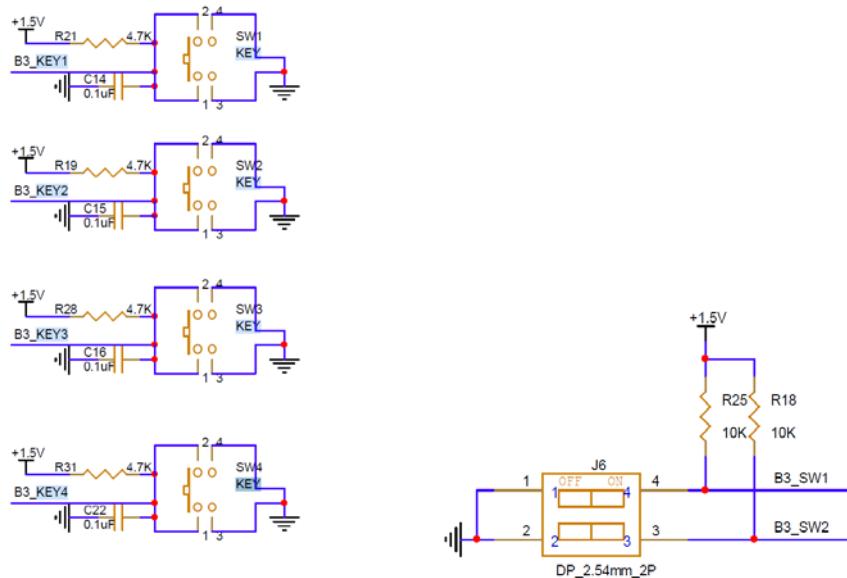
信号名称	FPGA管脚序号	BANK	描述	I/O电平
FLASH_SPI_MISO	P19	BANK_3	SPI 配置 FPGA	3.3V
FLASH_SPI_MOSI	P20	BANK_3	SPI 配置 FPGA	3.3V
FLASH_SPI_CS_N	N18	BANK_3	SPI 配置 FPGA	3.3V
FLASH_SPI_CLK	P18	BANK_3	SPI 配置 FPGA	3.3V
JTAG_TCK	N20	BANK_2	JTAG信号	3.3V
JTAG_TDO	M22	BANK_2	JTAG信号	3.3V
JTAG_TDI	M20	BANK_2	JTAG信号	3.3V
JTAG_TMS	N22	BANK_2	JTAG信号	3.3V

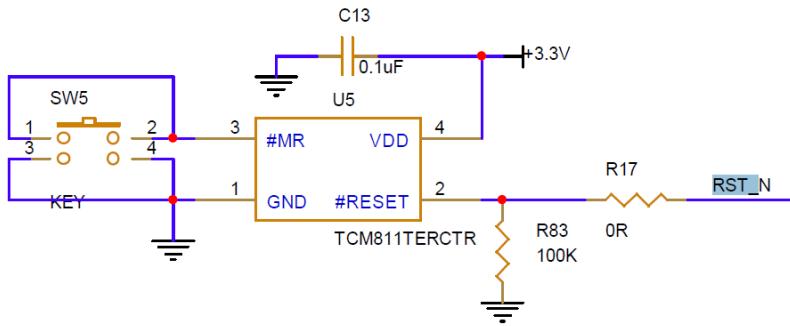
3.2.5 按键、复位、拨码开关

(1) 概述

核心板提供 5 个共阴极轻触按键，按下为低电平，松手状态为高电平，默认使用按键 K5 作为复位按键；还提供 2 个拨码开关。

(2) 复位、按键、拨码开关电路





(3) 按键、复位、拨码开关引脚分配

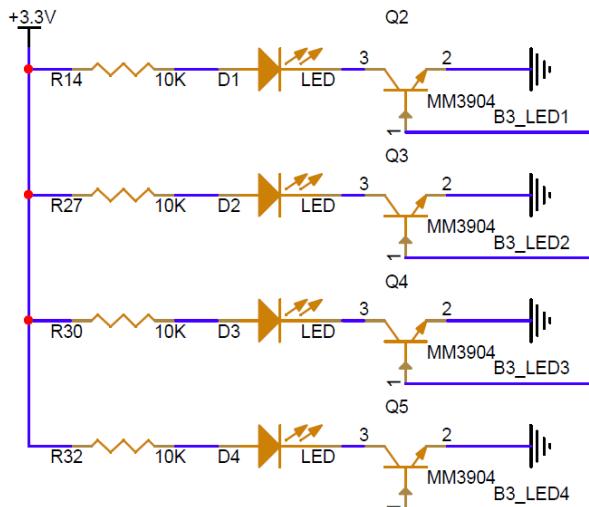
信号名称	FPGA管脚序号	BANK	描述	I/O电平
KEY1	T18	BANK_3	按键 1	1.5V
KEY2	R18	BANK_3	按键 2	1.5V
KEY3	U20	BANK_3	按键 3	1.5V
KEY4	T20	BANK_3	按键 4	1.5V
KEY5	AB3	BANK_5	按键 5 RST复位	1.5V
SW1	W20	BANK_3	拨码开关1	1.5V
SW2	V20	BANK_3	拨码开关2	1.5V

3.2.6 LED

(1) 概述

核心板提供 4 个共阴极蓝色 LED 灯，高电平使能点亮 LED 灯。用户可通过对 LED 控制完成所需状态的显示。

(2) LED 电路



(3) 管脚分配

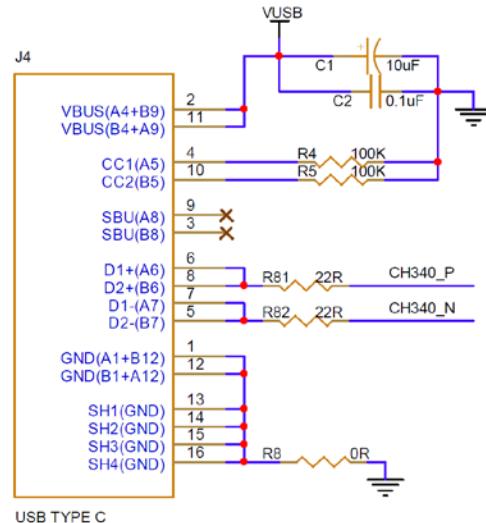
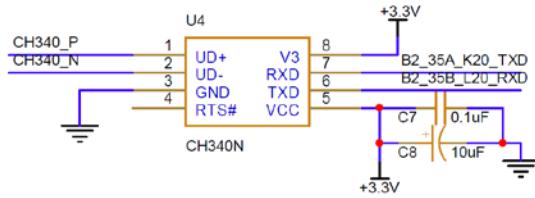
信号名称	FPGA管脚序号	BANK	描述	I/O电平
FPGA_LED1	U18	BANK_3	LED 指示灯 1	3.3V
FPGA_LED2	U19	BANK_3	LED 指示灯 2	3.3V
FPGA_LED3	U17	BANK_3	LED 指示灯 3	3.3V
FPGA_LED4	T17	BANK_3	LED 指示灯 4	3.3V

3.2.7 Type-C 串口

(1) 概述

开发套件底板提供 1 个 Type-C 串口,内置 1 块 CH340 芯片, 实现 USB 转串口功能, 通过 Type-C 电缆线可以与 PC 端进行串口通信。

(2) Type-C 串口电路



(3) 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
B2_35A_K20_TXD	K20	BANK_2	FPGA_UART_RXD	3.3V
B2_35A_L20_RXD	L20	BANK_2	FPGA_UART_TXD	3.3V

3.2.8 2Gbit DDR3

(1) 概述

SDDR3，全称为Double Data Rate 3 Synchronous Dynamic Random-Access Memory（双倍数据率3同步动态随机存取存储器），是一种计算机内存标准，用于在计算机系统中存储和提供快速访问数据。

开发套件提供了一块 2Gbit 的 DDR3 高速内存,型号为 3DKI7D9PSK。

(2) 特性

同存储技术： DDR3采用了动态随机存取存储器（DRAM）技术，是一种易失性存储器，意味着数据在断电时会丢失。然而，DDR3相对于先前的DDR2技术在存储密度和速度上有所改进。

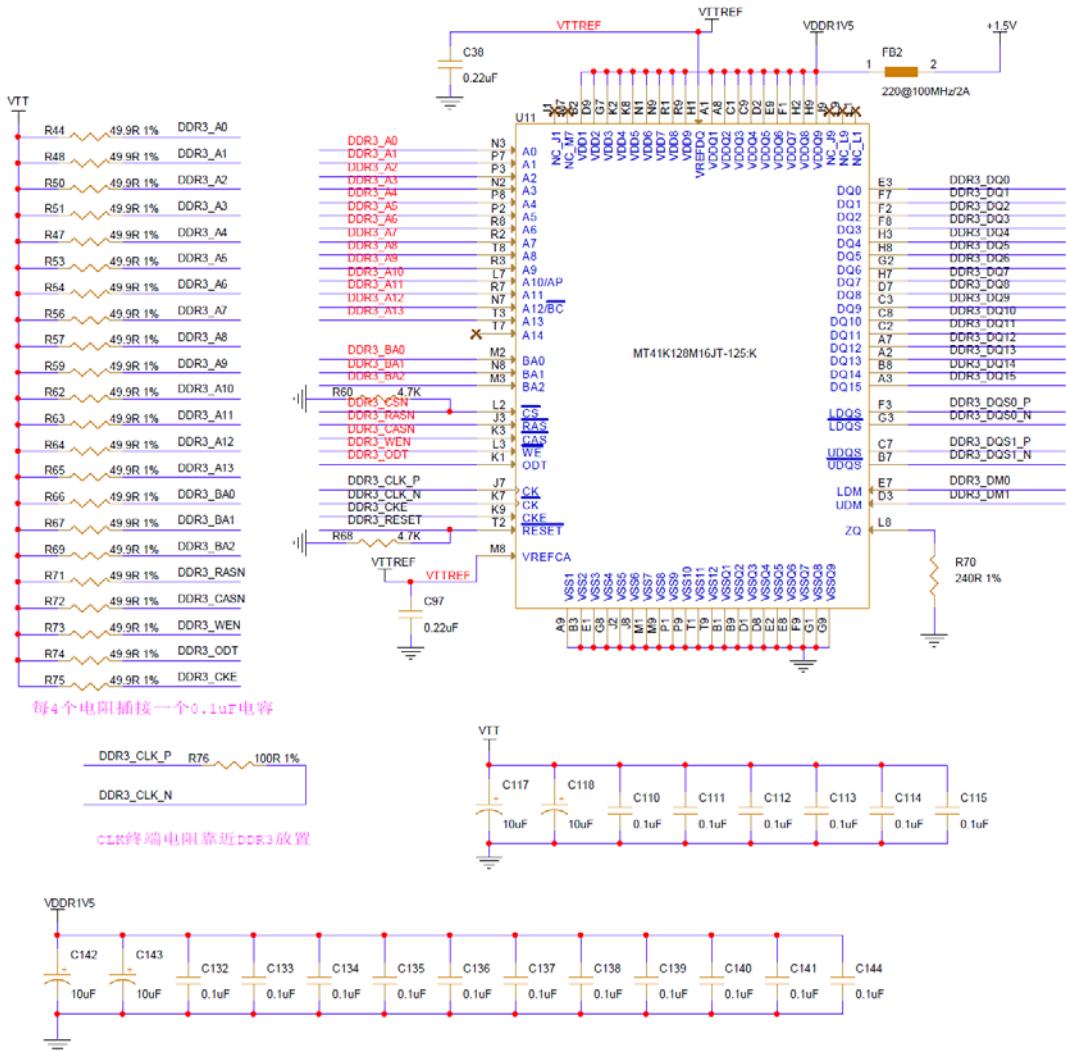
数据传输速率： DDR3是一种高带宽内存技术，通过提高数据传输速率来提供更快的内存性能。DDR3模块通常有不同的数据传输速率，例如DDR3-800、DDR3-1066、DDR3-1333、DDR3-1600等，表示每秒传输的兆字节数。

时钟频率： DDR3的时钟频率是其数据传输速率的一半。例如，DDR3-1600模块的时钟频率为800MHz。这种双倍数据率的设计允许在每个时钟周期内传输两次数据，提高了数据吞吐量。

电压： DDR3通常以1.5V的电压工作，相比于DDR2的1.8V，DDR3在功耗上有所降低，有助于提高系统的能效。

内存模块： DDR3内存通常以DIMM（Dual Inline Memory Module）模块的形式出现，可插入计算机主板上的内存插槽中。这些模块有不同的容量，例如1GB、2GB、4GB等，可以根据系统需求选择不同容量的模块。

(3) DDR3 电路



(4) 管脚分配

DDR3管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
DDR3_A0	F1	BANK_7	DDR3 地址线	1.5V
DDR3_A1	V5	BANK_6	DDR3 地址线	1.5V
DDR3_A2	G6	BANK_7	DDR3 地址线	1.5V
DDR3_A3	E5	BANK_7	DDR3 地址线	1.5V
DDR3_A4	V3	BANK_6	DDR3 地址线	1.5V
DDR3_A5	F2	BANK_7	DDR3 地址线	1.5V
DDR3_A6	Y22	BANK_3	DDR3 地址线	1.5V
DDR3_A7	H5	BANK_7	DDR3 地址线	1.5V
DDR3_A8	AB22	BANK_3	DDR3 地址线	1.5V
DDR3_A9	H4	BANK_7	DDR3 地址线	1.5V
DDR3_A10	P5	BANK_6	DDR3 地址线	1.5V
DDR3_A11	Y21	BANK_3	DDR3 地址线	1.5V
DDR3_A12	T5	BANK_6	DDR3 地址线	1.5V

DDR3_A13	AA1	BANK_6	DDR3 地址线	1.5V
DDR3_BA0	F4	BANK_7	DDR3 bank选择	1.5V
DDR3_BA1	T4	BANK_6	DDR3 bank选择	1.5V
DDR3_BA2	F3	BANK_7	DDR3 bank选择	1.5V
DDR3_CAS	D3	BANK_7	DDR3 列选通	1.5V
DDR3_CKE	E4	BANK_7	DDR3 时钟使能	1.5V
DDR3_CLK_P	P22	BANK_3	DDR3 差分时钟	1.5V
DDR3_CLK_N	R22	BANK_3	DDR3 差分时钟	1.5V
DDR3_DQ0	M5	BANK_6	DDR3 数据线	1.5V
DDR3_DQ1	T3	BANK_6	DDR3 数据线	1.5V
DDR3_DQ2	M4	BANK_6	DDR3 数据线	1.5V
DDR3_DQ3	T2	BANK_6	DDR3 数据线	1.5V
DDR3_DQ4	Y1	BANK_6	DDR3 数据线	1.5V
DDR3_DQ5	U1	BANK_6	DDR3 数据线	1.5V
DDR3_DQ6	N4	BANK_6	DDR3 数据线	1.5V
DDR3_DQ7	V1	BANK_6	DDR3 数据线	1.5V
DDR3_DQ8	R1	BANK_7	DDR3 数据线	1.5V
DDR3_DQ9	K3	BANK_7	DDR3 数据线	1.5V
DDR3_DQ10	P1	BANK_7	DDR3 数据线	1.5V
DDR3_DQ11	J1	BANK_7	DDR3 数据线	1.5V
DDR3_DQ12	K5	BANK_7	DDR3 数据线	1.5V
DDR3_DQ13	H3	BANK_7	DDR3 数据线	1.5V
DDR3_DQ14	M2	BANK_7	DDR3 数据线	1.5V
DDR3_DQ15	H2	BANK_7	DDR3 数据线	1.5V
DDR3_DM0	P3	BANK_6	DDR3 数据输入屏蔽	1.5V
DDR3_DQS0_P	P4	BANK_6	DDR3 数据选通	1.5V
DDR3_DQS0_N	R4	BANK_6	DDR3 数据选通	1.5V
DDR3_ODT	B3	BANK_7	DDR3 片上终端使能	1.5V
DDR3_RAS	D1	BANK_7	DDR3 行选通	1.5V
DDR3_RESET	V4	BANK_6	DDR3 复位	1.5V
DDR3_DM1	K4	BANK_7	DDR3 数据输入屏蔽	1.5V
DDR3_DQS1_P	L2	BANK_7	DDR3 数据选通	1.5V
DDR3_DQS1_N	L1	BANK_7	DDR3 数据选通	1.5V
DDR3_WE	C2	BANK_7	DDR3 写使能	1.5V

3.2.9 128Mbit FLASH

(1) 概述

GD25Q128JVSQ 是一种常见的串行闪存存储器型号，具有128Mb (16MB) 的存储容量。每个扇区都可以被独立擦除、编程和读取。使用 SPI (Serial

Peripheral Interface, 串行外围接口) 进行通信。它与主控制器之间只需要四根信号线：时钟信号 (CLK)、主数据输出 (MISO)、主数据输入 (MOSI) 和片选信号 (CS)。

开发套件提供 1 块型号为 GD25Q128JVSQ 的 128Mbit FLASH。

(2) 特性

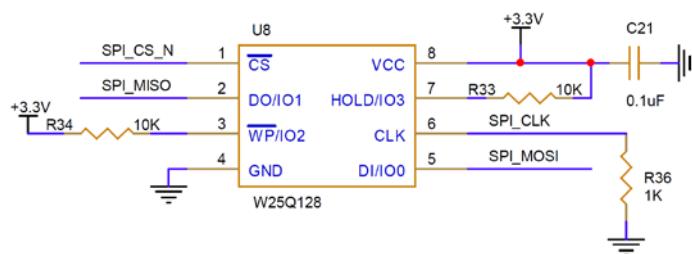
工作电压：GD25Q128JVSQ 的工作电压范围通常在 2.7V ~ 3.6V 之间，这使得它能够在各种电源条件下正常工作。

快速读取速度：作为一款串行闪存，GD25Q128JVSQ 通常具有较快的读取速度。SPI 闪存通常以 MHz 为单位进行时钟速度的定义，具体速度取决于设备和系统的支持。它的快速读取速度使得它适用于那些对数据读取速度要求较高的应用场景。

低功耗：闪存通常具有较低的功耗，这使得 GD25Q128JVSQ 适用于移动设备和对功耗要求敏感的应用。

温度范围：GD25Q128JVSQ 通常能够在较广的温度范围内工作，这使得它适用于各种环境条件下的应用。

(3) FLASH 电路



(4) 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
FLASH_SPI_MISO	P19	BANK_3	SPI 配置 FPGA	1.5V
FLASH_SPI_MOSI	P20	BANK_3	SPI 配置 FPGA	1.5V
FLASH_SPI_CS_N	N18	BANK_3	SPI 配置 FPGA	1.5V
FLASH_SPI_CLK	P18	BANK_3	SPI 配置 FPGA	1.5V

3.2.10 I/O 核心板扩展排座

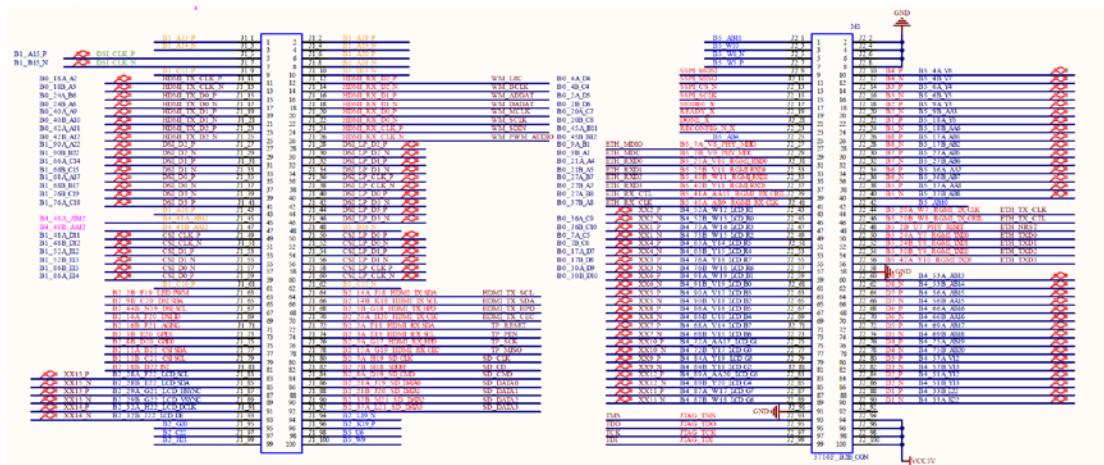
(1) 概述

开发板套件提供两条2*30PIN的双排座，进行核心板与底板连接。具体管脚参数请参考原理图。

注!

■ 插拔核心板接口时，需对 开发套件进行断电。

(2) 核心板接口排座电路



(3) 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
J1排座				
RXO0_P	A11	BANK_0	差分通道+	2.5V
RXO0_N	A12	BANK_0	差分通道-	2.5V
RXO1_P	A9	BANK_0	差分通道+	2.5V
RXO1_N	A10	BANK_0	差分通道-	2.5V
RXO2_P	B6	BANK_0	差分通道+	2.5V
RXO2_N	A6	BANK_0	差分通道-	2.5V
RXOC_P	A15	BANK_1	差分通道+	2.5V
RXOC_N	B15	BANK_1	差分通道-	2.5V
RXO3_P	A2	BANK_0	差分通道+	2.5V
RXO3_N	A3	BANK_0	差分通道-	2.5V
RXE0_P	D4	BANK_0	差分通道+	2.5V
RXE0_N	C4	BANK_0	差分通道-	2.5V
RXE1_P	D5	BANK_0	差分通道+	2.5V
RXE1_N	D6	BANK_0	差分通道-	2.5V
RXE2_P	C7	BANK_0	差分通道+	2.5V
RXE2_N	C8	BANK_0	差分通道-	2.5V
RXEC_P	A20	BANK_1	差分通道+	2.5V
RXEC_N	A21	BANK_1	差分通道-	2.5V
RXE3_P	B11	BANK_0	差分通道+	2.5V
RXE3_N	B12	BANK_0	差分通道-	2.5V

信号名称	FPGA管脚序号	BANK	描述	I/O电平
J3排座				
A_RXO0_P	Y19	BANK_4	差分通道+	2.5V
A_RXO0_N	Y18	BANK_4	差分通道-	2.5V
A_RXO1_P	AA17	BANK_4	差分通道+	2.5V
A_RXO1_N	Y17	BANK_4	差分通道-	2.5V
A_RXO2_P	V14	BANK_4	差分通道+	2.5V
A_RXO2_N	V15	BANK_4	差分通道-	2.5V
A_RXOC_P	V16	BANK_4	差分通道+	2.5V
A_RXOC_N	U16	BANK_4	差分通道-	2.5V
A_RXO3_P	V17	BANK_4	差分通道+	2.5V
A_RXO3_N	V18	BANK_4	差分通道-	2.5V
A_RXE0_P	W12	BANK_4	差分通道+	2.5V
A_RXE0_N	W13	BANK_4	差分通道-	2.5V
A_RXE1_P	W14	BANK_4	差分通道+	2.5V

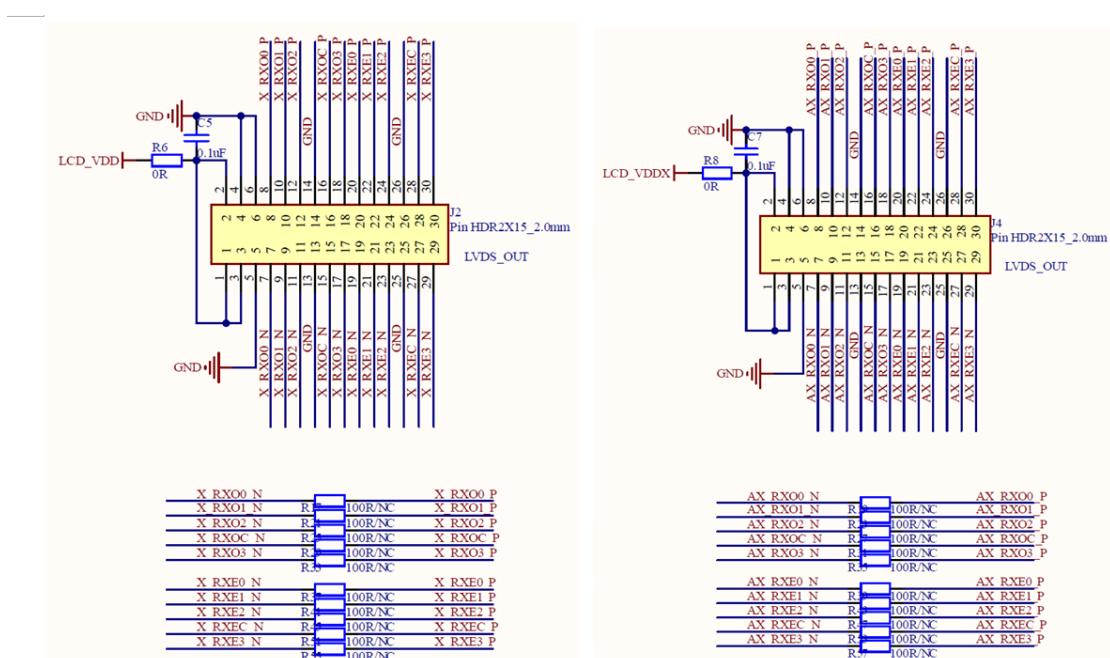
信号名称	FPGA管脚序号	BANK	描述	I/O电平
A_RXE1_N	W15	BANK_4	差分通道-	2.5V
A_RXE2_P	Y14	BANK_4	差分通道+	2.5V
A_RXE2_N	Y15	BANK_4	差分通道-	2.5V
A_RXEC_P	Y16	BANK_4	差分通道+	2.5V
A_RXEC_N	W16	BANK_4	差分通道-	2.5V
A_RXE3_P	W19	BANK_4	差分通道+	2.5V
A_RXE3_N	V19	BANK_4	差分通道-	2.5V

3.2.12 LVDS_TX

(1) 概述

开发板提供共2组 LVDS 发送接口，每组接口分别连接 10 对差分信号,其每个接口上包括 8 对数据, 2 对时钟, 接口采用 30 pin 2.00mm 间距的公头排座, 用于发送FPGA输出的 LVDS 信号驱动屏幕。

(2) LVDS_TX接口电路



(3) 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
J2排座				
X_RXO0_P	A22	BANK_	差分通道+	2.5V
X_RXO0_N	B22	BANK_	差分通道-	2.5V
X_RXO1_P	C14	BANK_	差分通道+	2.5V
X_RXO1_N	C15	BANK_	差分通道-	2.5V
X_RXO2_P	A17	BANK_	差分通道+	2.5V
X_RXO2_N	B17	BANK_	差分通道-	2.5V
X_RXOC_P	C9	BANK_	差分通道+	2.5V
X_RXOC_N	C10	BANK_	差分通道-	2.5V
X_RXO3_P	C18	BANK_	差分通道+	2.5V
X_RXO3_N	C19	BANK_	差分通道-	2.5V
X_RXE0_P	AB12	BANK_	差分通道+	2.5V
X_RXE0_N	AA12	BANK_	差分通道-	2.5V
X_RXE1_P	D11	BANK_	差分通道+	2.5V
X_RXE1_N	D12	BANK_	差分通道-	2.5V
X_RXE2_P	E12	BANK_	差分通道+	2.5V
X_RXE2_N	E13	BANK_	差分通道-	2.5V
X_RXEC_P	D9	BANK_	差分通道+	2.5V
X_RXEC_N	D10	BANK_	差分通道-	2.5V
X_RXE3_P	E14	BANK_	差分通道+	2.5V
X_RXE3_N	E15	BANK_	差分通道-	2.5V

信号名称	FPGA管脚序号	BANK	描述	I/O电平
J4排座				
AX_RXO0_P	V6	BANK_	差分通道+	2.5V
AX_RXO0_N	V7	BANK_	差分通道-	2.5V
AX_RXO1_P	Y4	BANK_	差分通道+	2.5V
AX_RXO1_N	Y5	BANK_	差分通道-	2.5V
AX_RXO2_P	Y6	BANK_	差分通道+	2.5V
AX_RXO2_N	AA6	BANK_	差分通道-	2.5V
AX_RXOC_P	AB15	BANK_	差分通道+	2.5V
AX_RXOC_N	AA15	BANK_	差分通道-	2.5V
AX_RXO3_P	AA7	BANK_	差分通道+	2.5V
AX_RXO3_N	AB7	BANK_	差分通道-	2.5V
AX_RXE0_P	AB16	BANK_	差分通道+	2.5V
AX_RXE0_N	AA16	BANK_	差分通道-	2.5V
AX_RXE1_P	AB17	BANK_	差分通道+	2.5V
AX_RXE1_N	AB18	BANK_	差分通道-	2.5V
AX_RXE2_P	AB19	BANK_	差分通道+	2.5V
AX_RXE2_N	AB20	BANK_	差分通道-	2.5V
AX_RXEC_P	V12	BANK_	差分通道+	2.5V
AX_RXEC_N	V13	BANK_	差分通道-	2.5V

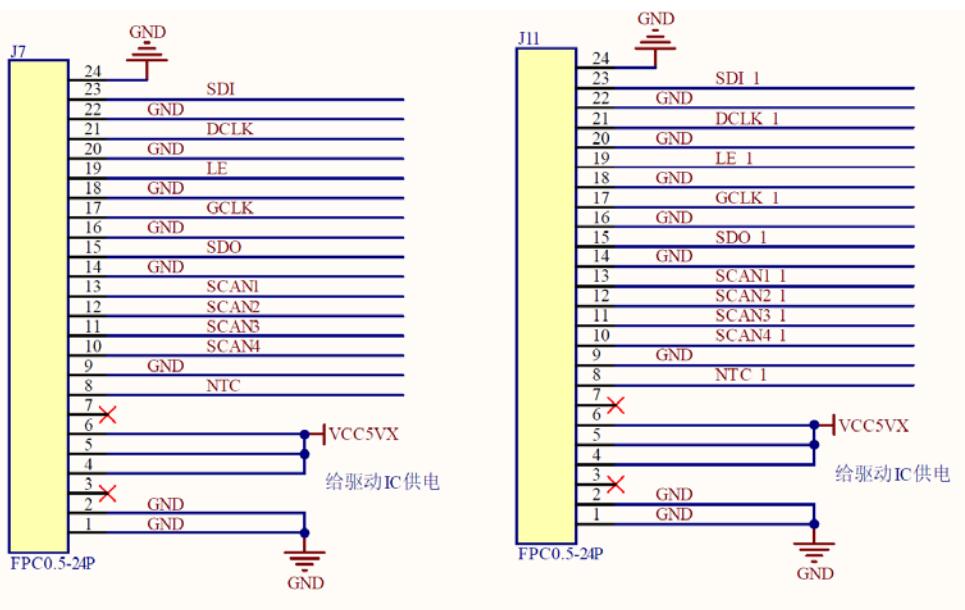
信号名称	FPGA管脚序号	BANK	描述	I/O电平
AX_RXE3_P	Y12	BANK_	差分通道+	2.5V
AX_RXE3_N	Y13	BANK_	差分通道-	2.5V

3.2.13 SPI

(1) 概述

开发套件提供2组分别接入两块MINI_LED灯板的驱动接口，主要由驱动LED芯片的SPI接口与提供扫描信号的SCAN接口组成。

(2) SPI电路



(3) 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
J7排座				
SDI	F19	BANK_2	灯板驱动SPI	3.3V
DCLK	C20	BANK_2	灯板驱动SPI	3.3V
LE	N19	BANK_2	灯板驱动SPI	3.3V
GCLK	F20	BANK_2	灯板驱动SPI	3.3V
SDO	F21	BANK_2	灯板驱动SPI	3.3V
SCAN1	E20	BANK_2	行扫信号	3.3V
SCAN2	D20	BANK_2	行扫信号	3.3V
SCAN3	B21	BANK_2	行扫信号	3.3V
SCAN4	C21	BANK_2	行扫信号	3.3V
J11排座				

信号名称	FPGA管脚序号	BANK	描述	I/O电平
SDI_1	L21	BANK_2	灯板驱动SPI	3.3V
DCLK_1	M21	BANK_2	灯板驱动SPI	3.3V
LE_1	J20	BANK_2	灯板驱动SPI	3.3V
GCLK_1	J19	BANK_2	灯板驱动SPI	3.3V
SDO_1	D19	BANK_2	灯板驱动SPI	3.3V
SCAN1_1	H18	BANK_2	行扫信号	3.3V
SCAN2_1	H19	BANK_2	行扫信号	3.3V
SCAN3_1	G19	BANK_2	行扫信号	3.3V
SCAN4_1	G17	BANK_2	行扫信号	3.3V

3.2.14 I/O 扩展接口

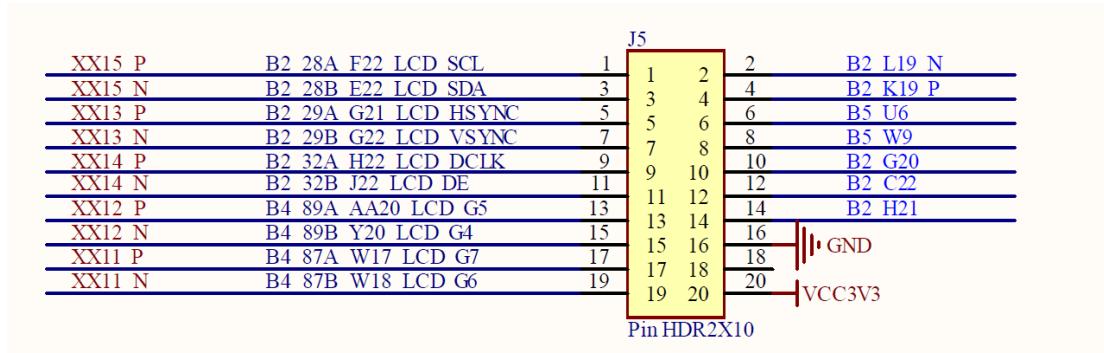
(1) 概述

开发套件提供1条2.54mm脚距、2*10PIN的双排针，主要作为外部扩展接口。

注！

- 使用扩展接口时，需对 开发套件进行断电。

(2) 核心板接口排座电路



(3) 管脚分配

信号名称	FPGA管脚序号	BANK	描述	I/O电平
IO_1	F22	BANK_2	可扩展IO口	3.3V
IO_2	L19	BANK_2	可扩展IO口	3.3V
IO_3	E22	BANK_2	可扩展IO口	3.3V
IO_4	K19	BANK_2	可扩展IO口	3.3V
IO_5	G21	BANK_2	可扩展IO口	3.3V
IO_6	U6	BANK_5	可扩展IO口	3.3V

信号名称	FPGA管脚序号	BANK	描述	I/O电平
IO_7	G22	BANK_2	可扩展IO口	3.3V
IO_8	W9	BANK_5	可扩展IO口	3.3V
IO_9	H22	BANK_2	可扩展IO口	3.3V
IO_10	G20	BANK_2	可扩展IO口	3.3V
IO_11	J22	BANK_2	可扩展IO口	3.3V
IO_12	C22	BANK_2	可扩展IO口	3.3V
IO_13	AA20	BANK_4	可扩展IO口	2.5V
IO_14	H21	BANK_2	可扩展IO口	3.3V
IO_15	Y20	BANK_4	可扩展IO口	2.5V
IO_16	GND		GND	
IO_17	W17	BANK_4	可扩展IO口	2.5V
IO_18	GND		GND	
IO_19	W18	BANK_4	可扩展IO口	2.5V
IO_20	VCC3V3		VCC3V3	

4、FPGA 开发环境安装及流程

4.1 开发环境简介

云源设计系统是专为高云半导体 FPGA 芯片而配套的集成电路设计与实现工具。云源系统针对高云 FPGA 芯片构架的低功耗、低成本特点进行了全面的优化设计，覆盖了从 RTL 电路功能描述到生成 FPGA 码流文件的完整流程，包括了优化设计、自动设计、图形交互设计等功能，具有性能优越、容易使用等特点。

云源设计系统主要功能：

- 软件系统支持高云 FPGA 芯片所有功能，覆盖从 RTL 电路功能描述到生成 FPGA 码流文件的完整设计流程；
- 综合优化工具 GowinSynthesis®支持高性能的逻辑设计和综合；
- 自动设计和交互式图形设计并用；
- 支持 Centos6.8/7.0/7.5(64bits)、Ubuntu18.04/20.04LTS、Win7/8/10(32bits/64bits)、Win XP (32bits)系统；
- 千万门级软件；
- 支持 VHDL、Verilog HDL 和 System Verilog 语言；
- 支持高云产品优化的芯片架构；
- 具有独创的快速、高性能算法的布局和布线系统；
- 精确的时序分析和时序报告；
- 时钟分析和控制保证了更好的时序性能；
- 支持各种时序约束和物理约束；
- 支持实时监测硬件电路信号并加以存储，同时以时序波形图直观显示；
- 资源共享技术可提高芯片利用率、降低成本。

云源设计系统主要特点：

- 一体化设计
 - 设计可分阶段完成，也可一揽子自动完成；

- 可选择命令行模式或图形交互模式完成设计；
- 利用脚本设计，可灵活地设计任何单一模块而不影响一体化设计全程。
- 优化设计
 - 网表优化设计；
 - 快速时序优化分析和设计；
 - 资源分析和优化。
- 分层设计和分析
 - 支持分层网表结构输入和输出；
 - 同时支持扁平化网表结构输入和输出；
 - 分层图形显示、追踪、分析网表。
- 方便灵活的交互图形设计
 - 用户界面简单清晰
 - 包含项目、设计模块、工具和输出部分；
 - 设计约束输入、选择和更新；
 - 快速时序分析和报告；
 - Push button 设计技。

4.2 开发环境安装

云源软件在 Windows 系统下的安装方式一致，双击云源软件安装包，根据提示进行安装，安装结束后会默认在 PC 桌面创建快捷方式。云源软件在 Linux 系统 下解压安装包文件夹即可完成软件安装。软件安装完成后在第一次启动时需要先对 License 进行配置，软件 License 是一种格式合同，由高云半导体与用户签订，用以规定和限制软件用户使用软件的权利，以及高云半导体应尽的义务。

注！ 云源软件的安装地址不支持含有中文的路径，请参考 [Gowin云源软件快速安装启动指南 \(gowinsemi.com.cn\)](#)。

4.3 开发流程

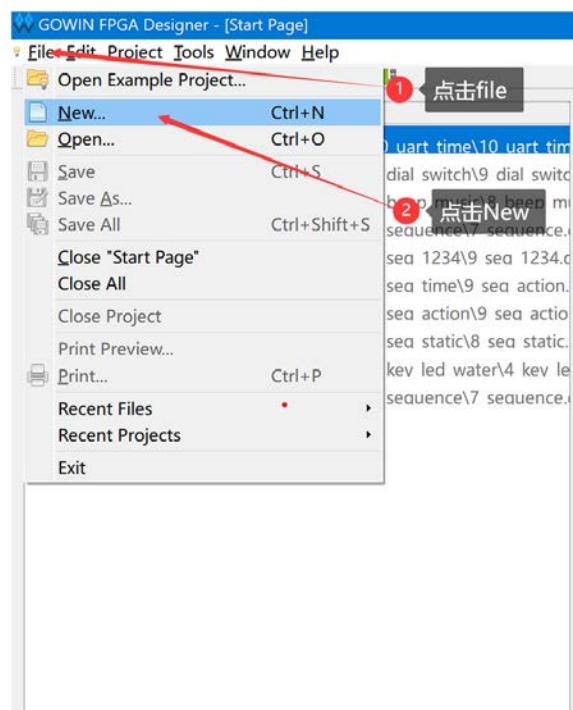
下面以 GW1N 系列开发流程为例，做简单开发流程介绍，如需了解更多详细开发流程知识请参考 [Gowin云源软件 \(gowinsemi.com.cn\)](#)。

4.3.1 新建工程

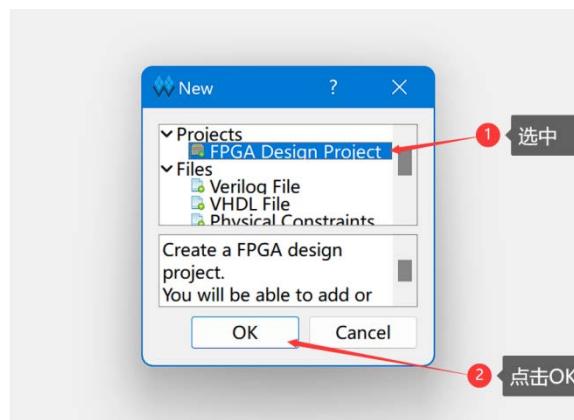
1. 双击安装好的云源软件，打开云源软件。



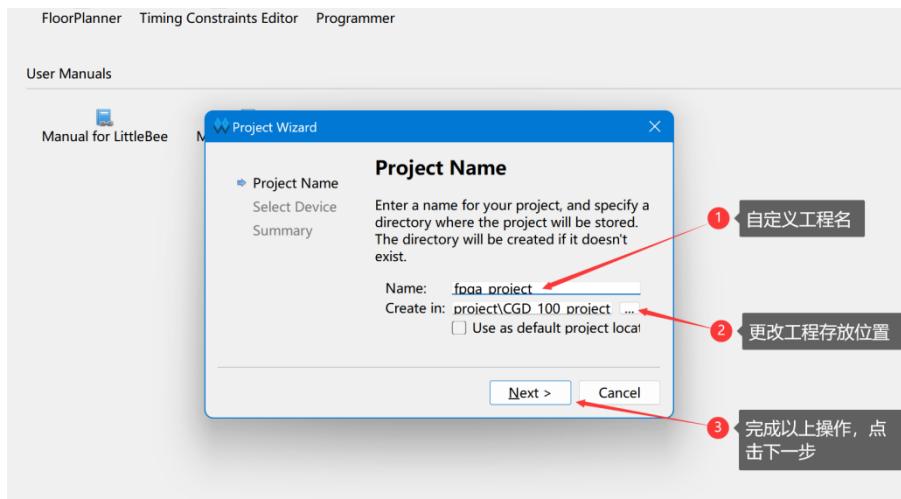
2. 点击左上角file，选择New。



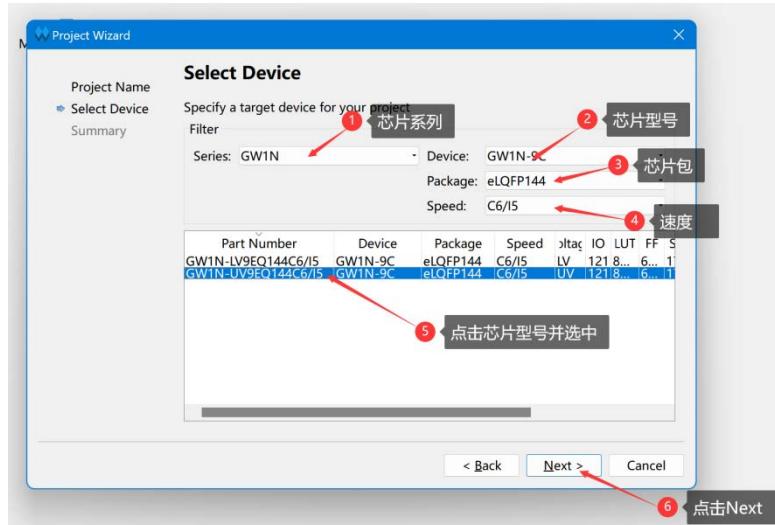
3. 在弹出的对话框里选择 FPGA Design Project，点击 OK 。



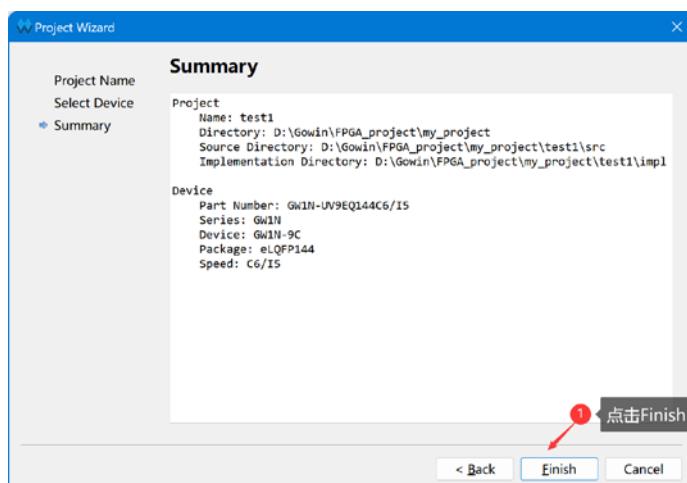
4. 在弹出的对话框里的 name 旁自定义新建工程名，默认新建工程名为 fpga_project；在Create in选择工程存放位置，完成上述操作点击Next。



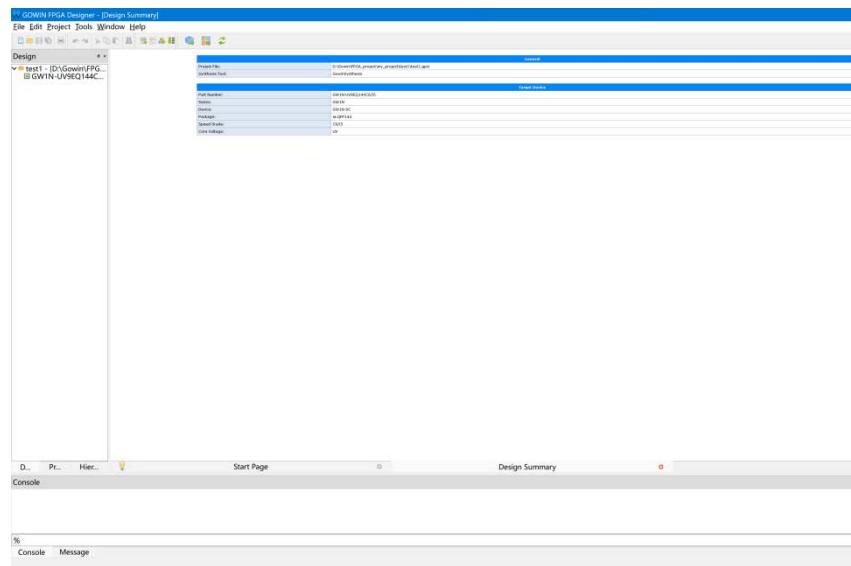
5. 在弹出的对话框内选择器件型号，本次示例芯片型号为GW2A-LV18PG256C8/I7，完成后点击Next。（注：参考图片以GW1N系列）



6. 最后在弹出的对话框内点击Finish。

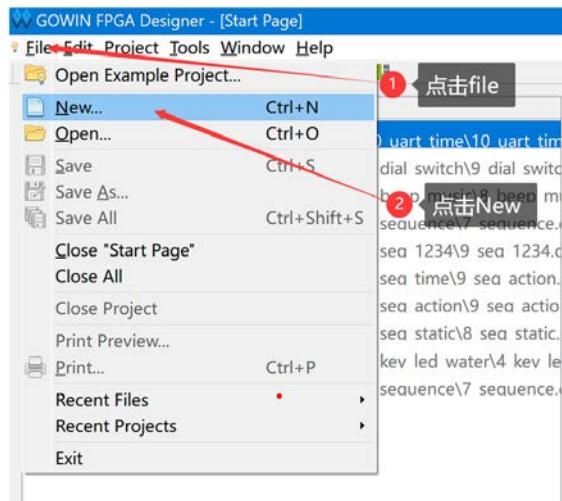


7. 工程创建完毕。

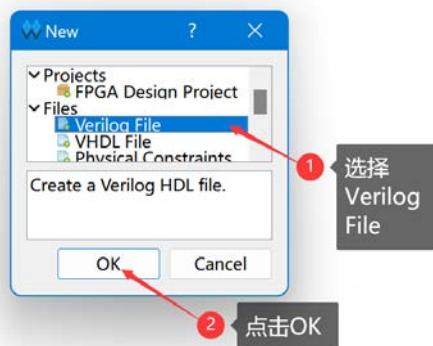


4.3.2 添加工程文件

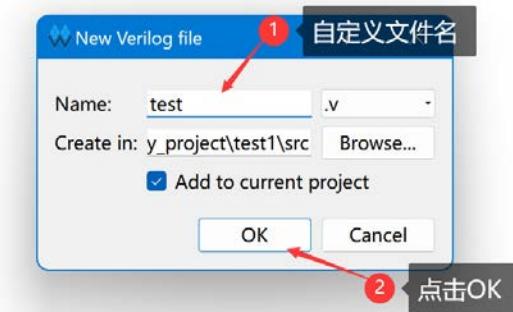
1. 点击File，选择New。



2. 在弹出的对话框内选择Verilog File，点击OK。



3. 在弹出的对话框内自定义工程文件名，其他默认，定义好后点击OK。

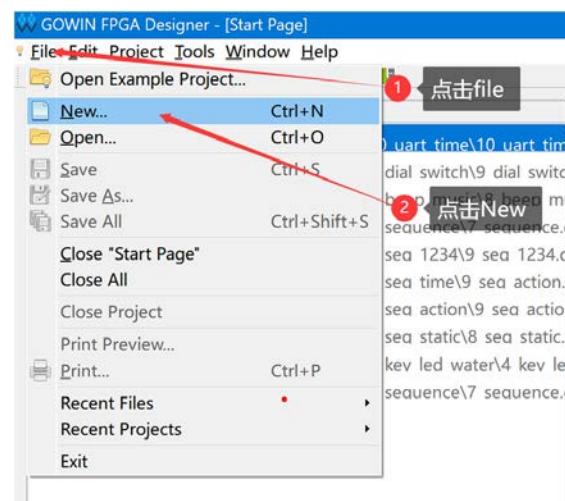


4. 双击文件，可以打开进行编辑。

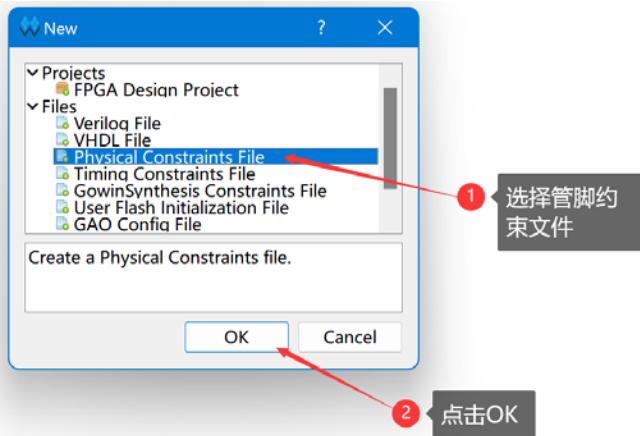


4.3.3 管脚约束

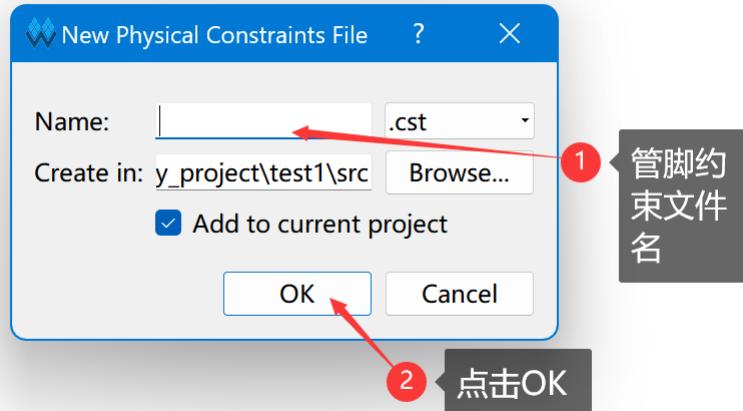
1. 点击File，选择New。



2. 选择 Physical Constraints File 文件类型，点击OK。



3. 自定义管脚约束文件名，点击 OK 。



4. 双击管脚约束文件，进行管脚约束。

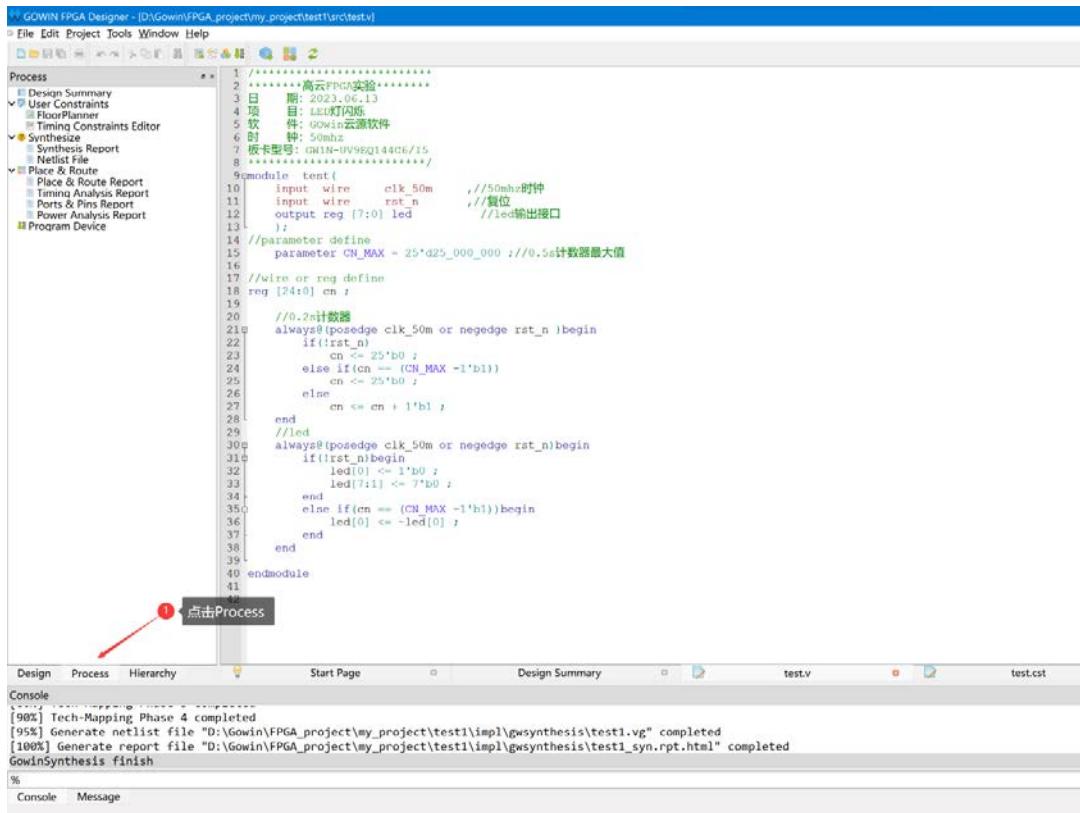
```

1 IO_LOC "clk_50m" 11;
2 IO_PORT "clk_50m" IO_TYPE=LVC MOS33;
3
4 //IO_LOC "sv[0]" 75;
5 //IO_LOC "sv[1]" 76;
6 //IO_LOC "sv[2]" 78;
7 //IO_LOC "sv[3]" 79;
8 //IO_PORT "sw[0]" IO_TYPE=LVC MOS33;
9 //IO_PORT "sw[1]" IO_TYPE=LVC MOS33;
10 //IO_PORT "sw[2]" IO_TYPE=LVC MOS33;
11 //IO_PORT "sw[3]" IO_TYPE=LVC MOS33;
12
13 //IO_LOC "key_n[0]" 58;
14 //IO_LOC "key_n[1]" 59;
15 //IO_LOC "key_n[2]" 60;
16 //IO_LOC "key_n[3]" 61;
17 //IO_LOC "key_n[4]" 62;
18 //IO_LOC "key_n[5]" 63;
19 //IO_LOC "key_n[6]" 64;
20 IO_LOC "rst_n" 65; //k8
21 //IO_PORT "key_n[0]" IO_TYPE=LVC MOS33;
22 //IO_PORT "key_n[1]" IO_TYPE=LVC MOS33;
23 //IO_PORT "key_n[2]" IO_TYPE=LVC MOS33;
24 //IO_PORT "key_n[3]" IO_TYPE=LVC MOS33;
25 //IO_PORT "key_n[4]" IO_TYPE=LVC MOS33;
26 //IO_PORT "key_n[5]" IO_TYPE=LVC MOS33;
27 //IO_PORT "key_n[6]" IO_TYPE=LVC MOS33;
28 IO_PORT "rst_n" IO_TYPE=LVC MOS33 ;//
29
30 IO_LOC "led[0]" 23;
31 IO_LOC "led[1]" 24;
32 IO_LOC "led[2]" 25;
33 IO_LOC "led[3]" 26;
34 IO_LOC "led[4]" 27;
35 IO_LOC "led[5]" 28;
36 IO_LOC "led[6]" 29;
37 IO_LOC "led[7]" 30;
38 IO_PORT "led[0]" IO_TYPE=LVC MOS33;
39 IO_PORT "led[1]" IO_TYPE=LVC MOS33;
40 IO_PORT "led[2]" IO_TYPE=LVC MOS33;
41

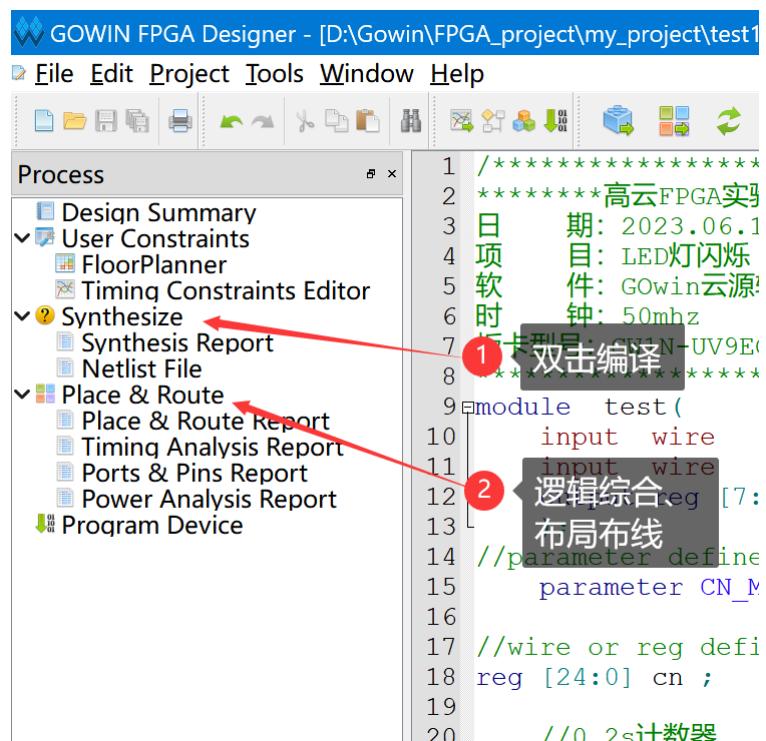
```

4.3.4 综合、编译

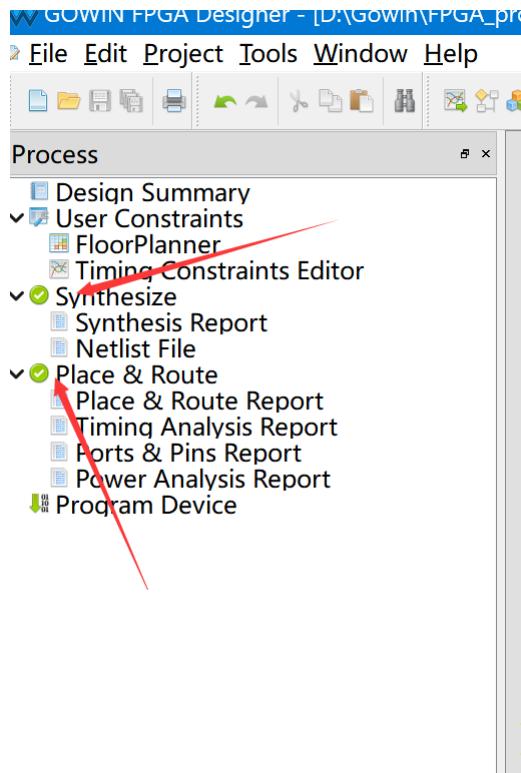
1. 点击Process。



2. 双击Synthesize进行编译，编译通过后双击，Place & Route 进行逻辑综合、布局布线。

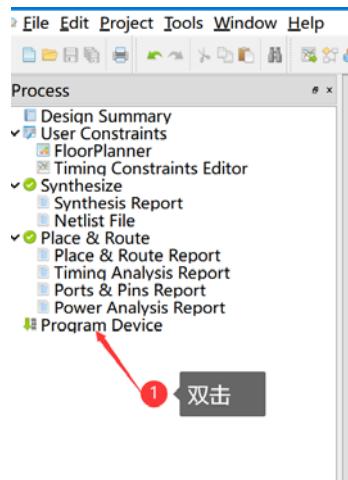


3. 上述操作完成后如下图所示，Synthesize 和 Place & Route 均为绿色并打勾。

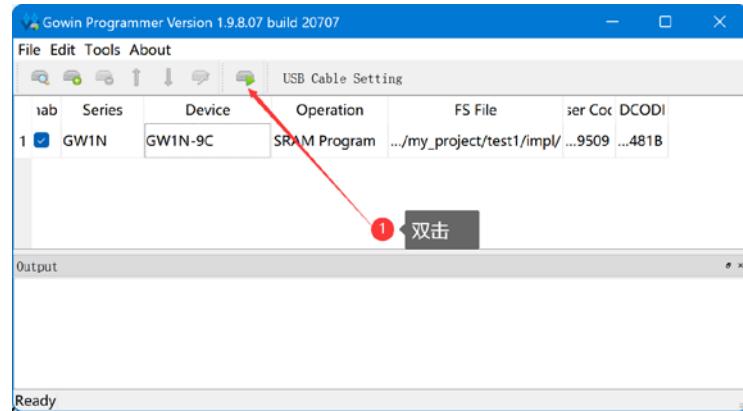


4.3.5 上板验证

1. 用 Type-C 电缆线连接 开发套件。
2. 双击Program Device ， 软件自动识别 开发套件型号。



3. 在弹出的对话框内双击绿色三角形图标，进行烧录，默认烧录到SRAM，掉电不保存。



5、开发套件使用注意事项

为了让大家更好的使用 Mini_LED开发套件, 我们在这里总结开发板使用的时候尤其要注意的一些问题, 希望大家在使用的时候多多注意, 以减少不必要的问题。

- 开发套件建议使用 12V直流电源进行供电, 确保开发套件上各个电源轨能够达到设计的功耗大小;
- 使用 GPIO 排针引脚进行外部通信时, 要确保 IO 电压输入, 输出电平与对应接口协议相同, 过高的电压会永久损坏 PCBA
- 请在上电过程中, 避免任何液体和金属触碰到 PCBA 上的元件的焊盘, 否则会导致路, 烧毁 PCBA。

至此, Mini_LED开发套件用户手册介绍到此结束, 了解了整个手册对我们后面的学习会有很大帮助, 有助于后面的管脚约束(分配), 在编写程序的时候, 可以事半功倍, 希望大家细读!

获取更多 FPGA 相关资料, 请登录高云官网 gowinsemi.com.cn.