

Nexys4 DDR™FPGA 板 参考手册

Nexys4 DDR rev. C;2014 年 9 月 11 日修订

1 概述

Nexys4 DDR 板是一个完整的，即用的数字电路开发平台，基于 Xilinx®最新的 Artix-7™现场可编程门阵列(FPGA)。凭借其大容量高容量 FPGA (Xilinx 零件号 XC7A100T-1CSG324C)，丰富的外部存储器，以及 USB，以太网和其他端口的集合，Nexys4 DDR 可以承载从入门组合电路到强大嵌入式处理器的各种设计。几个内置外设，包括一个

加速计，温度传感器，MEMs 数字麦克风，扬声器放大器和几个 I/O 设备允许 Nexys4 DDR 用于广泛的设计，而不需要任何其他组件。



Nexys4 DDR

Artix-7 FPGA 针对高性能逻辑进行了优化，与早期设计相比，提供了更大的容量、更高的性能和更多的资源。artix-7 100T 功能包括：

15850 个逻辑片，每个逻辑片有 4 个 6 输入 lut 和 8 个触发器 4860 千比特的快速块 RAM

- 6 个时钟管理瓦片，每个瓦片有锁相环(PLL) > 240 个 DSP 片
- 内部时钟速度超过 450 MHz
- 片上模数转换器(XADC)



Nexys4 DDR 还提供了改进的端口和外设集合，包括：

△16 个用户交换机 △USB-
UART 桥接 △12 位 VGA 输出
△3 轴加速度计 △128MiB
DDR2△用于 XADC 信号的
Pmod

16 个用户 led
2 个三色 led PWM 音频输
出温度传感器 Serial Flash
Digilent USB-JTAG 端口，用于 FPGA
编程和
沟通

“两个 4 位 7 段显示器” “Micro SD 卡
连接器” “PDM 麦克风” “10/100 以太
网 PHY” “四个 Pmod 端口” “USB
HID 主机” 用于鼠标、键盘
以及内存条

Nexys4 DDR 兼容 Xilinx 新的高性能 Vivado®设计套件以及 ISE®工具集，其中包括 ChipScope™和 EDK。Xilinx 提供这些工具集的免费 WebPACK™版本，因此设计可以在没有额外成本的情况下实现。Digilent Adept 实用程序不支持 Nexys4 DDR。

有道文档翻译
pdf.youdao.com

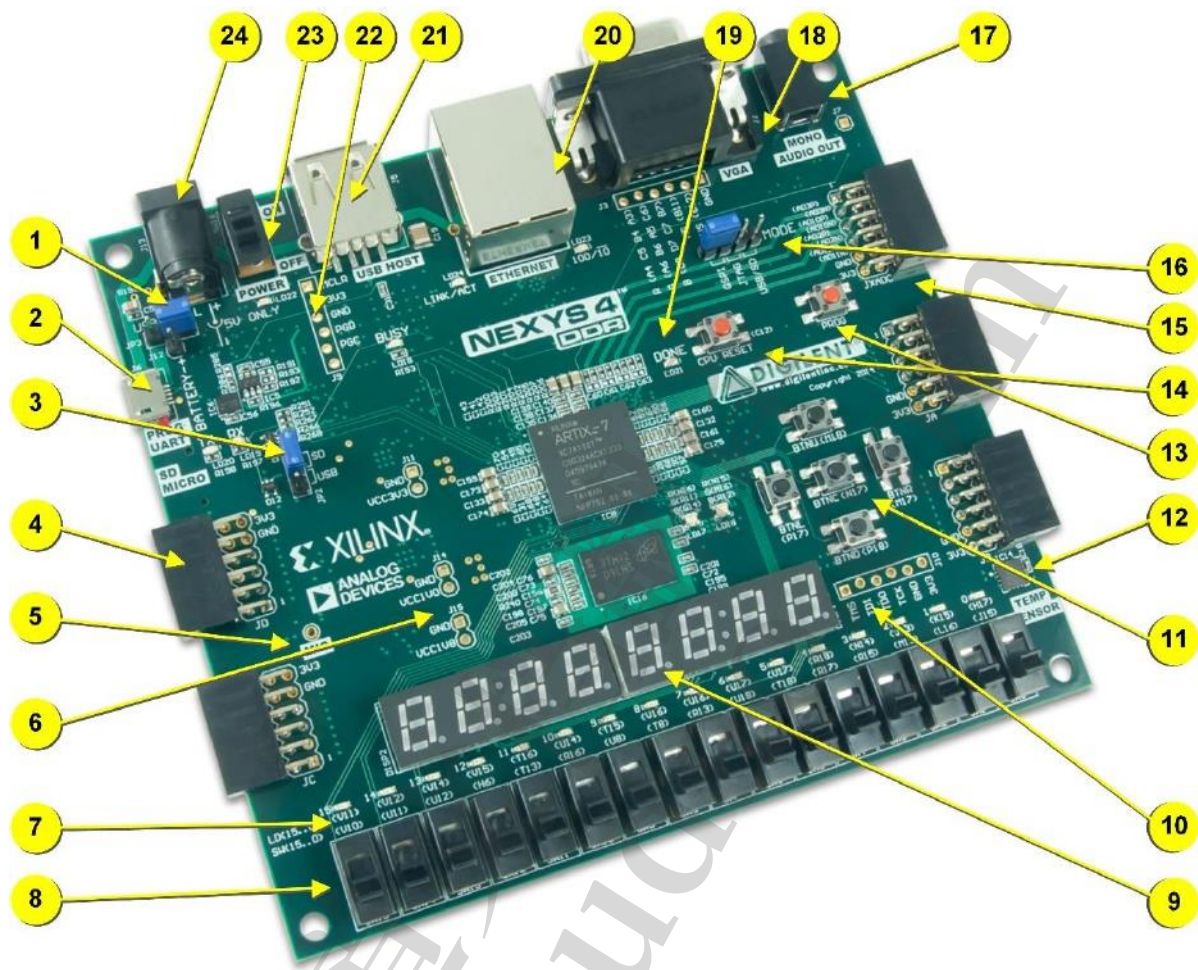


图1 所示。Nexys4 DDR 板功能。

调出	组件描述	调出	组件描述
1	电源选择跳线和电池头	13	FPGA 配置复位按钮
2	共享 UART/ JTAG USB 接口	14	CPU 复位按钮(适用于软核)
3.	外部配置跳线(SD / USB)	15	模拟信号 Pmod 连接器(XADC)
4	Pmod 连接器(s)	16	编程模式跳线
5	麦克风	17	音频连接器
6	电源测试点(个)	18	VGA 连接器
7	发光二级管(16)	19	FPGA 编程完成 LED
8	滑动开关	20.	以太网连接器
9	8 位 7- segg 显示	21	USB 主机连接器
10	(可选)外部电缆的 JTAG 端口	22	PIC24 编程接口(出厂使用)
11	五个按钮	23	电源开关
12	温度传感器	24	权力杰克

Digilent 网站上有越来越多的板支持 IP、参考设计和附加板。更多信息请参见 www.digilentinc.com 的 Nexys4 DDR 页面。

1.1 从 Nexys4 迁移

Nexys4 DDR 是对 Nexys4 板的增量更新。主要的改进是将 16 MiB CellularRAM 替换为 128 MiB DDR2 SDRAM 内存。Digilent 将提供一个 VHDL 参考模块，该模块包装了 DDR2 控制器的复杂性，并向后兼容 CellularRAM 的异步 SRAM 接口，但有一定的局限性。有关更新，请参见 www.digilentinc.com 的 Nexys4 DDR 页面。

此外，为了适应新的内存，FPGA 组的引脚也发生了变化。现有项目的约束文件将需要更新。

音频输出(AUD_PWM)需要驱动开漏，而不是 Nexys4 上的推拉式。

2 电源

Nexys4 DDR 单板可以通过 Digilent USB-JTAG 接口(J6)供电，也可以通过外部电源供电。跳线 JP3(靠近电源插孔)决定使用哪个电源。

所有 Nexys4 DDR 电源都可以通过单个逻辑级电源开关(SW16)进行开关。由 ADP2118 电源的“电源好”输出驱动的电

源好 LED (LD22)，表明电源已打开并正常工作。Nexys4 DDR 电源电路概述如图 2 所示。

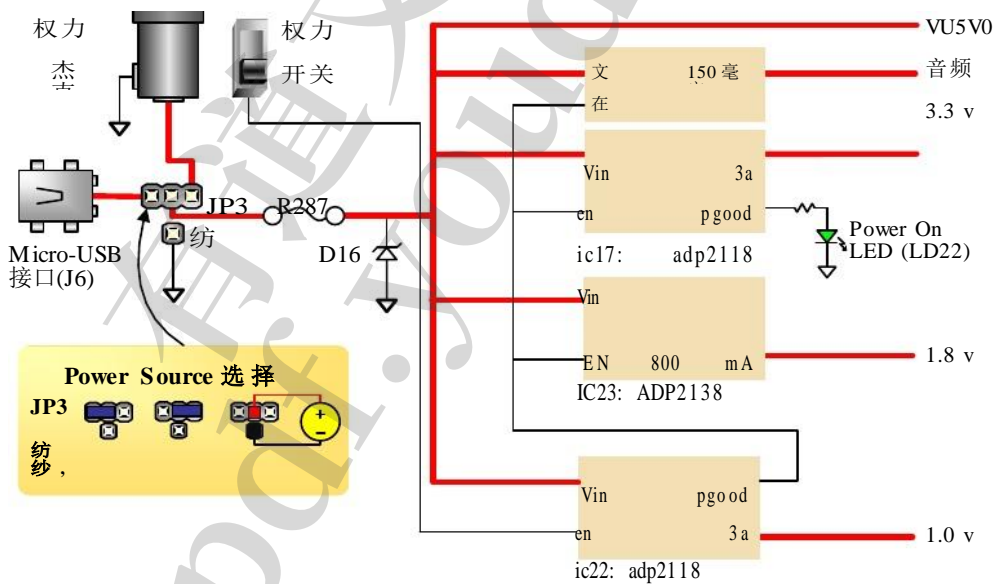


图2. Nexys4 DDR 电源电路。

USB 端口可以为绝大多数设计提供足够的功率。我们的开箱即用的演示从 5V 输入导轨中获得~400mA 的电流。一些苛刻的应用，包括驱动多个外围板的应用，可能需要比 USB 端口提供更多的功率。此外，一些应用程序可能需要在不连接到 PC 的 USB 端口的情况下运行。在这些情况下，可以使用外部电源或电池组。外部电源可以通过插入电源插孔(JP3)并将跳线 J13 设置为“墙”来使用。电源必须使用同轴，中心正 2.1 毫米内径插头，并提供 4.5VDC 到 5.5VDC 和在

至少 1A 的电流(即至少 5W 的功率)。许多合适的电源可以通过 Digi-Key 或其他目录供应商从 Diligent 购买。

外部电池组可以通过将电池的正极端连接到 JP3 的中心引脚，负极端连接到 JP3 正下方标记为 J12 的引脚来使用。由于 Nexys4 DDR 上的主稳压器不能容纳超过 5.5VDC 的输入电压，因此外接电池组必须限制在 5.5VDC。电池组的最低电压取决于应用:如果使用 USB Host 功能(J5)，至少需要提供 4.6V。其他情况下，最低电压为 3.6V。

Analog Devices 的稳压电路从主电源输入端创建所需的 3.3V、1.8V 和 1.0V 电源。表 1 提供了其他信息。典型电流强烈依赖于 FPGA 配置，所提供的值是典型的中等尺寸/速度设计。

供应	电路	设备	当前(max/典型)
3.3 v	FPGA I/O, USB 端口，时钟，RAM I/O，以太网，SD 插槽，传感器，闪存	IC17: ADP2118	3A/0.1 ~ 1.5A
1.0 v	FPGA 核心	IC22: ADP2118	3A/ 0.2 ~ 1.3A .
1.8 v	DDR2, FPGA 辅助和 RAM	IC23: ADP2138	0.8 / 0.5

表 1。Nexys4 DDR 电源。

2.1 电源保护

Nexys4 DDR 在输入电源轨道上设有过流和过压保护。3.5A 保险丝(R287)和 5V 齐纳二极管(D16)为其他板载集成电路提供了不可复位保护，如图 2 所示。在本文档中概述的规格之外应用电源不包括在保修范围内。如果发生这种情况，其中一个或两个都可能受到永久损坏。损坏的部件是不可更换的。

3 FPGA 配置

上电后，article -7 FPGA 必须进行配置(或编程)，才能执行任何功能。可以通过以下四种方式之一来配置 FPGA:

- 1.PC 可以使用 Diligent USB-JTAG 电路(portJ6，标记为“PROG”)在任何电源接通时对 FPGA 进行编程。
- 2.存储在非易失性串行(SPI)闪存设备中的文件可以通过 SPI 端口传输到 FPGA。
- 3.编程文件可以从 micro - SD 卡传输到 FPGA。
- 4.编程文件可以从连接到 USB HID 端口的 USB 记忆棒传输。

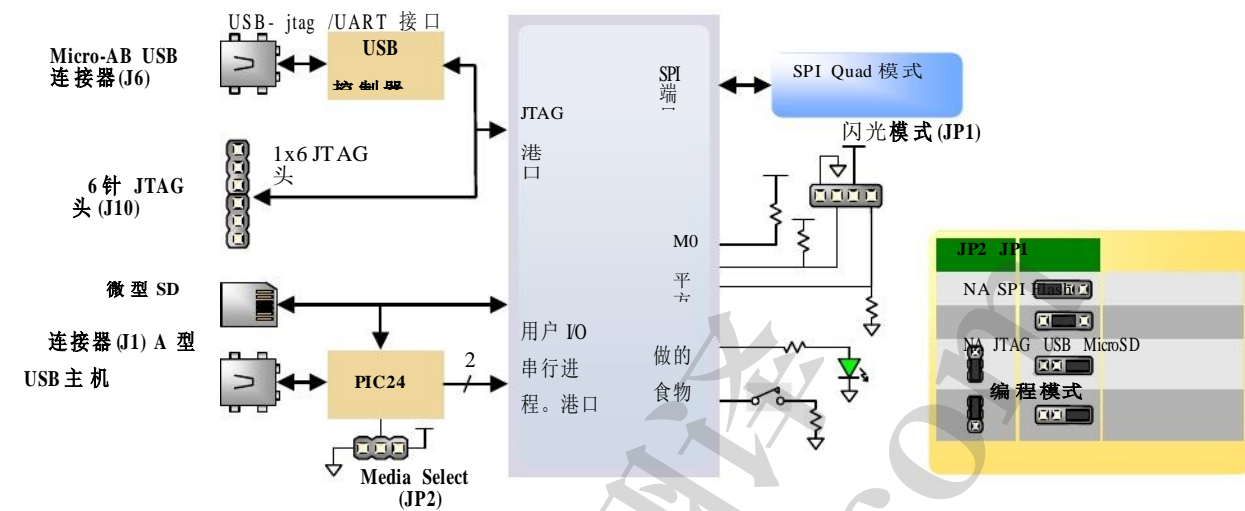


图3。Nexys4 DDR 配置选项。

图 3 显示了可用于配置 FPGA 的不同选项。板上“模式”跳线(JP1)和媒体选择跳线(JP2)在编程模式之间进行选择。

FPGA 配置数据存储在名为位流的文件中，文件扩展名为 .bit。来自 Xilinx 的 ISE 或 Vivado 软件可以从 VHDL, Verilog®或基于原理图的源文件创建位流(在 ISE 工具集中，EDK 用于基于 MicroBlaze™嵌入式处理器的设计)。

位流存储在 FPGA 内基于 sram 的存储单元中。这些数据定义了 FPGA 的逻辑功能和电路连接，并且在移除单板电源、按下附加在 PROG 输入上的复位按钮或使用 JTAG 端口写入新的配置文件擦除之前都是有效的。

第 7 条 100T 比特流通常是 30,606,304 位，传输时间可能很长。通过在编程前对比特流进行压缩，然后在配置过程中允许 FPGA 自行解压比特流，可以减少 Nexys4 编程所需的时间。根据设计复杂度的不同，可以实现 10x 的压缩比。比特流压缩可以在 Xilinx 工具(ISE 或 Vivado)中启用，以便在生成期间发生。有关如何做到这一点的说明，请参阅正在使用的工具集的 Xilinx 文档。

成功编程后，FPGA 将使“DONE”LED 发光。随时按下“PROG”按钮，将重置 FPGA 中的配置内存。重置后，FPGA 将立即尝试从编程模式跳线所选择的任何方法重新编程。

以下部分提供了关于使用不同可用方法编程 Nexys4 DDR 的更详细信息。

3.1 JTAG 配置

Xilinx 工具通常使用测试访问端口和边界扫描架构(通常称为 JTAG)与 fpga 通信。在 JTAG 编程期间，使用板载 Digilent USB-JTAG 电路(端口 J6)或外部 JTAG 编程器(如 Digilent JTAG- hs2)将 .bit 文件从 PC 传输到 FPGA，连接到端口 J10。您可以在 Nexys4 DDR 上电后的任何时间执行 JTAG 编程，而不管模式跳线(JP1)设置为什么。如果 FPGA 已经配置了，那么现有的配置会被 JTAG 上传的比特流覆盖。将模式跳线设置为 JTAG

设置(如图 3 所示)有助于防止 FPGA 从任何其他位流源配置,直到 JTAG 编程发生。

使用板载 USB-JTAG 电路使用未压缩的比特流编程 Nexys4 DDR 通常需要大约 5 秒。JTAG 编程可以使用 Vivado 中的硬件服务器或 ISE 附带的 iMPACT 工具和 Vivado 的 Lab Tools 版本来完成。www.digilentinc.com 上的演示项目提供了关于如何编程你的电路板的深入教程。

3.2 Quad-SPI 配置

由于 Nexys4 DDR 上的 FPGA 是易失性的,所以它依赖于 quadi - spi 闪存来存储电源周期之间的配置。这种配置模式被称为 Master SPI。空白 FPGA 承担 master 的角色,在上电时从闪存设备中读取配置文件。为此,需要先将配置文件下载到闪存中。在对非易失性闪存设备编程时,位流文件通过两步过程传输到闪存。首先,用一个可以对闪存设备编程的电路对 FPGA 进行编程,然后通过 FPGA 电路将数据传输到闪存设备(Xilinx 工具对用户隐藏了这个复杂性)。这就是所谓的间接编程。在闪存设备被编程后,它可以在随后的上电或复位事件中自动配置 FPGA,由模式跳线设置决定(参见图 3)。存储在闪存设备中的编程文件将保持不变,直到被覆盖,而不考虑电源周期事件。

对闪存进行编程可能需要长达 4 到 5 分钟的时间,这主要是由于内存技术固有的冗长的擦除过程。然而,一旦编写完成,FPGA 配置可以非常快——不到一秒。位流压缩、SPI 总线宽度和配置速率是由 Xilinx 工具控制的可以影响配置速度的因素。Nexys4 DDR 支持 x1、x2 和 x4 总线宽度以及高达 50 MHz 的数据速率,用于 Quad-SPI 编程。

quadi - spi 编程可以使用 ISE 附带的 iMPACT 工具或 Vivado 的 Lab Tools 版本来完成。

3.3 USB 主机和 MicroSD 编程

您可以从连接到 USB 主机端口(J5)的笔式驱动器或插入到 J1 的 microSD 卡对 FPGA 进行编程,方法如下:

- 1.用 FAT32 文件系统格式化存储设备(笔盘或 microSD 卡)。
- 2.在存储设备的根目录下放置一个“.bit”配置文件。
- 3.将存储设备挂载到 Nexys4 DDR 上。
- 4.将 Nexys4 DDR 上的 JP1 编程模式跳线设置为“USB/SD”。
- 5.使用 JP2 选择所需的存储设备。
- 6.按 PROG 键或给 Nexys4 DDR 充电。

FPGA 将自动配置所选存储设备上的 .bit 文件。任何不是为恰当的 article -7 设备构建的 .bit 文件将被 FPGA 拒绝。

辅助功能状态,或“BUSY”LED,在 FPGA 尚未编程时给出配置过程状态的视觉反馈:

当稳定亮起时,辅助微控制器要么正在启动,要么正在当前读取配置介质(microSD 或笔盘),并下载比特流到 FPGA。

- 缓慢的脉冲意味着微控制器正在等待配置介质被插入。

如果配置过程中出现错误，LED会快速闪烁。

当 FPGA配置成功时，LED 的行为是特定于应用程序的。例如，如果插入 USB 键盘，快速闪烁将表示接收到键盘发出的 HID输入报告。

4 内存

Nexys4 DDR 板包含两个外部存储器:一个 1Gib (128MiB) DDR2 SDRAM 和一个 128MiB (16MiB)非易失性串行 Flash 设备。DDR2 模块集成在板上，并使用行业标准接口连接到 FPGA。串行 Flash 位于专用的四模(x4) SPI 总线上。FPGA 和外部存储器之间的连接和引脚分配如下所示。

4.1 DDR2

Nexys4 DDR 包括一个美光 MT47H64M16HR-25:H DDR2 内存组件，创建了一个单级，16 位宽接口。它被路由到一个 1.8 v 供电的 HR(高范围)FPGA 组，具有 50 欧姆控制的单端迹线阻抗。FPGA 中的 50 欧姆内部端子用于匹配迹线特性。类似地，在内存端，芯片上的端子(ODT)用于阻抗匹配。

为了内存的正确操作，需要在 FPGA 设计中包含内存控制器和物理层(PHY)接口。有两种推荐的方法可以做到这一点，下面概述了这两种方法，在复杂性和设计灵活性上有所不同。

最直接的方法是使用 diligent 提供的 DDR-to-SRAM 适配器模块，该模块实例化内存控制器，并使用异步 SRAM 总线与用户逻辑进行接口。该模块提供了与为旧的 nexys 线板编写的项目的向后兼容性，该板具有 CellularRAM 而不是 DDR2。它以内存带宽换取简单性。

更高级的用户或希望了解更多关于 DDR SDRAM 技术的用户，可能希望使用 MIG(内存接口生成器)向导生成的 Xilinx 7 系列内存接口解决方案核心。根据所使用的工具(ISE, EDK 或 Vivado)，MIG Wizard 可以生成本地 fifo 风格或 AXI4 接口来连接用户逻辑。这个工作流程允许定制针对特定应用优化的几个 DDR 参数。下面的表 2 列出了针对 Nexys4 DDR 优化的 MIG 向导设置。

设置	价值
内存类型	可编程门阵列控制的 DDR2 SDRAM
Max. 时钟周期	3000ps (667Mbps 数据速率)
推荐时钟周期(方便时钟生成)	3077ps (650Mbps 数据速率)
记忆的一部分	MT47H64M16HR-25E
数据宽度	16
数据的面具	启用
芯片选择引脚	启用
Rtt(标称)-模上终止	50 欧姆
内部 Vref	启用
内部终端阻抗	50 欧姆

表 2。Nexys4 DDR 的 DDR2 设置。

虽然 FPGA、内存 IC 和板本身能够实现 667Mbps 的最大数据速率，但时钟生成原语中的限制限制了可以从 100 MHz 系统时钟生成的时钟频率。因此，为了简单起见，建议采用 650Mbps 的次高数据速率。

MIG 向导将要求在生成 IP 核之前输入和验证内存信号的固定引脚。为了您的方便，Digilent 网站上提供了一个可导入的 UCF 文件，以加快这一过程。

有关 Xilinx 内存接口解决方案的更多详细信息，请参阅 7 系列 fpga 内存接口解决方案用户指南(ug586)。

4.2 quadi - spi Flash

FPGA 配置文件可以写入到 quadi - spi Flash (Spansion 零件号 S25FL128S)，并且可以使用模式设置，使 FPGA 在上电时自动从该设备读取配置。一个 Artix-7 100T 配置文件只需要不到 4 个 MiB (mebibyte)的内存，大约有 77% 的 flash 设备可用于用户数据。或者，如果 FPGA 是从其他来源获得配置，则整个内存都可以用于自定义数据。

可以通过在 SPI 总线上发出某些命令来操作内存的内容。该协议的实现不在本文讨论范围之内。SPI 总线中除 SCK 外的所有信号都是经过 FPGA 配置后的通用用户 I/O 引脚。SCK 是个例外，因为即使配置之后，它仍然是专用引脚。对这个引脚的访问是通过一个叫做 STARTUPE2 的特殊 FPGA 原语提供的。

注意:请参阅制造商的数据表 s2 和 Xilinx 用户指南 3 了解更多信息。

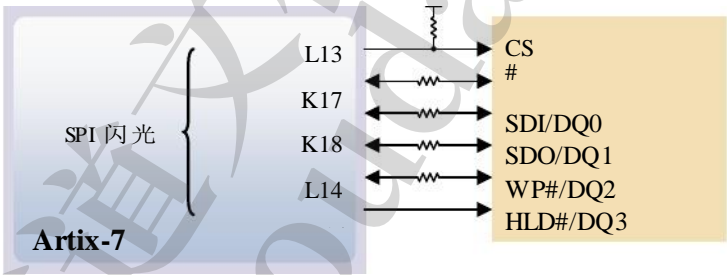


图 4。Nexys4 DDR SPI 闪存引脚。

5 以太网 PHY

Nexys4 DDR 板包括一个 SMSC 10/100 以太网 PHY (SMSC 部件号 LAN8720A)，搭配一个集成磁性的 RJ-45 以太网插孔。SMSC PHY 使用 RMII 接口，支持 10/100 Mb/s。图 5 说明了 Artix-7 和以太网 PHY 之间的引脚连接。上电复位时，PHY 被设置为以下默认值：

- RMII 模式接口
- 启用自协商，通告所有支持 10/100 模式的用户

¹ http://www.xilinx.com/support/documentation/ip_documentation/mig_7series/v2_1/ug586_7Series_MIS.pdf

² http://www.spansion.com/Support/Datasheets/S25FL128S_256S_00.pdf

³ http://www.xilinx.com/support/documentation/user_guides/ug470_7Series_Config.pdf

连接到 PHY 的两个板上 led (LD23 = LED2, LD24 = LED1)提供链路状态和数据活动反馈。详情请参见 PHY 数据表。

基于 ed 的设计可以使用 axi_ethernetlite (AXI EthernetLite) IP 核或 axi_ethernet (Tri Mode Ethernet MAC) IP 核访问 PHY。需要插入 mii_to_rmii 核心(Ethernet PHY MII to Reduced MII)来将 MAC 接口从 MII 转换为 RMII。此外，还需要为 mii_to_rmii 核心和外部 PHY 的 CLKIN 引脚生成一个 50 MHz 的时钟。为了解释 mii_to_rmii 核心引入的倾斜，分别生成每个时钟，外部 PHY 时钟相对于 mii_to_rmii Ref_Clk 具有 45 度相移。一个正确使用以太网 PHY 的 EDK 演示项目可以在 www.digilentinc.com 的 Nexys4 DDR 产品页面上找到。

ISE 设计可以使用 IP Core Generator 向导创建以太网 MAC 控制器 IP 核。

注意:有关进一步信息，请参阅 LAN8720A 数据表 4。

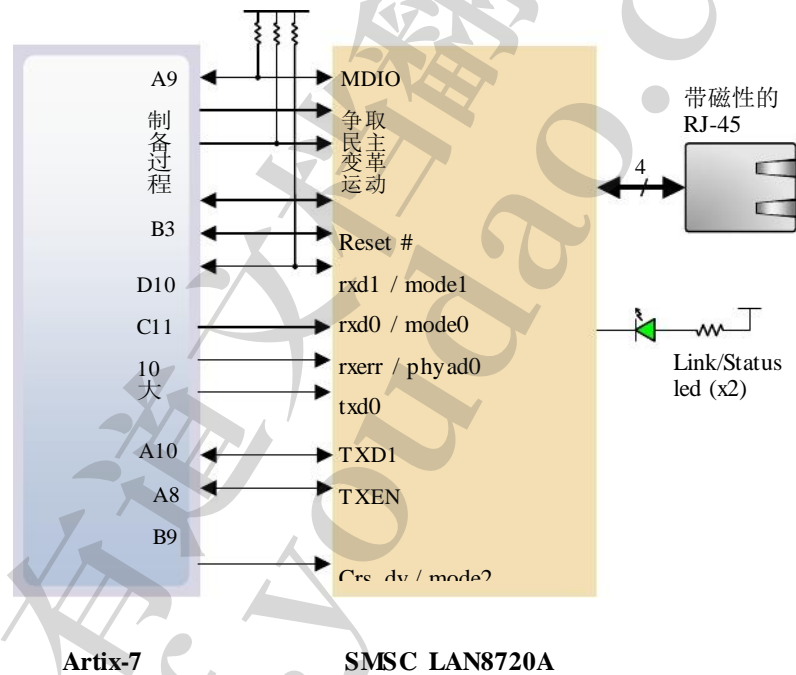


图5。article -7 和以太网PHY 之间的引脚连接。

6 振荡器/时钟

Nexys4 DDR 板包括一个连接到引脚 E3 的 100 MHz 晶体振荡器(E3是银行 35 上的 MRCC 输入)。输入时钟可以驱动 mmcm 或 pll 产生各种频率的时钟，并具有在整个设计中可能需要的已知相位关系。一些规则限制了哪些 mmcm 和 pll 可以由 100 MHz 输入时钟驱动。有关这些规则和第 7 条时钟资源功能的完整描述，请参阅 Xilinx 提供的“7 系列 fpga 时钟资源用户指南”。

Xilinx 提供了 clock Wizard IP 核，以帮助用户生成特定设计所需的不同时钟。该向导将根据用户指定的所需频率和相位关系正确地实例化所需的 mmcm 和 pll。然后向导将围绕这些输出一个易于使用的包装器组件

4 <http://ww1.microchip.com/downloads/en/DeviceDoc/8720a.pdf>

可插入用户设计中的时钟资源。可以从 Project Navigator 或 Core Generator 工具中访问时钟向导。

7 USB-UART 桥接器(串口)

Nexys4 DDR 包括一个 FTDI FT2232HQ USB-UART 桥接器(连接到连接器 J6)，允许您使用 PC 应用程序使用标准的 Windows COM 端口命令与电路板通信。免费的 USB-Com 端口驱动程序，可从 www.ftdichip.com 的“虚拟 Com 端口”或 VCP 标题下获得，将 USB 数据包转换为 UART/串口数据。串口数据使用两线制串口(TXD/RXD)和可选硬件流控制(RTS/CTS)与 FPGA 交换。安装驱动程序后，可以使用从 PC 定向到 COM 口的 I/O 命令在 C4 和 D4 FPGA 引脚上产生串行数据流量。

两个板载状态 LED 提供通过端口的流量的视觉反馈:发射 LED (LD20)和接收 LED (LD19)。暗示方向的信号名称来自 DTE(数据终端设备)的观点，在这种情况下是 PC。

FT2232HQ 也被用作 Digilent USB-JTAG 电路的控制器，但 USB-UART 和 USB-JTAG 功能完全相互独立。有意在其设计中使用 FT2232 的 UART 功能的程序员不需要担心 JTAG 电路干扰 UART 数据传输，反之亦然。将这两种功能结合到单个设备中，可以对 Nexys4 DDR 进行编程，通过 UART 进行通信，并由连接有一根 Micro USB 电缆的计算机供电。

FT2232HQ 和 Artix-7 之间的连接如图 6 所示。

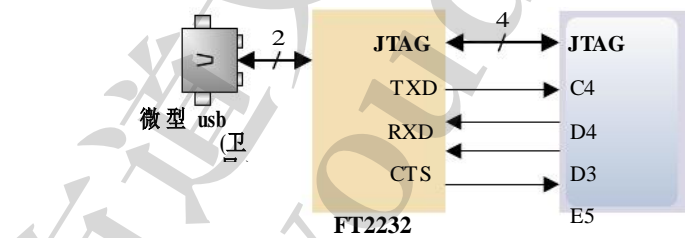


图6。Nexys4 DDR FT2232HQ 连接。

8 USB HID 主机

辅助功能微控制器(Microchip PIC24FJ128)提供了具有 USB 嵌入式 HID 主机功能的 Nexys4 DDR。上电后，微控制器处于配置模式，要么下载比特流到 FPGA，要么等待从其他来源编程。FPGA 编程完成后，微控制器切换到应用模式，在本例中为 USB HID Host。微控制器中的固件可以驱动连接在 J5 处标记为“USB Host”的 a 型 USB 连接器上的鼠标或键盘。目前还没有集线器支持，所以只能使用单个鼠标或单个键盘。只支持 Boot HID 接口的键盘和鼠标。PIC24 驱动几个信号进入 FPGA——两个用于实现一个标准的 PS/2 接口，用于与鼠标或键盘通信，其他连接到 FPGA 的两线串行编程端口，因此 FPGA 可以从存储在 USB 笔盘或 microSD 卡上的文件进行编程。

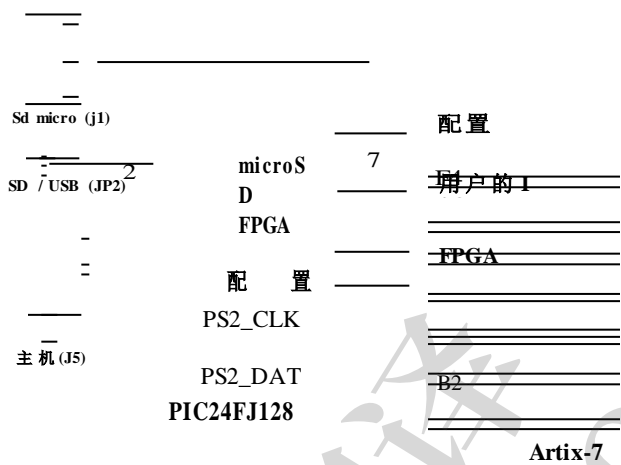


图7。Nexys4 DDR PIC24 连接。

8.1 HID 控制器

辅助功能微控制器对 FPGA 隐藏 USB HID 协议，并模拟老式的 PS/2 总线。微控制器的行为就像 PS/2 键盘或鼠标一样。这意味着新的设计可以重用现有的 PS/2 IP 核。使用 PS/2 协议的鼠标和键盘使用两线串行总线(时钟和数据)与主机通信。在 Nexys4 DDR 上，微控制器模拟 PS/2 设备，而 FPGA 则扮演主机的角色。鼠标和键盘都使用 11 位字，包括开始位、数据字节(LSB 优先)、奇偶校验和停止位，但数据包的组织方式不同，键盘接口允许双向数据传输(因此主机设备可以照亮键盘上的状态 led)。总线时序如图 8 所示。

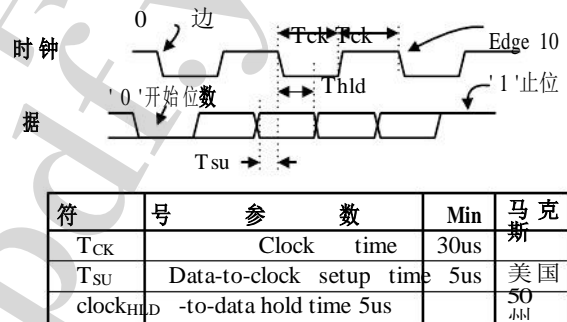


图8。PS/2 设备到主机时序图。

时钟和数据信号只在数据传输发生时被驱动;否则，它们在高阻抗(开漏驱动程序)时保持在空闲状态。这要求在设计中使用 PS/2 信号时，必须在 FPGA 的数据和时钟引脚上启用内部拉起。时钟信号通常由设备驱动，但在特殊情况下可能由主机保持低电平。时钟信号定义了鼠标到主机通信和双向键盘通信的信号要求。可在 FPGA 中实现 PS/2 接口电路，以创建键盘或鼠标接口。

当键盘或鼠标连接到 Nexys4 DDR 时，会向主机发送一个“自检通过”命令(0xAA)。在此之后，可能会向设备发出命令。由于键盘和鼠标都使用相同的 PS/2 端口，人们可以通过设备 ID 来判断连接的设备类型。这个 ID 可以通过发出 read ID 命令(0xF2)来读取。而且，鼠标会在“自检通过”命令之后立即发送它的 ID (0x00)，这将它与键盘区别开来。

有道文档翻译
pdf.youdao.com

8.2 键盘

PS/2型键盘使用扫描码来传递按键数据。每个按键都被分配了一个代码，每当按键被按下时，该代码就会发送出去。如果按下键，扫描码将每 100 毫秒左右重复发送一次。当一个钥匙被释放时，会发送一个 F0 key-up 码，然后是释放的钥匙的扫描码。如果一个密钥可以移位产生一个新的字符(比如大写字母)，那么除了扫描码之外，还会发送一个移位字符，主机必须决定使用哪个 ASCII 字符。有些键，称为扩展键，会在扫描码之前发送一个 E0(而且它们可能会发送多个扫描码)。当一个扩展键被释放时，会发送一个 E0 F0 键上码，然后是扫描码。大多数按键的扫描码如图 9 所示。

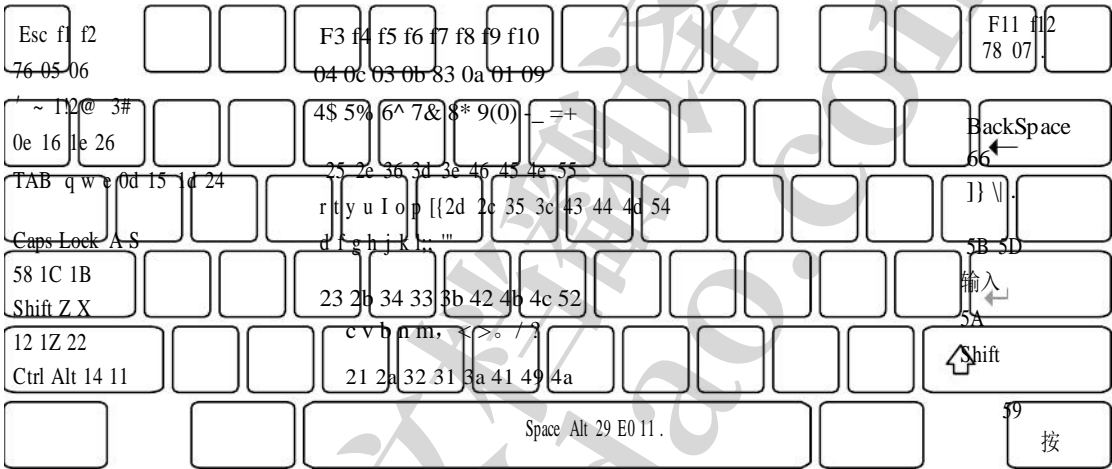


图9。键盘扫描码。

主机设备也可以向键盘发送数据。表 3 列出了主机可能发送的一些常见命令。

只有当数据和时钟线都高(或空闲)时，键盘才能向主机发送数据。因为主机是总线主，所以在驱动总线之前，键盘必须先检查主机是否在发送数据。为了方便，时钟线被用作“清除发送”信号。如果主机驱动时钟线低，键盘一定不能发送任何数据，直到时钟释放。键盘以包含“0”开始位的 11 位字向主机发送数据，随后是 8 位的扫描码(首先是 LSB)，然后是奇数奇偶校验位，并以“1”停止位结束。当数据发送时，键盘产生 11 个时钟转换(在 20 到 30 KHz)，数据在时钟的下降沿上是有效的。

命令	行动
艾	设置 Num Lock、Caps Lock 和 Scroll Lock led。键盘接收 ED 后返回 FA，然后主机发送一个字节设置 LED 状态:第 0 位设置 Scroll Lock，第 1 位设置 Num Lock，第 2 位设置 Caps Lock。忽略第 3 位到第 7 位。
EE	回声(测试)。键盘接收到 EE 后返回 EE
F3	设置扫描码重复率。键盘在接收到 FA 时返回 F3，然后主机发送第二个字节来设置重复速率。
菲	重新发送。FE 指示键盘重新发送最近的扫描码。
FF	重置。重置键盘。

表3。键盘命令。

有道文档翻译
pdf.youdao.com

8.3 鼠标

一旦进入流模式并启用数据报告，鼠标在移动时输出时钟和数据信号;否则，这些信号保持在逻辑' 1。每当鼠标移动时，就会从鼠标向主机设备发送 3 个 11 位的单词，如图 10 所示。每个 11 位字都包含一个“0”开始位，接着是 8 位数据(首先是 LSB)，接着是一个奇偶校验位，并以“1”停止位结束。因此，每个数据传输包含 33 位，其中位 0、11 和 22 是“0”开始位，位 11、21 和 33 是“1”停止位。3 个 8 位的数据字段包含移动数据，如图 10 所示。数据在时钟下降沿有效，时钟周期为 20 ~ 30 KHz。

鼠标假设一个相对坐标系，其中向右移动鼠标将在 X 字段中生成一个正数，向左移动鼠标将生成一个负数。同样，向上移动鼠标在 Y 字段中生成一个正数，向下移动代表一个负数(状态字节中的 XS 和 YS 位是符号位- '1'表示负数)。X 和 Y 数字的大小代表鼠标移动的速率;数字越大，表示鼠标移动速度越快(状态字节中的 XV 和 YV 位是移动溢出指示器。“1”表示已发生溢出)。如果鼠标连续移动，33 位传输大约每 50ms 重复一次。状态字节中的 L 和 R 字段表示按下了“左”和“右”键(“1”表示按钮正在被按下)。

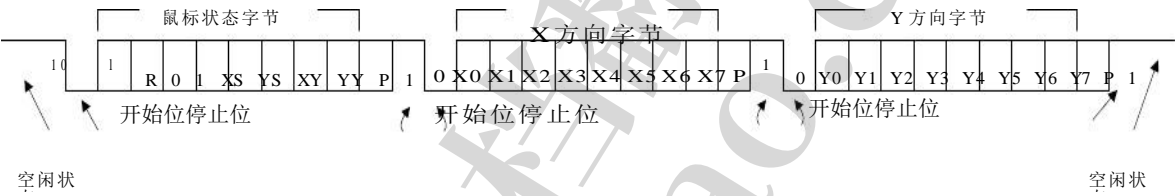


图10。鼠标数据格式。

微控制器还支持 Microsoft®IntelliMouse®类型的扩展，用于报告返回代表鼠标滚轮的第三个轴，如表 4 所示。

命令	行动
EA	设置流模式。鼠标响应“确认”(0xFA)，然后重置其移动计数器并进入流模式。
F4	启用数据上报。鼠标响应“确认”(0xFA)，然后启用数据报告并重置其移动计数器。此命令仅影响流模式下的行为。一旦发出，鼠标移动会自动生成一个数据包。
F5	禁用数据上报。鼠标响应“确认”(0xFA)，然后禁用数据报告并重置其移动计数器。
F3	设置鼠标采样率。鼠标响应“acknowledge”(0xFA)，然后从主机再读取一个字节。然后，这个字节被保存为新的采样率，并发出一个新的“确认”数据包。
菲	重新发送。FE 指示鼠标重新发送最后一个数据包。
FF	重置。鼠标响应“确认”(0xFA)，然后进入重置模式。

表4。Microsoft intellimouse 类型的扩展、命令和操作。

9 VGA 端口

Nexys4 DDR板使用 14 个 FPGA 信号来创建一个每色 4 位和两个标准同步信号(HS -水平同步和 VS -垂直同步)的 VGA 端口。颜色信号使用电阻分压器电路，与 VGA 显示器的 75 欧姆终端电阻一起工作，在红色、绿色和蓝色 VGA 信号上分别创建 16 个信号电平。如图 11 所示，该电路产生的视频颜色信号在 0V(完全关闭)和 0.7V(完全打开)之间以相等的增量进行。使用这个电路，可以显示 4096 种不同的颜色，每一种颜色对应唯一的 12 位图案。为了产生一个工作的显示系统，必须在 FPGA 中创建一个视频控制器电路，以正确的时间驱动同步和颜色信号。

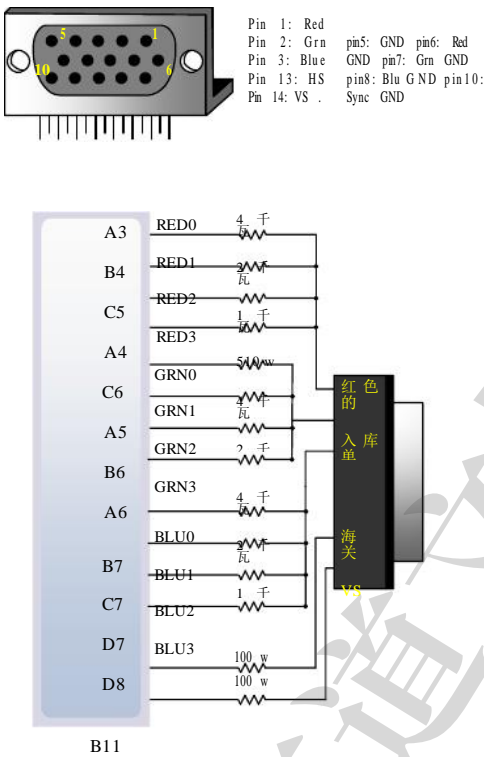


图11。Nexys4 DDR VGA 接口。

9.1 VGA 系统定时

VGA 信号时序由 VESA®组织(www.vesa.org)指定、发布、版权所有并销售。以下 VGA 系统定时信息是作为 VGA 显示器如何在 640 * 480 模式下驱动的示例提供的。

注:有关更精确的信息，或关于其他 VGA 频率的信息，请参阅 VESA 网站上提供的文档。

基于 crt 的 VGA 显示器使用调幅移动电子束(或阴极射线)在磷涂层屏幕上显示信息。LCD 显示器使用一组开关，可以在少量液晶上施加电压，从而在一个像素一个像素的基础上改变通过晶体的光介电常数。虽然下面的描述仅限于 CRT 显示器，但 LCD 显示器已经发展到使用与 CRT 显示器相同的信号时序(因此下面的“信号”讨论适用于 CRT 和 LCD)。彩色 CRT 显示器使用三束电子束(一束用于红色，一束用于蓝色，一束用于绿色)为涂覆在阴极射线管显示端内侧的荧光粉提供能量(见图 12)。

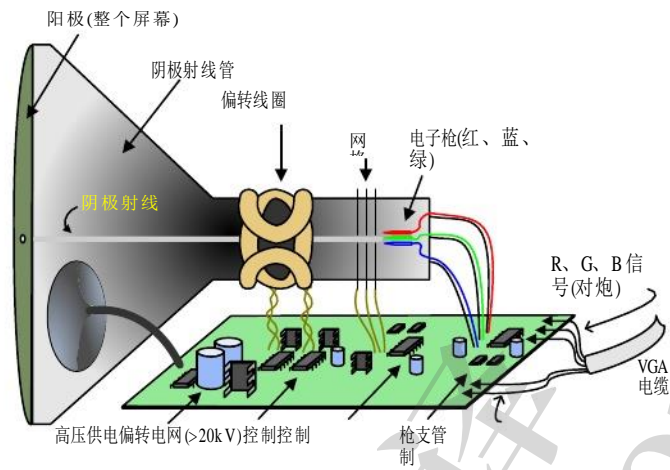


图12。彩色 CRT 显示。

电子束从“电子枪”中发射出来，“电子枪”是放置在被称为“栅极”的带正电的环形板附近的尖状加热阴极。“栅格”施加的静电力拉动射线

从阴极中获得能量的电子，这些射线由流入阴极的电流提供。这些粒子射线最初加速向电网，但它们很快就会受到更大的静电力的影响，这种静电力是由阴极射线管的整个镀磷显示表面被充电到 20kV 所产生的

(或更多)。光线经过时被聚焦成细光束

图13。VGA 水平同步。

穿过网格的中心，然后加速到

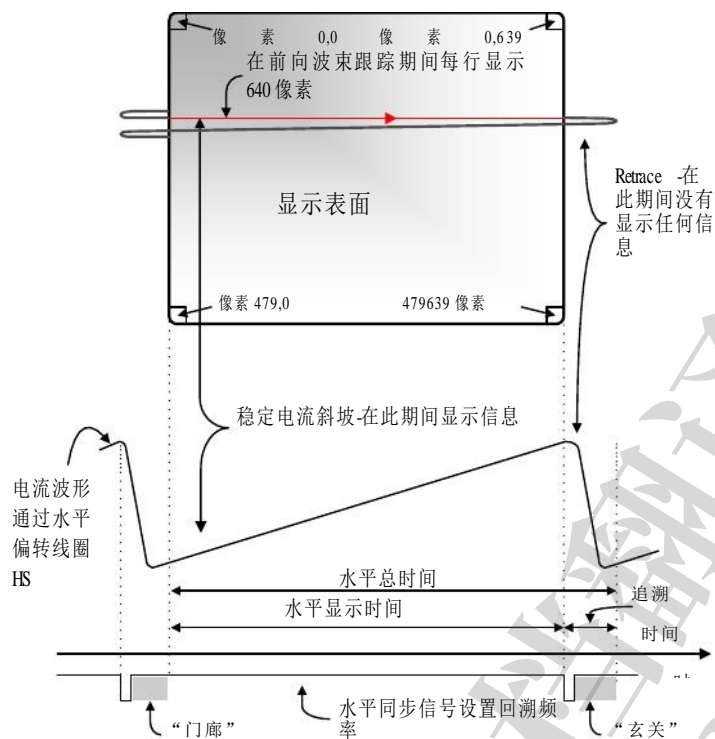
对磷涂层显示表面的影响。的

荧光粉表面在撞击点处会发出明亮的光，在光束被移除后还会持续发光几百微秒。馈入阴极的电流越大，荧光粉就会发出越亮的光。

在栅格和显示表面之间，光束通过阴极射线管的颈部，在那里有两圈导线产生正交的电磁场。由于阴极射线是由带电粒子(电子)组成的，它们会被这些磁场偏转。电流波形通过线圈产生磁场，与阴极射线相互作用，使阴极射线以“栅格”模式横移显示表面，从左到右水平，从上到下垂直，如图 13 所示。当阴极射线在显示器表面移动时，可以增加或减少发送给电子枪的电流，从而改变阴极射线撞击点处显示器的亮度。

只有当电子束在“向前”方向(从左到右，从上到下)移动时，信息才会显示出来，而在电子束被重置回显示器的左侧或顶部边缘期间，信息不会显示出来。因此，当波束被重置和稳定以开始新的水平或垂直显示通道时，大部分潜在的显示时间都损失在“消隐”时期。束流的大小、束流在显示器上可被跟踪的频率以及电子束可被调制的频率决定了显示分辨率。

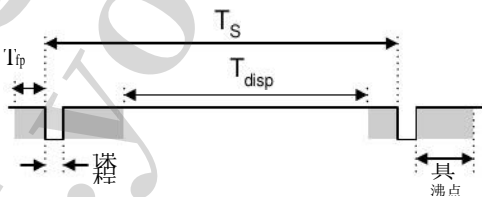
现代 VGA 显示器可以适应不同的分辨率，VGA 控制器电路通过产生定时信号来控制光栅图案来决定分辨率。控制器必须产生 3.3V(或 5V)的同步脉冲，以设置电流流过偏转线圈的频率，并且必须确保视频数据在正确的时间应用到电子枪上。光栅视频显示器定义了若干“行”，对应于阴极在显示区域上的水平通道数，以及若干“列”，对应于每一行上的一个区域，分配给一个“图像元素”，或像素。典型的



显示使用 240 至 1200 行和 320 至 1600 列。显示器的整体尺寸和行数、列数决定了每个像素的大小。

视频数据一般来自视频刷新内存;每个像素位置分配一个或多个字节(Nexys4 DDR 每像素使用 12 位)。当电子束在显示器上移动时,控制器必须索引到显存中,并在电子束穿过给定像素时精确地检索和应用视频数据到显示器上。VGA 控制器电路必须生成 HS 和 VS 计时信号,并根据像素时钟协调视频数据的传递。像素时钟定义了一个像素的可用显示时间

信息。VS 信号定义了显示器的“刷新”频率,或者显示器上所有信息被重绘的频率。最小刷新频率是显示器的荧光粉和电子束强度的函数,实际刷新频率在 50Hz 到 120Hz 范围内。在给定刷新频率下要显示的行数定义了水平“重走”频率。对于使用 25 MHz 像素时钟和 60 +/-1Hz 刷新的 640 像素× 480 行显示,可以推导出图 14 所示的信号时序。同步脉冲宽度和前后玄关间隔(玄关间隔是无法显示信息的前后同步脉冲时间)的计时是基于从实际 VGA 显示器上获得的观察结果。



象征	参数	垂直同步			水平的。同步	
		时间	时钟线路时间		clk	
T S	同步脉冲	16.7 女士 416800		521	32 我们	800
T disp 显示时间		15.36 女士 384000		480	25.6 我们	640
T pw	脉冲宽度	64 年 美国	1600 年	2	3.84 我们	96
T fp	门廊	320 年 美国	8000 年	10	640 纳秒	16
T 英国石油公司	后门廊	928 年 美国	23200 年	29	1.92 我们	48

图14。使用 25 MHz 像素时钟和 60 Hz 垂直刷新的 640 像素× 480 行显示器的信号定时。

VGA 控制器电路，如图 15 所示，解码由像素时钟驱动的水平同步计数器的输出，以生成 HS 信号计时。你可以使用这个计数器来定位给定行上的任何像素位置。同样，垂直同步计数器的输出随着每个 HS 脉冲的增加可以用来生成 VS 信号计时，你可以使用这个计数器来定位任何给定的行。这两个连续运行

计数器可用于将地址形成视频 RAM。HS 脉冲的开始和 VS 脉冲的开始之间没有指定时间关系，所以你可以安排计数器方便地形成视频 RAM 地址，或者最小化同步脉冲生成的解码逻辑。

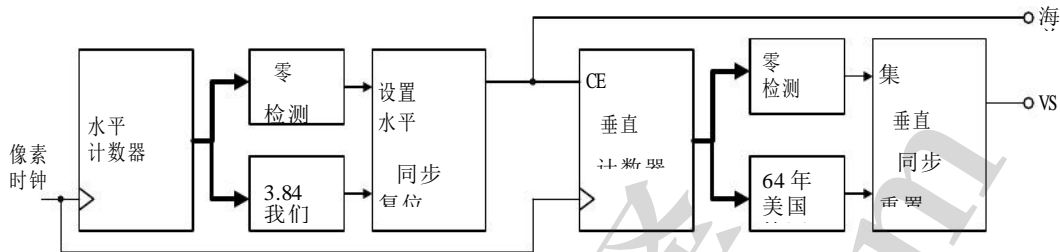


图 15。VGA 显示控制器框图。

10 基本 I/O

Nexys4 DDR 板包括 2 个三色 led, 16 个滑动开关, 6 个按钮, 16 个单独的 led, 以及 8 位 7 段显示器, 如图 16 所示。按钮和滑动开关通过串联电阻连接到 FPGA, 以防止意外短路造成的损坏(如果分配给按钮或滑动开关的 FPGA 引脚被意外定义为输出, 则可能发生短路)。以加号配置排列的 5 个按钮是“瞬时”开关, 通常在静止时产生低输出, 只有在按下时才会产生高输出。而标示为“CPU RESET”的红色按钮, 则在静止时产生高输出, 按下时产生低输出。CPU RESET 按钮的本意是在 EDK 设计中用来重置处理器, 但你也可以把它作为通用按钮使用。滑动开关根据其位置产生恒定的高电平或低电平输入。

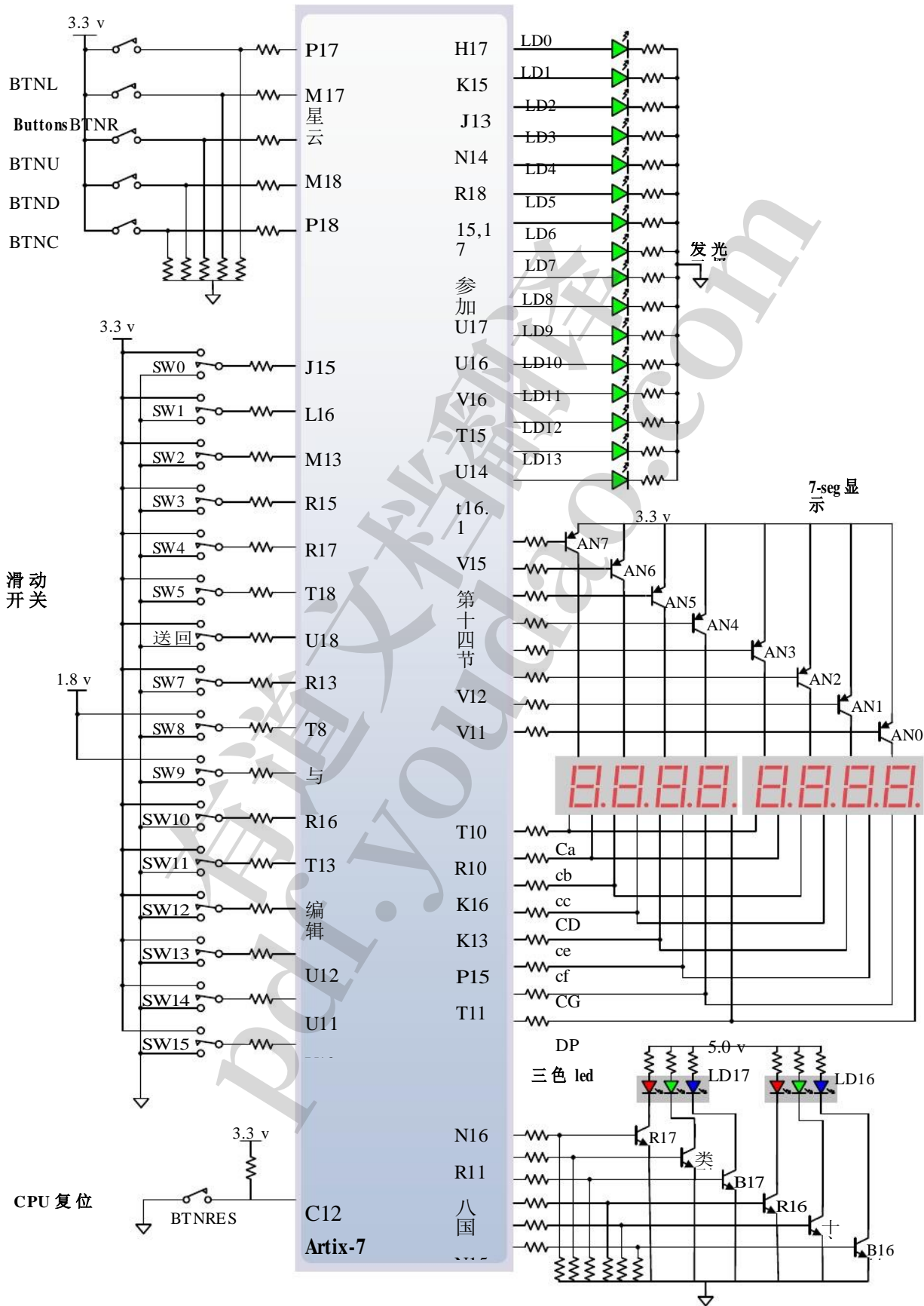


图16。Nexys4 DDR 上的通用 I/O 设备。

16个独立的高效 led 通过 330 欧姆电阻阳极连接到 FPGA，因此当逻辑高压施加到它们各自的 I/O 引脚时，它们将打开。用户无法访问的其他 led 指示上电、FPGA 编程状态以及 USB 和以太网端口状态。

10.1 七段显示

Nexys4 DDR 板包含两个四位共阳极七段 LED 显示屏，配置成单个八位数显示屏。这 8 位数字中的每一位都由以“数字 8”模式排列的 7 个段组成，每个段中嵌入一个 LED。线段 LED 可以单独照明，因此通过照亮某些 LED 段，让其他 LED 段暗，可以在一个数字上显示 128 个图案中的任何一个，如图 17 所示。在这 128 种可能的图案中，与十进制数字相对应的 10 种图案是最有用的。

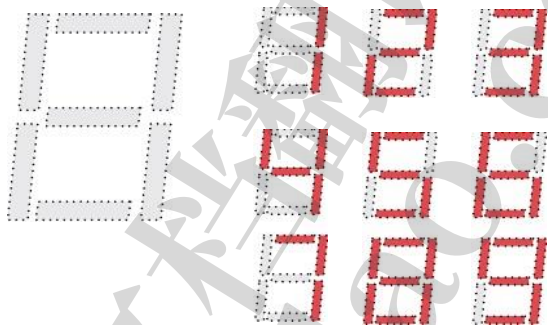


图17。未照明的七段显示器和对应于十进制数字的九种照明模式。

形成每个数字的 7 个 LED 的阳极被捆绑在一起形成一个“共阳极”电路节点，但 LED 阴极保持分离，如图 18 所示。共有阳极信号可作为 8 位数字显示器的 8 个“数字使能”输入信号。所有四个显示器上相似段的阴极通过 CG 连接到标有 CA 的 7 个电路节点。例如，来自 8 位数字的 8 个“D”阴极被组合成一个称为“CD”的单一电路节点，这 7 个阴极信号可作为 8 位显示器的输入。这种信号连接方案创建了一个多路复用显示，其中阴极信号对所有数字都是公用的，但它们只能照亮其对应的阳极信号被声明的数字片段。

为了照亮一个段，阳极应该被驱动到高电平，而阴极被驱动到低电平。然而，由于 Nexys4 DDR 使用晶体管来驱动足够的电流进入公共阳极点，阳极使能是倒置的。因此，无论是 AN0..7 和 CA..G/DP 信号活跃时驱动低。

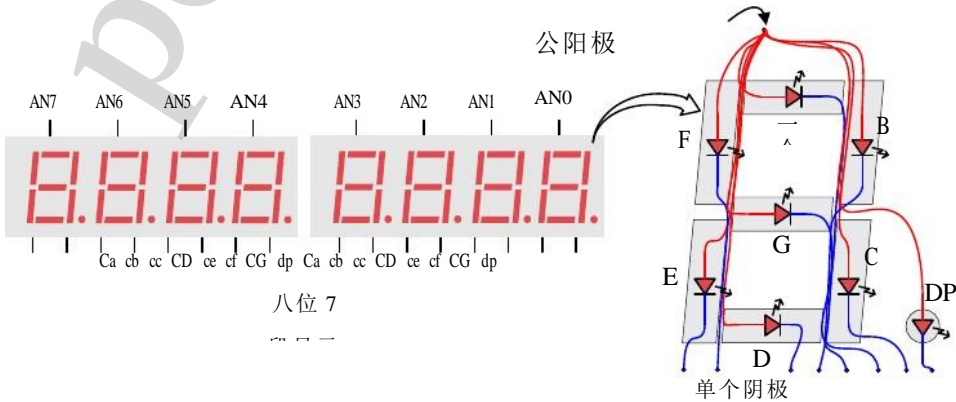


图18。共阳极电路节点。

扫描显示控制器电路可用于在此显示器上显示 8 位数字。这个电路驱动每个数字的阳极信号和相应的阴极图案，以一种重复的、连续的连续的更新速度，其更新速度快于人眼所能检测到的速度。每个数字只有八分之一的时间被照亮，但由于眼睛在再次被照亮之前无法感知数字的变暗，所以这个数字看起来是连续被照亮的。如果更新或“刷新”的速度减慢到 45Hz 左右，就可以在显示中注意到闪烁。

要让 4 位数字中的每一位都显得明亮并持续被照亮，所有 8 位数字应该每 1 ~ 16ms 驱动一次，刷新频率约为 1 KHz ~ 60Hz。例如，在 62.5Hz 的刷新方案中，整个显示屏每 16ms 刷新一次，每个数字将被照亮 1/8 的刷新周期，即 2ms。当相应的阳极信号被驱动高时，控制器必须将具有正确模式的阴极驱动低。为了说明这个过程，如果在断言 CB 和 CC 时断言 AN0，那么在数字位置 1 上将显示一个“1”。然后，如果断言了 AN1，而断言了 CA、CB 和 CC，则在数字位置 2 显示一个“7”。如果 AN0、CB、CC 被驱动 4ms，然后 AN1、CA、CB、CC 连续被驱动 4ms，则显示前两位数字会显示“71”。四位数控显示器的计时图示例如图 19 所示。

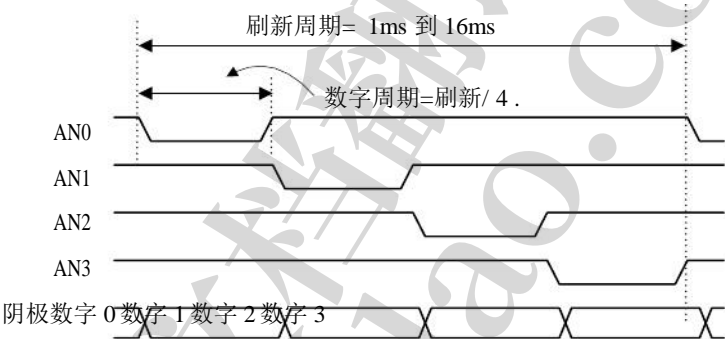


图 19 所示。四位扫描显示控制器时序图。

10.2 三色 led

Nexys4 DDR 单板上 有 2 颗三色 led。每个三色 LED 有三个输入信号，驱动三个较小的内部 LED 的阴极:一个红色，一个蓝色，一个绿色。将这些颜色之一对应的信号驱动高电平，就会照亮内部 LED。输入信号由 FPGA 通过晶体管驱动，晶体管对信号进行逆变。因此，要点亮三色 LED，需要将相应的信号驱动高。三色 LED 会根据当前被照亮的内部 LED 的组合而发出一种颜色。例如，如果红色和蓝色信号驱动高，绿色驱动低，三色 LED 将发出紫色。

注意:Digilent 强烈建议在驱动三色 led 时使用脉冲宽度调制(PWM)(有关 PWM 的信息，请参阅第 15.1 节脉冲密度调制(PDM))。驱动任何输入到一个稳定的逻辑“1”将导致 LED 被照亮在一个不舒服的明亮水平。你可以通过确保没有一个三色信号以超过 50% 的占空比驱动来避免这种情况。使用 PWM 也大大扩展了三色 led 的潜在调色板。单独调整每种颜色的占空比在 50% 到 0% 之间，可以使不同的颜色以不同的强度被照亮，几乎可以显示任何颜色。

11 Pmod 连接器

Pmod 连接器排列在一个 2x6 直角，并与标准 2x6 引脚头匹配的 100 密耳母连接器。每个 12 针 Pmod 连接器提供 2 个 3.3V VCC 信号(引脚 6 和 12)，2 个接地信号(引脚 5 和 11)，8 个逻辑信号，如图 20 所示。VCC 和 Ground 引脚可以提供高达 1A 的电流。Pmod 数据信号不是匹配的对，它们使用无阻抗控制或延迟匹配的最佳可用轨道布线。连接到 FPGA 的 Pmod I/O 的引脚分配如表 5 所示。

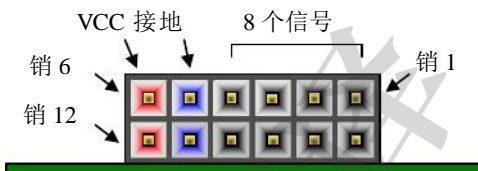


图20。Pmod 连接器,前视图，作为加载在 PCB 上。

Pmod	JA	Pmod	JB	Pmod	JC	Pmod	JD	Pmod	XDAC
JA1:	C17	JB1:	D14	JC1:	K1	JD1:	H4	Jxadc1:	a13 (ad3p) jxadc2:
JA2:	D18	JB2:	F16	JC2:	F6	JD2:	H1	a15 (ad10p) jxadc3:	b16
JA3:	E18	JB3:	G16	JC3:	J2	JD3:	G1	(ad2p) jxadc4:	b18 (ad11p)
JA4:	G17	JB4:	H14	JC4:	G6	JD4:	G3	jxadc7:	a14 (ad3n) jxadc8:
JA7:	D17	JB7:	E16	JC7:	E7	JD7:	H2	a16 (ad10n) jxadc9:	b17
JA8:	E17	JB8:	F13	JC8:	J3	JD8:	四国集团	(ad2n) jxadc10:	a18 (ad11n)
JA9:	F18	JB9:	G13	JC9:	阁下	JD9:	G2		
JA10:	G18	JB10:	H16	JC10:	E6	JD10:	F3		

表5 所示。Nexys4 DDR Pmod 引脚分配。

Digilent 生产了大量的 Pmod 配件板，可以连接到 Pmod 扩展连接器上，以添加现成的功能，如 a /D, D/ a, 电机驱动器，传感器以及其他功能。更多信息请访问 www.digilentinc.com。

11.1 双模拟/数字 Pmod

标记为“JXADC”的板载 Pmod 扩展连接器连接到 FPGA 的辅助模拟输入引脚。根据配置的不同，该连接器可用于将差分模拟信号输入到 article -7 (XADC)内部的模数转换器。连接器中的任何或所有对都可以配置为模拟输入或数字输入-输出。

Nexys4 DDR 上的双模拟/数字 Pmod 在其走线的路由上与其他 Pmod 不同。8 个数据信号被分组为 4 对，这些对路由由紧密耦合，以获得更好的模拟噪声抗扰性。此外，每对都有一个部分加载的抗混叠滤波器布置在 PCB 上。该滤波器没有电容 C60-C63。在需要这种滤波器的设计中，电容器可以由用户手动加载。注意:当用于数字信号时，耦合路由和抗混叠滤波器可能会限制数据速度。Artix-7 中的 XADC 核心是一个双通道 12 位模数转换器，能够在 1 MSPS 下工作。任何通道都可以由连接到 JXADC 报头的任何辅助模拟输入对驱动的。

有道文档翻译
pdf.youdao.com

XADC 核心通过动态重新配置端口(DRP)从用户设计中控制和访问。DRP 还提供了对每个 FPGA 电源轨道上的电压监视器的访问，以及 FPGA 内部的温度传感器。有关使用 XADC 核心的更多信息，请参阅 Xilinx 文档“7 系列 fpga 和 Zynq-7000 全可编程 SoC XADC 双 12 位 1 MSPS 模数转换器”。

12 MicroSD 插槽

Nexys4 DDR 提供 microSD 插槽用于 FPGA 配置和用户访问。板载辅助功能微控制器与 FPGA 共享 SD 卡总线。在 FPGA 配置之前，微控制器必须通过 SPI 访问 SD 卡。一旦位文件下载到 FPGA(从任何来源)，微控制器电源循环 SD 插槽并放弃总线的控制。这使得插槽中的任何 SD 卡都可以重置其内部状态机，并以 SD 本机总线模式启动。FPGA 上的所有 SD 引脚都经过连线，以支持原生接口模式下的全 SD 速度，如图 21 所示。如果需要，SPI 也可以使用。一旦对 SD 总线的控制从微控制器传递到 FPGA，SD_RESET 信号需要被 FPGA 主动压低，为 microSD 卡插槽供电。有关实现 SD 卡控制器的信息，请参阅 www.sdcard.org 上提供的 SD 卡规范。

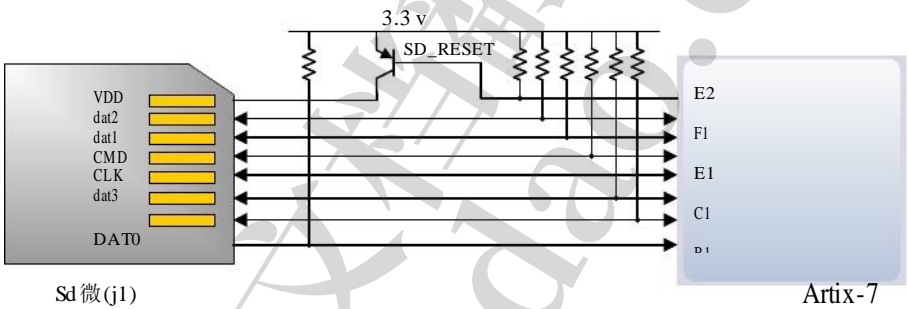


图21. article -7 microSD 卡连接器接口(PIC24 连接未显示)。

13 温度传感器

Nexys4 DDR 包括 Analog Device ADT7420 温度传感器。该传感器提供高达 16 位分辨率，典型精度优于 0.25 摄氏度。温度传感器和 FPGA 之间的接口如图 22 所示。



图22. 温度传感器接口。

13.1 I2C 接口

ADT7420 芯片作为使用行业标准 I2C 通信方案的从设备。为了与 ADT7420 芯片通信，I2C 主机必须指定一个从地址(0x4B)和一个标志，表明是否

通信是读(1)或写(0)。一旦制定了通信规范，就会发生数据传输。对于 ADT7420，数据传输应该由所需设备寄存器的地址和要写入指定寄存器的数据组成。要从寄存器中读取数据，主机必须将所需的寄存器地址写入 ADT7420，然后发送 I2C 重启条件，并向 ADT7420 发送新的读请求。如果主机在尝试读之前没有生成重启条件，则写入地址寄存器的值将被重置为 0x00。

由于一些寄存器将 16 位值存储为 8 位寄存器对，ADT7420 在访问某些寄存器(如温度寄存器和阈值寄存器)时，会自动增加设备的地址寄存器。这允许主机使用单个读或写请求来访问这些寄存器的低字节和高字节。寄存器及其行为的完整列表可以在 Analog Devices 网站上提供的 ADT7420 数据表中找到。

13.2 开漏输出

ADT7420 提供两个开漏输出信号，以指示何时达到预先设置的温度阈值。如果温度离开由寄存器 TLOW (0x06:0x07)和 THIGH (0x04:0x05)定义的范围，INT 引脚可以根据设备的配置被驱动低或高。类似地，如果温度超过 TCRIT (0x08:0x09)中定义的临界阈值，CT 引脚可以被驱动低或高。这两个引脚在使用时都需要内部 FPGA 上拉。

关于 INT 和 CT 引脚的电气规格和配置的详细信息，请参阅 ADT7420 数据表。

13.3 快速入门

ADT7420 上电后，处于无需任何初始配置即可作为简单温度传感器使用的模式。默认情况下，设备地址寄存器指向温度 MSB 寄存器，因此两个字节的读取不指定寄存器将从设备中读取温度寄存器的值。读回的第一个字节将是温度数据的最高有效字节(MSB)，第二个字节将是数据的最低有效字节(LSB)。这两个字节构成了一个二补 16 位整数。如果将结果向右移位 3 位，再乘以 0.0625，得到的带符号浮点值将是一个以摄氏度为单位的温度读数。

有关读取和写入设备的其他寄存器的信息，以及关于温度测量精度的说明，请参阅 ADT7420 数据表。

14 个加速度计

Nexys4 DDR 包括一个 Analog Device ADXL362 加速计。ADXL362 是一款 3 轴 MEMS 加速度计，在 100Hz 输出数据速率下消耗不到 2 μ A，在运动触发唤醒模式下消耗 270nA。与使用功率占空比实现低功耗的加速度计不同，ADXL362 不通过欠采样使输入信号混叠；它在所有数据速率下对传感器的全带宽进行采样。ADXL362 始终提供 12 位输出分辨率；当低分辨率足够时，还提供 8 位格式化的数据，以实现更高效的单字节传输。测量范围为 $\pm 2g$ ， $\pm 4g$ 和 $\pm 8g$ ，在 $\pm 2g$ 范围内的分辨率为 1mg /LSB。FPGA 可以通过 SPI 接口与 ADXL362 通话。当 ADXL362 处于测量模式时，它连续测量并将加速度数据存储于 x 数据，y 数据和 z 数据寄存器中。FPGA 和加速度计之间的接口如图 23 所示。

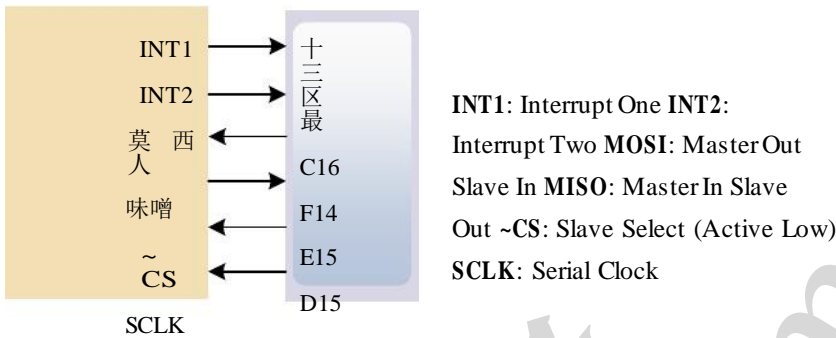


图23。加速度计接口。

14.1 SPI 接口

ADXL362 作为使用 SPI 通信方案的从设备。推荐的 SPI 时钟频率范围为 1 MHz 到 5 MHz。SPI 工作在 SPI 模式 0, CPOL = 0, CPHA = 0。与设备的所有通信都必须指定一个寄存器地址和一个标志，以指示通信是读还是写。实际的数据传输总是遵循寄存器地址和通信标志。设备配置可以通过写入加速度计内的控制寄存器来执行。通过读取设备寄存器来访问加速度计数据。

有关寄存器的完整列表，其功能和通信规范，请参阅 ADXL362 数据表⁵。

14.2 中断

ADXL362 的几个内置函数可以触发中断，提醒主机处理器某些状态条件。中断可以映射到两个中断引脚(INT1, INT2)中的一个(或两个)。这两个引脚在使用时都需要内部 FPGA 上拉。有关中断的更多详细信息，请参阅 ADXL362 数据表。

15 个麦克风

Nexys4 DDR 板包括一个全向 MEMS 麦克风。该麦克风采用 Analog Device ADMP421 芯片，具有 61dBA 的高信噪比 (SNR) 和 -26 dBFS 的高灵敏度。它还具有从 100Hz 到 15 kHz 的平坦频率响应。数字化音频以脉冲密度调制 (PDM) 格式输出。组件架构如图 24 所示。

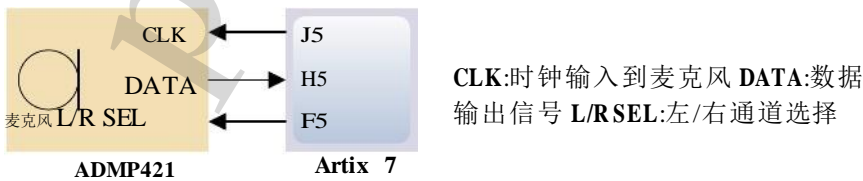


图24。麦克风框图。

⁵ <http://www.analog.com/adxl362>

有道文档翻译
pdf.youdao.com

15.1 脉冲密度调制(PDM)

PDM 数据连接在手机、平板电脑等便携式音频应用中越来越受欢迎。使用 PDM，只需两根电线就可以传输两个通道。PDM 信号的频率通常在 1mhz 到 3mhz 的范围内。在 PDM 位流中，1 对应的是正脉冲，0 对应的是负脉冲。由所有“1”组成的运行将对应于最大的正值，而“0”的运行将对应于最小的振幅值。图 25 显示了正弦波如何在 PDM 信号中表示。

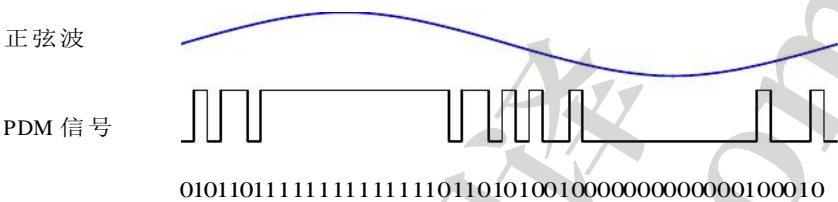


图25。正弦波的 PDM 表示。

PDM 信号是由模拟信号通过 delta-sigma 调制产生的。一个简单的 delta-sigma 调制的理想电路如图 26 所示。

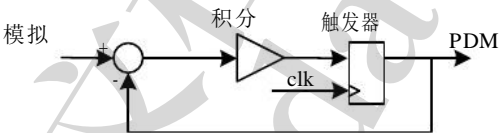


图26。简单的 delta-sigma 调制器电路。

总和	积分器出来	触发器的输出
$0.4 - 0 = 0.4$	$0 + 0.4 = 0.4$	0
$0.4 - 0 = 0.4$	$0.4 + 0.4 = 0.8$	1
$0.4 - 1 = -0.6$	$0.8 - 0.6 = 0.2$	0
$0.4 - 0 = 0.4$	$0.2 + 0.4 = 0.6$	1
$0.4 - 1 = -0.6$	$0.6 - 0.6 = 0$	0
$0.4 - 0 = 0.4$	$0 + 0.4 = 0.4$	0
$0.4 - 0 = 0.4$	$0.4 + 0.4 = 0.8$	1
$0.4 - 1 = -0.6$	$0.8 - 0.6 = 0.2$	0

表6 所示。带 0.4Vdd 输入的 Sigma Delta Modulator。

为了简单起见，假设模拟输入和数字输出具有相同的电压范围 0~Vdd。触发器的输入就像一个比较器(任何高于 Vdd/2 的信号都被认为是“1”，任何低于 Vdd/2 的输入都被认为是“0”)。积分电路的输入是输入模拟信号与前一个时钟周期的 PDM 信号之差。然后积分电路将这两个输入进行集成，积分电路的输出由 D-Flip-flop 进行采样。表 6 给出了输入为 0.4Vdd 的 delta-sigma 调制器的功能。

注意，触发器输出的平均值等于输入模拟信号的值。所以为了得到模拟输入的值，所需要的只是一个计数器，在一定的时间内对' 1 '进行计数。

有道文档翻译
pdf.youdao.com

15.2 麦克风数字接口定时

麦克风的时钟输入可根据应用的采样率和数据精度要求在 1 MHz ~ 3.3 MHz 范围内。L/R Select 信号必须设置为有效的电平，这取决于将读取数据位的时钟的哪边。L/RSEL 上的低电平使时钟上升沿上的数据可用，而高电平则对应时钟下降沿，如图 27 所示。

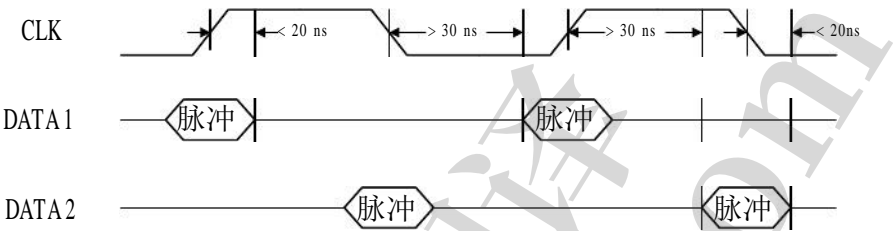


图27 所示。PDM 时序图。

时钟频率的典型值为 2.4 MHz。假设应用要求 7 位精度和 24 KHz，可以有两个计数器在 12 KHz 时计数 128 个样本，如图 28 所示。

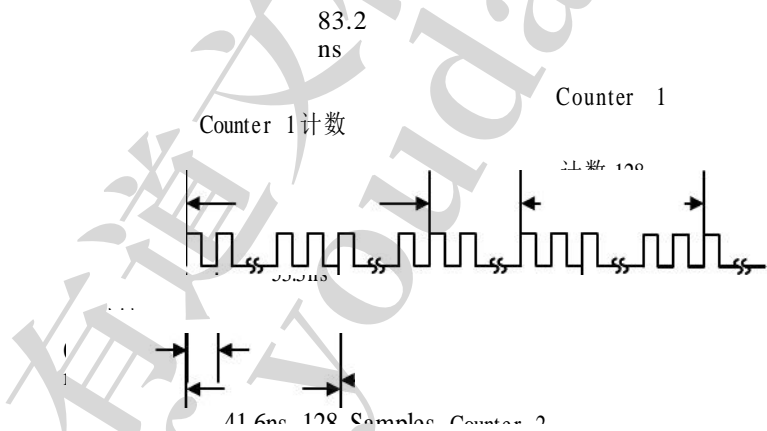


图28。带两个计数器的 PDM 抽样。

16 Mono 音频输出

板载音频插孔(J8)由 Sallen-Key Butterworth Low-pass 4阶滤波器驱动，提供单声道音频输出。低通滤波器的电路如图 29 所示。滤波器的输入(AUD_PWM)连接到 FPGA 引脚 A11。数字输入通常是 FPGA 产生的脉宽调制(PWM)或脉密度调制(PDM)开漏信号。对于逻辑“0”，信号需要被驱动为低电平，而对于逻辑“1”，信号需要保持高阻抗。一个板上的上拉电阻到一个干净的模拟 3.3V 轨道将为逻辑“1”建立适当的电压。输入端的低通滤波器将作为重构滤波器，将脉宽调制数字信号转换为音频插孔输出端的模拟电压。

有道文档翻译
pdf.youdao.com

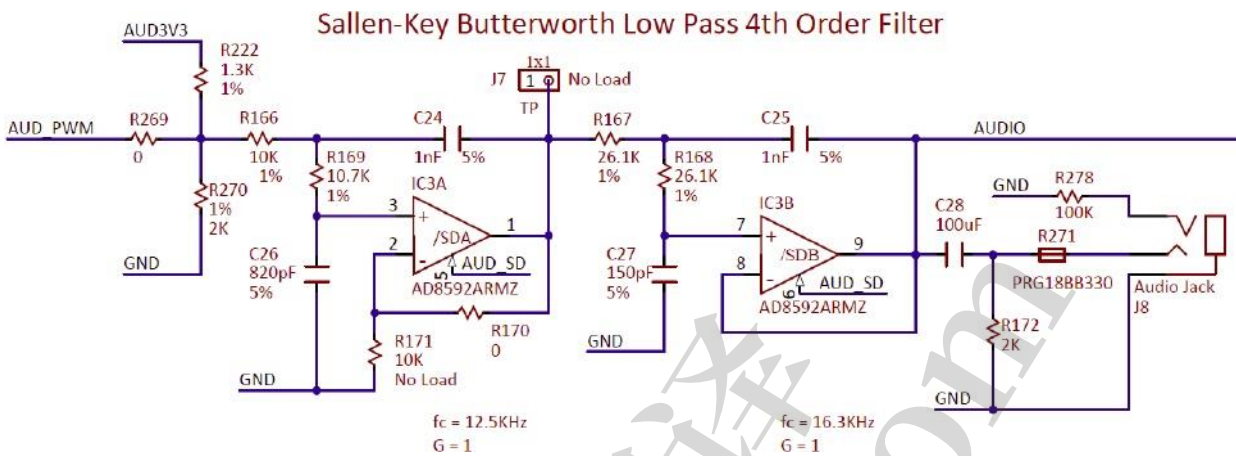


图29。Sallen-Key Butterworth Low-Pass 4th Order Filter。

SK巴特沃斯低通滤波器的频率响应如图 30 所示。电路的交流分析使用 NI Multisim 12.0 完成。

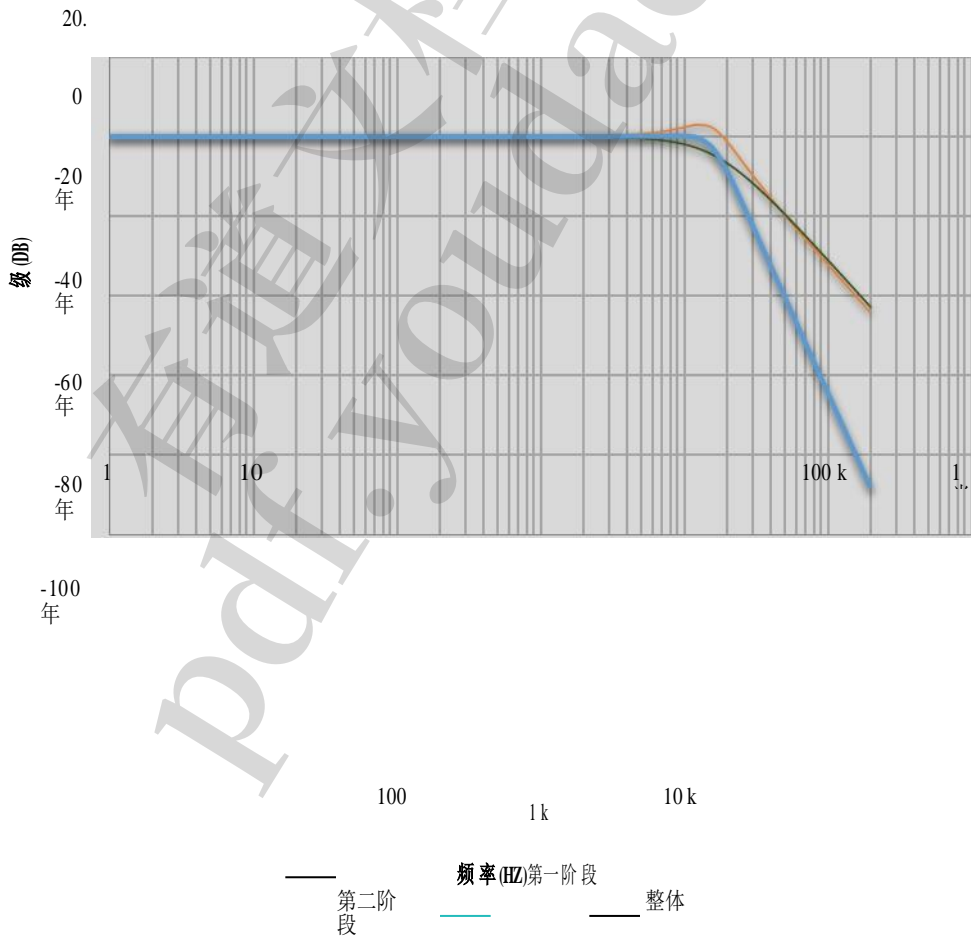


图30。SK Butterworth Low-Pass Filter 频率响应。

16.1 脉宽调制

脉宽调制(PWM)信号是一个固定频率的脉冲链，每个脉冲可能有不同的宽度。这个数字信号可以通过一个简单的低通滤波器，该滤波器集成了数字波形，以产生一个与某个间隔内平均脉宽成比例的模拟电压(该间隔由低通滤波器的 3dB 截止频率和脉冲频率决定)。例如，如果脉冲平均为可用脉冲周期的 10%，那么积分器将产生一个为 Vdd 电压的 10% 的模拟值。图 31 显示了一个表示为 PWM 信号的波形。

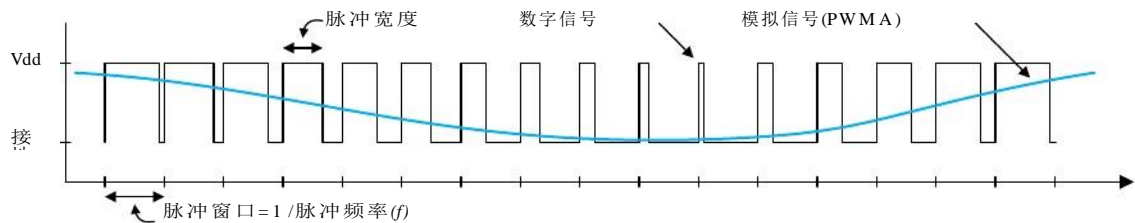
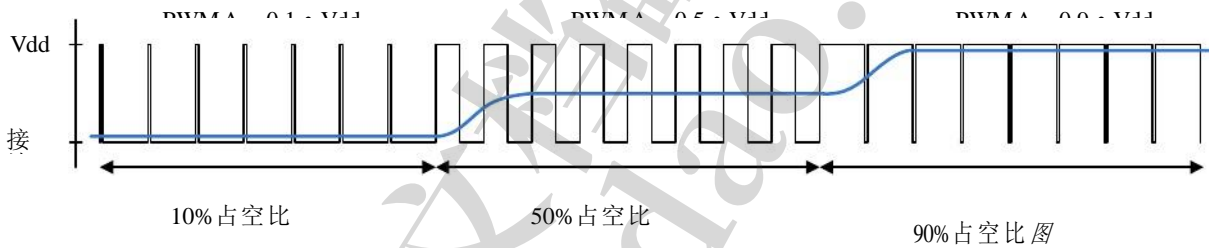


图31 所示。简单波形表示为 PWM。

必须集成 PWM 信号来定义模拟电压。低通滤波器 3dB 频率应该比 PWM 频率低一个数量级，这样在 PWM 频率处的信号能量才能从信号中过滤出来。例如，如果音频信号必须包含高达 5 KHz 的频率信息，那么 PWM 频率应该至少为 50 KHz(最好更高)。一般来说，在模拟信号保真度方面，PWM 频率越高越好。图 32 显示了 PWM 积分器通过对脉冲序列积分产生输出电压的表示。注意稳态滤波器输出信号幅值与 Vdd 的比值与脉宽占空比相同(占空比定义为脉冲高时间除以脉冲窗时间)。



32.:PWM 积分器通过对脉冲序列进行积分产生输出电压的表示。

17 内置自检

在制造过程中，演示配置被加载到 Nexys4 DDR 板上的 Quad-SPI 闪存设备中。此设计的源代码和预构建的比特流可从 Digilent 网站下载。如果演示配置出现在 flash 中，并且 Nexys4 DDR 板以 SPI 模式上电，则演示项目将允许基本硬件验证。以下是该演示如何驱动不同板载组件的概述：

“当相应的用户开关置于开启位置时，用户 led 就会亮起。

三色 led 由一些用户按钮控制。按下 BTNL、BTNC 或 BTNR 会使它们分别亮起红色、绿色或蓝色。按 BTND 使它们开始在许多颜色中循环。反复按 BTND 将打开或关闭两个 led。

按 BTNU 会触发板载 PDM 麦克风 5 秒的录音。然后，这段录音立即在单声道音频输出端口上播放。录制和回放的状态显示在用户 led 上。录音保存在 DDR 内存中。

●VGA 端口显示来自板载麦克风、温度传感器、加速计、RGB led 和 USB 鼠标的反馈。

“将鼠标连接到 USB-HID 鼠标端口将允许控制 VGA 显示器上的指针。只支持与 Boot Mouse HID 接口兼容的鼠标。

七段显示器将显示一条移动的蛇图案。

所有 Nexys4 DDR 板在制造过程中都经过了 100% 的测试。如果 Nexys4 DDR 板上的任何设备测试不合格或反应不正常，则很可能是在运输或使用过程中发生了损坏。典型的损坏包括压力焊点和开关和按钮中的污染物，导致间歇性故障。

应力焊点可以通过再加热和回流焊料修复，污染物可以用现成的电子清洁产品清洗。如果单板在质保期内检测不合格，将免费更换。详情请联系 Diligent。

有道文档翻译
pdf.youdao.com

有道文档翻译
pdf.youdao.com