СПРАВОЧНИК

МИКРОПРОЦЕССОРЫ И МИКРОПРОЦЕССОРНЫЕ КОМПЛЕКТЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

В ДВУХ ТОМАХ

ТОМ 2

Под редакцией В. А. ШАХНОВА

Scan Pirat

МОСКВА «РАДИО И СВЯЗЬ»,
1988

ББК 32.852
М59
УДК 681.325.5—181.4 : 621.3.049.771.14(03)

Рецензент: Чл.-корр. АН СССР Л. Н. Преснухин

Редакция литературы по электронной технике

М59 **Микропроцессоры** и микропроцессорные комплекты интегральных микросхем: Справочник: В 2 т. / Н. Н. Аверьянов, А. И. Березенко, Ю. И. Борщенко и др.; Под ред. В. А. Шахнова. — М.: Радио и связь, 1988. — Т. 2. — 368 с.: ил.

ISBN 5-256-00373-9

Приведены классификация микропроцессоров и микропроцессорных комплектов больших интегральных микросхем и сведения о микропроцессорных комплектах универсального назначения. Приводятся данные о структуре и системах команд микропроцессоров, временных соотношениях сигналов, примеры использования микропроцессоров в аппаратуре

Для инженерно-технических работников, разрабатывающих электронную управляющую и вычислительную аппаратуру

М $\frac{2403000000-048}{046(01)-88}$ **106—87** **ББК 32.852**

ISBN 5-256-00373-9 (т. 2)
ISBN 5-256-00371-2

© Издательство «Радио и связь», 1988

Содержание тома 1

Предисловие редактора

Глава 1. **Общие сведения о микропроцессорных микросхемах**

1.1. Терминология
1.2. Система обозначений
1.3. Условия эксплуатации
1.4. Система параметров
1.5. Классификация микропроцессоров и микропроцессорных комплектов микросхем

Глава 2. **Микропроцессоры серий К145ИК18, К145ИК19**

2.1. Микросхема К745ИК1801-2
2.2. Микросхема К145ИК1807
2.3. Микросхемы К145ИК1809 и К145ИК1810
2.4. Микросхема К145ИК1812
2.5. Микросхема К145ИК1814
2.6. Микросхема К145ИК1901
2.7. Микросхема К145ИК1906
2.8. Микросхема К145ИК1907
2.9. Микросхема К145ИК1908
2.10. Микросхема К145ИК1914
2.11. Микросхема К145ИК1915

Глава 3. **Микропроцессорный комплект серии КР580**

3.1. Микросхема КР580ВМ80А
3.2. Микросхема КР580ВВ51А
3.3. Микросхема КР580ВИ53
3.4. Микросхема КР580ВВ55А
3.5. Микросхема КР580ВТ57
3.6. Микросхема КР580ВН59
3.7. Микросхема КР580ВВ79
3.8. Микросхема КР580ВА93
3.9. Микросхема КР580ВГ75
3.10. Микросхема КР580ВК91А
3.11. Микросхема КР580ГФ24
3.12. Микросхемы КР580ВК28 и КР580ВК38
3.13. Микросхемы КР580ИР82 и КР580ИР83
3.14. Микросхемы КР580ВА86 и КР580ВА87
3.15. Рекомендации по применению

Глава 4. **Микропроцессорный комплект серии КР581**

4.1. Микросхема КР581ИК1
4.2. Микросхема КР581ИК2
4.3. Микросхемы КР581РУ1, КР581РУ2 и КР581РУ3
4.4. Микросхема КР581ВЕ1

Глава 5. **Микропроцессорный комплект серии К583**

5.1. Микросхема К583ВС1
5.2. Микросхема К583ИК1
5.3. Микросхема К583КП1
5.4. Микросхема К583ВМ1
5.5. Микросхема К583ХЛ1
5.6. Микросхема К583ВГ1
5.7. Микросхема К583ВА1
5.8. Микросхема К583ВА2
5.9. Микросхема К583ВА3
5.10. Микросхема К583ВА4
5.11. Рекомендации по применению

Глава 6. **Микропроцессорный комплект серии К584**

6.1. Микросхема К584ВМ1
6.2. Микросхема К584ВУ1
6.3. Микросхема К584ВГ1
6.4. Микросхема К584ВВ1
6.5. Рекомендации по применению

Глава 7. **Микропроцессорный комплект серии КР587**

7.1. Микросхема КР587ИК2
7.2. Микросхема КР587ИК1
7.3. Микросхема КР587ИК3
7.4. Рекомендации по применению

Глава 8. **Микропроцессорный комплект серии К588**

8.1. Микросхема К588ВС2
8.2. Микросхема К588ВУ2
8.3. Микросхема К588ВР2
8.4. Микросхема К588ВГ1
8.5. Микросхема К588ВА1
8.6. Микросхема К588ИР1
8.7. Микросхема К588ВГ2
8.8. Микросхема К588ВТ1

Глава 9. **Микропроцессорный комплект серии К589**

9.1. Микросхема К589ИК02
9.2. Микросхема К589ИК03
9.3. Микросхема К589ИК01
9.4. Микросхема К589ИК14
9.5. Микросхема К589ИР12
9.6. Микросхемы К589АП16 и К589АП26
9.7. Микросхема К589ХЛ4

Глава 10. **Микропроцессорный комплект серии К1800**

10.1. Микросхема К1800ВС1
10.2. Микросхема К1800ВУ1
10.3. Микросхема К1800ВБ2
10.4. Микросхема К1800ВГ3
10.5. Микросхема К1800ВА4
10.6. Микросхема К1800РП6
10.7. Микросхема К1800ВА7
10.8. Микросхема К1800ВР8
10.9. Микросхема К1800РП16
10.10. Рекомендации по применению

Приложение 1. Корпуса микропроцессорных микросхем

Приложение 2. Краткие сведения о микропроцессорных микросхемах, не вошедших в том 1 справочника

Содержание тома 2

Предисловие 6

Глава 11. **Микропроцессорный комплект серии К1801**

(Ю. И. Борщенко, В. Л. Дшхунян, Э. Е. Иванов, П. Р. Машевич, В. В. Теленков)

11.1. Микросхема К1801ВМ1 . . . 7
11.2. Микросхема КМ1801ВМ2 . . . 14
11.3. Микросхема КМ1801ВМ3 . . . 15
11.4. Микросхема К1801ВП1-30 . . . 21
11.5. Микросхема К1801ВП1-33 . . . 23
11.6. Микросхема К1801ВП1-34 . . . 31
11.7. Микросхема К1801ВП1-35 . . . 34
11.8. Микросхема КР1801РЕ2 . . . 38
11.9. Микросхема К573РФ3 . . . 40
11.10. Рекомендации по применеиию . 42

Глава 12. **Микропроцессорный комплект серии КР1802**

(А. И. Березенко, С. Е. Калинин, Л. Н. Корягин)

12.1. Микросхема КР1802ВС1 . . . 44
12.2. Микросхема КР1802ИР1 . . . 53
12.3. Микросхема КР1802ВР1 . . . 57
12.4. Микросхема КР1802ВР2 . . . 61
12.5. Микросхема КР1802ВР3 . . . 71
12.6. Микросхема КМ1802ВР4 . . . 79
12.7. Микросхема КМ1802ВР5 . . . 84
12.8. Микросхема КР1802ИМ1 . . . 89
12.9. Микросхема КР1802ИП1 . . . 97
12.10. Микросхема КР1802ВВ1 . . . 107
12.11. Микросхема КР1802ВВ2 . . . 111
12.12. Микросхема КР1802КП1 . . . 118
12.13. Микросхема КР1802ВВ3 . . . 125

Глава 13. **Микропроцессорный комплект серии КМ1804**

(И. Е. Лобов, В. Т. Никифоровский, Б. Л. Толстых, Н. Н. Тонких, В. С. Хорошунов)

13.1. Микросхема КМ1804ВС1 . . . 132
13.2. Микросхема КМ1804ВС2 . . . 136
13.3. Микросхема КМ1804ВР1 . . . 145
13.4. Микросхема КМ1804ВР2 . . . 146
13.5. Микросхемы КМ1804ВУ1 и КМ1804ВУ2 154
13.6. Микросхема КМ1804ВУ3 . . . 158
13.7. Микросхема КМ1804ВУ4 . . . 159
13.8. Микросхема КМ1804ВН1 . . . 164
13.9. Мнкросхема КМ1804ВР3 . . . 169
13.10. Микросхема КМ1804ВА1 . . . 171
13.11. Микросхема КМ1804ВА2 . . . 174
13.12. Микросхема КМ1804ВА3 . . . 177
13.13. Микросхема КМ1804ИР3 . . . 177
13.14. Микросхема КМ1804ГГ1 . . . 182
13.15. Микросхема КМ1804ВУ5 . . . 186
13.16. Микросхема КМ1804ВЖ1 . . . 191
13.17. Микросхема КМ1804ИР1 . . . 196
13.18. Микросхема КМ1804ИР2 . . . 198
13.19. Рекомендации по применению . 200

Глава 14. **Микропроцессорный комплект серии КА1808**

(В. В. Горовой, В. А. Евдокимов)

14.1. Микросхема КА1808ВМ1 . . . 205
14.2. Микросхема КА1808ИР1 . . . 211
14.3. Микросхема КА1808ВВ1 . . . 213
14.4. Микросхема КА1808ВУ1 . . . 215
14.5. Рекомендации по применению . . 217

Глава 15. **Микропроцессорный комплект серии К1809**

(С. К. Иванова, Р. А. Лашевский, О. И. Хмельницкая)

15.1. Микросхема К1809ВВ1 219
15.2. Микросхема К1809ВВ2 225
15.3. Микросхема КМ1509КП1 . . . 230

Глава 16 **Микропроцессорный комплект серии КМ1810**

(А В Кобылинский, А И Заика, Г П Липовецкий, И П Обуховский, В М Калатинец, Н Н Аверьянов, В А Темченко, Л В Проценко, Г В Литвинский, А Н Фионик, Н Л Трунина — § 16 1, 16 2, 16 6, Г Г Нестеренко, А В Поветин, А М Могилевский, А С Кусин, В И Фирсов, Г Ю Немеровский — § 16 3—16 5)

16 1 Микросхема КМ1810ВМ86 232
16 2 Микросхема КР1810ВН59А 264
16 3 Микросхема КР1810ВБ89 275
16 4 Микросхема КР1810ВГ88 285
16 5 Микросхема КР1810ГФ84 289
16 6 Рекомендации по применению 294

Глава 17 **Микропроцессорный комплект серии К1811**

(И Е Лобов, В Т Никифоровский, Б Л Толстых, Н Н Тонких, В С Хорошунов)

17 1 Микросхема КН1811ВМ1 297
17 2 Микросхемы КН1811ВУ1, КН1811ВУ2, КН1811ВУ3 300
17 3 Микросхема КМ1811ВТ1 304
17 4 Соединение микросхем серии КН1811 307

Глава 18 **Микропроцессор серии КМ1813ВЕ1**

(А А Кузнецов, И Ю Луцкий, Г Ф Страутманис)

Глава 19 **Микропроцессоры серии К1814**

(И Е Лобов, В Т Никифоровский, Б Л Толстых, Н Н Тонких, В С Хорошунов)

Глава 20 **Однокристальные микро-ЭВМ серии КР1816**

(А В Кобылинский, А И Заика, Г П Липовецкий, И П Обуховский, В М Калатинец, Н Н Аварьянов, В А Темченко, Л В Проценко, Г В Литвинский, А Н Фионик, Н Л Трунина)

Приложение 1 Корпуса микропроцессорных микросхем *(Л И Якушкина)* 353

Приложение 2 Краткие сведения о дополнительных микропроцессорных комплектах микросхем, не вошедших в справочник *(В А Шахнов)* 360

Приложение 3 Краткие сведения о микросхемах запоминающих устройств, применяемых в микропроцессорных системах *(В А Шахнов)* 360

Приложение 4 Цифровые (логические) микросхемы, применяемые в микропроцессорных системах *(В А Шахнов)* 362

Предисловие

Во второй том справочника включены описания микропроцессорных комплектов микросхем, широко применяемых в электронной и электронно-вычислительной аппаратуре, в порядке возрастания номеров серий, начиная с серии К1801. Во втором томе сохранена структура представления данных, принятая для первого тома.

Вначале даются общие сведения о микропроцессорном комплекте, его составе, условиях эксплуатации, особенностях применения, конструктивном исполнении. Затем приводится описание каждой микросхемы, входящей в комплект, которое включает в себя условное графическое обозначение микросхемы, назначение выводов корпуса, временные диаграммы работы, статические и динамические параметры, систему микрокоманд. Описание каждого комплекта микропроцессорных микросхем заканчивается конкретными рекомендациями по его применению в аппаратуре.

В приложениях приведены сведения о конструктивном исполнении корпусов микросхем, краткие сведения о новых микропроцессорных комплектах, освоенных промышленностью за время подготовки к изданию справочника, а также общая характеристика и перечни микросхем запоминающих устройств и цифровых микросхем, применяемых при проектировании микропроцессорных систем.

Глава 11

Микропроцессорный комплект серии К1801

Микропроцессорный комплект серии К1801, микросхемы которого изготовляются по *n*-МДП-техиологии, предназначен для построения широкого класса микроконтроллеров, микро-ЭВМ, управляющих микропроцессорных систем. Высокая функциональная мощность, сравнительно высокое быстродействие при умеренной потребляемой мощности, совмести-

Таблица 11.1

Тип микросхемы	Функциональное назначение	Тип корпуса
К1801ВМ1	16-разрядный микропроцессор, 500 тыс. операций «Регистр — регистр» в секунду	429.42-5
КМ1801ВМ2	16-разрядный микропроцессор, 1 млн. операций «Регистр—регистр» в секунду	2123.40-6
КМ1801ВМ3	16-разрядный микропроцессор, 1,5 млн. операций «Регистр—регистр» в секунду	2136.64-1
К1801ВП1-30	Управление динамическим ОЗУ	429.42-5
К1801ВП1-33	Контроллер интерфейса параллельного ввода/вывода	429.42-5
К1801ВП1-34	Устройство передачи информации	429.42-5
К1801ВП1-35	Устройство последовательного ввода вывода	429.42-5
КР1801РЕ2	Постоянное запоминающее устройство	239.24-1
К573РФ3	Репрограммируемое ПЗУ	210Б.24-5

Таблица 11.2

Параметр	Обозначение	Значения параметров макс. (мин)
Выходное напряжение низкого уровня, В	U_{OL}	0,5
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)
Ток утечки на входе, мкА	I_{LI}	1
Ток утечки на выходе, мкА	I_{LO}	10

Продолжение

Параметр	Обозначение	Значения параметров макс. (мин)
Входное напряжение низкого уровня, В	U_{IL}	0,7
Входное напряжение высокого уровня, В	U_{IH}	(2,2)
Входная емкость, пФ	C_I	10
Выходная емкость, пФ	C_O	15

Таблица 11.3

Параметр	Обозначение	Значения параметров: макс. (мин.)
Напряжение питания, В	U_{CC}	5,25 (4,75)
Максимальное входное напряжение, В	$U_{I\,max}$	5,25
Минимальное входное напряжение, В	$U_{I\,min}$	(—0,5)
Выходной ток низкого уровня, мА	I_{OL}	3,2
Выходной ток высокого уровня, мА	I_{OH}	(—1,0)
Емкость нагрузки, пФ	C_L	100
Температура окружающей среды, °С	T	+70 (—10)

мость по системе команд с самыми массовыми в стране микроЭВМ семейства «Электроника» обеспечивают МПК серии К1801 практически неограниченные области применения.

В состав серии К1801 входят микросхемы однокристальных микропроцессоров, способных вести обработку 16-разрядных операндов, периферийных контроллеров, созданных на основе базового матричного кристалла серии К1801ВП1 и микросхемы ПЗУ (табл. 11.1).

Общие для всех микросхем комплекта электрические параметры приведены в табл. 11.2.

Общие для всех микросхем комплекта предельно допустимые значения электрических параметров приведены в табл. 11.3.

11.1. Микросхема К1801ВМ1

Микросхема К1801ВМ1 — однокристальный 16-разрядный микропроцессор (ОМП), предназначен для обработки цифровой информации в системах управления технологическими процессами, в контрольно-измерительной аппаратуре и системах связи, а также решения в составе ЭВМ инженерно-технических и экономических задач.

Условное графическое обозначение микросхемы приведено на рис. 11.1, назначение выводов — в табл. 11.4, структурная схема показана на рис. 11.2.

В состав микросхемы входят следующие основные функциональные блоки, объединенные информационно-управляющими связями:

16-разрядный операционный блок, выполняющий операции формирования адресов команд и операндов, логические и арифметические, хранения операндов и результатов;

блок микропрограммного управления, вырабатывающий последовательность микрокоманд на основе кода принятой команды. В нем закодирован полный набор микрокоманд для всех типов команд;

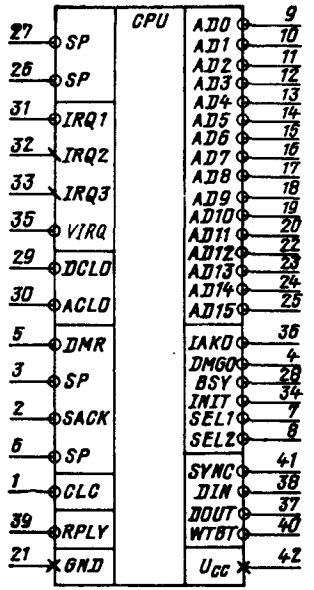


Рис. 11.1. Условное графическое обозначение К1801ВМ1

блок прерываний, организующий приоритетную систему прерываний ОМП. Выполняет прием и предварительную обработку внешних и внутренних запросов на прерывание вычислительного процесса;

интерфейсный блок, выполняющий обмены информацией между ОМП и устройствами,

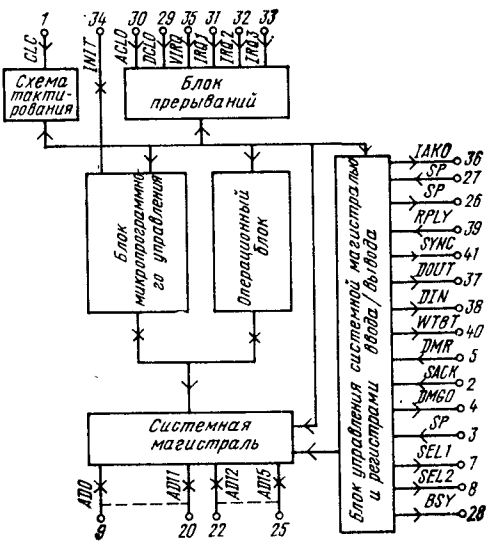


Рис. 11.2. Структурная схема К1801ВМ1

Таблица 11.4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	CLC	Вход	Синхронизация
2	SACK	Вход	Подтверждение выборки
3, 6, 26, 27	SP	—	Резервные
4	DMGO	Выход	Предоставление прямого доступа
5	DMR	Вход	Требование прямого доступа
7	SEL1	Выход	Выборка первого регистра ввода/вывода
8	SEL2	Выход	Выборка второго регистра ввода/вывода
9—20, 22—25	AD0 –AD15	Вход/выход	Разряды адреса/данных
21	GND	—	Общий
28	BSY	Выход	Сигнал занятости канала
29	DCLO	Вход	Авария источника питания
30	ACLO	Вход	Авария сетевого питания
31	IRQ1	Вход	Первый запрос радиального прерывания
32	IRQ2	Вход	Второй запрос радиального прерывания
33	IRQ3	Вход	Третий запрос радиального прерывания
34	INIT	Вход выход	Установка исходного состояния
35	VIRQ	Вход	Требование прерывания
36	IAKO	Выход	Предоставление прерывания
37	DOUT	Выход	Вывод данных (запись данных)
38	DIN	Выход	Ввод данных (чтение данных)
39	RPLY	Вход	Синхронизация пассивного устройства (ответ)
40	WTBT	Выход	Вывод байта (запись/байт)
41	SYNC	Выход	Синхронизация активного устройства (обмен)
42	U_{cc}	—	Напряжение питания

расположенными на системной магистрали. Осуществляет арбитраж при операциях прямого доступа к памяти. В интерфейсном блоке формируется последовательность управляющих сигналов системной магистрали;

блок системной магистрали, связывающий внутреннюю магистраль ОМП с внешней. В нем производится управление усилителями приема и выдачи информации на совмещенные выводы адресов и данных;

схема тактирования, обеспечивающая синхронизацию внутренних блоков.

Основные параметры К1801ВМ1:

Разрядность	16 двоичных разрядов
Представление чисел . .	Дополнительный код с фиксированной запятой
Система команд . . .	Безадресная, одноадресная, двухадресная

Виды адресации	Регистровая, косвенно-регистровая автоинкрементная, косвенно автоинкрементная, косвенно автодекрементная, индексная, косвенно индексная
Число регистров общего назначения (РОН)	8
Число линий запросов на прерывания	4
Системная магистраль	Типа МПИ с совмещенными шинами для передачи адреса и данных
Адресное пространство	64К байт
Тактовая частота	От 100 кГц до 5 МГц
Максимальное быстродействие выполнения команд сложения в составе ЭВМ при регистровом методе адресации	До 500 тыс операций/с
Потребляемая мощность	До 1,2 Вт

Сигналы *AD0—AD15* определяют адреса и данные, которые передаются по совмещенной системной магистрали

Группы сигналов *SYNC, DIN, DOUT, WTBT, RPLY* управляют передачей информации по системной магистрали Сигнал *SYNC*, вырабатываемый процессором, означает, что адрес находится на выводах системной магистрали Этот сигнал сохраняет активный уровень до окончания текущего обмена информацией

Сигнал *RPLY* означает, что данные приняты или установлены на информационных выводах Этот сигнал вырабатывается пассивным устройством в ответ на сигналы *DIN* и *DOUT*

Сигнал *DIN* предназначен для организации двух процедур обмена информацией по магистрали

ввода данных — ОМП вырабатывает *DIN* во время действия сигнала *SYNC*, когда он готов принять данные от пассивного устройства,

ввода адреса вектора прерывания — сигнал *DIN* вырабатывается совместно с сигналом *IAKO* при пассивном уровне сигнала *SYNC*

Сигнал *DOUT* означает, что данные, выдаваемые ОМП, установлены на выводах системной магистрали

Сигнал *WTBT* предназначен для организации двух процедур обмена информацией

вырабатывается в адресной части цикла для указания о том, что далее следует вывод данных (слова или байта),

формируется при выводе данных из ОМП для указания о выводе байта

Сигнал *VIRQ* вырабатывается внешним устройством для информирования ОМП о том, что оно готово передавать адрес вектора прерываний В ответ на этот сигнал (если прерывание разрешено) ОМП вырабатывает сигналы *DIN* и *IAKO*

Сигнал *IRQ1* определяет положение внешнего переключателя «Программа — пульт» Низкий уровень этого сигнала означает, что переключатель должен находиться в положении «Пульт» Этот сигнал переводит ОМП в состояние, аналогичное состоянию после выполнения команды *HALT*

Сигналы *IRQ2* и *IRQ3* вызывают прерывание программы, выполняемой процессором, по фиксированным адресам 000100 * и 000270 соответственно Прерывание происходит при переходе сигналов из высокого уровня в низкий

Сигнал *IAKO ОМП* вырабатывается в ответ на внешний сигнал *VIRQ* Этот сигнал является выходным для ОМП и входным для первого устройства, подключенного к системной магистрали (электрически ближе расположенного к ОМП и, следовательно, имеющего более высокий приоритет) Если это устройство не требовало прерываний (не устанавливало сигнал *VIRQ*), то оно транслирует сигнал *IAKO* к следующему устройству Устройство, требующее прерывания ОМП, запрещает распространение этого сигнала Сигнал IAKO, последовательно проходя через все устройства, обеспечивает их поочередный опрос и различный приоритет обслуживания

Сигнал *DMR* вырабатывает внешнее активное устройство, требующее передачи ему системной магистрали

Сигнал *DMGO* процессор устанавливает в ответ на внешний сигнал *DMR* Этот сигнал последовательно проходит через внешние устройства и предоставляет системную магистраль устройству с наивысшим приоритетом, запросившему прямой доступ к памяти Это устройство прекращает трансляцию сигнала *DMGO* и устанавливает сигнал *SACK*, который вырабатывается устройством прямого доступа к памяти (ПДП) в ответ на сигнал ОМП *DMGO* Сигнал *SACK* означает, что устройство ПДП может производить обмен данными, используя стандартные циклы обращения к системной магистрали

Сигнал *BSY* предназначен для управления устройствами умощнения магистрали Низкий уровень этого сигнала означает, что ОМП начинает обмен по магистрали Переход сигнала из низкого уровня в высокий означает окончание обмена

Сигнал аварии источника питания *DCLO* вызывает установку ОМП в исходное состояние и появление сигнала *INIT* Сигнал аварии сетевого питания *ACLO* означает переход ОМП на обработку прерывания по сбою питания Высокий уровень этого сигнала означает, что сетевое напряжение питания в норме

При появлении одного из сигналов обращения к внешним регистрам расширения ввода/вывода *SEL1, SEL2* адрес на выводах системной магистрали соответствует адресу од

---

* Значения адресов, векторов прерываний, кодов команд приводятся в восьмеричной системе счисления

ного из внешних регистров расширения ввода/вывода. Сигнал *SEL1* устанавливается при обращении по фиксированному адресу 177716, сигнал *SEL2* — по адресу 177714.

Совместно с сигналами *DIN* или *DOUT* происходит соответственно ввод данных в ОМП из регистров или вывод из ОМП на регистры. Установка сигнала *RPLY* от регистров расширения ввода/вывода не требуется. По длительности сигналы *SEL1* и *SEL2* совпадают с сигналом *BSY*.

Для режима пуска ОМП при включении питания необходимо обеспечить временну́ю последовательность сигналов *DCLO* и *ACLO*, представленную на рис. 11.3.

После включения напряжения питания ОМП устанавливает сигнал *INIT* и ожидает снятия сигнала *DCLO*. После снятия сигнала *DCLO* происходят ввод информации из регистра расширения ввода/вывода по адресу 177716 и формирование значений счетчика команд (СК). В разряды 0—7 СК загружается нулевая информация, в разряды 8—15 — информация из соответствующих разрядов регистра ввода/вывода, обращение к которому происходит по сигналу *SEL1*.

Регистр состояния процессора загружается константой 340. Микросхема анализирует состояние запросов на прерывания. Если незамаскированных запросов нет, то происходят ввод первой команды и ее выполнение.

Сигнал *INIT* является ответом ОМП на сигнал *DCLO*. Его используют для установки периферийной части системы в исходное состояние. При вводе этого сигнала в ОМП происходит сброс триггеров запроса радиальных прерываний и блокирования сигнала *DMR*.

Системная магистраль позволяет адресовать 64К байта. Верхние 8К байт адресного пространства резервируются для управления периферийными устройствами и регистрами

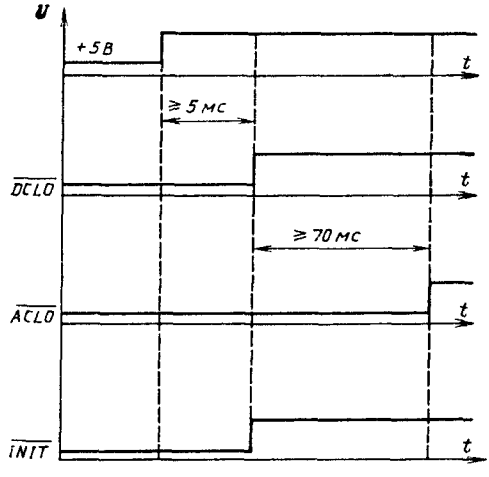


Рис. 11.3. Временна́я диаграмма режима начального пуска К1801ВМ1 при включении питания

данных. Системная магистраль ОМП позволяет организовать канал обмена информацией, аналогичный каналу ЭВМ «Электроника-60», в котором связь между двумя устройствами осуществляется по принципу «активный — пассивный».

Активное устройство управляет прохождением информации по системной магистрали, разрешает прерывания, обеспечивает предоставление прямого доступа к памяти. Пассивное устройство передает информацию только под управлением активного устройства.

При обращении ОМП к памяти или внешним устройствам возможны следующие виды обменов (циклов) информацией по системной магистрали: «Ввод» (чтение), «Вывод» (запись), «Ввод — пауза — вывод» (Чтение — модификация — запись).

Цикл «Ввод — пауза — вывод» включает ввод данных, выполнение арифметико-логических операций и вывод результата без повторения передачи адреса, т. е. результат записывается по адресу последнего выбранного операнда.

Ниже иллюстрируются некоторые виды обмена информацией по системной магистрали.

При выполнении цикла «Ввод» данные передаются от пассивного устройства к активному. Временна́я диаграмма этого цикла приведена на рис. 11.4. Черта над обозначением сигнала указывает, что активным уровнем является низкий уровень сигнала.

Порядок выполнения операций следующий:

процессор на выводах системной магистрали устанавливает адрес и выдает сигнал *BSY*;

синхронно с выдачей и снятием адреса ОМП устанавливает и снимает сигнал синхронизации *SYNC*, по которому происходит запоминание адреса пассивным устройством;

после установки сигнала *SYNC* ОМП снимает адрес, устанавливает сигнал *DIN* и ожидает поступление сигнала *RPLY* от пассивного устройства. Если в течение 64 тактов частоты синхронизации сигнал не появился, то ОМП переходит к обслуживанию внутреннего прерывания по ошибке обращения к системной магистрали;

после приема сигнала *RPLY* ОМП принимает данные от пассивного устройства и снимает сигнал *DIN*;

после снятия сигнала *DIN* пассивное устройство снимает сигнал *RPLY*, завершая операцию передачи данных;

после снятия сигнала *RPLY* пассивным устройством ОМП снимает сигналы *SYNC* и *BSY*. Если системная магистраль не предоставляется устройству ПДП, то ОМП сразу после снятия сигнала *SYNC* может начать новый цикл обращения к магистрали. В этом случае сигнал *BSY* не снимается.

Во время цикла «Ввод» сигнал *WTBT* не вырабатывается.

Кроме ОМП активным устройством на системной магистрали может быть устройство ПДП. В режиме ПДП обмен информацией происходит без вмешательства ОМП под управлением устройства ПДП. Последнее выпол-

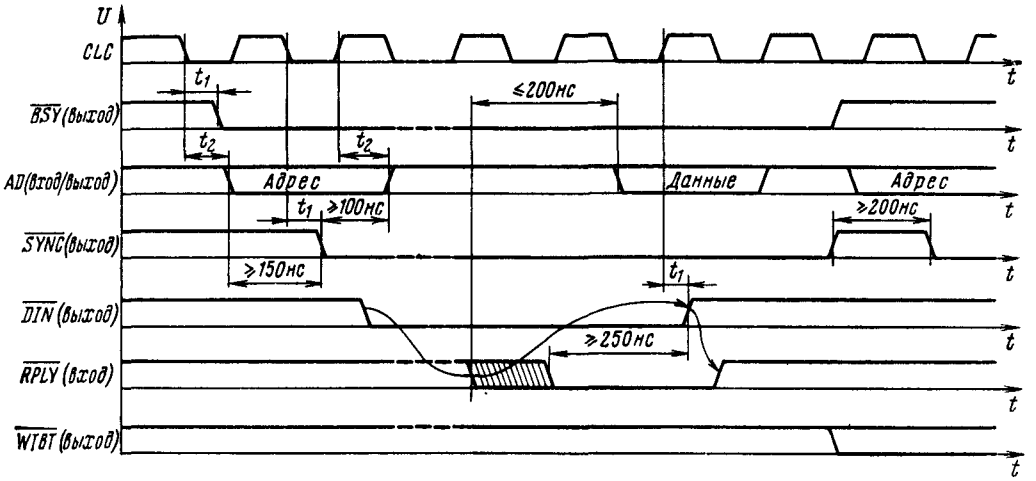


Рис. 11.4. Временна́я диаграмма цикла «Ввод». Заштрихована область прихода сигнала *RPLY*, для которой соблюдается данная диаграмма: $t_1 = 40 \div 70$ нс; $t_2 = 50 \div 80$ нс

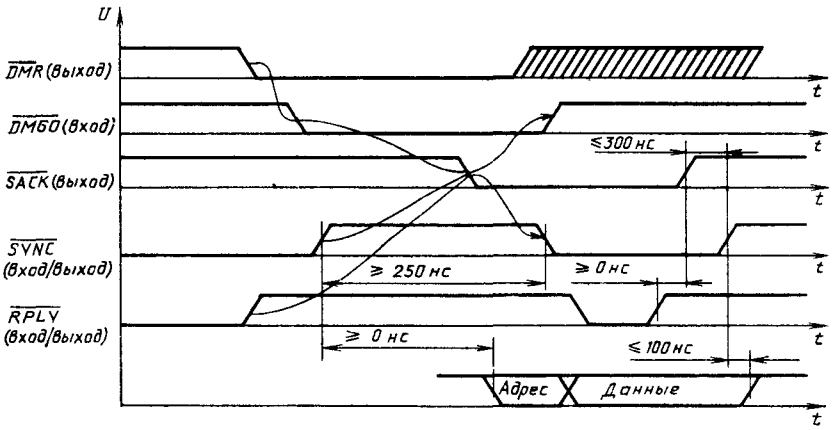


Рис. 11.5. Временна́я диаграмма цикла прямого доступа к памяти

няет адресацию, синхронизацию, вырабатывает управляющие сигналы для организации стандартных циклов обращения к системной магистрали.

Временна́я диаграмма ПДП приведена на рис. 11.5. Устройство ПДП устанавливает сигнал *DMR*, в ответ на который ОМП формирует сигнал *DMGO*, затем, получив сигнал *DMGO*, вырабатывает сигнал *SACK* и снимает сигнал *DMR*. Микросхема снимает сигнал *DMGO* и ожидает завершение операции ПДП. Устройство ПДП начинает выполнять циклы передачи данных, аналогичные циклам «Ввод», «Вывод» или «Ввод — пауза — вывод». После окончания обмена данными устройство ПДП снимает сигнал *SACK*, возвращая управление магистралью процессору.

Регистры общего назначения (РОН) используются в качестве индексных и накопительных регистров автоинкрементной и автодекрементной адресаций. Среди восьми РОН два регистра (*R6* и *R7*) имеют специальное назначение. Регистр *R6* используется в качестве указателя стека (УС) и содержит адрес последней ячейки стека, *R7* является счетчиком команд (СК) и содержит адрес очередной выполняемой команды.

Кроме РОН программно доступным регистром является регистр состояния процессора (РСП), содержащий информацию о текущем приоритете ОМП, значения кодов условий ветвлений программы, состояние Т-бита, используемого при отладке программы и вызывающего прерывание программы:

Если 7-й разряд РСП находится в состоянии 1, то внешние устройства не могут вызвать прерывание текущей программы, в противном случае внешние устройства вызывают прерывание.

Установка отдельных разрядов кодов ветвления выполняется в следующих случаях:

$Z=1$, если результат равен 0;

$N=1$, если результат отрицателен;

$C=1$, если в результате выполнения операции произошел перенос из самого старшего разряда или если при операциях сдвига вправо или влево из самого младшего или самого старшего разряда была выдвинута 1;

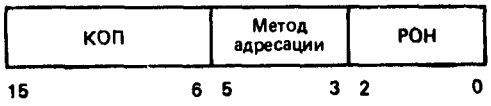
$V=1$, если в результате выполнения операции произошло арифметическое переполнение.

При загрузке информации в РСП может быть установлен или очищен Т-разряд. Если он установлен, то после завершения выполнения текущей команды будет вызвано прерывание программы с адресом вектора прерывания 14. Используют Т-разряд в отладочных программах для организации такого режима выполнения отлаживаемой программы, при котором исполнение интересующих пользователя команд вызывает прерывание программы и переход на программу связи с оператором. Для работы совместно с системным ПЗУ в РСП введены два дополнительных разряда (10 и 11), обеспечивающих изменение режима реакции на прерывания.

Система команд ОМП К1801ВМ1 (табл. 11.5) соответствует ЭВМ типа «Электроника-60».

Безадресные команды содержат только код операции.

Формат одноадресных команд имеет вид



Разряды 15—6 содержат код операции, определяющий исполняемую команду. Разряды 5—0 образуют 6-разрядное поле адресации операнда приемника, которое, в свою очередь,

Таблица 11.5

Обозначение команды	Код команды	Команда
HALT	000000	Останов
WAIT	000001	Ожидание
RTI	000002	Возврат из прерывания
BPT	000003	Командное прерывание для отладки
IOT	000004	Командное прерывание для ввода/вывода
RESET	000005	Сброс внешних устройств
RTT	000006	Возврат из прерывания
JMP	0001*DD*	Безусловный переход
RTS	00020*R*	Возврат из подпрограммы
JSR	004*RDD*	Обращение к подпрограмме
EMT	104000— 104377	Командное прерывание для системных программ
TRAP	104400 —104777	Командное прерывание
NOP	000240	Нет операции
CLC	000241	Очистка *C*
CLV	000242	Очистка *V*
CLZ	000244	Очистка *Z*
CLN	000250	Очистка *N*
SEC	000261	Установка *C*
SEV	000262	Установка *V*
SEZ	000264	Установка *Z*
SEN	000270	Установка *N*
SCC	000277	Установка всех разрядов (*N, Z, V, C*)
CCC	000257	Очистка всех разрядов (*N, Z, V, C*)
SWAB	0003*DD*	Перестановка байтов
CLR (*B*)	*050*DD*	Очистка
COM (*B*)	*051*DD*	Инвертирование
INS (*B*)	*052*DD*	Прибавление 1
DEC (*B*)	*053*DD*	Вычитание 1
NEG (*B*)	*054*DD*	Изменение знака
ADC (*B*)	*055*DD*	Прибавление переноса
SBC (*B*)	*056*DD*	Вычитание переноса
TST (*B*)	*057*DD*	Проверка
ROR (*B*)	*060*DD*	Циклический сдвиг вправо
ROL (*B*)	*061*DD*	Циклический сдвиг влево
ASR (*B*)	*062*DD*	Арифметический сдвиг вправо
ASL (*B*)	*063*DD*	Арифметический сдвиг влево
MARK	0064*NN*	Восстановление указателя стека (УС)
SXT	0067*DD*	Расширение знака
MTPS	1064*SS*	Запись слова состояния процессора (ССП)
MFPS	1067*DD*	Чтение ССП
MOV (*B*)	*1*SSDD*	Пересылка
CMP (*B*)	*2*SSDD*	Сравнение
BIT (*B*)	*3*SSDD*	Проверка разрядов
BIC (*B*)	*4*SSDD*	Очистка разрядов
BIS	*5*SSDD*	Логическое сложение
XOR	074*RDD*	Исключающее ИЛИ
ADD	06*SSDD*	Сложение
SUB	16*SSDD*	Вычитание
BR	0004*XXX*	Ветвление безусловное
BNE	0010*XXX*	Ветвление, если не равно 0
BEQ	0014*XXX*	Ветвление, если равно 0

Окончание табл. 11.5

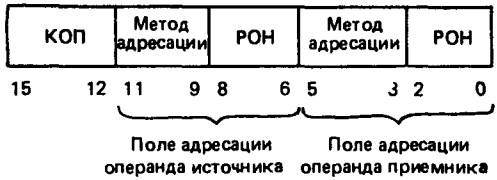
Обозначение команды	Код команды	Команда
BGE	0020*XXX*	Ветвление, если больше и равно 0
BLT	0024*XXX*	Ветвление, если меньше 0
BGT	0030*XXX*	Ветвление, если больше 0
BLE	0034*XXX*	Ветвление, если меньше или равно 0
SOB	077*PRNN*	Вычитание 1 и ветвление
BPL	1000*XXX*	Ветвление, если плюс
BMI	1004*XXX*	Ветвление, если минус
BHI	1010*XXX*	Ветвление, если больше
BLOS	1014*XXX*	Ветвление, если меньше или равно
BVC	1020*XXX*	Ветвление, если нет арифметического переполнения
BVS	1024*XXX*	Ветвление, если арифметическое переполнение
BHIS, *BCC*	1030*XXX*	Ветвление, если больше или равно
BLO, *BCS*	1034*XXX*	Ветвление, если меньше

Примечание. *B* — байтовые команды; *SS* — поле адресации операнда источника; *DD* — поле адресации операнда приемника; *NN* — смещение (6 разрядов); *XXX* — смещение (8 разрядов); *R* — регистр общего назначения.

* Разряд, принимающий значения: 0—для команд с операцией над словами; 1 — для команд с операцией над байтами

состоит из двух полей: разряды 2—0 определяют один из восьми РОН, который использует данные команды; разряды 5—3 определяют метод адресации. Разряд 3 определяет прямую или косвенную адресацию.

Формат двухадресных команд имеет вид



Поле адресации операнда источника используется для выборки операнда источника, поле адресации операнда приемника — для выборки операнда источника и занесения результата.

Источниками прерываний, расположенными в соответствии с приоритетностью обработки (при одновременном появлении нескольких запросов), являются:

ошибка обращения к магистрали;

резервный или запрещенный код в регистре команд;

Т-бит в РСП;

сигнал аварии сетевого питания *ACLO*;

сигналы радиальных прерываний *IRQ1*, *IRQ2*, *IRQ3*;

сигнал векторного прерывания *VIRQ*.

Установка 7-го разряда РСП в 1 позволяет игнорировать сигналы прерывания *VIRQ*, *IRQ2*, *IRQ3*.

Прерывание текущего процесса и последующая его обработка производятся после выполнения очередной команды. Прерывание по ошибке обращения к системной магистрали (обращение по адресу несуществующей ячейки

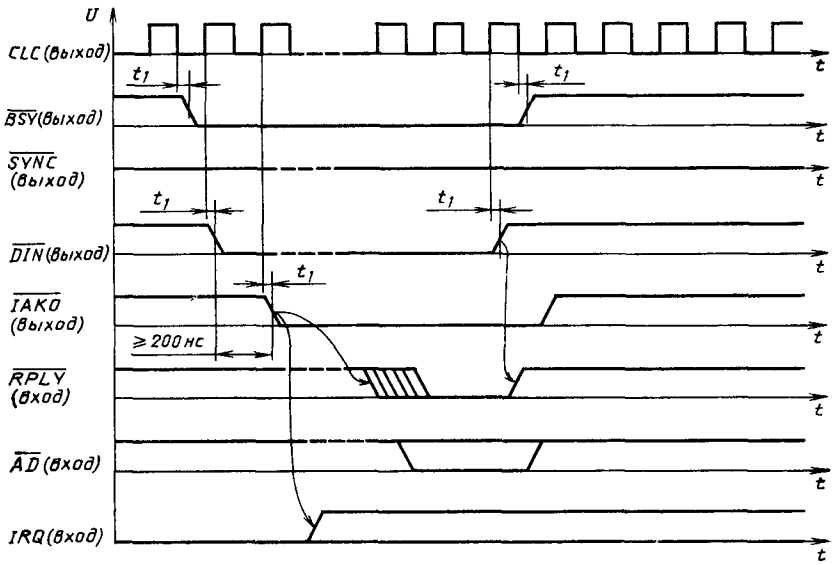


Рис. 11.6. Временная диаграмма приема адреса вектора прерывания. Заштрихована область прихода сигнала *RPLY*, для которой соблюдается данная диаграмма: $t_1 = 40 \div 70$ нс

памяти или регистра внешнего устройства) может прервать выполнение программы на любой фазе исполнения команды.

Временная диаграмма приема вектора прерывания показана на рис. 11.6. Последовательность операций при этом следующая. Устройство, которому необходимо обслуживание, выставляет сигнал требования прерывания *VIRQ*. Если прерывание разрешено, то ОМП помещает в стек содержимое СК и РСП и последовательно устанавливает сигналы *DIN* и *IAKO*. Устройство принимает сигнал *IAKO* и запрещает его распространение к другим устройствам, помещает адрес вектора прерывания на выводы системной магистрали, вырабатывает сигнал *RPLY* и снимает сигнал *VIRQ*.

Процессор принимает адрес вектора прерывания и последовательно снимает сигналы *DIN* и *IAKO*. Устройство завершает передачу вектора и снимает сигнал *RPLY*.

Микросхема ОМП загружает новое содержимое СК и РСП из двух последовательных ячеек, первая из которых определяется адресом вектора прерывания, после чего переходит к выполнению программы обслуживания данного устройства.

Основные параметры микросхемы К1801ВМ1 приведены в табл. 11.2 и 11.3.

11.2. Микросхема КМ1801ВМ2

Микросхема КМ1801ВМ2 — однокристальный микропроцессор, является дальнейшим развитием ОП К1801ВМ1. Она обладает более высоким быстродействием, расширенной системой команд и рядом новых функциональных возможностей.

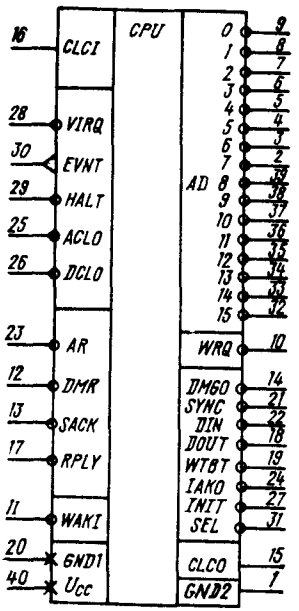


Рис. 11.7. Условное графическое обозначение КМ1801ВМ2

Основные параметры КМ1801ВМ2

Быстродействие выполнения регистровых команд типа «Сложение»	До 1000 тыс. операций/с
Быстродействие выполнения команд типа «Умножение»	До 100 тыс. операций/с
Максимальная тактовая частота	10 МГц
Мощность потребления . .	До 1,7 Вт

Условное графическое обозначение микросхемы приведено на рис. 11.7, структурная схема показана на рис. 11.8. Назначение выводов соответствует микросхеме К1801ВМ1 и имеет следующие особенности.

Сигнал выходной тактовой синхронизации *CLCO* имеет частоту, равную половине частоты входной синхронизации *CLCI*. Он предназначен для организации систем, обладающих повышенной надежностью, в которых несколько процессоров должны работать синхронно.

Микросхема КМ1801ВМ2 наряду с синхронной адресной частью обмена по системной магистрали имеет возможность асинхронной работы при передаче адреса. Это обеспечивается с помощью входного сигнала *AR* «Адрес принят». После выдачи адреса на системную магистраль ОМП ожидает появления сигнала *AR*. Низкий уровень входного сигнала *AR* свидетельствует о том, что пассивное устройство приняло адрес и ОМП может продолжать цикл обмена по системной магистрали.

Микросхема ОМП обладает встроенной логической схемой обращения в область адресного пространства от 160000 до 163777 включительно. Для обращения в эту область используются сигналы *WRQ* и *WAKI*, которые могут применяться для организации обмена в многопроцессорных вычислительных системах.

Сигнал *SEL*, устанавливаемый процессором в фазе чтения одновременно с сигналом *DIN*, определяет процедуру чтения внешнего регистра ввода/вывода. Обычно таким регистром является регистр начальных условий пуска ОМП в составе ЭВМ. Если ОМП устанавливает сигнал *SEL* в фазе выдачи адреса, то это означает, что обмен идет с системной памятью, в качестве которой используется микросхема КР1801РЕ2. Системная память помимо специальных программ (начального пуска, резидентного тестового обеспечения, пультового терминала) позволяет расширять систему команд с помощью программной реализации в ней дополнительных команд.

Системная память при работе с ОМП является «скрытой», т. е. ее адреса в программном режиме не занимают адресного пространства ОЗУ. Тем самым она дополняет оперативную память. Системная память программно

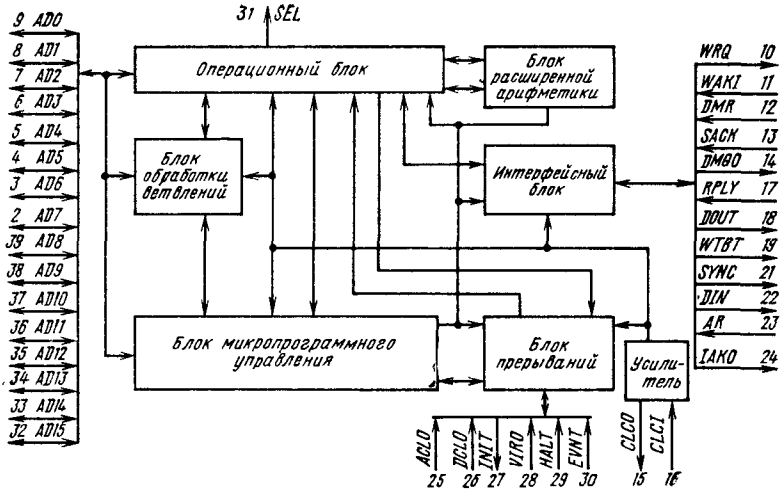


Рис. 11.8. Структурная схема КМ1801ВМ2

доступна с помощью специальных команд ОМП.

Сигнал *HALT* аналогичен сигналу *IRQ1*, сигнал *EVNT* «Прерывание от таймера» аналогичен сигналу *IRQ2* в ОМП К1801ВМ1.

По сравнению с К1801ВМ1 ОМП КМ1801ВМ2 может выполнять дополнительные команды расширенной арифметики (табл. 11.6). Команды плавающей запятой (*MUL, DIV, ASH, FDIV*) выполняются на программном уровне с помощью системного ПЗУ КР1801РЕ2.

Таблица 11.6

Обозначение команды	Код	Команда
MUL	070*RSS*	Умножение
DIV	071*RSS*	Деление
ASH	072*RSS*	Сдвиг на *N* разрядов одного слова
ASHC	073*RSS*	Сдвиг на *N* разрядов двойного слова
FADD	07500*R*	Сложение с плавающей запятой
FSUB	07501*R*	Вычитание с плавающей запятой
FMUL	07502*R*	Умножение с плавающей запятой
FDIV	07503*R*	Деление с плавающей запятой

11.3. Микросхема КМ1801ВМ3

Микросхема КМ1801ВМ3 — 16-разрядный однокристальный микропроцессор, включающий операционный блок, блок микропрограммного управления, блок прерываний, диспетчер памяти и блок управления системной магистралью.

Отличительной особенностью КМ1801ВМ3 являются большой объем адресуемой памяти, высокое быстродействие и возможность подключения сопроцессора арифметики чисел с плавающей запятой (СППЗ).

Основные параметры КМ1801ВМ3

Разрядность чисел и команд	16 разрядов с возможностью представления и обработки 32-разрядных слов
Объем адресуемой памяти	4М байт
Принцип управления	Микропрограммный
Число команд	72 с фиксированной запятой, 46 с плавающей запятой (при подключении СППЗ)
Число регистров общего назначения	8
Производительность операций «Регистр — регистр»	Сложение в потоке 1,5 млн. операций/с; умножение 100 тыс. операций/с; деление 50 тыс. операций/с
Число линий запросов на прерывание	4
Мощность потребления	1,5 Вт

Условное графическое обозначение микросхемы приведено на рис. 11.9, назначение выводов — в табл. 11.7, структурная схема показана на рис. 11.10.

Микросхема содержит шесть регистров общего назначения (*R0—R5*), три регистра —

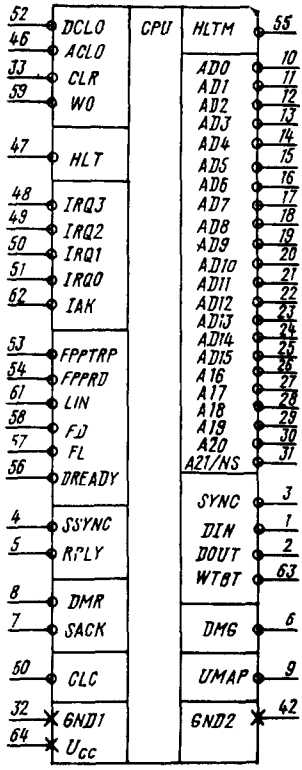


Рис. 11.9 Условное графическое обозначение КМ1801ВМ3

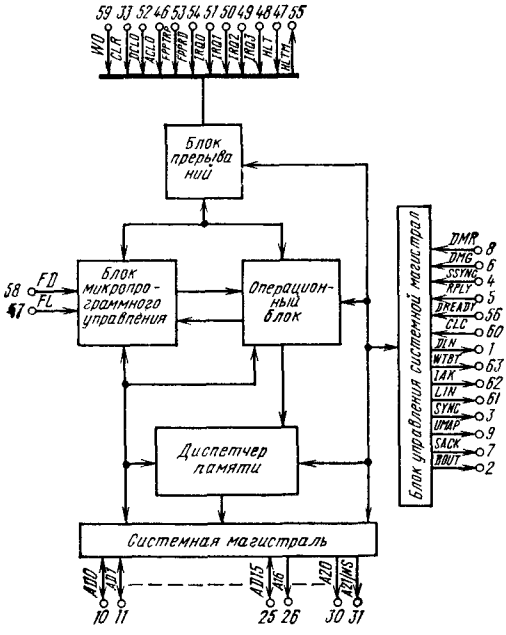
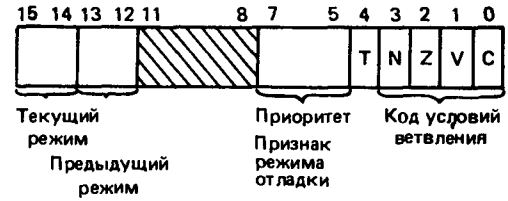


Рис 11.10. Структурная схема КМ1801ВМ3

указателя стека *R6 (SP)*, используемых в режимах операционной системы (*KSP*), пользователя (*USP*) и в пультовом режиме (*HSP*), и регистр *R7*, который служит также счетчиком команд (*PC*). Регистр *SP* содержит адрес последней заполненной ячейки стека, а *PC* — адрес команды, следующей за выполняемой.

Программно доступным регистром является также регистр состояния процессора *PSW*. Информация, содержащаяся в *PSW*, влияет на режимы выполнения команд и прерываний, определяет режим работы диспетчера памяти:



Регистр *PSW* доступен также из процессора по физическому адресу 17777776.

Назначение разрядов регистра *PSW*:

разряды 0—3 (*N, Z, V, C*) — признаки знака, нуля, переполнения и переноса, описывающие результат последней выполненной команды;

разряд 4 (*T*) — признак режима отладки;

разряды 5, 6, 7 — код приоритета внешних прерываний *IRQ* (3—0);

разряды 13, 12 — предыдущий режим работы МП;

разряды 15, 14 — текущий режим работы МП (11 — режим пользователя, 00 — режим операционной системы).

В микросхеме используются три типа команд безадресные, одноадресные и двухадресные. В безадресных командах код команды содержит только код операции. В кодах одноадресных и двухадресных команд содержится информация, определяющая: выполняемую функцию (код операции); регистры общего назначения, используемые при выборке операндов, метод адресации.

Система команд КМ1801ВМ3 включает команды МП КМ1801ВМ2 и дополнительные команды, которые приведены в табл. 11.8.

Диспетчер памяти обеспечивает:

расширение емкости адресуемой памяти с 64К до 256К или до 4М байт;

преобразование виртуальных адресов в физические и защиту памяти в системах с разделением времени;

использование различных областей адресов для режима пользователя и режима операционной системы (ОС).

Расширение емкости адресуемой памяти осуществляется преобразованием 16-разрядного виртуального адреса в 18- или 22-разрядный физический адрес. Преобразование выполняется с помощью набора 16 регистров — адресов страниц *PAR* и 16 регистров — описателей страниц *PDR*

Таблица 11.7

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
10—25	*AD0—AD15*	Вход/выход	Мультиплексирование во времени информации адресов и данных
26—30	*A16—A20*	Выход	Адресная информация
31	*A21/NS*	Выход	Мультиплексирование во времени информации адреса *A21* и информации о том, что считывается из памяти: команда или данные
3	*SYNC*	Выход	Фронт сигнала. Указывает на то, что выдан адрес. Обмен по магистрали продолжается до тех пор, пока присутствует сигнал
1	*DIN*	Выход	Сигнал управления вводом данных
2	*DOUT*	Выход	Сигнал управления выводом данных
5	*RPLY*	Вход	Сигнал ответа. Указывает на то, что данные выставлены на магистрали во время чтения или приняты во время записи
63	*WTBT*	Выход	Во время фронта сигнала *SYNC* указывает на тип обмена: запись либо чтение. Во время записи информации указывает на формат данных: байт или слово
4	*SSYNC*	Вход	Сигнал ответа при опознании адреса, вызывает снятие адреса с магистрали
6	*DMG*	Выход	Сигнал разрешения на захват магистрали по прямому доступу к памяти
7	*SACK*	Вход	Сигнал подтверждения запроса прямого доступа к памяти
8	*DMR*	Вход	Сигнал запроса прямого доступа к памяти
9	*GND*	—	Общий
33	*INIT*	Вход/выход	Сигнал установки периферийной части системы в начальное состояние
46	*ACLO*	Вход	Сигнал включения источника питания переменного напряжения
47	*HLT*	Вход	Сигнал останова
48—51	*IRQ3—IRQ0*	Вход	Сигналы запроса на прерывание МП
43	U_{cc}	—	Напряжение питания
62	*IAK*	Выход	Сигнал разрешения прерывания
52	*DCLO*	Вход	Сигнал включения источника питания постоянного напряжения
53	*FPPTRP*	Вход/выход	Сигнал прерывания от СППЗ
54	*FPPRD*	Вход	Во время включения МП высокий уровень указывает, что СППЗ подключен, далее низкий уровень указывает, что СППЗ готов начать выполнение следующей команды
55	*HLTM*	Выход	Сигнал указывает, что МП в пультовом режиме
56	*DREADY*	Вход	Сигнал указывает, что СППЗ выставил на магистраль данные во время процедуры записи
57	*FL*	Вход	Сигналы длинного целого
58	*FD*	Вход	Сигналы двойной точности
59	*WO*	Вход	Сигнал режима включения МП
60	*CLC*	Вход	Тактовый сигнал
61	*LIN*	Выход	Сигнал стробирует в СППЗ загрузку команды
32	*GND1*	—	Общий
64	U_{cc}	—	Напряжение питания

Примечание. Выводы *38—41* не задействованы.

Таблица 11.8

Обозначение команды	Код	Команда
MFPD	1065*SS*	Засылка данных в стек текущей моды по адресу предварительной моды
MFPI	0065*SS*	Засылка команды в стек текущей моды по адресу предварительной моды
MTPD	1066*SS*	Засылка данных из стека текущей моды по адресу предварительной моды
MTPI	0066*SS*	Засылка команды из стека текущей моды по адресу предварительной моды

Примечание. *SS* — поле адресации операнда источника.

Диспетчер памяти преобразует все адреса автоматически, поэтому пользователь работает в области виртуальных адресов. Область виртуального адреса делится на восемь отдельных страниц. Каждая виртуальная страница имеет свой код защиты. Есть три вида защиты памяти: разрешены запись и чтение, разрешено только чтение, запрещен любой доступ. Все попытки запрещенного доступа вызывают прерывание МП.

Диспетчер памяти обеспечивает три режима работы: ОС, пользователя и пультовый. Для каждого режима работы существует свой набор регистров *PAR/PDR*.

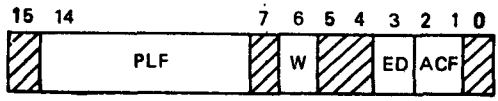
Регистры *PAR/PDR* включают два набора по восемь 27-разрядных регистров *PAR/PDR* для режимов ОС и пользователя и четыре 16-разрядных регистра адреса страницы *PARH* для обеспечения пультового режима. Физические адреса регистров *PAR/PDR* приведены в табл. 11.9.

При 18-разрядном физическом адресе базовый адрес страницы в регистре *PAR* содержится в разрядах 0—11, а при 22-разрядном — в разрядах 0—15.

Таблица 11.9

Номер регистра	Режимы ОС		Режимы пользователя	
	PAR	*PDR*	*PAR*	*PDR*
0	17772340	17772300	17777640	17777600
1	17772342	17772302	17777642	17777602
2	17772344	17772304	17777644	17777604
3	17772346	17772306	17777646	17777606
4	17772350	17772310	17777650	17777610
5	17772352	17772312	17777652	17777612
6	17772354	17772314	17777654	17777614
7	17772356	17772316	17777656	17777616

Формат регистра *PDR* имеет вид



Поле *PLF* определяет длину страницы в блоках (один блок — 32 слова) и позволяет установить ее от 0 до 177_8.

Разряд 3 (*ED*) — направление расширения страницы: при *ED*=0 — расширение вверх, при *ED*=1 — расширение вниз. При расширении вверх *PLF* устанавливается на 1 больше необходимой длины. При расширении вниз в *PLF* заносится дополнительный код длины страницы.

Поле *ACF* определяет тип доступа к странице памяти: 00 — недоступна, прерывание при любом обращении; 01 — доступна только по чтению, прерывание при попытке записи; 10 — не используется, прерывание при любом обращении; 11 — разрешены чтение и запись.

Разряд 6 (*W*) — признак записи, указывает, что в страницу произведена запись. Разряд *W* очищается автоматически при записи в *PAR* и *PDR* данной страницы. Установлен этот признак может быть только аппаратно логической схемой управления диспетчера памяти (ДП).

Регистры состояния диспетчера памяти. Диспетчер памяти содержит три регистра состояний: *SR0, SR2, SR3*. Четвертый регистр состояния *SR1* аппаратно не реализован, и при обращении по адресу этого регистра (17777574) всегда считываются нули. В случае нарушения условия защиты памяти процессор немедленно прерывается и переходит к программе обработки прерывания по вектору 250_8 в области памяти ОС. Регистры состояния *SR0* и *SR2* служат для анализа возникшего прерывания.

Регистр *SR0* (адрес 17777572) содержит флаги ошибок, бит разрешения преобразования адреса в ДП и другую информацию, необходимую ОС для обработки ошибки и возврата к прерванной программе.

Формат регистра *SR0* имеет вид

Назначение разрядов регистра *SR0:*

разряд 15 (*NR*) — ошибка по запрету доступа. Возникает при попытке обращения к недоступной или неиспользуемой странице;

разряд 14 (*PL*) — ошибка по нарушению длины страницы;

разряд 13 (*RO*) — ошибка по записи. Возникает при попытке записи в страницу, доступную только по чтению;

разряд 8 (*M*) — бит, устанавливающий диагностический режим работы ДП; при установленном *M* выполняется преобразование адреса только последнего обращения в память приемника;

разряды 5, 6 — режим МП (пользователя или ОС), при обращении к которому произошла ошибка ДП;

разряды 1, 2, 3 — номер страницы, при обращении к которой произошла ошибка ДП;

разряд 0 (*EN*) — бит включения ДП. При *EN*=1 выполняются преобразование адресов и защита памяти в ДП.

Регистр *SR2* (адрес 17777576) содержит виртуальный адрес первого слова выполняемой команды. Он не изменяется, если в данной команде произошло прерывание по ошибке ДП. Доступен только по чтению.

Регистр *SR3* (адрес 1777757) содержит два разряда. Разряд 4 содержит бит *AS*. При *AS*=1 адрес физический, 22-разрядный, при *AS*=0 — 18-разрядный. Разряд 5 содержит бит *UM*. При *UM*=1 устанавливается для внешней аппаратуры режим включения схем преобразования адресов.

Формирование физического адреса в ДП изображено на рис. 11.11.

В сумматоре выполняется сложение виртуального адреса *VA* (разряды 6—12) с выбранным *PAR* (разряды 0—11) при 18-разрядном адресе и *PAR* (разряды 0—15) при 22-разрядном адресе. В результате полный физический адрес содержит разряды 0—5 виртуального адреса и разряды 6—17 (21) — результат суммы.

Система прерываний процессора. Прерывания делятся на аппаратурные и командные. Часть аппаратных прерываний вызывает немедленный переход к их обработке. Это так называемые фатальные ошибки. Они возникают при ошибках системной магистрали, ДП, СППЗ. Анализ таких аппаратных прерываний, как авария источника питания, внешний сигнал *HALT*, прерываний *IRQ* (разряды 0—3), переполнения стека в моде операционной системы производится после завершения очередной команды в соответствии с приоритетом, указанным в табл. 11.10. К командам прерывания относятся *EMT, TRAP, BPT, IOT*, а также (если учитывать алгоритм выполнения) и резервные коды. Вектора прерываний приведены в табл. 11.11.

При прерывании МП помещает в стек *PC* и *PSW* и считывает новые значения *PC* и *PSW* из ячеек, определяемых вектором прерывания, причем загрузка *PC* и *PSW* ведется из области памяти операционной системы. Особый случай представляет собой возникновение фатальной ошибки в ходе выполнения микропрограммы обработки прерывания, так называемой «двойной ошибки». В этом случае процессор переходит в пультовый режим.

В пультовой режим процессор переходит при: выполнении команды *HALT* в моде ОС;

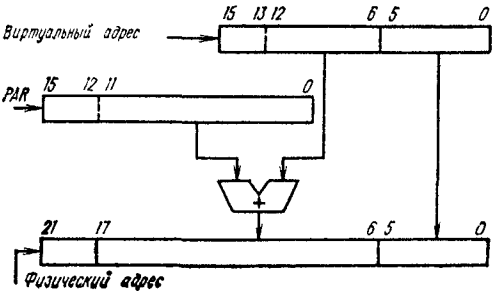


Рис. 11.11. Формирование физического адреса

возникновении «двойной ошибки»; возникновении внешнего сигнала *HALT*=0 и отсутствии в этот момент других, более приоритетных прерываний.

При входе в пультовый режим процессор загружает в стек *HSP* константу 100000_8; загружает в стек регистры *PSW* и *PC*; заносит в

Таблица 11.10

Приоритет	Прерывание
Высший	Команда *HALT*
	Нечетный адрес
	Ошибка ДП
	Зависание
	Команды прерывания
	Прерывание по Т-биту
	Переполнение стека
	Сбой питания
Самый низкий	Внешний сигнал *HALT*
	IRQ3
	.
	.
	IRQ0

Таблица 11.11

Вектор	Прерывание
004	Зависание, нечетный адрес, переполнение стека
010	Резервные и запрещенные команды
014	Прерывание по Т-биту
020	Прерывание по команде
024	Сбой питания
030	Прерывание по команде *MTPI*
034	Команды прерывания
250	Ошибка диспетчера памяти
244	Прерывание СППЗ
Из системной магистрали	*IRQ3*—*IPQ0*

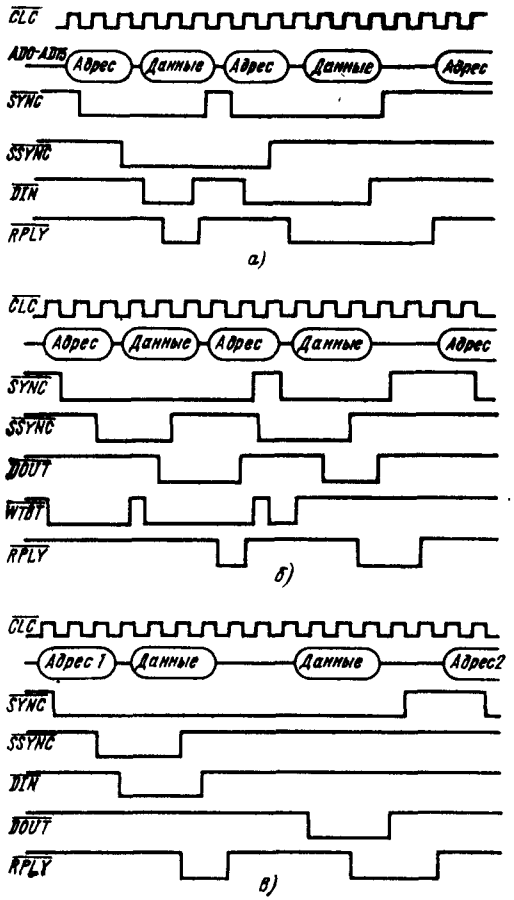


Рис. 11.12. Временные диаграммы циклов «Чтение» (*а*), «Запись» (*б*) и «Чтение/модификация запись» (*в*)

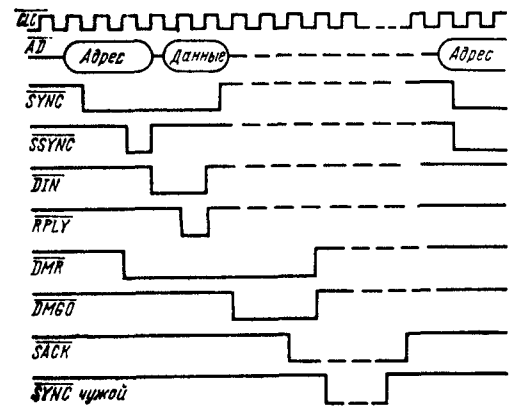


Рис. 11.13. Временная диаграмма цикла «Запрос/предоставление прямого доступа»

Таблица 11.12

Номер регистра *PARH*	Виртуальный адрес		Значение адрес	Назначение регистра *PARH*
	VA15	*VA14*		
0	0	0	170000	Формирование начального адреса программы пультового режима (ПЗУ)
1	0	1	167600	Формирование начального адреса ОЗУ программы пультового режима
2	1	0	—	Адресация ко всей области памяти
3	1	1	177600	Формирование начального адреса страницы старшего банка

регистр *PSW* значение 340_8, а в *PC* — 0; включает ДП на преобразование виртуальных адресов в 22-разрядные физические и переходит к выполнению программы, расположенной по виртуальному адресу 0.

В ДП с целью реализации пультового режима введены четыре регистра адреса страницы *PARH* (табл. 11.12), адресация к которым производится двумя старшими разрядами виртуального адреса. Регистр *PARH2* позволяет осуществлять обращение ко всему адресному пространству путем записи в него соответствующего кода. Адрес регистра *PARH2* — 177512.

В пультовом режиме существуют некоторые отличия в выполнении команд и прерываний. Например, команды *RTI* и *RTT* выполняются без учета значения Т-бита.

При включении питания извне устанавливается сигнал *DCLO* и МП переходит в режим ожидания сигнала *ACLO*. При поступлении сигнала *ACLO* МП начинает выполнение одной из процедур начального пуска в зависимости от сигнала *WO*:

WO=0. МП загружает *PSW* содержимым 26-й ячейки памяти, PC — содержимым 24-й ячейки и начинает выполнение программы с этого адреса;

WO=1. МП загружает в *PSW* константу 340, а *PC* — 173000 и начинает выполнение программы с этого адреса.

При выполнении любой команды МП осуществляет хотя бы одно обращение к каналу, называемое циклом обращения к каналу. Перед каждым циклом МП осуществляет процедуру захвата канала.

Цикл «Чтение». Цикл разделен на фазы передачи адреса и приема данных. Адрес из МП сопровождается сигналом *SYNC*, снимается после приема сигнала *SSYNC*, и затем выставляется сигнал *DIN*. Микросхема переключает элементы входа/выхода на выводах *AD0*—

AD15 на прием и ожидает сигнал *RPLY*. Фаза приема данных. После приема сигнала *RPLY* МП принимает данные и снимает сигналы *DIN* и *SYNC*.

Цикл «Запись». Передача адреса сопровождается сигналом *WTBT*, который снимается одновременно со снятием адреса и указывает, что происходит цикл «Запись». После окончания фазы передачи адреса МП выставляет на выводы *AD0—AD15* данные и сигнал *DOUT* и ожидает сигнал *RPLY* После приема сигнала *RPLY* МП снимает сигнал *DOUT*, данные и сигнал *SYNC*. По снятию сигнала *DOUT* пассивное устройство снимает сигнал *RPLY*.

Цикл «Чтение — модификация — запись». Цикл разделен на фазы передачи адреса, приема и записи данных. Фаза записи начинается после того, как пассивное устройство сняло сигнал *RPLY* в ответ на снятие сигнала *DIN*.

Временные диаграммы циклов «Чтение», «Запись» и «Чтение — модификация — запись» изображены на рис. 11.12, циклов «Запрос — предоставление прямого доступа» — на рис. 11.13.

Основные параметры микросхемы КМ1801ВМ3 приведены в табл. 11.2 и 11.3.

11.4. Микросхема К1801ВП1-30

Микросхема К1801ВП1-30 построена на основе базового матричного кристалла микросхемы К1801ВП1. Она предназначена для управления ОЗУ (УОЗУ) динамического типа, выполненного на основе микросхем серии К565РУ3 и КР565РУ6, и выполняет:

прием, хранение и преобразование адреса для накопителя ОЗУ;

регенерацию памяти;

связь накопителя ОЗУ и буферного регистра данных с каналом передачи информации ЭВМ типа «Электроника-60»;

специальные функции управления системными областями памяти при работе с ОМП К1801ВМ1.

Условное графическое обозначение микросхемы приведено на рис. 11.14, назначение выводов — в табл. 11.13, структурная схема показана на рис. 11.15, временные диаграммы работы — на рис. 11.16.

В состав структурной схемы входят: счетчик адресов регенерации (СЧАР), буферный регистр адреса (БРА), мультиплексор адресов (МПА), регистр режима (РР), компаратор ад-

Таблица 11.13

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 2	*AD5, AD4*	Входы	Разряды адреса/данных
3, 4	*AD3, AD2*	Входы/выходы	Разряды адреса/данных
5—7	*AD1, AD14, AD0*	Входы	Разряды адреса/данных
8	*DIN*	Вход	Чтение данных
9	*DOUT*	Вход	Запись данных
10	*CLC*	Вход	Синхронизация
11	*RASO*	Выход	Сопровождение адреса строки накопителя (полублок I)
12	*LOCK*	Выход	Блокировка
13	*RPLY*	Выход	Ответ
14	*C*	Выход	Сигнал стробирования записи в буферный регистр данных
15	*DME*	Выход	Выборка данных памяти
16	*RAS1*	Выход	Сигнал сопровождения адреса строки накопителя
17	*RSEL*	Вход	Выборка регистра режима
18	*WE*	Выход	Сигнал сопровождения записи в накопитель
19	*CASO*	Выход	Сигнал сопровождения адреса столбца накопителя (полублок I)
20	*CAS1*	Выход	Сигнал сопровождения адреса столбца накопителя (полублок II)
21	*GND*	—	Общий
22—28	*A0—A6*	Выход	Разряды адреса накопителя
29	*WTBT*	Вход	Запись/байт
30	*DCLO*	Вход	Авария источника питания
31	*AD15*	Вход	Разряд адреса/данных
32	*SYNC*	Вход	Обмен
33	*MSEL*	Вход	Выборка памяти
34—41	*AD13 —AD6*	Вход	Разряды адреса/данных
42	*Ucc*	—	Напряжение питания

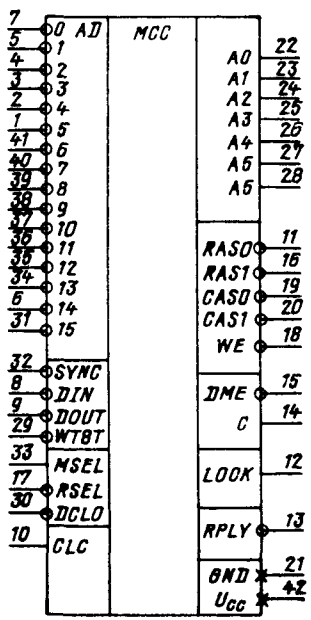


Рис. 11.14. Условное графическое обозначение К1801ВП1-30

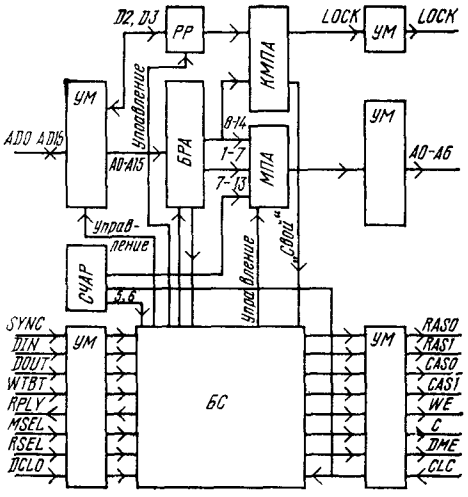


Рис. 11.15. Структурная схема К1801ВП1-30

ресов (КМПА), блок синхронизации (БС), буферные усилители мощности (УМ).

Счетчик адресов регенерации включает делитель тактовой частоты (разряды 0—5) и счетчик адресов (разряды 6—13). В режиме регенерации содержимое разрядов 7—13 через МПА поступает на выводы *A0—A6* и является адресом регенерации (АР).

Буферный регистр адреса содержит 16 разрядов и предназначен для хранения адреса, поступающего по системной магистрали. Содержимое разрядов 1—7 при выдаче адреса строки (АС) поступает через МПА на выводы *A0—A6*, при выдаче адреса колонки (АК) на выводы *A0—A6* поступает содержимое разрядов 8—14. Кроме того, содержимое разрядов 8—14 поступает на КМПА для выработки сигналов *LOCK*. Содержимое разряда 0 используется в БС для определения номера байта при выполнении процедуры записи байта. Сигнал *SYNC* фиксирует запись информации в БРА.

Мультиплексор адресов предназначен для раздельной во времени выдачи адреса ОЗУ в виде 7-разрядных АС и АК при циклах обмена с накопителем ОЗУ, а также 7-разрядного АР.

Регистр режима предназначен для хранения служебных признаков режима работы ОМП К1801ВМ1. Содержит два разряда (*PP2* и *PP3*), доступных по чтению и записи из системной магистрали (разряды *AD2* и *AD3*). Информация, хранимая в РР, влияет на установку сигнала *LOCK*.

Компаратор адресов вырабатывает сигнал блокировки *LOCK*, служащий для выборки областей системного ПЗУ и блокировки этих областей в адресном пространстве внешних устройств. Установка сигнала на выводе *LOCK* происходит в следующих случаях:

адрес находится в диапазоне 160000—163777 при наличии 1 в *PP2*;

адрес находится в диапазоне 160000—173777 при наличии 1 в *PP3*;

адрес обращения находится в диапазоне 173000—173777 независимо от состояния *PP2* и *PP3*.

Компаратор адресов вырабатывает признак «Свой» для БС при обращении по адресу в диапазоне 177600—177677, который осуществляет запуск БС при отсутствии сигнала *MSEL*. Выделение данной области системного ОЗУ происходит при низком уровне сигнала *DCLO*.

Блок синхронизации вырабатывает сигнал управления внутренними узлами УОЗУ, накопителем ОЗУ, внешним буферным регистром данных, а также отрабатывает сигналы управления по каналу ЭВМ.

Регенерация информации в накопителе ОЗУ динамического типа производится по принципу: один цикл регенерации по одному адресу строки в течение периода, равного

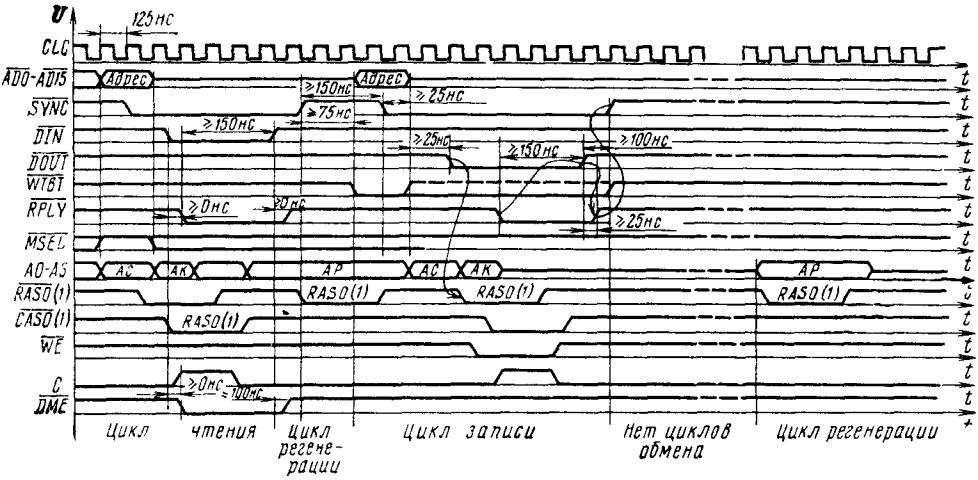


Рис. 11.16. Временные диаграммы работы К1801ВП1-30

64 периодам тактового сигнала *CLC*. Полная регенерация информации в памяти по всем адресам происходит за 2 мс при тактовой частоте 4,2 МГц. В БС введена схема запуска текущего цикла регенерации к окончанию цикла обмена информацией. При отсутствии циклов обмена с памятью в течение времени, равного 32 периодам тактовой частоты после получения БС запроса на регенерацию, очередной цикл регенерации производится принудительно.

Запрос на очередной цикл регенерации происходит через 16 периодов тактовой частоты после изменения адреса СЧАР.

Сигналы *RAS0* и *RAS1* вырабатываются одновременно.

Диапазон изменения частоты тактового сигнала *CLC* от 4,2 до 8 МГц.

Цикл чтения из памяти возможен при: сигнале *SYNC*, фиксирующем адрес обращения *AD0—AD15* в БРА; сигнале *MSEL*; отсутствии сигнала *WTBT* в адресной части; отсутствии очередного цикла регенерации памяти.

Выходные сигналы *DME* и *RPLY* УОЗУ вырабатывает при наличии входного сигнала $\overline{DIN}$.

Сигнал *RASO* устанавливается в том случае, если при выдаче адреса *AD15*=1, а сигнал $\overline{RAS1}$ — если *AD15*=0.

Сигналы $\overline{CAS0}$ и $\overline{CAS1}$ вырабатываются одновременно.

Цикл записи в память возможен при: сигнале $\overline{SYNC}$, фиксирующем адрес обращения *AD0—AD15* в БРА; сигнале *MSEL*; сигнале $\overline{WTBT}$, который в адресной части является признаком записи; сигнале *DOUT*; отсутствии очередного цикла регенерации памяти.

При записи байта УОЗУ вырабатывает сигнал $\overline{CAS0}$, если *AD0*=1 в адресной части. При записи слова УОЗУ вырабатывают сигналы $\overline{CAS0}$ и $\overline{CAS1}$ одновременно.

Сигнал блокировки *LOCK* УОЗУ вырабатывает в фазе выдачи адреса. Задержка появления сигнала *LOCK* относительно установки адреса на выводе *AD0—AD15* не более 100 нс.

Микросхема УОЗУ приходит в состояние готовности за время, соответствующее прохождению семи синхронизирующих импульсов *CLC*.

Сигнал *DCLO* производит установку СЧАР в нулевое состояние и РР в режим «останов».

Основные параметры К1801ВП1-30 приведены в табл. 11.2 и 11.3.

11.5. Микросхема К1801ВП1-33

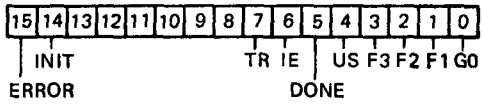
Микросхема К1801ВП1-33 применяется для организации интерфейса накопителя на гибких магнитных дисках (НГМД) типа «Электроника ГМД-7012». Совместно с микросхемой К1801ВП1-34 выполняет функции контроллера интерфейса 16-разрядного программируемого параллельного ввода/вывода и контроллера байтового параллельного интерфейса.

Условные графические обозначения и структурные схемы интерфейса НГМД, контроллера интерфейса параллельного ввода/вывода и контроллера байтового параллельного интерфейса приведены на рис. 11.17 и 11.18, назначение выводов дано в табл. 11.14.

Интерфейс накопителя на гибких магнитных дисках. Установка микросхемы в режим интерфейса НГМД производится подачей на выводы *RC0—RC3* напряжения высокого уровня.

Микросхема осуществляет передачу информации между процессором и контроллером НГМД с помощью регистра команд и состояния (РКС), регистра данных (РД). Регистры считываются и загружаются программно.

Регистр команд и состояния имеет следующий формат:



Назначение разрядов регистра:

G0 (Пуск) — инициирует прием контроллером НГМД команды (только для записи);

F1—F3 — разряды команды (только для записи);

US (Выбор привода) — указывает на выбор одного из двух дисководов для выполнения требуемой команды (только для записи);

DONE (Завершено) — указывает на то, что выполнение команд завершено (только для чтения);

IE (Предоставление прерывания) — устанавливается программно для осуществления прерывания по завершении выполнения команды, сбрасывается канальным сигналом $\overline{INIT}$ (для чтения и записи);

TR (Требование передачи) — требование записи (считывания) данных через регистр данных (только для чтения);

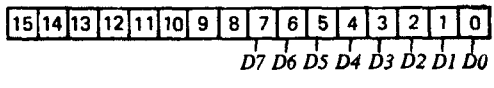
INIT (Установка) — устанавливается программно для приведения НГМД в исходное состояние;

ERROR (Ошибка) — устанавливается, если в процессе выполнения команды произошла ошибка (только для чтения).

Разряды 8—13 не используются.

Список команд приведен в табл. 11.15.

Регистр данных имеет следующий формат:



Разряды 0—7 предназначены для хранения данных (*D0—D7*).

Разряды 8—15 не используются.

Интерфейсные сигналы контроллера НГМД включают:

SET (Начальная установка — вырабатывается микросхемой для приведения механизма и электронной части НГМД в исходное состояние;

DONE (Завершено) — устанавливается контроллером НГМД для индикации того, что текущая команда выполнена (либо в случае ошибки);

RUN (Пуск) — устанавливается микросхемой для инициирования передачи команды или байта данных;

OUT (Вывод) — вырабатывается контроллером НГМД для указания направления передачи байта информации (при низком уровне сигнала информации передается от НГМД к микросхеме);

TR (Запрос передачи) — устанавливается контроллером НГМД для индикации того, что он готов принять (передать) байт информации;

DI (Вход данных) — линия для приема последовательной информации;

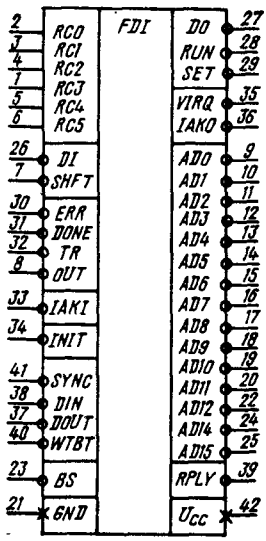
DO (Выход данных) — линия для передачи последовательной информации;

SHFT (Сдвиг) — линия синхронизации приема (передачи) последовательной информации; длительность отрицательного импульса не менее 200 нс, период 1 мкс;

ERR (Ошибка) — устанавливается контроллером НГМД при обнаружении ошибки; при этом прекращается выполнение текущей команды и устанавливается сигнал *DONE*.

С помощью выводов *RC4* и *RC5* можно переадресовать регистры микросхемы. Соответственно изменяются адреса векторов прерываний. Адреса регистров и векторов прерываний, соответствующие комбинациям уровней напряжений на выводах *RC4, RC5,* приведены в табл. 11.16.

При низком уровне сигнала *DONE* запись команды, содержащей лог. 1 в нулевом разряде, в регистр команд вызывает установку сигнала *RUN*, который инициирует прием команды контроллером НГМД. Контроллер НГМД снимает сигнал *DONE* и выставляет на линию *SHFT* серию из восьми импульсов. После снятия сигнала *DONE* происходит сброс сигнала *RUN*, а серия импульсов синхронизирует выдачу команды в последовательном коде

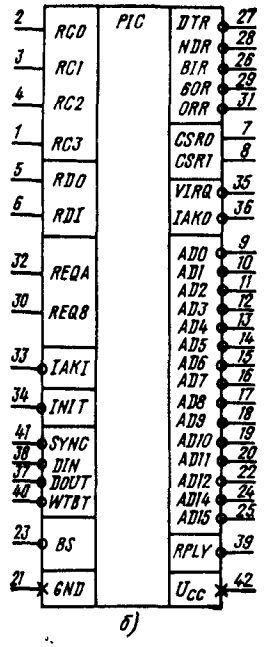


а)

Рис. 11.17. Условное графическое обозначение К1801ВП1-33 в режиме интерфейса НГМ (*а*)

Таблица 11.14

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
	Интерфейс накопителя на гибких магнитных дисках		
1—6	*RC3, RC0—RC5*	Входы	Выбор режима
7	*SHFT*	Вход	Сдвиг данных
8	*OUT*	Вход	Вывод данных
9—16	*AD0—AD7*	Входы/выходы	Разряды адреса/данных
17—20, 22, 24	*AD8—AD11, AD12, AD14*	Входы	Разряды адреса/данных
25	*AD15*	Выход	Разряд адреса/данных
21	*GND*	—	Общий
23	*BS*	Вход	Внешнее устройство
26	*DI*	Вход	Вход данных
27	*DO*	Выход	Выход данных
28	*RUN*	Выход	Пуск
29	*SET*	Выход	Начальная установка
30	*ERR*	Вход	Ошибка
31	*DONE*	Вход	Завершено
32	*TR*	Вход	Требование передачи
33	*IAKI*	Вход	Разрешение прерывания
34	*INIT*	Вход	Установка исходного состояния
35	*VIRQ*	Выход	Требование прерывания
36	*IAKO*	Выход	Предоставление прерывания
37	*DOUT*	Вход	Чтение данных
38	*DIN*	Вход	Запись данных
	RPLY	Выход	Ответ
	WTBT	Вход	Запись/байт
	SYNC	Вход	Обмен
	Ucc	—	Напряжение питания
	Контроллер интерфейса параллельного ввода/вывода		
1—4	*RC3, RC0, RC1, RC2*	Входы	Выбор режима
5	*RD0*	Выход	Задержка ответа
6	*RD1*	Вход	Задержка ответа
7	*CSR0*	Выход	Регистр состояния *PC0*



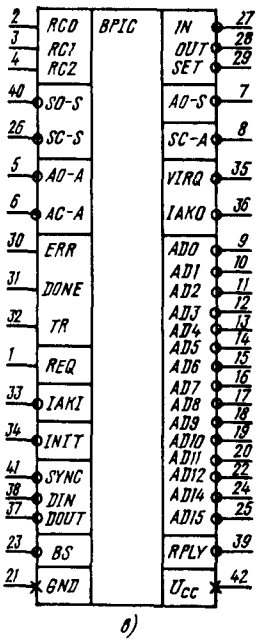
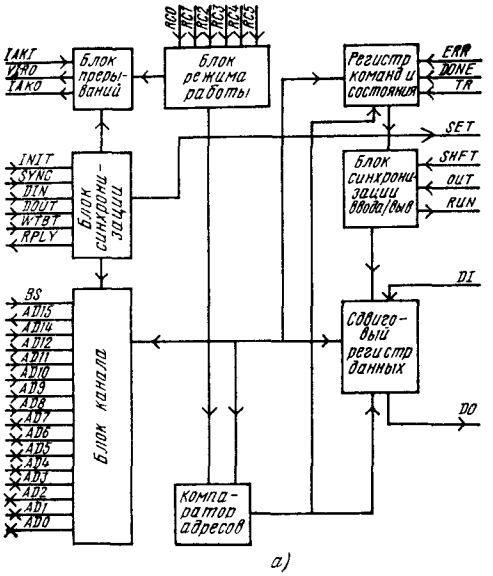
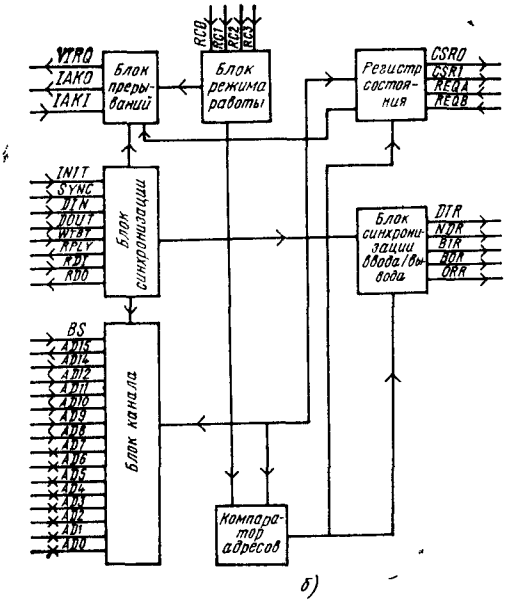


Рис 11.17. Условное графическое обозначение К1801ВП1-33 в режимах контроллера интерфейса параллельного ввода/вывода (*б*) и контроллера байтового параллельного интерфейса (*в*)

Окончание табл 11 14

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
8	*CSR1*	Выход	Регистр состояния *PC1*
9—16	*AD0—AD7*	Входы, выходы	Разряды адреса/данных
7—20, 22, 24	*AD8—AD11, AD12, AD14*	Входы	Разряды адреса/данных
21	*GND*	—	Общий
25	*AD15*	Выход	Разряд адреса данных
23	*BS*	Вход	Внешнее устройство
26	*BIR*	Выход	Вывод старшего байта
27	*DTR*	Выход	Ввод данных
28	*NDR*	Выход	Вывод данных
29	*BOR*	Выход	Вывод младшего байта
30	*REQB*	Вход	Требование *B*
31	*ORR*	Выход	Чтение выходного регистра
32	*REQA*	Вход	Требование *A*
33	*IAKI*	Вход	Предоставление прерывания
34	*INIT*	Вход	Установка
35	*VIRQ*	Выход	Требование прерывания
36	*IAKO*	Выход	Предоставление прерывания
37	*DOUT*	Вход	Запись данных (по каналу)
38	*DIN*	Вход	Чтение данных (по каналу)
39	*RPLY*	Выход	Ответ
40	*WTBT*	Вход	Запись/байт
41	*SYNC*	Вход	Обмен
42	*Ucc*	—	Напряжение питания
	Контроллер байтового параллельного интерфейса		
1	*REQ*	Вход	Требование
2—4	*RC0—RC2*	Входы	Выбор режима
5	*AO-A*	Вход	Готовность приемника
6	*AC-A*	Вход	Запрос приемника
7	*AC-S*	Выход	Запрос источника
8	*SC-A*	Выход	Стробирующий сигнал приемника
9—16	*AD0—AD7*	Входы выходы	Разряды адреса/данных
17—20, 22, 24	*AD8—AD11, AD12, AD14*	Входы	Разряды адреса/данных
25	*AD15*	Выход	Разряд адреса/данных
21	*GND*	—	Общий
23	*BS*	Вход	Внешнее устройство
26	*SC-S*	Вход	Стробирующий сигнал источника
27	*IN*	Выход	Ввод данных
28	*OUT*	Выход	Вывод данных
29	*SET*	Выход	Начальная установка
30	*ERR*	Вход	Ошибка
31	*DONE*	Вход	Завершено
32	*TR*	Вход	Требование передачи
33	*IAKI*	Вход	Предоставление прерывания
34	*INIT*	Вход	Установка
35	*VIRQ*	Вход	Требование прерывания
36	*IAKO*	Выход	Предоставление прерывания
37	*DOUT*	Вход	Запись данных (по каналу)
38	*DIN*	Вход	Чтение данных (по каналу)
39	*RPLY*	Выход	Ответ
40	*SO-S*	Вход	Готовность источника
41	*SYNC*	Вход	Обмен
42	*Ucc*	—	Напряжение питания





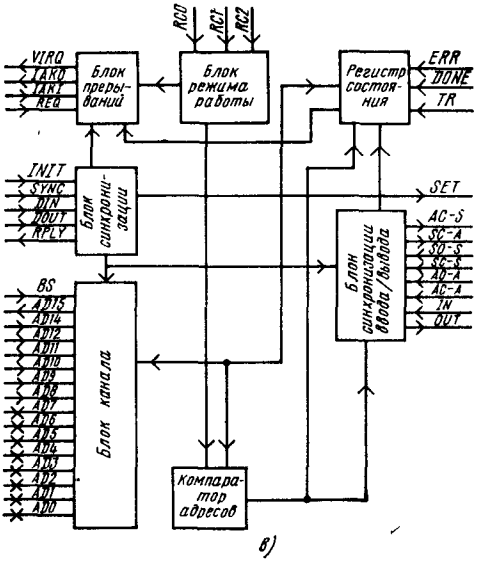


Рис. 11.18. Структурная схема К1801ВП1-33 в режимах интерфейса НГМД (*а*), контроллера интерфейса параллельного ввода/вывода (*б*) и контроллера байтового параллельного интерфейса (*в*)

на вывод *DO*. В зависимости от принятого кода команды контроллер НГМД устанавливает сигналы *OUT* и *TR*. При установлении сигнале *TR* в зависимости от состояния сигнала *OUT* обращение к регистру данных вызывает установку сигнала *RUN*, который сбрасывается после снятия сигнала *TR*, и серию импульсов на выводе *SHFT* (восемь для синхронизации адреса вектора и дорожки, семь для синхронизации данных). По окончании выполнения команды устанавливается сигнал *DONE*, который используется для работы по прерыванию. Требование прерывания *VIRQ* возникает с появлением сигнала *DONE* при наличии в регистре команд разрешения прерывания *IE*.

Временные диаграммы процедур «Запись в буферный регистр» и «Чтение буферного регистра» приведены на рис. 11.19.

Контроллер интерфейса параллельного ввода/вывода. Установку микросхемы в режим контроллера интерфейса параллельного ввода/вывода производят подачей определенных уровней напряжения на выводы *RC0—RC3*. Помимо выбора режима работы микросхемы

Таблица 11.15

Код микроконструкции			Функция
F3	*F2*	*F1*	
0	0	0	Запись в буферный регистр
0	0	1	Чтение буферного регистра
0	1	0	Запись сектора
0	1	1	Чтение сектора
1	0	0	Не используется
1	0	1	Чтение регистра
1	1	0	Запись сектора с меткой
1	1	1	Чтение регистра ошибки

Таблица 11.16

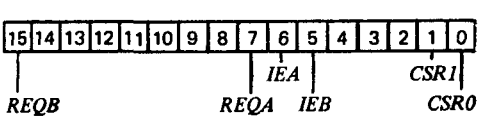
Вывод	Обозначение	Уровень сигнала	Адрес РКС	Адрес РД	Адрес вектора прерывания
5 6	*RC4* *RC5*	Низкий Низкий	177170	177172	264
5 6	*RC4* *RC5*	Высокий Низкий	177174	177176	270
5 6	*RC4* *RC5*	Низкий Высокий	177200	177202	274
5 6	*RC4* *RC5*	Высокий Высокий	*XXXXX0*	*XXXXX2*	*XXX*

Примечание. *X* — состояние разрядов адреса безразлично.

комбинации напряжений на этих выводах осуществляют переадресацию регистров и векторов прерываний. Адреса регистров и вектора прерываний, соответствующие определенным комбинациям напряжений на выводах *RC0—RC3* в режиме контроллера параллельного ввода/вывода, приведены в табл. 11.17.

Микросхема осуществляет прием и передачу информации с помощью регистра состояния (РС), регистра приемника (РП) и регистра источника (РИ). Регистры источника и приемника выполнены на двух микросхемах К1801ВП1-34. Структурная схема контроллера приведена на рис. 11.20.

Микросхема содержит регистр состояния, компаратор адресов, блок прерываний и блок управления регистрами РП и РИ. Регистр состояния имеет следующий формат:



Назначение разрядов регистра РС следующее:

CSR1, CSR0 (PCO1, PCO0) — разряды, которые могут использоваться для имитации запросов прерывания в режиме автономной проверки (для чтения и записи);

REQA (Требование *A*) — требование прерывания *A* (только для чтения);

REQB (Требование *B*) — требование прерывания *B* (только для чтения);

IEA (Разрешение *A*) — разрешение прерывания *A*, сбрасывается сигналом $\overline{INIT}$ (для чтения и записи);

IEB (Разрешение *B*) — разрешение прерывания *B*, сбрасывается сигналом $\overline{INIT}$ (для чтения и записи).

Сигналы управления регистрами приемника и источника:

$\overline{DTR}$ (Ввод данных) — вырабатывается микросхемой при чтении регистра приемника;

$\overline{NDR}$ (Вывод данных) — вырабатывается микросхемой при записи в регистр-источник;

$\overline{BIR}$ (Вывод старшего байта) — вырабатывается микросхемой при записи старшего байта в регистр-источник;

$\overline{BOR}$ (Вывод младшего байта) — вырабатывается микросхемой при записи младшего байта в регистр-источник;

ORR (Чтение выходного регистра) — вырабатывается микросхемой при чтении регистра-источника;

RD0 (Задержка ответа, выход) — выход разрыва цепочки формирования сигнала *RPLY*;

RD1 (Задержка ответа, вход) — вход разрыва цепочки формирования сигнала *RPLY*.

С помощью *RC*-цепочки, включенной между выводами *RD1* и *RD0*, можно увеличивать длительность импульсов $\overline{DTP}$ и $\overline{NDR}$.

Требование прерывания *VIRQ* возникает при появлении хотя бы одного из сигналов

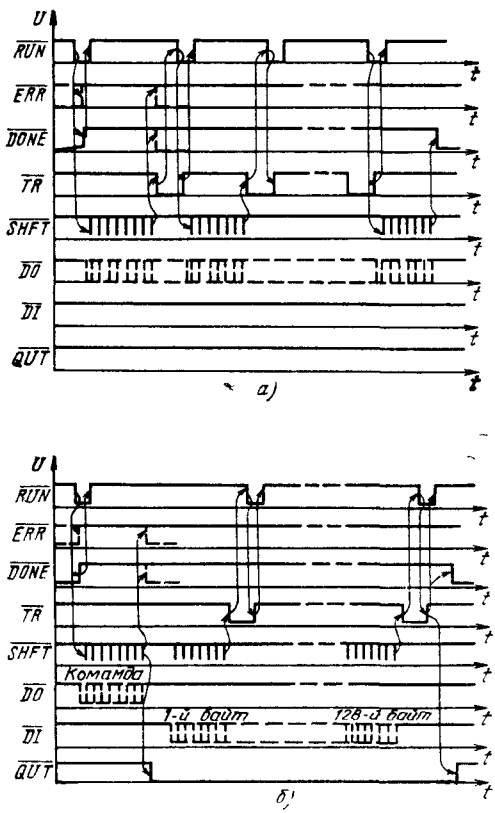


Рис. 11.19. Временные диаграммы процедур «Запись в буферный регистр» (*а*) и «Чтение буферного регистра» (б)

Таблица 11.17

Вывод	Обозначение	Уровень сигнала	Адрес РС	Адрес РИ	Адрес РП	Адрес вектора прерывания *A* (*B*)
1 *2* *3* *4*	*RC3* *RC0* *RC1* *RC2*	Низкий Высокий Низкий Высокий	167770	167772	167774	300 (304)
1 *2* *3* *4*	*RC3* *RC0* *RC1* *RC2*	Высокий Высокий Низкий Высокий	167760	1677762	167764	310 (314)
1 *2* *3* *4*	*RC3* *RC0* *RC1* *RC2*	Низкий Низкий Высокий Высокий	167750	167752	167754	320 (324)
1 *2* *3* *4*	*RC3* *RC0* *RC1* *RC2*	Высокий Низкий Высокий Высокий	167740	167442	167744	330 (334)
1 *2* *3* *4*	*RC3* *RC0* *RC1* *RC2*	Низкий Высокий Высокий Высокий	*XXXXX0*	*XXXXX2*	*XXXXX4*	*XX0* *(XX4)*

REQA, REQB при наличии в регистре состояния соответствующего разрешения прерываний *IEA, IEB* При одновременном появлении сигналов *REQA* и *REQB* более высокий приоритет имеет требование *B*. Выполнение процедуры прерывания стандартное.

Контроллер байтового параллельного интерфейса. Установку микросхемы в режим кон-

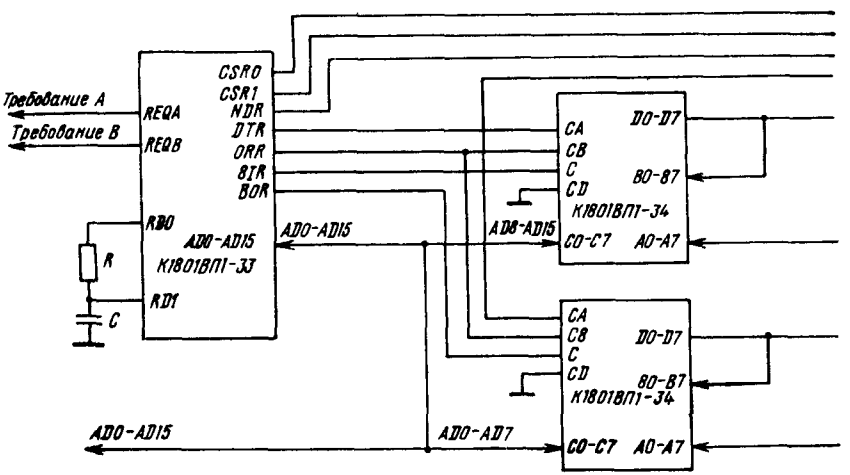


Рис. 11.20. Структурная схема контроллера интерфейса параллельного ввода/вывода

троллера байтового параллельного интерфейса производят подачей определенных уровней напряжения на выводы *RC0—RC2*. Помимо выбора режима работы микросхемы комбинации напряжений на этих выводах осуществляют переадресацию регистров и векторов прерываний. Адреса регистров и векторов прерываний, соответствующие определенным комбинациям напряжений на выводах *RC0—RC2*, приведены в табл. 11.18.

Микросхема осуществляет прием и передачу информации с помощью регистров состояния источника (РСИ) и приемника (РСП), регистров источника (РИ) и приемника (РП).

Регистры источника и приемника выполнены на одной микросхеме К1801ВП1-34. Структурная схема контроллера приведена на рис. 11.21. Микросхема содержит регистры состояния РСИ и РСП, компаратор адресов, блок прерываний и блок управления регистрами РИ, РП.

Регистр состояния источника имеет следующий формат:

15	14	13	12	11	10	9	6	7	6	5	4	3	2	1	0
ERR								*AR*	*IEA*						

Назначение разрядов регистра:

IEA — разрешение прерывания по приему, сбрасывается начальным сигналом $\overline{INIT}$ (для чтения и записи);

AR — требование приема (только для чтения);

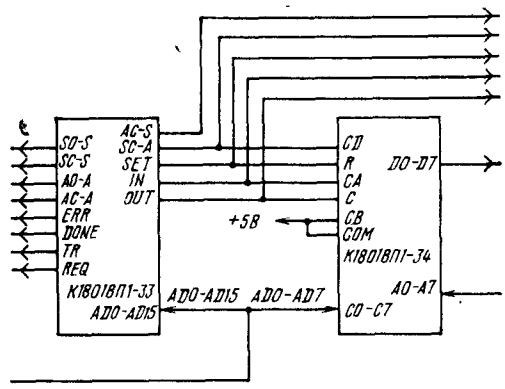


Рис. 11.21. Структурная схема контроллера интерфейса байтового параллельного ввода вывода

ERR — ошибка (только для чтения).

Регистр состояния приемника имеет следующий формат:

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ERR	*SET*							*TR*	*IET*		*DONE*				

Назначение разрядов регистра:

DONE — завершено (только для чтения);

IET — разрешение прерывания по передаче, сбрасывается канальным сигналом $\overline{INIT}$ (для чтения и записи);

Таблица 11.18

Вывод	Обозначение	Уровень сигнала	Адрес РСИ	Адрес РП	Адрес РСП	Адрес РИ	Адрес вектора прерывания источника (приемника)
2 3 4	*RC0* *RC1* *RC2*	Низкий Низкий Низкий	—	—	177514	177516	200
2 3 4	*RC0* *RC1* *RC2*	Высокий Низкий Низкий	177560	177562	177564	177566	60 (64)
2 3 4	*RC0* *RC1* *RC2*	Низкий Высокий Низкий	177550	177552	177554	177556	70 (74)
2 3 4	*RC0* *RC1* *RC2*	Высокий Высокий Низкий	177570	177572	177574	177576	170 (174)
2 3 4	*RC0* *RC1* *RC2*	Низкий Низкий Высокий	*XXXXX0*	*XXXXX2*	*XXXXX4*	*XXXXX6*	*XX0* *(XX4)*

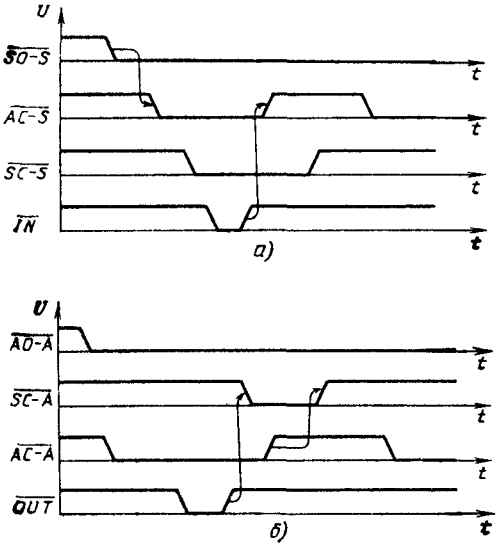


Рис. 11.22. Временные диаграммы работы К1801ВП1-33 в режимах приема (*а*) и передачи (*б*) информации

TR — требование передачи (только для чтения);

SET — начальная установка (только для записи);

ERR — ошибка (только для чтения).

Работа микросхемы на прием информации. При отсутствии сигнала $\overline{SO\text{-}S}$ «Готовность источника» в регистре состояния источника установлен бит *ERR* «Ошибка», микросхема к работе не готова.

При появлении сигнала $\overline{SO\text{-}S}$ микросхема устанавливает сигнал $\overline{AC\text{-}S}$ «Запрос источника», ответом на который является $\overline{SC\text{-}S}$ «Стробирующий сигнал источника». При поступлении сигнала $\overline{SC\text{-}S}$ в регистре состояния источника устанавливается бит *AR* «Требование приема», который при наличии бита *IEA* «Разрешение прерывания по приему» вызывает запрос прерывания. При чтении регистра приемника вырабатывается сигнал $\overline{IN}$ «Ввод данных» и снимается сигнал $\overline{AC\text{-}S}$.

Сигнал $\overline{AC\text{-}S}$ может установиться вновь только после снятия сигнала $\overline{SC\text{-}S}$. Временные диаграммы работы микросхемы при приеме и передаче информации приведены на рис. 11.22.

Работа микросхемы на передачу информации. При отсутствии сигнала $\overline{AO\text{-}A}$ «Готовность приемника» микросхема к работе не готова. При наличии сигналов $\overline{AO\text{-}A}$ и $\overline{AC\text{-}A}$ «Запрос приемника» микросхема после записи информации в регистр-источник вырабатывает $\overline{SC\text{-}A}$ «Стробирующий сигнал приемника», который сбрасывается после снятия сигнала $\overline{AC\text{-}A}$. Во время записи в регистр-источник вырабатывается сигнал $\overline{OUT}$ «Вывод данных».

Состояния сигналов регистра состояния приемника *ERR*, *TR* соответствуют состояниям

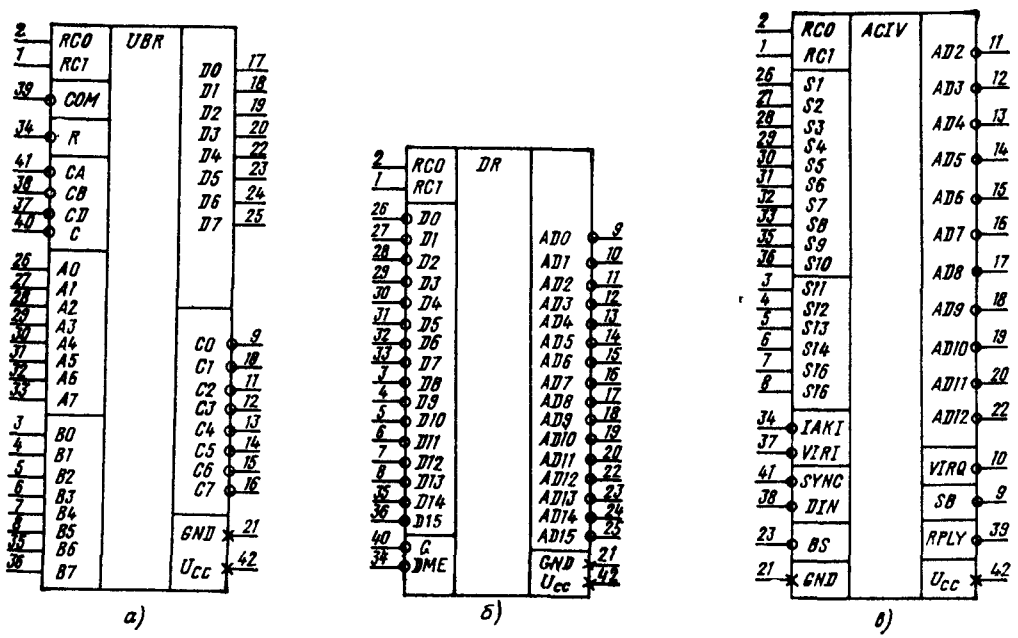
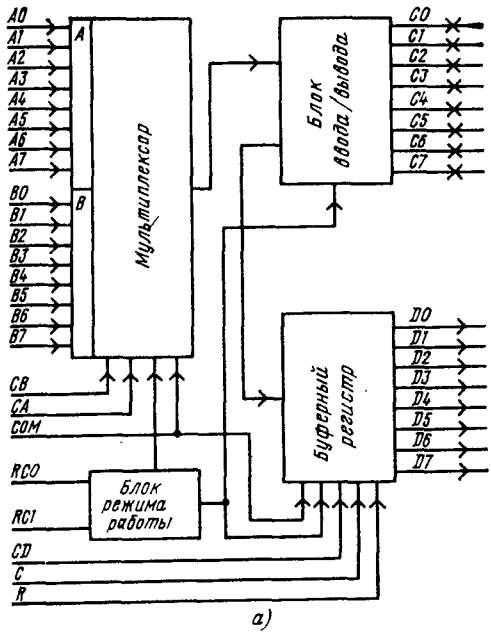
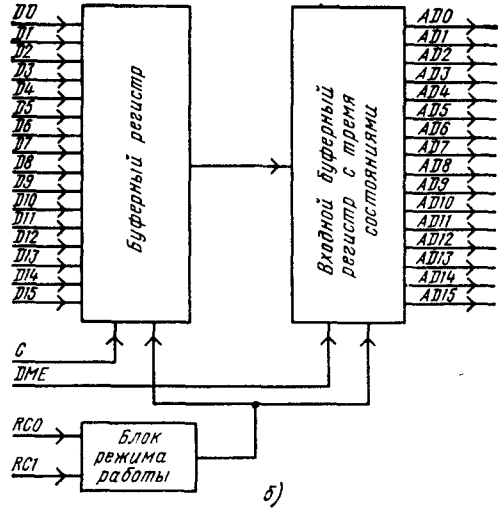


Рис. 11.23. Условное графическое обозначение К1801ВП1-34 в режимах передачи информации (*а*), буферного регистра данных (*б*), выдачи вектора прерывания и компаратора адреса (*в*)





одноименных сигналов приемника.

Запрос на прерывание по передаче информации возникает при наличии сигнала *REQ* «Требование» и установленном бите *IET* «Разрешение прерывания по передаче» в регистре состояния. Путем внешнего соединения вывода *REQ* с каким-либо выводом состояния приемника можно вызывать запрос прерывания по любому из состояний приемника. При записи 1 в 14-й разряд регистра состояния приемника, а также при канальном сигнале $\overline{INIT}$ возникает сигнал *SET* и происходит начальная установка.

Основные параметры микросхемы К1801ВП1-33 приведены в табл. 11.2 и 11.3.

11.6. Микросхема К1801ВП1-34

Микросхема К1801ВП1-34 предназначена для использования совместно с микросхемой К1801ВП1-33 для организации интерфейса 16-разрядного программируемого параллельного ввода/вывода, байтового параллельного интерфейса. Она работает в режимах устройства передачи информации, буферного регистра данных, устройства выдачи вектора прерывания и компаратора адреса.

Условные графические обозначения микросхемы для трех режимов работы приведены на рис. 11.23, структурные схемы — на рис. 11.24, назначение выводов показано в табл. 11.19, временные диаграммы работы — на рис. 11.25.

Устройство передачи информации (УПИ). Установку микросхемы в режим устройства передачи информации производят подачей на вывод *RC0* напряжения высокого уровня, а на вывод *RC1* — напряжения низкого уровня.

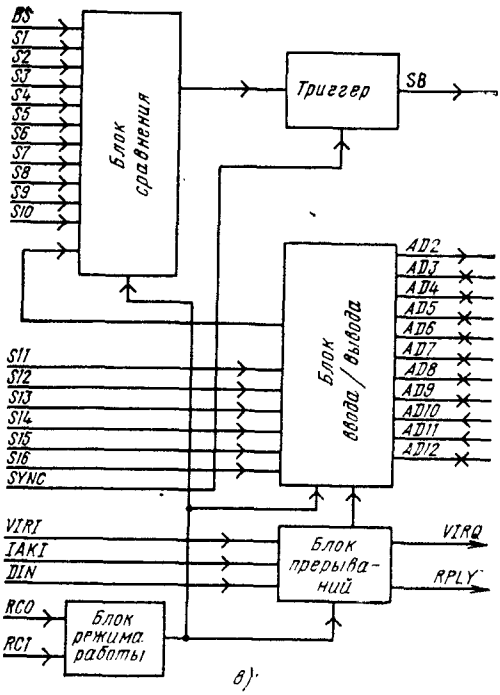
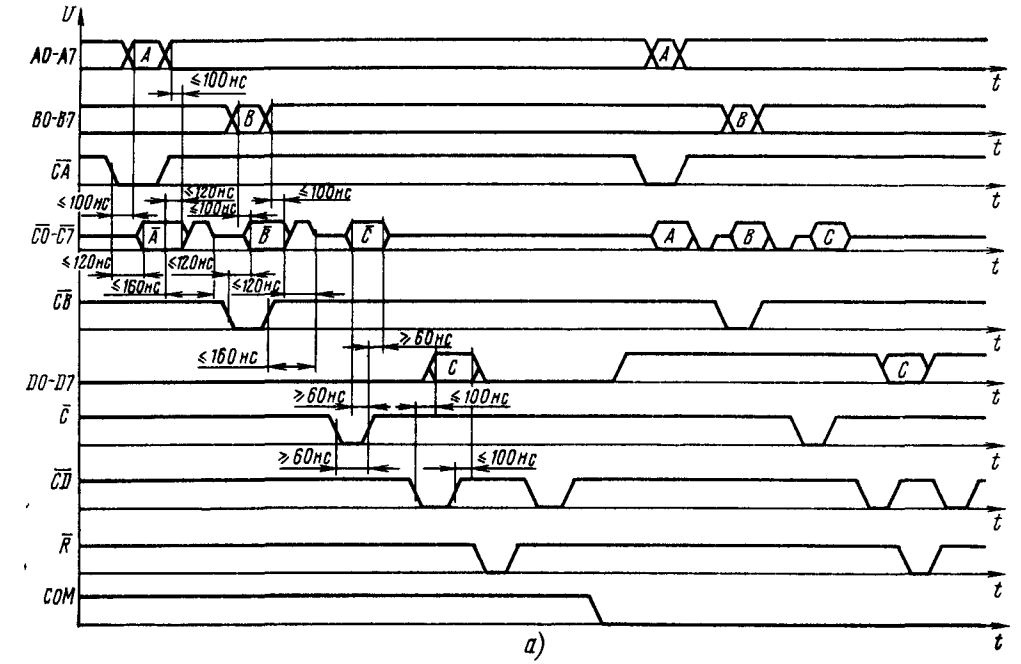
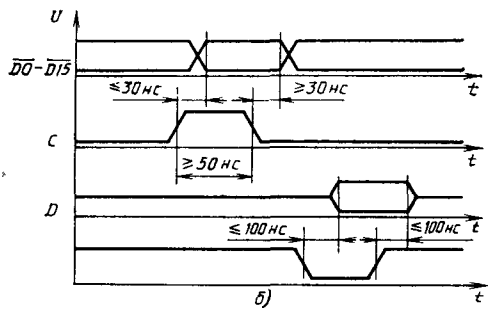


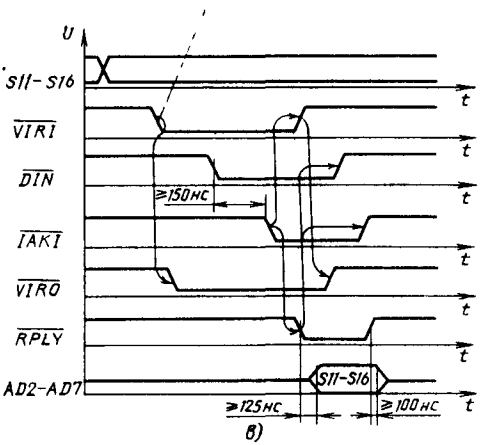
Рис. 11.24. Структурные схемы К1801ВП1-34 в режимах передачи информации (*а*), буферного регистра данных (*б*), выдачи вектора прерывания и компаратора адреса (*в*)

Таблица 11.19

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
		Устройство передачи информации при $RC0=1$ и $RC1=0$	
1, 2	RC1, RC0	Входы	Выбор режима
3—8, 35, 36	B0—B5 B6, B7	Входы	Данные B
9—16	C0—C7	Входы выходы	Данные канала
17—20, 22—25	D0—D3, D4—D7	Выходы	Данные D
21	GND	—	Общий
26—33	A0—A7	Входы	Данные A
34	R	Вход	Сброс данных
37, 38	CD, CB	Входы	Разрешение выдачи данных
39	COM	Вход	Инвертирование данных
40	C	Вход	Запись данных
41	CA	Вход	Разрешения выдачи данных A
42	U_{CC}	—	Напряжения питания
		Буферный регистр даниых при $RC0=0$ и $RC1=1$	
1, 2	RC1, RC0	Входы	Выбор режима
3—8, 26—33, 35, 36	D8—D13, D0—D7, D14, D15	Входы	Даиные
9—20, 22—25	AD0—AD11, AD12—AD15	Выходы	Данные канала
21	GND	—	Общий
34	DME	Вход	Разрешение выдачи данных
37—39, 41	—	—	Не используются
40	C	Вход	Запись данных
42	U_{CC}	—	Напряжение питания
		Устройство выдачи вектора прерываиия и компаратора адреса при $RC0=1$ и $RC1=0$	
1, 2	RC1, RC0	Входы	Выбор режима
3—8	S11—S16	Входы	Установка разрядов вектора прерываиия
9	SB	Выход	Устройство выбрано
10	VIRQ	Выход	Запрос на прерывание
11—20, 22	AD2—AD11, AD12	Входы/выходы	Разряды адреса данных
21	GND	—	Общий
23	BS	Вход	Внешнее устройство
24, 25, 40	—	—	Не используются
26—33, 35, 36	S1—S8, S9, S10	Входы	Установка разрядов адреса
34	IAKI	Вход	Разрешение прерывания
37	VIRI	Вход	Запрос прерывания
38	DIN	Вход	Чтение данных
39	RPLY	Выход	Ответ
41	SYNC	Вход	Обмеи
42	U_{CC}	—	Напряжение питания







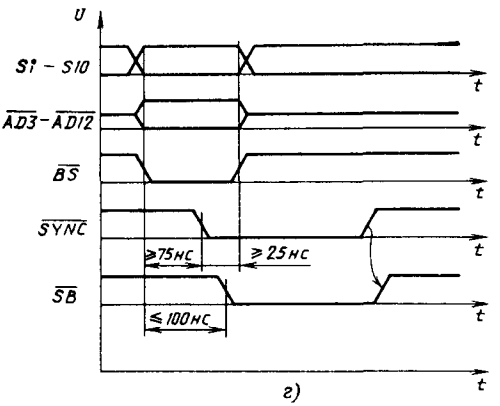


Рис. 11.25. Временные диаграммы работы К1801ВП1-34 в режимах УПИ (*а*), буферного регистра данных (*б*), выдачи вектора прерывания (*в*) и компаратора адреса (*г*)

С помощью управляющих сигналов *CA* и *CB* входная информация *A0—A7* и *B0—B7* соответственно передается на двунаправленные выводы *C0—C7*. В зависимости от сигнала *COM* информация передается в прямом или инверсном виде. Сигналом *C* производится запись информации с выводов *C0—C7* в буферный регистр. С буферного регистра информация с помощью сигнала $\overline{CD}$ выдается на выводы *D0—D7* в зависимости от сигнала *COM* в прямом или инверсном виде. Сигнал $\overline{R}$ обнуляет буферный регистр.

Буферный регистр данных. Установку микросхем в режим буферного регистра данных производят подачей на вывод *RCO* напряжения низкого уровня, а на вывод *RC1* — напряжения высокого уровня.

Входная информация с выводов *D0—D15* сигналом *C* записывается в 16-разрядный буферный регистр. Сигнал $\overline{DME}$ разрешает выдачу информации с буферного регистра на выводы *A0—A15*, которые при высоком уровне сигнала *DME* находятся в отключенном состоянии.

Устройство выдачи вектора прерывания и компаратор адреса. Установку микросхемы в режим устройства выдачи вектора прерывания и компаратора адреса производят подачей на выводы *RC0* и *RC1* напряжения высокого уровня.

Старшие шесть разрядов требуемого адреса вектора прерывания устанавливаются на выводах *S11—S16*

Адрес, необходимый для сравнения, должен устанавливаться на выводах *S1—S10*. Состояния *S1—S10* и *AD3—AD12* сравниваются при наличии сигнала $\overline{BS}$. При сравнении вырабатывается сигнал $\overline{SB}$, который запоминается в триггере на все время присутствия сигнала *SYNC*.

Основные параметры микросхемы К1801ВП1-34 приведены в табл. 11.2 и 11.3.

11.7. Микросхема К1801ВП1-35

Микросхема К1801ВП1-35 — асинхронный приемопередатчик для внешних устройств, работающих на линию связи с последовательной передачей информации, предназначен для преобразования параллельной информации в последовательную и наоборот.

Условное графическое обозначение микросхемы приведено на рис. 11.26, назначение выводов — в табл. 11.20, структурная схема показана на рис. 11.27.

В состав микросхемы входят:

блок системной магистрали, обеспечивающий связь параллельного канала с регистрами микросхемы;

блок синхронизации, обеспечивающий запись и чтение информации, а также синхронизацию работы микросхемы по системной магистрали;

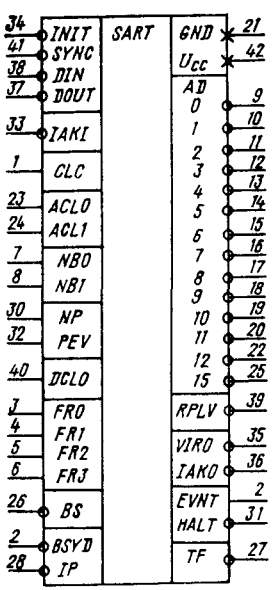


Рис. 11.26. Условное графическое обозначение К1801ВП1-35

Таблица 11.20

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*CLC*	Вход	Синхронизация
2	*EVNT*	Выход	Прерывания по таймеру 50 Гц
3—6	*FR0—FR3*	Вход	Выбор скорости обмена
7, 8	*NB0, NB1*	Вход	Выбор формата
9—16, 22	*AD0—AD7, AD12*	Входы выходы	Разряды адреса/данных
17—20	*AD8—AD11*	Входы	Разряды адреса данных
21	*GND*	—	Общий
23, 24	*ACL0, ACL1*	Входы	Выбор адреса
25	*AD15*	Выход	Разряд адреса/данных
26	*BS*	Вход	Выбор внешнего устройства
27	*TF*	Выход	Сигнал передатчика
28	*IP*	Вход	Сигнал приемника
29	*BSYD*	Вход	Сигнал занятости последовательного канала
30	*NP*	Вход	Установка паритета
31	*HALT*	Выход	Останов
32	*PEV*	Вход	Установка четности или нечетности
33	*IAKI*	Вход	Сигнал предоставления прерывания по каналу
34	*INIT*	Вход	Установка
35	*VIRQ*	Выход	Требование векторного прерывания
36	*IAKO*	Выход	Предоставление прерывания
37	*DOUT*	Вход	Запись данных
38	*DIN*	Вход	Чтение данных
39	*RPLY*	Выход	Ответ
40	*DCLO*	Вход	Авария источника питания
41	*SYNC*	Вход	Обмен
42	*Ucc*		Напряжение питания

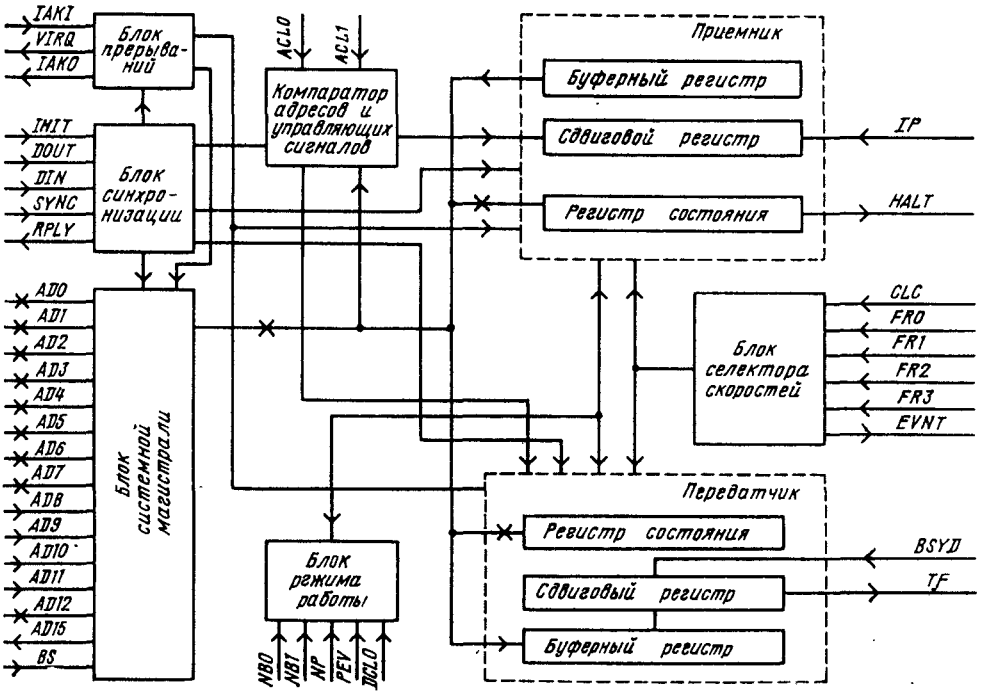


Рис. 11.27. Структурная схема К1801ВП1-35

компаратор адресов и управляющих сигналов, производящий выбор по адресу регистров микросхемы и выработку сигналов на запись или чтение информации;

блок режима работы, устанавливающий работу микросхемы в различных форматах данных, а также с паритетом или без паритета;

блоки приемника и передатчика, состоящие из регистра состояния, сдвигового регистра и буферного параллельного регистра;

блок селектора скоростей, обеспечивающий работу микросхемы на разных скоростях обмена информации по последовательному каналу, а также выработку сигнала *EVNT* с частотой 50 Гц.

Временные диаграммы приема и выдачи посылки приведены на рис. 11.28 и 11.29.

Микросхема обеспечивает по последовательному каналу:

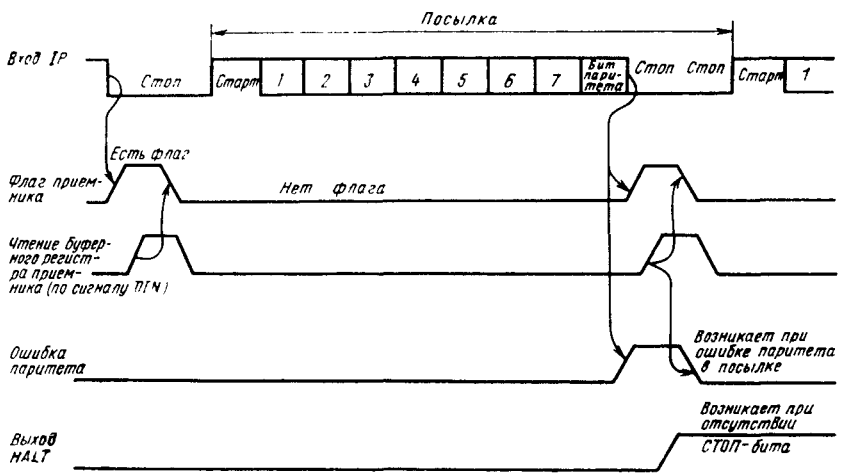


Рис. 11.28. Временна́я диаграмма приема посылки

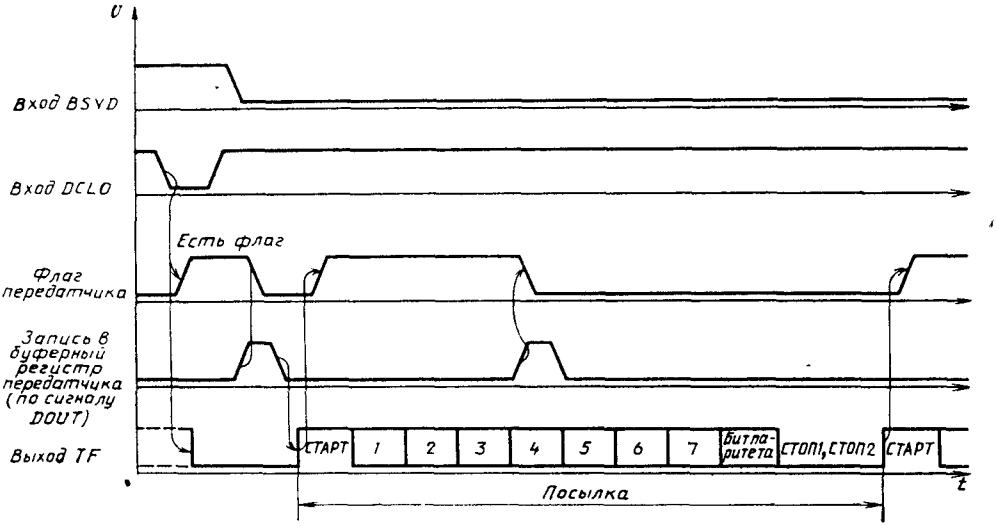


Рис. 11.29. Временна́я диаграмма выдачи посылки

скорости обмена при тактовой частоте 4608 кГц 50, 75, 100, 150, 200, 300, 600, 1200, 2400, 4800, 9600, 19 200 бод;

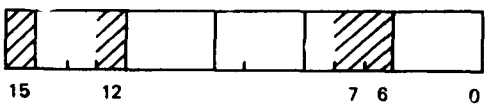
прием и выдачу посылки в форматах 5, 7 или 8 информационных бит;

формирование двух стоповых бит, причем в формате 5 бит — 1,5 стоповых бита;

формирование и контроль бита паритета (четности или нечетности), а также работу без бита паритета.

Адреса регистров и векторов прерывания — сменные по группам (табл. 11.21).

Регистр состояния приемника имеет формат



Назначение разрядов регистра:

разряды 0—5, 8—11, 13, 14 не используются, читаются как лог. 0;

разряд 6 — разрешение работы приемника по прерыванию. Если разряд установлен в 1, то прерывание разрешено, если в 0 — запрещено. Доступен по записи и чтению, сбрасывается в 0 по сигналу *INIT*;

разряд 7 — флаг состояния приемника. Устанавливается в 1 при поступлении посылки в буферный регистр приемника. Сбрасывается в 0 по окончании чтения посылки буферного регистра приемника или по сигналу *INIT*, доступен по чтению.

Флаг состояния приемника устанавливается в 1 от предыдущей посылки или от исходного состояния «Стоп» на линии при включении источника питания после приема первой посылки;

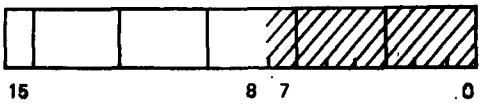
разряд 12 — ошибка переполнения. Устанавливается в 1, если в сдвиговый регистр приемника поступило более одной посылки без чтения из буферного регистра приемника первой поступившей посылки. При этом независимо от числа поступивших в канал приемника посылок в буферном регистре сохраняется первая посылка. Находится в 0, если поступившая в буферный регистр посылка читается до окончания поступления в сдвиговый регистр последнего информационного бита следующей посылки. Сбрасывается в 0 по окончании чтения буферного регистра приемника или по сигналу *INIT*, доступен по чтению;

разряд 15 — ошибка в принятой посылке. Устанавливается в 1, если есть ошибка паритета в принятой посылке и установлено условие контроля паритета. В противном случае находится в 0. Признак ошибки сбрасывается в 0 с момента чтения содержимого буферного регистра приемника или по сигналу *INIT*. Доступен по чтению.

Таблица 11.21

Регистр	Группа 1	Группа 2	Группа 3	Группа 4
Регистр состояния приемника	177560	176560	176570	*XXXXX0*
Буферный регистр приемника	177562	176562	176572	*XXXXX2*
Регистр состояния передатчика	177564	176564	176574	*XXXXX4*
Буферный регистр передатчика	177566	176566	176576	*XXXXX6*
Адрес вектора прерывания приемника	060	360	370	*XX0*
Адрес вектора прерывания передатчика	064	364	374	*XX4*

Буферный регистр приемника, доступный по чтению, имеет формат

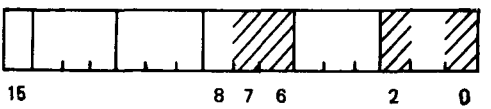


разряды 0—7 содержат посылку, принятую с линии. В разряде 0 находится первый бит посылки, в разряде 7 — восьмой. При установленном контроле бита паритета он следует за последним битом посылки. При формате 8 бит он анализируется микросхемой, но в буферный регистр не поступает.

Низкий уровень бита в посылке на входе *IP* соответствует лог. 1, высокий уровень — лог. 0 в буферном регистре приемника;

разряды 8—15 не используются, читаются как лог. 0.

Регистр состояния передатчика имеет формат



Назначение разрядов регистра:

разряд 0 — разрыв линии. Если разряд 0 установлен в 1, то на выходе *TF* устанавливается высокий уровень (состояние «Старт») при условии, что на входе *BSYQ* — низкий. Если на входе *BSYD* высокий уровень, то на выходе *TF* устанавливается низкий (состояние «Стоп»). При этом посылка не выходит и установка 0 разряда в 1 этот уровень не изменяет. Доступен по записи и чтению. Сбрасывается в 0 по сигналу *INIT*;

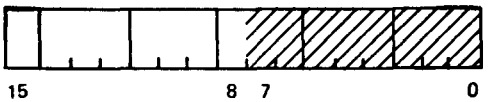
разряд 2 — проверка работы. Если разряд 2 установлен в 1, то посылка с выхода *TF* поступает также и на канал приемника. Сбрасывается в 0 по сигналу *INIT*. При этом вход *IP* для приема посылок с линии закрыт. Доступен по записи и чтению;

разряд 6 — разрешение работы передатчика по прерыванию. Если разряд 6 установлен в 1, то прерывание разрешено, если в 0 — запрещено. Доступен по записи и чтению. Сбрасывается в 0 по сигналу *INIT*;

разряд 7 — флаг состояния передатчика. Устанавливается в 1 в момент выдачи посылки на линию или по сигналу *DCLO*. Сбрасывается в 0 по записи информации в буферный регистр передатчика. Состояние лог. 1 свидетельствует о том, что буферный регистр передатчика пустой. Если запись информации в буферный регистр передатчика произошла во время выдачи посылки, то следующая посылка начинается сразу же по окончании предыдущей. Доступен по чтению;

разряды 3—5, 8—15 не используются, читаются как лог. 0.

Буферный регистр передатчика, доступный по записи, имеет формат



Назначение разрядов регистра:

разряды 0—7 — разряды данных для передачи посылки на линию. В разряд 0 записывается первый бит посылки, в разряд 7 — восьмой. По окончании записи данных в буферный регистр передатчика происходит запись данных в сдвиговый регистр передатчика. С выхода *TF* посылка поступает на линию при условии, что на входе *BSYD* низкий уровень.

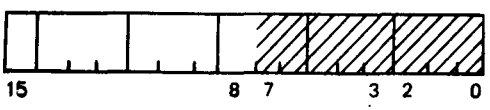
При соблюдении условия формирования бита паритета он автоматически следует за последним битом посылки. При записи лог. 1 в буферный регистр передатчика данный бит на выходе *TF* имеет низкий уровень, при записи лог. 0 — высокий.

При чтении по адресу буферного регистра передатчика читывается адрес источника вектора прерывания. При этом разряды 8—15 читаются как лог. 0.

Запрос на прерывание от приемника возникает, если разряды 6 и 7 его регистра состояния установлены в 1. При обработке запроса на прерывание читается адрес вектора прерывания приемника.

Запрос на прерывание от передатчика возникает, если разряды 6 и 7 его регистра состояния установлены в 1. При обработке запроса на прерывание читается адрес вектора прерывания передатчика.

Источники адресов векторов прерываний имеют формат



Назначение разрядов регистра:

разряд 2 — указатель адреса вектора прерывания. Наличие 0 в разряде 2 указывает на адрес вектора прерывания приемника, наличие 1 — передатчика.

разряды 3—7 — сменная часть адреса вектора прерывания. Если выбрана четвертая группа адресов регистров и источников адресов векторов прерываний, то разряды 3—7 читаются как лог. 0;

разряды 0, 1, 8—15 не используются, читаются как лог. 0.

Приоритет запроса от приемника выше приоритета запроса от передатчика.

По окончании приема посылки при отсутствии сигнала «Стоп» (разрыв линии) микросхема устанавливает на выходе *HALT* сигнал низкого уровня. Сигнал высокого уровня на

Таблица 11.22

Вывод	Обозначение	Группа 1	Группа 2	Группа 3	Группа 4
23	*ACL0*	0	1	0	1
24	*ACL1*	0	0	1	1

Примечание При заданной комбинации *ACL0*=1, *ACL1*=1 регистры микросхемы выбираются по адресу, состоящему из разрядов 1 и 2, и по сигналу *BS* На разряды адреса 3—12 микросхема не реагирует Группа 4 адресов может быть использована для внешнего произвольного набора адресов регистров и внешнего источника адресов векторов прерываний микросхемы

Таблица 11.23

Вывод	Обозначение	Бит 5	Бит 7	Бит 8
7	*NB0*	*X*	0	1
8	*NB1*	0	1	1

Примечание *X* — состояние входа безразлично

Таблица 11.24

Скорость обмена, бод	*FP3*, вывод 6	*FP2*, вывод 5	*FP1*, вывод 4	*FP0*, вывод 3
50	0	0	0	0
75	0	0	0	1
100	0	0	1	0
150	0	0	1	1
200	0	1	0	0
300	0	1	0	1
600	0	1	1	0
1200	0	1	1	1
2400	1	0	0	0
4800	1	0	0	1
9600	1	0	1	0
19 200	1	0	1	1

Таблица 11.25

Режим работы с паритетом	Вывод 30	Вывод 32
Нет формирования бита паритета и контроля паритета	1	*X*
Формирование бита четности и контроль четности	0	1
Формирование бита нечетности и контроль нечетности	0	0

Примечание *X* - состояние входа безразлично.

выходе *HALT* устанавливается по сигналу *INIT*.

При тактовой частоте 4608 кГц на выходе *EVNT* микросхема обеспечивает частоту импульсных сигналов 50 Гц со скважностью 2.

Выбор групп адресов регистров и источников адресов векторов прерываний производится заданием комбинаций уровней на входах *ACL0* и *ACL1* (табл. 11.22).

Выбор форматов посылок по последовательному каналу производится заданием комбинаций уровней на входах *NB0* и *NB1* (табл. 11 23).

Выбор скорости обмена по последовательному каналу производится заданием комбинаций уровней на входах *FP0—FP3* (табл. 11.24).

Выбор режима работы с паритетом или без него, а также режима работы с паритетом по четности или нечетности задается комбинациями уровней на входах *NP* и *PEV* (табл. 11.25).

Основные параметры микросхемы К1801ВП1-35 приведены в табл. 11.2, 11.3.

11.8. Микросхема КР1801РЕ2

Микросхема КР1801РЕ2 — постоянное запоминающее устройство емкостью 65536 бит с организацией 4096×16 разрядов, предназначено для построения блоков памяти микро-ЭВМ различного назначения.

Условное графическое обозначение микросхемы приведено на рис. 11.30, назначение выводов — в табл. 11.26, структурная схема показана на рис. 11.31, временная диаграмма работы — на рис. 11.32.

Входы и выходы в микросхеме совмещены,

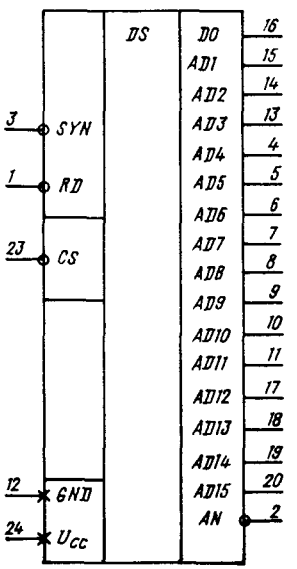


Рис. 11 30 Условное графическое обозначение КР1801РЕ2

Таблица 11.26

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*RD*	Вход	Сигнал «Чтение»
2	*AN*	Вход	Сигнал «Ответ»
3	*SYN*	Вход	Сигнал «Синхронизация»
4—11	*AD4—AD11*	Входы/выходы	Разряды адреса/данных
12	*GND*	—	Общий
13—16	*AD3—AD0*	Входы/выходы	Разряды адреса/данных
17—20	*AD12—AD15*	Входы/выходы	Разряды адреса/данных
23	*CS*	Вход	Сигнал выбора микросхемы
24	U_{CC}	—	Напряжение питания

Примечание. Выводы *21* и *22* не задействованы.

поэтому передача данных осуществляется в мультиплексном режиме.

Микросхема использует четыре управляющих сигнала:

SIN — «Синхронизация», обеспечивает запись адреса во входной регистр микросхемы;

RD — «Разрешение чтения», обеспечивает выдачу считанной информации на общую магистраль при наличии сигнала «Синхронизация»;

AN — «Ответ», сопровождает информацию, которая поступает из ПЗУ на общую магистраль;

CS — «Выбор кристалла», позволяет осуществлять дополнительную выборку.

Наличие трехразрядного программируемого интерфейса (адресные входы *A13—A15*) позволяет включать параллельно до восьми микросхем ПЗУ. Для выборки слова из ПЗУ необходимо подать код адреса слова на входы *A1—A12*, а код данной микросхемы — на входы *A13—A15*. В этом случае можно включать параллельно до восьми микросхем. При этом вход *D0* не участвует в выборке адресов ПЗУ, а информация снимается с выходов *D0—D15*.

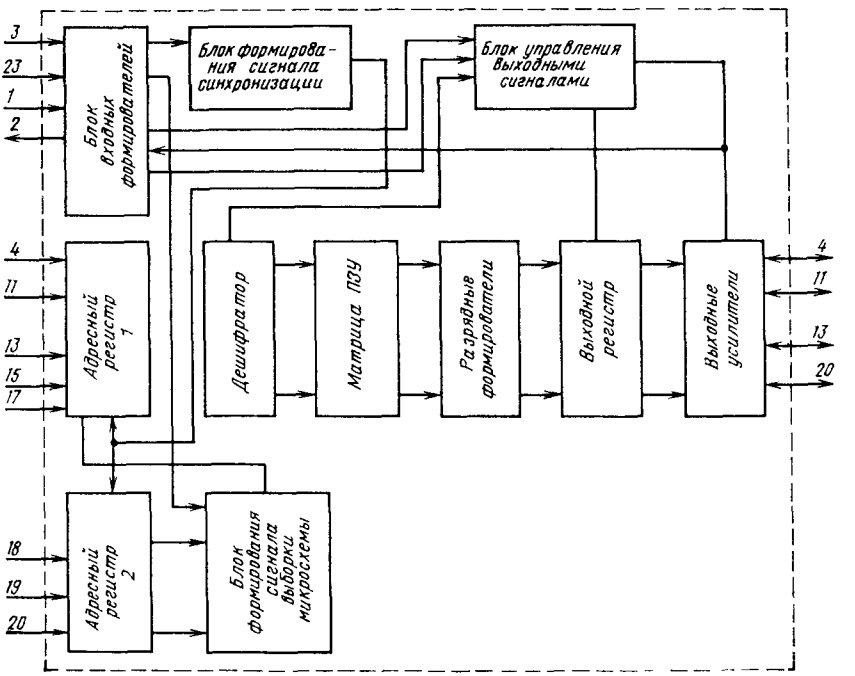


Рис. 11.31. Структурная схема КР1801РЕ2

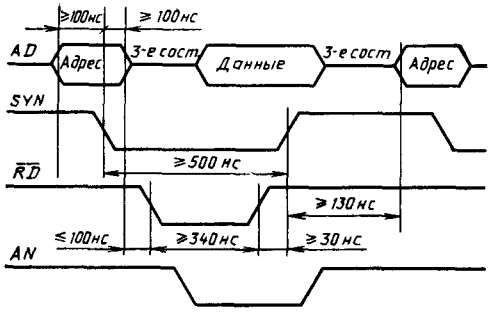


Рис. 11.32. Временна́я диаграмма работы КР1801РЕ2

Основные электрические характеристики микросхемы КР1801РЕ2 приведены в табл. 11.27.

Таблица 11.27

Параметр	Обозначение	Значения параметров [макс (мин)]	
		КР1801РЕ2А	КР1801РЕ2Б
Выходное напряжение низкого уровня*, В	U_{OL}	0,5	0,5
Выходное напряжение высокого уровня **, В	U_{OH}	(2,4)	(2,4)

Продолжение табл. 11.27

Параметр	Обозначение	Значения параметров [макс. (мин.)]	
		КР1801РЕ2А	КР1801РЕ2Б
Мощность потребления в режиме хранения, мВт	P_{CCS}	220	220
Мощность потребления в режиме обмена, мВт	P_{CCD}	330	330
Входной ток высокого уровня, мкА	I_{IH}	15	15
Входной ток низкого уровня, мкА	I_{IL}	15	15
Время выборки разрешения, нс	t_{CO}	300	500

* При I_O=3,2 мА.
** При I_O=400 мкА.

11.9. Микросхема К573РФ3

Микросхема К573РФ3 — перепрограммируемое постоянное запоминающее устройство с ультрафиолетовым стиранием и электрической записью информации емкостью 65 536 бит, с организацией 4096×16 разрядов.

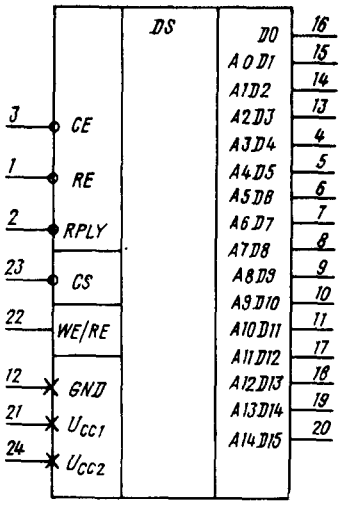


Рис. 11.33. Условное графическое обозначение К573РФ3

Таблица 11.28

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	RE	Вход	Сигнал «Чтение»
2	RPLY	Вход	Сигнал «Ответ»
3	CE	Вход	Сигнал «Синхронизация»
4—11	AD4—AD11	Входы/выходы	Разряды адреса/данных
12	GND	—	Общий
13—16	AD3—AD0	Входы/выходы	Разряды адреса/данных
17—20	AD12—AD15	Входы/выходы	Разряды адреса/данных
21	U_{CC1}	—	Напряжение питания +5 В, в режиме программирования +18 В
22	WE/RE	Вход	Сигнал «Запись/считывание»
23	CS	Вход	Сигнал выбора микросхемы
24	U_{CC2}	—	Напряжение питания +5 В

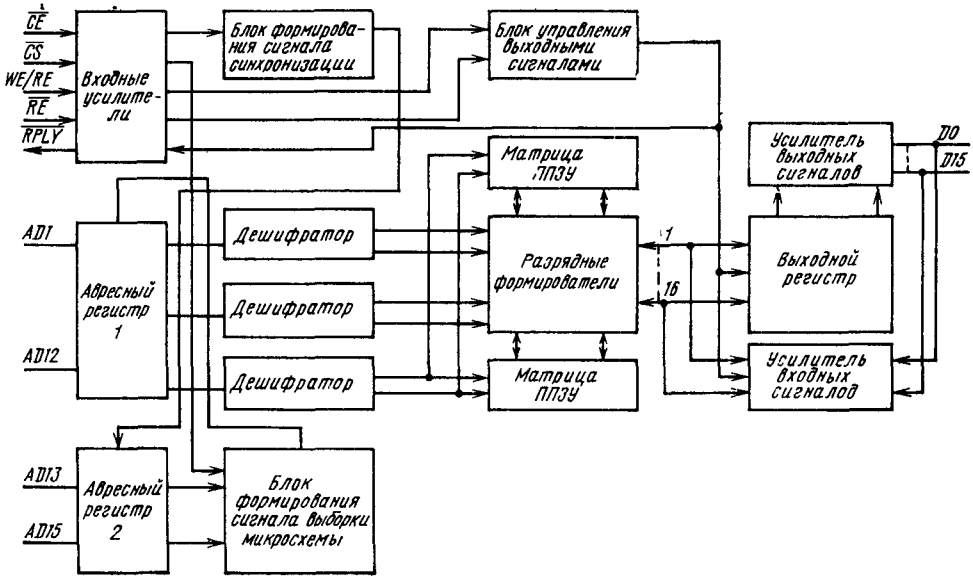


Рис. 11.34. Структурная схема К573РФ3

Микросхема предназначена для построения блоков памяти микро-ЭВМ широкого назначения.

Информационная емкость, адресация ячеек микросхем:

К573РФ3	64К	0—4096
К573РФ31	32К	0—2047
К573РФ32	32К	2048—4096

Условное графическое обозначение микросхемы приведено на рис. 11.33, назначение выводов — в табл. 11.28, структурная схема показана на рис. 11.34, временна́я диаграмма работы — на рис. 11.35.

Входы и выходы в микросхеме совмещены, поэтому передача данных осуществляется в мультиплексном режиме.

Три старших разряда используются для программирования кода микросхемы, что позволяет осуществлять выборку одной из восьми микросхем на общую магистраль без построения дополнительного дешифратора.

Микросхема К573РФ3 использует четыре управляющих сигнала:

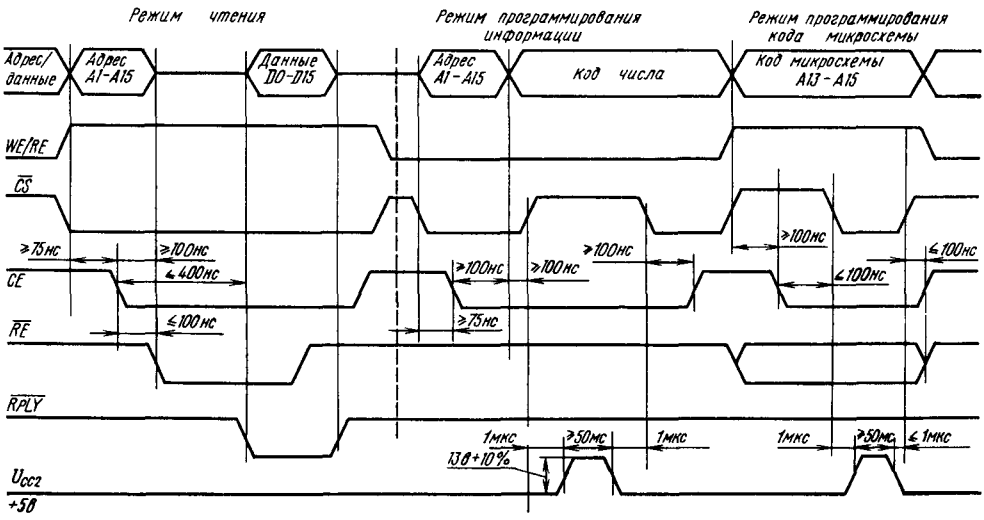


Рис. 11.35. Временна́я диаграмма работы К573РФ3

Таблица 11.29

Параметр	Обозначение	Значение параметров [макс (мин.)]
Выходное напряжение низкого уровня, В	U_{OL}	0,5
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)
Ток потребления, мА	I_{CC}	40
Динамический ток потребления, мА	I_{CCD}	80
Входной ток низкого уровня, мкА	I_{IL}	1,0
Входной ток высокого уровня, мкА	I_{IH}	1,0
Время выборки разрешения, нс	t_{CO}	550
Время сохранения выходной информации после сигнала чтения, нс	t_{ROH}	100
Время записи информации, мс *	$t_{ц}$	50

* Допускается производить записи информации до трех раз

Таблица 11.30

Параметр	Обозначение	Значение параметров [макс. (мин.)]
Напряжение питания в режиме считывания, В	U_{CC1}	7
Напряжение в режиме программирования, В	U_{CC2}	21
Напряжение сигнала входной информации, В	U_{IL}	(—0,3)
	U_{IH}	7

CE — «Обмен», обеспечивает запись адреса во входной регистр адреса микросхемы;

WE/RE — «Чтение / программирование», определяет режим работы микросхемы;

RE — «Разрешение чтения», обеспечивает выдачу считанной информации на общую магистраль при наличии сигнала «Обмен»;

RPLY — «Ответ», сопровождает информацию, которая поступает из ППЗУ на общую магистраль.

Кроме этих сигналов имеется сигнал *CS*, который позволяет осуществлять дополнительную выборку.

Основные электрические параметры микросхемы К573РФ3 приведены в табл. 11.29, предельные значения электрических режимов — в табл. 11.30.

11.10. Рекомендации по применению

Высокая степень интеграции микропроцессорного комплекта БИС серии К1801, реализующего принципы магистрально-модульной организации, наличие в составе комплекта однокристальных микропроцессоров и периферийных микросхем позволяют применять его для создания высокоэффективных микропроцессорных средств.

Одним из примеров применения комплекта являются выпускаемые промышленностью одноплатные микро-ЭВМ ряда «Электроника-МС1201», предназначенные для использования в различных вычислительных и управляющих системах.

Микро-ЭВМ состоит из функционально законченных модулей, объединенных между собой по магистральному принципу (рис. 11.36). Системная магистраль (канал), выполненная в соответствии с интерфейсом МПИ, позволяет адресовать 32К 16-разрядных слов или 64К байт (только по записи).

В адресном пространстве принято использовать нижнюю область с адресами 0—376 в качестве адресов векторов прерываний. Верхняя область слов адресного пространства от 160000 до 177776 используется для адресов регистров внешних устройств. Активным устройством в канале обычно является процессор. Кроме него активными в канале могут быть устройства, способные работать в режиме прямого доступа к памяти.

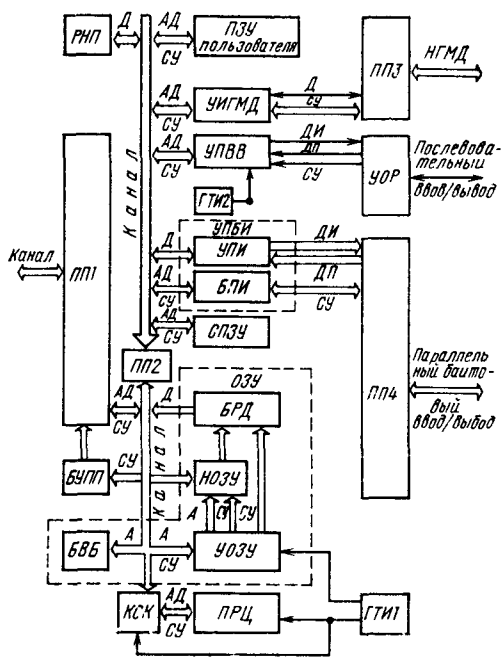


Рис. 11.36. Структура одноплатной микро-ЭВМ на микросхемах серии К1801

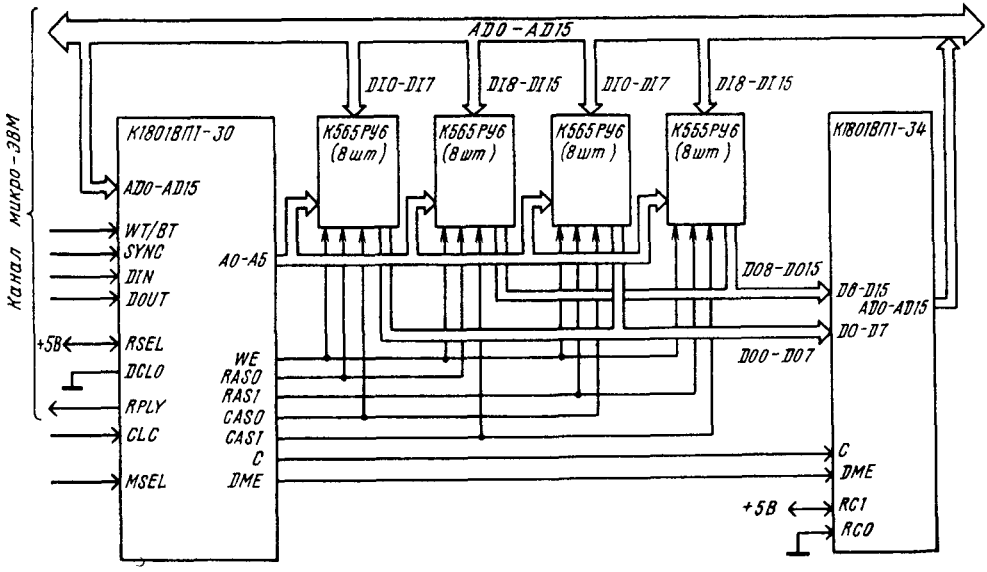


Рис. 11.37. Структурная схема блока ОЗУ

Процессор микро-ЭВМ выполнен на основе ОМП К1801ВМ1 или КМ1801ВМ2.

Оперативное запоминающее устройство состоит из накопителя информации (НОЗУ), устройства управления ОЗУ (УОЗУ), буферного регистра данных (БРД), блока управления выборкой банков памяти. НОЗУ собран на 32 микросхемах К565РУ3 (КР565РУ6). Полная емкость накопителя составляет 32К 16-разрядных слов (восемь банков памяти по 4К слов каждый).

Устройство управления ОЗУ выполняется на микросхеме К1801ВП1-30. Для построения производительных вычислительных систем, работающих на максимальной тактовой частоте до 10 МГц, рекомендуется совместно с ОМП КМ1801ВМ2 применять в качестве УОЗУ микросхему К1801ВП1-13, выполняющую функции, аналогичные К1801ВП1-30, но на более высокой частоте.

Буферный регистр данных выполняется на микросхеме К1801ВП1-34 и служит для временного хранения данных после завершения их выборки из НОЗУ до окончания передачи по каналу в активное устройство. Таким образом, динамическое ОЗУ для активного устройства функционирует аналогично ОЗУ статического типа.

Блок выборки байтов (БВБ) предназначен для отключения с помощью набора переключателей отдельных банков ОЗУ из адресного пространства. Вместо них могут быть подключены ПЗУ пользователей, выполненные на микросхемах КР1801РЕ2 и К573РФ3.

Системное ПЗУ (СПЗУ) выполняется на микросхеме КР1801РЕ2 и содержит программы режимов начального пуска, пультового режима, начальных загрузчиков с накопителей на гибких магнитных дисках, резидентного проверяющего теста.

Устройство байтового параллельного интерфейса (УБПИ) предназначено для связи микро-ЭВМ с внешними устройствами по асинхронным параллельным каналам ввода/вывода. Состоит из устройства управления байтовым параллельным интерфейсом (БПИ) на микросхеме К1801ВП1-33 и ряда переключателей, а также из устройства передачи информации (УПИ) на микросхеме К1801ВП1-34. Осуществляет обмен с системным каналом с помощью четырех внутренних регистров, организует прерывания от приемника и передатчика. Адресация регистров УБПИ задается переключателями, установленными на плате. Эти переключатели изменяют также адреса векторов прерывания, выдаваемых УБПИ при процедуре векторного прерывания программы.

Устройство последовательного ввода/вывода (УПВВ) предназначено для связи микро-ЭВМ с внешними устройствами по асинхронному последовательному каналу, выполнено на микросхеме К1801ВП1-35. Связь УПВВ с внешним устройством осуществляется с помощью узла оптронной развязки (УОР) по линии типа «20 мА токовая петля».

Устройство интерфейса накопителя на гибких магнитных дисках (УИГМД) выполняется на микросхеме К1801ВП1-33. Осуществляет обмен информации с НГМД с помощью двух внутренних регистров; может производить прерывание программы с выдачей адреса вектора прерываний.

Регистр начального пуска (РНП) предназначен для указания адреса и кода программы режима начального пуска.

Приемопередатчики *ПП1—ПП4* служат для усиления и электрической развязки сигналов.

Блок управления приемопередатчиками (БУПП) предназначен для переключения направления *ПП1* при передаче сигналов системного канала.

Генераторы тактовых импульсов (*ГТИ1* и и *ГТИ2*) предназначены для выработки тактирующих импульсов для ПРЦ, ОЗУ, УПВВ. Генератор *ГТИ1* выполняется по схеме с использованием времязадающих элементов, *ГТИ2* — на основе кварцевого резонатора частотой 4,608 МГц.

Корректор сигналов канала (КСК) выполняет функции временных привязок сигналов канала к работе ПРЦ при использовании микросхемы К1801ВМ1.

Структурная схема блока ОЗУ с применением микросхем К1801ВП1-30 и К1801ВП1-34 приведена на рис. 11.37.

Глава 12

Микропроцессорный комплект серии КР1802

Микропроцессорный комплект серии КР1802 представляет собой 8/16-разрядные секционные микросхемы для построения высокопроизводительных ЭВМ и устройств радиоэлектронной аппаратуры, включая РЭА цифровой обработки сигналов. Отличительной особенностью комплекта является широкий набор функциональных расширителей (умножителей, делителей, сдвигателей), многоадресных регистров общего и специального назначения и коммутационных устройств.

Основные свойства комплекта:

неограниченное наращивание разрядности;

микропрограммируемость;

возможность эмуляции произвольной системы команд;

гибкая архитектура и большой выбор микросхем;

высокое быстродействие.

Микросхемы МПК, требующие максимального быстродействия, выполнены по ЭСЛ-схемотехнике с обрамлением ТТЛШ (КР1802ИМ1, КР1802ИП1, КМ1802ВР4, КМ1802ВР5, КР1802КП1). Остальные микросхемы выполнены по ТТЛШ-схемотехнике.

Состав микросхем комплекта и их назначение приведены в табл. 12.1. Серия КР1802 может быть дополнена микросхемами серий К589 и КМ1804.

Микросхемы КР1802 и КМ1802 работают при напряжении питания +5 В±5%. Обеспечивается полная совместимость с микросхемами других серий, имеющих ТТЛ- и ТТЛШ-уровни логических сигналов ($U_{OL} \leqslant 0{,}5$ В, $U_{OH} \geqslant 2{,}4$ В). Для тактирования микросхем применяется однофазная синхронизация с частотой 10—20 МГц для различных применений.

12.1. Микросхема КР1802ВС1

Микросхема КР1802ВС1 микропроцессорной секции (МС) — 8-разрядная наращиваемая секция устройства обработки данных, предназначена для выполнения следующих операций:

арифметическое сложение и вычитание в дополнительном коде;

логические операции конъюнкции, дизъюнкции, инверсии и сложение по модулю 2;

арифметические, логические и циклические сдвиги вправо и влево на один разряд.

Таблица 12.1

Тип микросхемы	Функциональное назначение	Тип корпуса
КР1802ВС1	8-разрядная микропроцессорная секция	2206.42-1
КР1802ИР1	Двухадресные регистры общего назначения на 16×4 бита	239.24-2
КР1802ВР1	16-разрядный арифметический расширитель	2206.42-1
КР1802ВР2	8-разрядная секция последовательного умножителя/делителя	2206.42-1
КР1802ВР3	8-разрядный параллельный умножитель	2206.42-1
КМ1802ВР4	12-разрядный параллельный умножитель	2136.64-1
КМ1802ВР5	16-разрядный параллельный умножитель	2136.64-1
КР1802ИМ1	4-разрядная 4-входовая секция сумматора/вычитателя	2207.48-4
КР1802ИП1	Многоадресные ассоциативные регистры на 40 бит	2207.48-4
КР1802ВВ1	Схема обмена информацией	2206.42-1
КР1802ВВ2	Схема интерфейса	2206.42-1
КР1802ВВ3	Программируемый адаптер последовательного интерфейса	2121.28-1
КР1802КП1	4-разрядная секция многофункционального коммутатора магистралей на четыре направления	2207.48-4

Таблица 12.2

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
41, 1, 3, 5, 18, 20, 22, 24	DA0—DA7	Входы/выходы [1]	Информация
40, 42, 2, 4, 19, 21, 23, 25	DB0—DB7	Входы/выходы [1]	Информация
6—9, 14—17	F0—F7	Входы	Код микрокоманды
28	LO/RI	Выход/вход [1]	Сдвиг влево/вправо САЛУ
37	RI/LO	Вход/выход [1]	Сдвиг вправо/влево СРР
39	LI/RO	Вход/выход [1]	Сдвиг влево/вправо САЛУ или перенос из 3-го разряда АЛУ
38	RO/LI	Выход/вход [1]	Сдвиг вправо/влево СРР
10	CI	Вход	Перенос
33	CO	Выход	Перенос
13	CLK	Вход	Синхронизация
31	CHB	Вход	Управление инверсией старшего разряда
36	CS	Вход	Выборка кристалла
29	ED	Вход	Разрешение выдачи информации
30	CHS	Вход	Выборка старшего кристалла
35	G	Выход	Генерация переноса
34	P	Выход	Распространение переноса
12	ZR	Выход [2]	Признак равенства 0 результата
26	OW	Выход [2]	Признак переполнения
27	F	Выход [2]	Выдвигаемые разряды АЛУ или выходной перенос CO
32	U_{CC}	—	Напряжение питания +5 В
11	GND	—	Общий

[1] Бинаправленный, с тремя состояниями.
[2] С открытым коллектором.

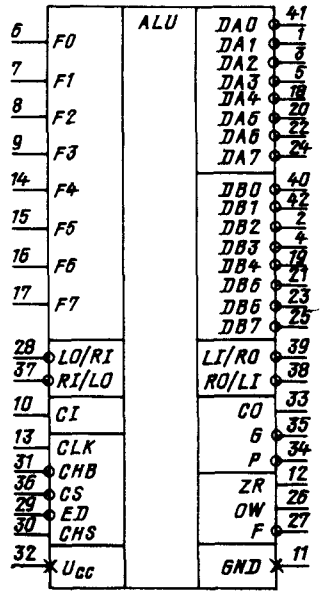


Рис. 12.1. Условное графическое обозначение КР1802ВС1

При выполнении перечисленных операций возможно производить многочисленные операции маскирования содержимым регистра расширения отдельных разрядов входных данных.

По результату операции вырабатываются признаки равенства 0 результата и признак переполнения (в операциях сложения, вычитания, сдвига влево).

При соединении нескольких микросхем МС можно производить последовательный и ускоренный перенос, операции обработки байтов, широкий набор операций сдвигов, включая и расширенные сдвиги, т. е. сдвиг двойного слова совместно с регистром расширения без внешних дополнительных схем с выработкой признаков результата только в выбранных кристаллах.

Условное графическое обозначение микросхемы приведено на рис. 12.1, назначение выводов — в табл. 12.2, структурная схема показана на рис. 12.2, временная диаграмма работы — на рис. 12.3.

В состав микросхемы входят следующие основные узлы: *У1* — регистр данных *B* (РВ); *У2* — регистр данных *A* (РА); *У3* — мультиплексор выбора операнда (МВО); *У4* — узел подготовки данных *B* (УПВ); *У5* — узел подготовки данных *A* (УПА); *У6* — арифметико-логическое устройство (АЛУ); *У7* — дешифратор микрофункций операции; *У8* — буферная схема сигнала синхронизации; *У9* — буферная схема сигнала выбора микросхемы; *У10* — сдвигатель арифметико-логического устройства (САЛУ); *У11* — сдвигатель регистра расширения (СРР); *У12* — регистр расширения (РР); *У13* — выходной буферный каскад *B* (ВБВ); *У14* — выходной буферный каскад *A* (ВБА); *У15* — вентиль стробирующего сигнала выдачи данных; *У16* — схема

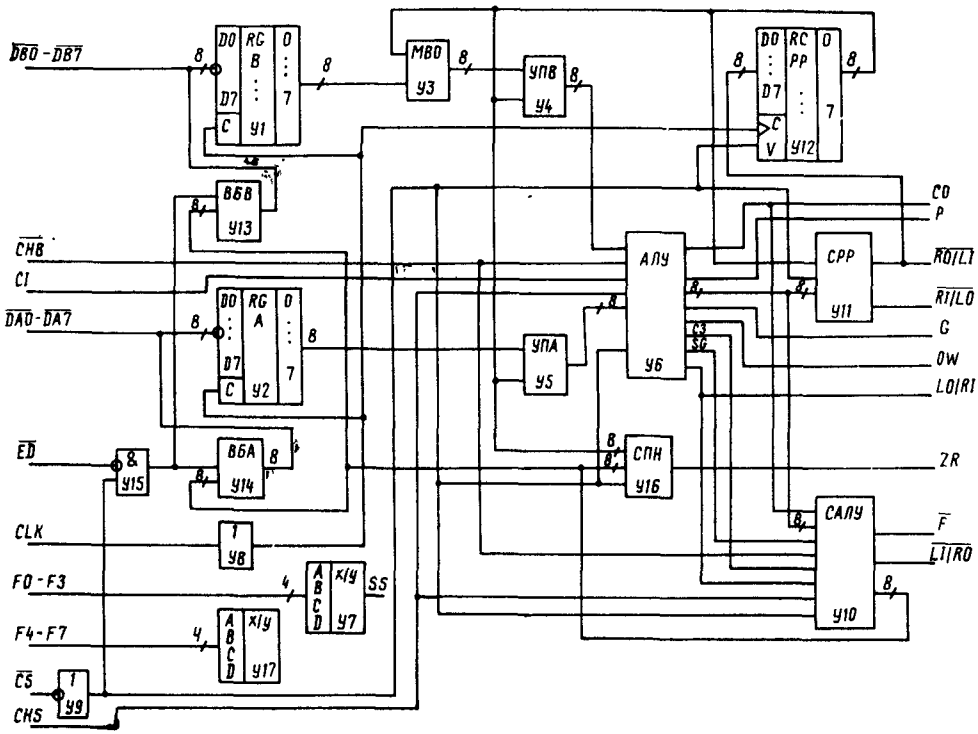


Рис. 12.2. Структурная схема КР1802ВС1

признака нуля (СПН); *У17* — дешифратор микрофункций модификации.

При описании МС используются следующие условные обозначения: *L0—L7* — информация на выходах АЛУ; *R0—R7* — информация на выходах САЛУ; *SG* — сигнал из АЛУ, образующийся из старших разрядов РА, РВ; *M0—M7* — информация на первом входе АЛУ; *K0—K7* — информация на втором входе АЛУ; *SS* — признак операции вычитания в АЛУ.

Разряды *A7, B7, L7, R7* — старшие разряды информации.

Разряды микроинструкции *F0—F3* определяют операцию АЛУ с данными, поступающими из РА и МВО. Эти операции перечислены в табл. 12.3. Разряды микроинструкции *F4—F7* определяют операции модификаций МС (табл. 12.4). К этим операциям относятся.

выбор операнда в МВО, т. е. операция с РВ или РР;

разрешение операции маскирования;

различные операции сдвигов.

В табл. 12.4 в графе «Результат операции АЛУ» выражением $L=f(A, B)$ определяется одна из операций АЛУ без маскирования с содержимым РА и РВ. Операция АЛУ соответствует колонке $L=f(A, B)$ в табл. 12.3.

Выражение $L=f(A, P)$ определяет одну из операций АЛУ без маскирования с содержимым РА, РР, операция соответствует колонке $L=f(A, P)$ в табл. 12.3.

Выражение $L=f(A, B, P)$ определяет одну из операций АЛУ при наличии маскирования данных из РА и РВ содержимым РР, операции АЛУ при $L=f(A, B, P)$ представлены в колонке $L=f(A, B, P)$ табл. 12.3.

В колонке «*R7—R0* — результат операции САЛУ» (см. табл. 12.4) показан результат операции сдвига. Эта информация при $CS \wedge \wedge \overline{ED}=1$ выдается на магистрали *DA7—DA0, DB7—DB0*.

В колонках $\overline{LI/RO}$, $\overline{LO/RI}$, $\overline{RO/LI}$, $\overline{RI/LO}$ табл. 12.4 показана информация, появляющаяся на этих выводах при различных кодах на шинах *F4—F7, CS, CHB*. Если в соответствующих строках этих колонок стоит знак «*Z*», то это означает, что выход схемы находится в 3-м (высокоомном) состоянии.

В операциях, где нет сдвига, на вывод $\overline{LI/RO}$ выдается значение выходного переноса из 3-го разряда АЛУ (*C3*).

Во всех случаях, если кристалл не выбран ($CS=0$), при сдвигах влево происходит сквозное распространение информации через СРР и САЛУ с вывода $\overline{LI/RO}$ на $\overline{LO/RI}$ и с вывода $\overline{RO/LI}$ на $\overline{RI/LO}$, а при сдвигах вправо — переход информации с вывода $\overline{RI/LO}$ на $\overline{RO/LI}$ и с вывода $\overline{LO/RI}$ на $\overline{LI/RO}$.

Таблица 12.3

Код микроинструкции				SS	Микроинструкция	Операция АЛУ			
F0	F1	F2	F3			$L=f(A, B)$ $F4F5F6F7\neq0011$ $F4F5F6F7\neq1111$ $F4F5F6F7\neq0001$	SG	$L=f(A, P)$ $F4F5F6F7=0001$ или $F4F5F6F7=0011$	$L=f(A, B, P)$ $F4F5F6F7=1111$
0	0	0	0	0	Коньюнкция	$A\wedge B$	$\overline{A7\wedge B7}$	$A\wedge P$	$A\wedge(B\vee\overline{P})$
0	0	0	1	1	Вычитание кодов	$A-1+CI$	$\overline{A7}$	$A-1+CI$	$A+\overline{B}\vee P+CI$
0	0	1	0	1	Инверсия A	$\overline{A}+CI$	$\overline{A7}$	$\overline{A}+CI$	$\overline{A}\wedge P+B\wedge\overline{P}+CI$
0	0	1	1	1	Вычитание кодов	$A-B-1+CI$	$A7\overline{\oplus}B7$	$A-P-1+CI$	$A-B\wedge P-1+CI$
0	1	0	0	0	Сложение полей	$CI-1$	1	$CI-1$	$A\vee P+B\wedge\overline{P}+CI$
0	1	0	1	0	Сложение кодов	$A+CI$	$A7$	$A+CI$	$A+B\wedge\overline{P}+CI$
0	1	1	0	0	Сложение полей	$A+B+CI$	$A7\oplus B7$	$A+P+CI$	$A\vee\overline{P}+B\wedge P+CI$
0	1	1	1	0	Сложение кодов	$A+B+CI$	$A7\oplus B7$	$A+P+CI$	$A+B\wedge P+CI$
1	0	0	0	1	Инверсия B	$\overline{B}+CI$	$\overline{B7}$	$\overline{P}+CI$	$A\wedge\overline{P}+\overline{B}\wedge P+CI$
1	0	0	1	0	Функция запрета по B	$A\wedge\overline{B}$	$\overline{A7}\vee B7$	$A\wedge\overline{P}$	$A\wedge(\overline{B\wedge P})$
1	0	1	0	0	Пересылка поля A	$A+CI$	$A7$	$A+CI$	$A\wedge P+B\wedge\overline{P}+CI$
1	0	1	1	0	Дизъюнкция	$A\vee B$	$A7\vee B7$	$A\vee P$	$A\vee B\wedge P$
1	1	0	0	1	Вычитание полей	$A-B-1+CI$	$A7\overline{\oplus}B7$	$A-P-1+CI$	$A\wedge P+(\overline{B\wedge P})+CI$
1	1	0	1	0	Сумма по модулю 2	$A\oplus B$	$A7\overline{\oplus}B7$	$A\oplus P$	$A\oplus(B\wedge P)$
1	1	1	0	0	Пересылка поля B	$B+CI$	$B7$	$P+CI$	$A\wedge\overline{P}+B\wedge P+CI$
1	1	1	1	1	Вычитание обратное	$B-A-1+CI$	$A7\overline{\oplus}B7$	$P-A-1+CI$	$B\wedge P-A-1+CI$

Примечание. A, B, P содержимое регистров РА, РВ и РР соответственно; L – информация на выходе АЛУ; CI – значение входного переноса; SG – результат логической операции со старшими разрядами A и B вырабатывается только при операциях АЛУ вида $L=f(A, B)$; SS – признак вычитания; $A=DA\wedge CLK\vee PA\wedge\overline{CLK}$, $B=DB\wedge CLK\vee PB\wedge\overline{CLK}$, т. е. информация с шин DA и DB записывается в РА и РВ при $CLK=1$ (высокий уровень напряжения на входе CLK); 0 – уровень лог. 0; 1 – уровень лог. 1.

Таблица 12.4

Код микрофункций				Микрофункция	Результат операции АЛУ	LO/R1			R7—R0 — результат операции САЛУ		
F4	F5	F6	F7			$CS \wedge CHS=1$	$CS \wedge \overline{CHS}=1$	$CS=0$	$R7$, $CHS=1$	$R7$, $CHS=0$	R6—R1
0	0	0	0	Сдвиг арифметический влево	$L=f(A, B)$	1	$\overline{L7}$	$\overline{LI/RO}$	L7	L6	L5—L0
0	0	0	1	Операция с РР с сохранением РР	$L=f(A, P)$	Z	Z	Z	L7	L7	L6—L1
0	0	1	0	Операция со словом, с загрузкой РР	$L=f(A, B)$	Z	Z	Z	L7	L7	L6—L1
0	0	1	1	Операция с РР	$L=f(A, P)$	Z	Z	Z	L7	L7	L6—L1
0	1	0	0	Сдвиг циклический влево	$L=f(A, B)$	$\overline{L7}$	$\overline{L7}$	$\overline{LI/RO}$	L6	L6	L5—L0
0	1	0	1	Сдвиг арифметический вправо	$L=f(A, B)$	Вход			CHB⊕SG	LO/R1	L7—L2
0	1	1	0	Сдвиг циклический влево с РР	$L=f(A, B)$	$\overline{L7}$	$\overline{L7}$	$\overline{LI/RO}$	L6	L6	L5—L0
0	1	1	1	Сдвиг арифметический вправо с РР	$L=f(A, B)$	Вход			CHB⊕SG	LO/R1	L7—L2
1	0	0	0	Сдвиг расширенный вправо	$L=f(A, B)$	Вход			CHB⊕CO	LO/R1	L7—L2
1	0	0	1	Сдвиг расширенный влево	$L=f(A, B)$	$\overline{CHB \oplus CO}$	$\overline{L7}$	$\overline{LI/RO}$	L6	L6	L5—L0
1	0	1	0	Сдвиг расширенный вправо с РР	$L=f(A, B)$	Вход			CHB⊕CO	LO/R1	L7—L2
1	0	1	1	Сдвиг расширенный влево с РР	$L=f(A, B)$	$\overline{CHB \oplus CO}$	$\overline{L7}$	$\overline{LI/RO}$	L6	L6	L5—L0
1	1	0	0	Сдвиг циклический вправо	$L=f(A, B)$	Вход			LO/R1	LO/R1	L7—L2
1	1	0	1	Операция со словом	$L=f(A, B)$	Z	Z	Z	L7	L7	L6—L1
1	1	1	0	Сдвиг циклический вправо с РР	$L=f(A, B)$	Вход			LO/R1	LO/R1	L7—L2
1	1	1	1	Операция с полем	$L=f(A, B, P)$	Z	Z	Z	L7	L7	L6—L1

Примечания. 1. Z — выход схемы в 3-м (высокоомном) состоянии.

2 Информация $R7$—$R0$ выдается на шины $DA7$—$DA0$ и $DB7$—$DB0$ при наличии на входах $\overline{CS}$ и $\overline{ED}$ состоянии.

3. Признаки $\overline{F}$ и OW формируются только в выбранном и старшем кристалле, т. е. $CS \wedge CHS=1$; если тором).

4. Признак ZR вырабатывается только в выбранных кристаллах, т. е. при $CS=1$; если $CS=0$, то $ZR=1$

5. $C3$ — перенос из 3-го разряда АЛУ (перенос из младшей тетрады); CO — выход переноса (перенос

6 Информация в РР записывается по фронту CLK при $CS=1$.

7. При $F4$—$F7=1111$ $ZR=\bigwedge_{i=0}^{i=7}\overline{(R_i \wedge P_i)}$, во всех остальных случаях $ZR=\bigwedge_{i=0}^{i=7}\overline{R_i}$.

В колонке «Информация, загружаемая в РР» табл. 12.4 показана информация, загружаемая в РР при наличии активного уровня на выводе CS.

В колонках признаков $\overline{F}$, OW и ZR показаны значения признаков, которые вырабатываются при различных операциях. Все выводы признаков — с открытым коллектором. Если $CS=0$, то при подключении внешнего резистора на этих выводах будет напряжение высокого уровня, что позволит использовать монтажное объединение.

Если кристалл выбран, то в СПН анализируется результат САЛУ. И если разрешено маскирование (код на шине $F4$, $F5$, $F6$, $F7=1111$), результат САЛУ маскируется разрядами РР, равными 0. Если все разряды маскированного результата равны 0, то на выводе ZR — напряжение высокого уровня.

Если операция без маскирования, то на равенство 0 анализируются все разряды САЛУ.

На вывод $\overline{F}$ в модификациях без сдвига (если АЛУ выполняет операцию арифметического сложения) выдается значение переноса в прямом коде. Управляет инверсией выходного переноса внутренний признак SS, кото-

	$\overline{LI/RO}$		$\overline{RI/LO}$		Информация, загружаемая в РР			$\overline{RO/LI}$		Значения признаков	
RO	$CS=1$	$CS=0$	$CS=1$	$CS=0$	$P7$	$P6-P1$	PO	$CS=1$	$CS=0$	$\overline{F}$	OW
LI/RO	Вход		$\overline{RO/LI}$	$\overline{RO/LI}$	Содержимое РР не изменяется			Вход		$\overline{L6}$	$(CO+C6)\vee(L7\oplus L6)$
$L0$	$C3$	$C3$	Z	Z	То же			Z	Z	$\overline{CO}\oplus SS$	$CO\oplus C6$
$L0$	$C3$	$C3$	Z	Z	$L7$	$L6-L1$	$L0$	Z	Z	$\overline{CO}+SS$	$CO\oplus C6$
$L0$	$C3$	$C3$	Z	Z	$L7$	$L6-L1$	$1\ 0$	Z	Z	$\overline{CO}\oplus SS$	$CO+C6$
LI/RO	Вход		$\overline{RO/LI}$	$\overline{RO/LI}$	Содержимое РР не изменяется			Вход		$\overline{L7}$	$(CO\oplus C6)\vee(L7\oplus L6)$
$L1$	$\overline{L0}$	$\overline{LO/RI}$	Вход		То же			$\overline{RI/LO}$	$\overline{RI/LO}$	$1O/RI$	0
LI/RO	Вход		$\overline{P7}$	$\overline{RO/LI}$	$P6$	$P5-P0$	$\overline{RO/LI}$	Вход		$\overline{L7}$	$(CO\oplus C6)\vee(L7\oplus L6)$
$L1$	$\overline{L0}$	$\overline{LO/RI}$	Вход		$\overline{RI/LI}$	$P7-P2$	$P1$	$\overline{P0}$	$\overline{RI/LO}$	$1O/RI$	0
$L1$	$\overline{L0}$	$\overline{LO/RI}$	Вход		Содержимое РР не изменяется			$\overline{RI/LO}$	$\overline{RI/LO}$	$\overline{1O/RI}$	0
LI/RO	Вход		$\overline{RO/LI}$	$\overline{RO/LI}$	То же			Вход		$\overline{L7}$	$(CO\oplus C6)\vee(L7\oplus L6)$
$L1$	$\overline{L0}$	$\overline{LO/RI}$	Вход		$\overline{RI/LO}$	$P7-P2$	$P1$	$\overline{P0}$	$\overline{RI/LO}$	$\overline{LO/RI}$	0
LI/RO	Вход		$P7$	$\overline{RO/LI}$	$P6$	$P5-P0$	$\overline{RO/LI}$	Вход		$\overline{L7}$	$(CO\oplus C6)\vee(L7\oplus L6)$
$L1$	$\overline{L0}$	$\overline{LO/RI}$	Вход		Содержимое РР не изменяется			$\overline{RI/LO}$	$\overline{RI/LO}$	$\overline{LO/RI}$	0
$L0$	$C3$	$G3$	Z	Z	То же			Z	Z	$\overline{CO}\oplus SS$	$CO\oplus C6$
$L1$	$\overline{L0}$	$\overline{LO/RI}$	Вход		$\overline{RI/LO}$	$P7-P2$	$P1$	$\overline{P0}$	$\overline{RI/LO}$	$\overline{LO/RI}$	0
$L0$	$C3$	$C3$	Z	Z	Содержимое РР не изменяется			Z	Z	$\overline{CO}+SS$	$CO+C6$

напряжения низкого уровня, т. е. $CS/ED=1$, если CS $ED=0$, то выходы $DA7-DA0$, $DB7-DB0$ в 3-м со-
$CS\wedge CHS=0$, то на выходах $\overline{F}$ и OW — напряжение высокого уровня (выходы $\overline{F}$ и OW с открытым коллек-
(напряжение высокого уровня)
из 7 го старшего разряда), $C6$ — перенос из 6 го разряда (перенос в старший разряд).

рый равен 1 при вычитании и 0 при сложении и логических операциях.

При операции сдвига на выход F выдается значение выдвигаемого разряда в обратном коде.

В колонках $\overline{LI/RO}$, $\overline{LO/RI}$, $\overline{RI/LO}$, $\overline{RO/LI}$ табл. 12.4 записаны логические условия образования соответствующих сигналов.

Формирование сигналов $\overline{G}$, CO и $\overline{P}$ АЛУ зависит от значения управления на шине CS. Если кристалл выбран (на шине напряжение низкого уровня), то на шину CO поступает значение выходного переноса из старшего разряда в прямом коде. Если кристалл не выбран, то происходит передача переноса со входа CI на выход CO и устанавливается $\overline{G}=1$, $\overline{P}=0$ для обеспечения распространения входного переноса через схему ускоренного переноса

В АЛУ вырабатывается также перенос из младшей тетрады. Значение этого переноса выдается в операциях модификации без сдвига по выходу LI/RO и может быть использовано для организации внешнего корректора при реализации операции десятичной арифметики.

Пример наращивания микросхемы МС показан на рис. 12.4.

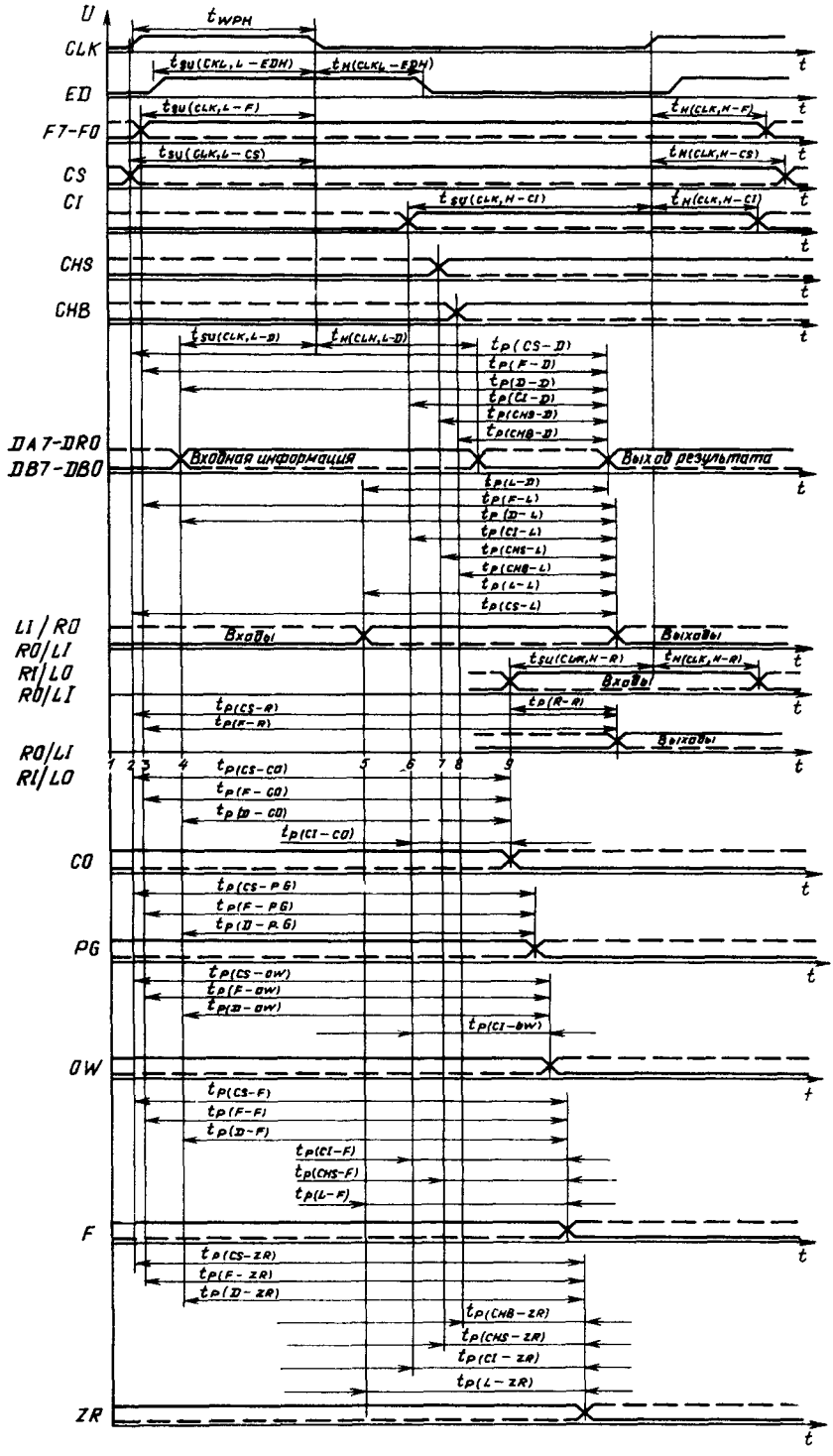


Рис 12 3 Временная диаграмма работы КР1802ВС1

Таблица 12.5

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления, мА	I_{CC}	280	$U_{CC}=+5{,}25$ В
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$U_{CC}=+4{,}75$ В, $I_{OL}=10$ мА (для выводов *12, 26, 27, 33, 34*); $I_{OL}=6{,}0$ мА (для выводов *28, 37, 38, 39*); $I_{OL}=15$ мА (для остальных выходов)
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$U_{CC}=+4{,}75$ В, $I_{OH}=0{,}6$ мА (для выводов *28, 37, 38, 39*); $I_{OH}=1$ мА (для остальных выходов)
Входной ток низкого уровня, мА, для:	I_{IL}		$U_{CC}=+5{,}25$ В, $U_{IL}=+0{,}5$В
выводов *1—6, 13, 18—25, 28, 40—42*		(—0,25)	
выводов *7—9, 15—17*		(—0,5)	
вывода *14*		(—0,75)	
выводов *30, 36*		(—0,4)	
выводов *31, 37—39*		(—1,0)	
вывода *10*		(—1,6)	
вывода *28*		(—2,0)	
Входной ток высокого уровня, мкА, для:	I_{IH}		$U_{CC}=+5{,}25$ В, $U_{IH}+5{,}25$ В
выводов *6, 10, 13, 29, 30, 36*		40	
выводов *7—9, 15—17, 31*		80	
вывода *14*		120	
Выходной ток высокого уровня, мкА	I_{OH}	100	$U_{CC}=+5{,}25$ В, $U_{OH}=+5{,}25$ В
Выходной ток высокого уровня в состоянии «выключено», мкА, для:	I_{OZH}		
выводов *1—5, 18—25, 40—42*		100	
выводов *28, 37—39*		250	
Время задержки распространения от входов микрокоманды *F7—F0*, нс, до:			
выхода переноса *CO*	$t_{P(F-CO)}$	110	
входов/выходов информации *DA7—DA0, DB7—DB0*	$t_{P(F-D)}$	150	
выходов ускоренного переноса, *P, G*	$t_{P(F-PG)}$	130	
входов/выходов сдвигателя АЛУ *LI/RO, LO/RI*	$t_{P(F-L)}$	120	
входов/выходов сдвигателя РР *RI/LO, RO/LI*	$t_{P(F-R)}$	70	
выхода признака переполнения *OW*	$t_{P(F-OW)}$	140	
выхода признака *F*	$t_{P(F-F)}$	140	
выхода признака нуля *ZR*	$t_{P(F-ZR)}$	150	
Время задержки распространения сигнала от входов/выходов информации *DA7—DA0, DB7—DB0*, нс, до:	$t_{P(D-CO)}$		
выхода переноса *CO*	$t_{P(D-CO)}$	120	
входов/выходов информации *DA7—DA0, DB7—DB0*	$t_{P(D-D)}$	130	
выходов ускоренного переноса *P, G*	$t_{P(D-PG)}$	120	

Параметр	Обозначение	Значения параметров [макс.(мин.)]	Режим измерения
входов/выходов сдвигателя АЛУ *LI RO, LO RI*	$t_{P(D-L)}$	120	
выхода признака переполнения *OW*	$t_{P(D-OW)}$	130	
выхода признака *F*	$t_{P(D-F)}$	125	
выхода признака нуля *ZR*	$t_{P(D-ZR)}$	150	
Время задержки распространения сигнала от входа переноса *CI*, нс, до:			
выхода переноса *CO*	$t_{P(CI-CO)}$	30	
входов/выходов информации *DA7—DA0, DB7—DB0*	$t_{P(CI-D)}$	90	
входов/выходов сдвигателя АЛУ *LO/RI, LI/RO*	$t_{P(CI-L)}$	85	
выхода признака переполнения *OW*	$t_{P(CI-OW)}$	90	
выхода признака *F*	$t_{P(CI-F)}$	90	
выхода признака равенства нулю *ZR*	$t_{P(CI-ZR)}$	100	
Время задержки распространения сигнала от входа управления инверсией старшего разряда СНВ, нс, до:			
входов/выходов информации *DA7—DA0, DB7—DB0*	$t_{P(CHB-D)}$	60	
входа/выхода сдвигателя	$t_{P(CHB-LO)}$	55	
выхода признака нуля *ZR*	$t_{P(CHB-ZR)}$	65	
Время задержки распространения сигнала от входа выбора старшего кристалла *CHS*, нс, до:			
входов/выходов информации *DA7—DA0, DB7—DB0*	$t_{P(CHS-D)}$	60	
входа/выхода сдвигателя АЛУ *LO/RI*	$t_{P(CHS-LO)}$	60	
выхода признака переполнения *OW*	$t_{P(CHS-OW)}$	50	
выхода признака *F*	$t_{P(CHS-F)}$	50	
выхода признака нуля *ZR*	$t_{P(CHS-ZR)}$	65	
Время задержки распространения сигнала от входов выходов сдвигателя АЛУ *LO/RI, LI/RO*, нс, до:			
входов/выходов информации *DA7—DA0, DB7—DB0*	$t_{P(L-D)}$	32	
входов/выходов сдвигателя АЛУ *LI/RO, LO/RI*	$t_{P(L-L)}$	32	
выхода признака *F*	$t_{P(L-F)}$	30	
выхода признака нуля *ZR*	$t_{P(L-ZR)}$	35	
Время задержки распространения сигнала от входов/выходов сдвигателя РР *RI/LO, RO/LI* до *RI/LO, RO/LI*, нс	$t_{P(R-R)}$	30	
Время задержки распространения сигнала от входа выбора микросхемы *CS*, нс, до:			
выхода переноса *CO*	$t_{P(CS-CO)}$	30	

Параметр	Обозначение	Значения параметров [макс. (мин.]	Режим измерения
выхода ускоренного переноса *P*, *G*	$t_{P\ (CS-PG)}$	35	
входов/выходов сдвигателя АЛУ *LI/RO*, *LO/RI*	$t_{P\ (CS-L)}$	55	
входов/выходов сдвигателя РР *RI/LO*, *RO/LI*	$t_{P\ (CS-R)}$	50	
выхода переполнения *OW*	$t_{P\ (CS-OW)}$	50	
выхода признака *F*	$t_{P\ (CS-F)}$	65	
выхода признака нуля *ZR*	$t_{P\ (CS-ZR)}$	85	
Время перехода из состояния низкого (высокого) уровня в состояние «выключено» и из состояния «выключено» в состояние низкого (высокого) уровня на входах/выходах информации *DA7—DA0*, *DB7—DB0*, нс, от:			
входа выбора микросхемы *CS*	$t_{T\ (CS-D)}$	70	
входа разрешения данных *ED*	$t_{T\ (ED-D)}$	65	

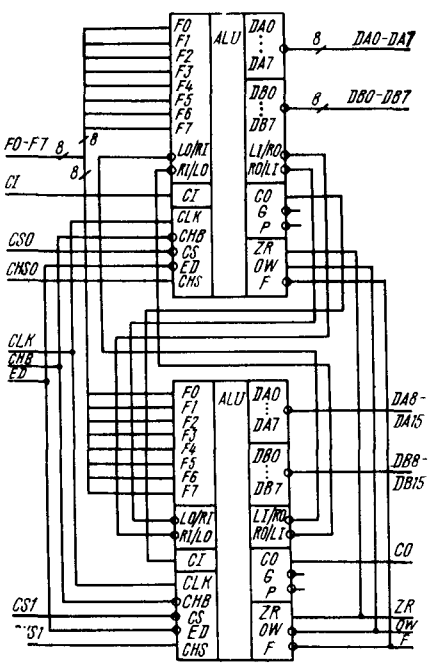


Рис. 12.4. Пример объединения микросхем КР1802ВС1

Основные параметры микросхемы КР1802ВС1 приведены в табл. 12.5.

12.2. Микросхема КР1802ИР1

Микросхема КР1802ИР1 — двухадресный регистр общего назначения (РОН) на 64 бита, предназначена для реализации сверхоперативных запоминающих устройств процессоров и многоадресных оперативных запоминающих устройств радиоэлектронной аппаратуры.

Условное графическое изображение микросхемы приведено на рис. 12.5, назначение выводов — в табл. 12.6, структурная схема показана на рис. 12.6, временна́я диаграмма работы — на рис. 12.7.

Микросхема состоит из матрицы 16×4 бит (*У5*), включающей 16 4-разрядных реги-

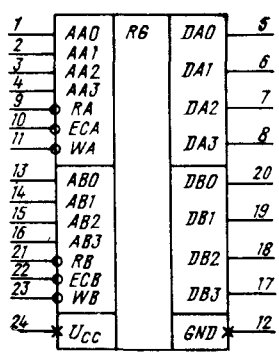


Рис. 12.5. Условное графическое обозначение КР1802ИР1

Таблица 12.6

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—4	AA0—AA3	Входы	Адрес канала A
5—8	DA0—DA3	Входы/выходы [1]	Информация канала A
9	RA	Вход	Считывание информации канала A
10	ECA	Вход	Разрешение канала A
11	WA	Вход	Запись канала A
12	GND	—	Общий
13—16	AB0—AB3	Входы	Входы адреса канала B
20—17	DB0—DB3	Входы/выходы [1]	Информация канала B
21	RB	Вход	Считывание информации канала B
22	ECB	Вход	Разрешение канала B
23	WB	Вход	Запись канала B
24	Ucc	—	Напряжение питания

[1] Бинаправленные с тремя состояниями

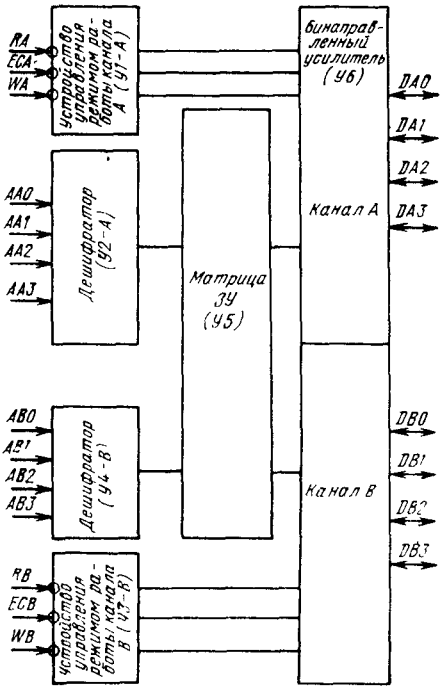


Рис. 12.6. Структурная схема КР1802ИР1

стров, двух дешифраторов (У2-A) и (У4-B) выбора необходимого регистра по каналам A и B соответственно, двух устройств управления режимом работы (У1-A) и (У3-B) каналами A и B соответственно, биполярного усилителя (У6), состоящего из восьми усилителей считывания с тремя устойчивыми состояниями на выходе и восьми усилителей записи.

Усилитель считывания и записи каждого разряда матрицы работает на один разряд соответствующего канала.

Разрешением обмена информацией матрицы РОН с каналами A и B управляют входы ECA и ECB. При наличии лог. 0 на входе ECA разрешен обмен информацией с каналом A. При наличии лог. 0 на входе ECB разрешен обмен информацией с каналом B. При наличии лог. 0 на входах ECA и ECB обмен информацией с матрицей РОН разрешен по обоим каналам.

Входы RA и RB определяют режим считывания информации из матрицы БИС РОН на каналы A или B. При наличии лог. 0 на входе RA разрешено считывание на канал A. При наличии лог. 0 на входе RB разрешено считывание на канал B. При наличии лог. 0 на входах RA и RB считывание разрешено одновременно на каналы A и B.

Входы WA и WB определяют режим записи информации в матрицу РОН с каналов A и B. При наличии лог. 0 на входе WA запись

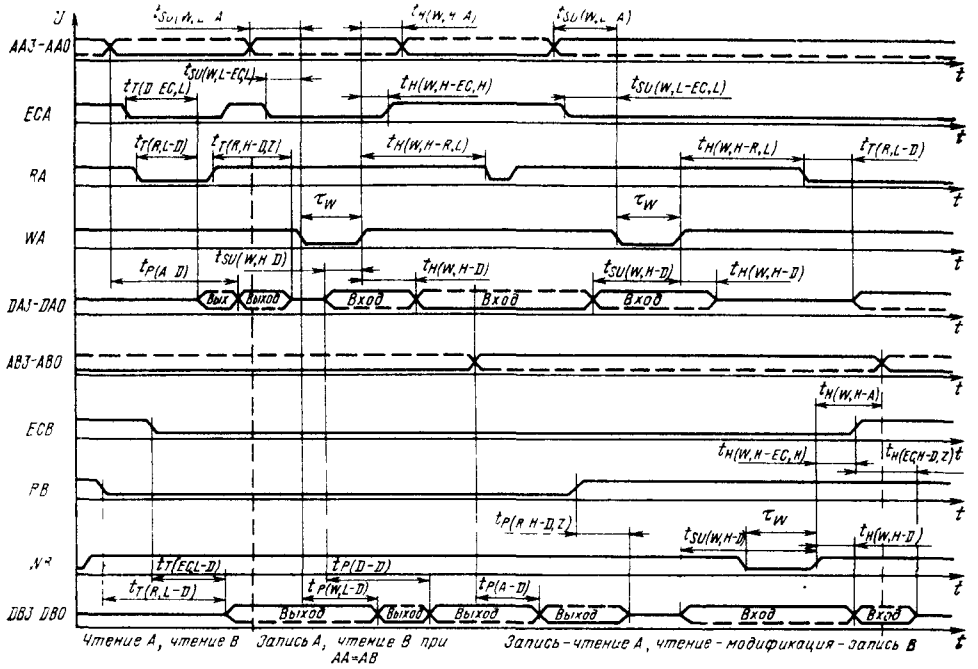


Рис. 12.7. Временна́я диаграмма работы КР1802ИР1

Таблица 12.7

Режим работы	Состояния входов							
	Канал A				Канал B			
	RA	ECA	WA	AA0–AA3	RB	ECB	WB	AB0–AB3
Состояние «выключено»	X 1	1 X	X 1	X	X 1	1 X	X 1	X
Запись по каналу A	1	0	0	×	X 1	1 X	X 1	X
Запись по каналу B	X 1	1 X	X 1	X	1	0	0	×
Одновременная запись по каналам A и B	1	0	0	×	1	0	0	×
Считывание по каналу A	0	0	1		X 1	1 X	X 1	X
Считывание по каналу B	X 1	1 X	X 1	X	0	0	1	×
Одновременное считывание по каналам A и B	0	0	1	×	0	0	1	×
Запись по каналу A и считывание по каналу B	1	0	0	×	0	0	1	×
Запись по каналу B и считывание по каналу A	0	0	1	×	1	0	0	×

Примечание. X — состояние входа безразлично; × — одно из значений адреса от 0 до 15.

Таблица 12.8

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления, мА	I_{CC}	170	$U_{CC}=5{,}25$ В
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$U_{CC}=4{,}75$ В, $I_{OL}=15$ мА
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$U_{CC}=4{,}75$ В, $I_{OH}=1$ мА
Входной ток низкого уровня, мА, для:	I_{IL}		$U_{CC}=5{,}25$ В, $U_{IL}=0{,}5$ В
выводов *1—8, 13—20*		(—0,25)	
выводов *9, 11, 21, 23*		(—0,4)	
выводов *10, 22*		(—0,8)	
Входной ток высокого уровня, мкА, для выводов *1—4, 9—11, 13—16, 21—23*	I_{IH}	40	$U_{CC}=5{,}25$ В, $U_{IH}=5{,}25$ В
Выходной ток высокого уровня в состоянии «выключено» для входов/выходов *5—8, 17—20*, мкА	I_{OZH}	40	
Время задержки распространения сигнала от входов адреса *AA, AB* до выходов данных *DA, DB*, нс	$t_{P(A-D)}$	58	
Время задержки распространения сигнала от входов/выходов данных *DA (DB)* до входов/выходов *DB (DA)*, нс	$t_{P(D-D)}$	48	
Время перехода входов/выходов информации из состояния:			
низкого (высокого) уровня в состояние «выключено» от входов считывания, нс	$t_{T(R,\ H-D,\ Z)}$	30	
низкого (высокого) уровня в состояние «выключено» от входов разрешения, нс	$t_{T(EC,\ H-D,\ Z)}$	30	
«выключено» в состояние низкого (высокого) уровня от входов считывания, нс	$t_{T(R,\ L-D)}$	27	
«выключено» в состояние низкого (высокого) уровня от входов разрешения, нс	$t_{T(EC,\ L-D)}$	27	
Время задержки распространения сигнала от входов записи *WA (WB)* до выходов данных *DA (DB)*, нс	$t_{P(W-D)}$	73	

информации разрешена с канала *A*; при этом выход усилителя считывания канала *A* должен быть закрыт (3-е состояние). На входе *RA* должно быть напряжение лог. 1.

При наличии лог. 0 на входе *WB* запись информации разрешена с канала *B*; при этом выход усилителя считывания канала *B* должен быть закрыт. На входе *RB* должно быть напряжение лог. 1.

При наличии лог. 0 на входах *WA, WB* запись информации разрешена с обоих каналов.

Режимы работы РОН приведены в табл. 12.7.

Выборка необходимого регистра матрицы РОН как в режиме записи с канала *A* или *B*, так и в режиме считывания на канал *A* или *B* осуществляется двумя дешифраторами методом задания двоичного кода на входы адреса: *AA0—AA3* — для канала *A*; *AB0—AB3*— для канала *B*.

Матрица РОН состоит из триггерных ячеек с организацией 16×4.

Основные параметры микросхемы КР1802ИР1 приведены в табл. 12.8.

12.3. Микросхема КР1802ВР1

Микросхема КР1802ВР1 — арифметический расширитель (АР), предназначена для реализации устройств, осуществляющих сдвиги арифметические, логические, циклические за один такт на несколько разрядов и поиск номера левого единичного бита.

Условное графическое обозначение микросхемы приведено на рис. 12.8, назначение вы-

Таблица 12.9

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
2—10, 12—18	D0—D15	Входы/выходы[1]	Информация
27—29	F0—F2	Входы	Код микрокоманды
36—31	SHI0—SHI4	Входы	Внешний параметр сдвига
38—42	SHB0—SHB4	Входы/выходы[1]	Параметр сдвига
37	SSH	Вход	Выбор параметра сдвига
20	CLK	Вход	Синхронизация
24	ED	Вход	Разрешение выдачи информации
25	CS	Вход	Выбор микросхемы
23	F	Выход[2]	Признак расширения
21	OW	Выход[2]	Признак переполнения
19	ZR	Выход[2]	Признак нуля
26	WE	Выход	Разрешение записи результата
32	U_{CC}	—	Напряжение питания +5 В
1, 11 22	GND	—	Общий

[1] Двунаправленные, с тремя состояниями
[2] Открытый коллектор

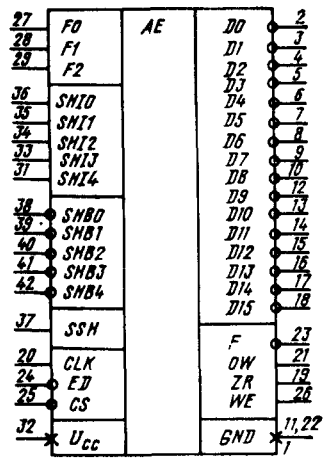


Рис. 12.8. Условное графическое обозначение КР1802ВР1

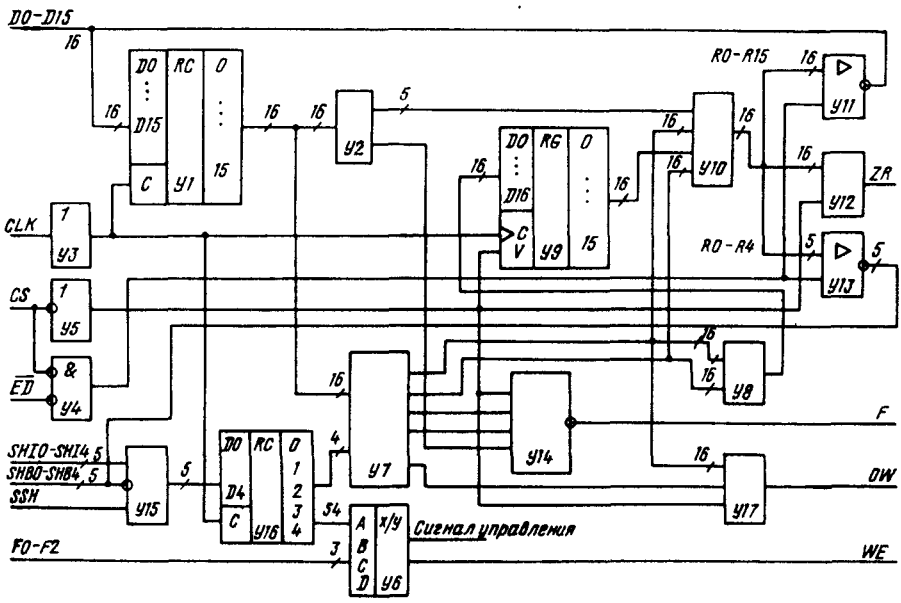


Рис. 12.9. Структурная схема КР1802ВР1

водов — в табл. 12.9, структурная схема показана на рис. 12.9, временные диаграммы работы — на рис. 12.10.

В состав микросхемы АР входят следующие основные узлы: *У1* — регистр информации; *У2* — узел поиска левой 1; *У3* — буферная схема сигнала синхронизации; *У4* — усилитель стробирующего сигнала выдачи данных; *У5* — буферная схема сигнала выбора микросхемы; *У6* — дешифратор микрофункций; *У7* — узел сдвига; *У8* — мультиплексор регистра расширения; *У9* — регистр расширения; *У10* — узел выдачи результата; *У11* — буферная схема выдачи результата; *У12* — схема признака нуля; *У13* — буферная схема параметра сдвига; *У14* — схема выдачи признака; *У15* — мультиплексор параметра сдвига; *У16* — регистр параметра сдвига; *У17* — схема анализа переполнения.

Микросхема АР является 16-разрядным вспомогательным блоком микропроцессора и имеет однотактную схему синхронизации.

Регистр информации и регистр параметра сдвига служат для хранения информации и параметра сдвига в момент выдачи результата, т. е. имеют функции развязки двунаправленных магистралей.

Узел сдвига *(У7)* служит для сдвига информации на число разрядов, определяемых двоичным кодом параметра сдвига. Для осуществления арифметических сдвигов вправо в схеме имеется возможность размножения знака.

Узел сдвига всегда выполняет левые сдвиги. Правые сдвиги получаются через левые косвенно, исходя из того, что сдвиг правый является дополнением левого. При сдвиге вправо результат снимается с части выдвигаемых разрядов, а параметр сдвига подается в дополнительном коде. При этом старший разряд параметра сдвига $S4 = 1$.

Мультиплексор регистра расширения при любом сдвиге пропускает в регистр расширения выдвигаемые (выпадающие) разряды.

Регистр расширения служит для хранения выпадающих при сдвигах разрядов. Наличие РР позволяет микропрограммно расширить разрядность сдвигаемого слова.

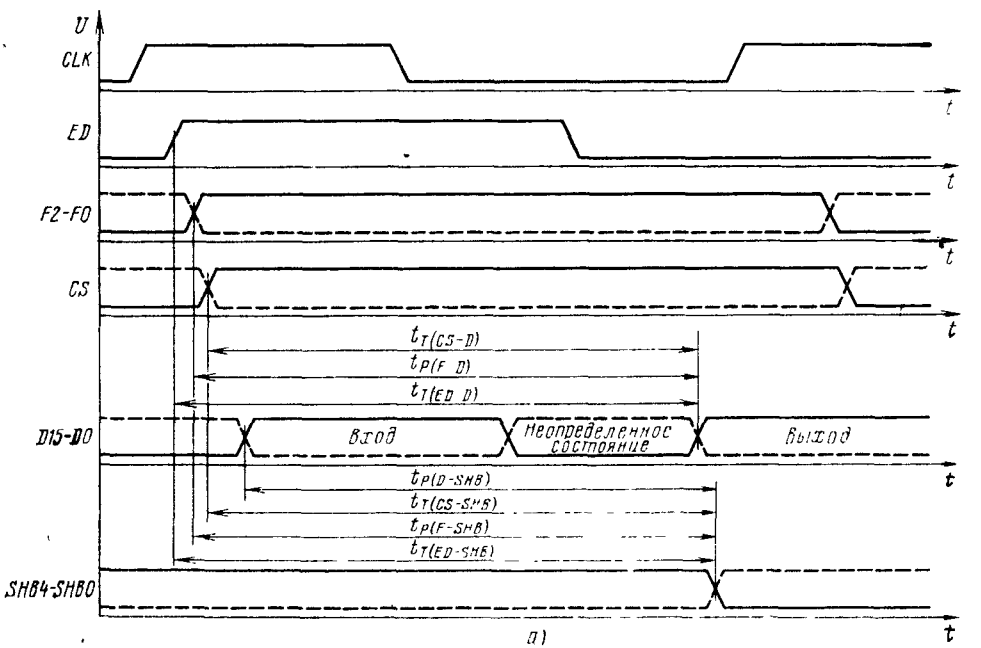
Узел поиска левой 1 служит для определения номера разряда первой 1 слева (начиная отсчет от старшего, 15-го, разряда). Результат поиска выдается пятиразрядным кодом на узел выдачи результата *(У10)*. Кроме того, узел поиска левой 1 *(У2)* выдает в схему выдачи признака *F (У14)* признак отсутствия 1 во входной информации.

Узел выдачи результата служит для формирования результата в зависимости от модификации сдвига (логический, циклический и т. п.). Узел выдачи результата *(У10)* представляет собой мультиплексор, обеспечивающий операцию логического сложения. Кроме того, узел выдачи результата производит выдачу из узла поиска левой 1 *(У2)* результата поиска левой 1 на шины *R0—R4*.

Буферная схема выдачи результата производит выдачу результата операции *R0—R15* на бинаправленную магистраль информации *D0—D15*.

Буферная схема параметра сдвига производит выдачу результата поиска левой 1 на бинаправленную магистраль параметра сдвига *SHB0—SHB4*.

Мультиплексор параметра сдвига служит для приема в регистр *(У16)* параметра сдвига либо с магистрали *SHB*, либо с шины *SH1*,



а)

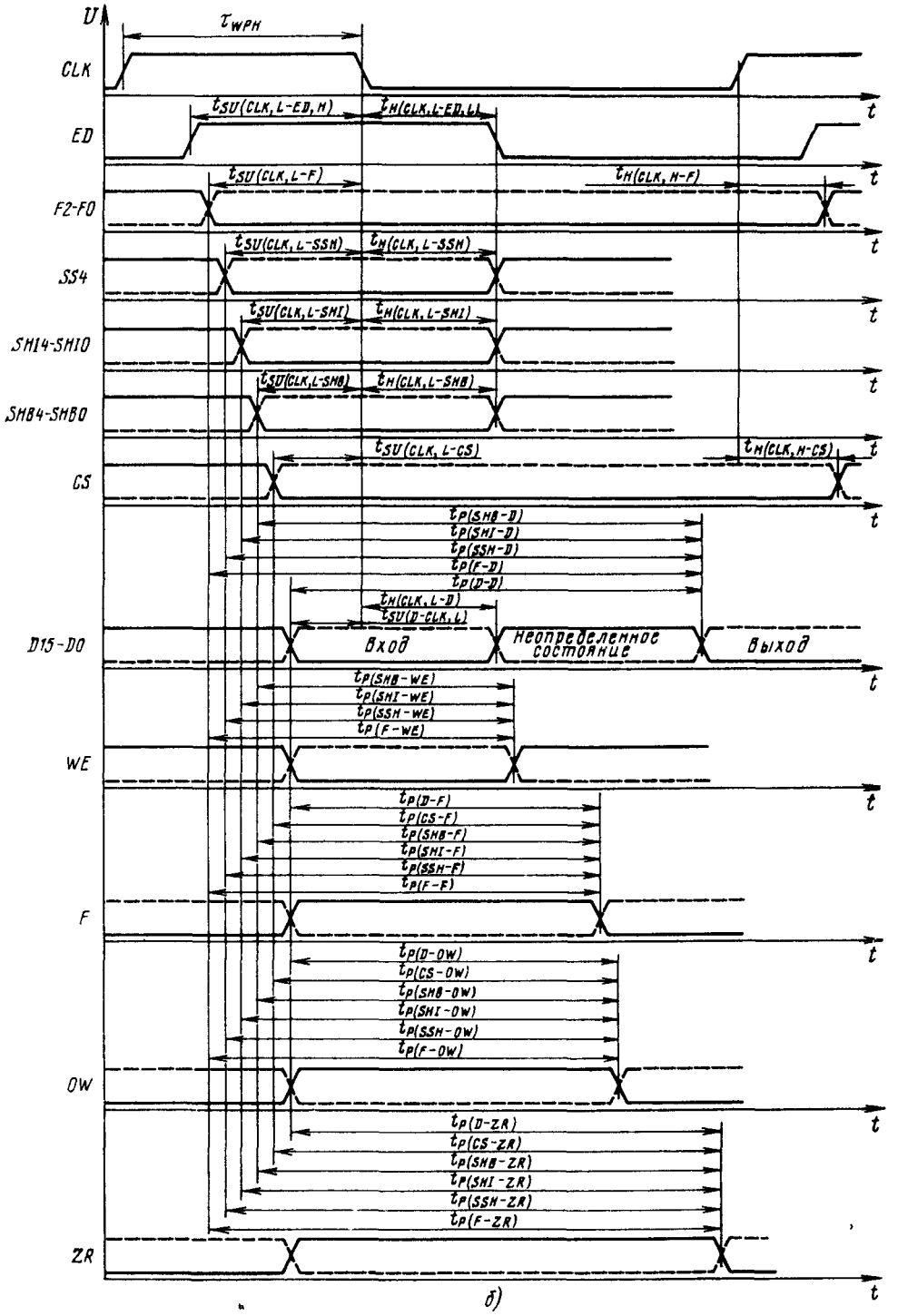


Рис 12 10 Временные диаграммы работы КР1802ВР1

а — микроинструкции «поиск левой 1» *б* — микроинструкция сдвига

Таблица 12.10

Код микро функций				Микрофункция	Результат операции		Информация, загруженная в РР	
F0	F1	F2	S2		$R15\ldots RN$ $(N=0)$ $(N\neq 0)$	$R(N-1)\ldots R0$ $(N\neq 0)$	$P15-PN$ $(N=0)$ $(N\neq 0)$	$P(-N-1)-P0$ $(N\neq 0)$
0	0	0	0 1	Поиск левой 1	$(2^4\cdot R4+2^3\cdot R3+2^2\cdot R^2+2R1+$ $+R0)-15-k$, $R15-R5=0$		Содержимое РР не изменяется	
0	0	1	0	Сдвиг логический расширенный влево	$Q(15-N)\vee$ $\vee P15-Q0\vee PN$	$P(N-1)\ldots P0$	0	$Q15\ldots Q(16-N)$
0	0	1	1		0	$Q15-Q(16-N)$	$Q(15-N)-00$	0
0	1	0	0	Сдвиг логический расширенный вправо	$Q(15-N)-Q0$	0	0	$Q15-Q(16-N)$
0	1	0	1		$P15\ldots PN$	$Q15, P(N-1)-$ $-Q(16-N)\vee P0$	$Q(15-N)-Q0$	0
0	1	1	0	Сдвиг арифметический расширенный влево	$Q(15-N)\vee P15-$ $-Q0\vee PN$	$P(N-1)\ldots P0$	$Q15$	$Q15-Q(16-N)$
0	1	1	1		$Q15$	$Q15-Q(16\ldots N)$	$Q(15\ldots N)-Q0$	0
1	0	0	0	Сдвиг циклический влево	$Q(15-N)-Q0$	$Q15-Q(16\ldots N)$	0	$Q15-Q(16-N)$
1	0	0	1	Сдвиг циклический вправо	$Q(15\ldots N)\ldots Q0$	$Q15-Q(16-N)$	$Q(15-N)\ldots Q0$	0
1	0	1	0	Сдвиг логический влево	$Q(15-N)\ldots Q0$	0	0	$Q15\ldots Q(16-N)$
1	0	1	1	Сдвиг логический вправо	0	$Q15-Q(16\ldots N)$	$Q(15\ldots N)-Q0$	0
1	1	0	0	Сдвиг расширенный влево	$Q(15\ldots N)\vee P15-$ $Q0\vee PN$	$P(N-1)\ldots P0$	0	$Q15\ldots Q(16-N)$
1	1	0	1	Сдвиг расширенный вправо	$P15\ldots PN$	$Q15\vee P(N-1)-$ $-Q(16-N)\vee P0$	$Q(15\ldots N)-Q0$	0
1	1	1	0	Сдвиг арифметический влево	$Q(15-N)-Q0$	0	$Q15$	$Q15-Q(16-N)$
1	1	1	1	Сдвиг арифметический вправо	$Q15$	$Q15-Q(16-N)$	$Q(15\ldots N)-Q0$	0

Примечания. 1. Таблица микрофункций дана для положительной логики: 0 — уровень лог. 0; 1 — ...гистра информации, $Qi=Di\wedge CLK\vee Qi\wedge\overline{CLK}$; Pi — содержимое i-го разряда РР, информация в РР записыва... $=2^3\cdot SH13+2^2\cdot SH12+2\cdot SH11+SH10$; $S4=SH14$ при $SSH=0$. 4. Код сдвига $N=2^3\cdot SHB3+2^2\cdot SHB2+2\cdot SHB1+$ ...ция на выходе узла выдачи результата. 6. Информация с шин $SH1$ и SHB записывается в $У16$ при $CLK=1$, $CS\wedge ED=1$, то $\overline{Di}=\overline{Ri}$, иначе на выходах $\overline{Di}$ состояние «выключено». 8. Значения вырабатываемых призна... $=ZR=1$. 9. В операции «Поиск левой 1» при $CS\wedge ED=1$ $\overline{SHB4}-\overline{SHB0}=\overline{R4}-\overline{R0}$, иначе выходы $\overline{SHB}$ в состоя... рация дизъюнкции $\left(\bigvee_{i=0}^{i=N} Qi=Q0\vee Q1\vee\ldots\vee QN\right)$. 11. $\bigwedge_{i=0}^{i=15}\overline{Ri}$ — межразрядная операция конъюнкции слева разряда, содержащего 1; $i=-1$, если $R15-R0=0$. 13. При $F0-F2=000$ $ZR=Q15$, во всех остальных

Вырабатываемые признаки				
F		OW		WE
$N=0$	$N\neq 0$	$N=0$	$N\neq 0$	
$\bigvee_{i=0}^{15} Qi$		$Q15$		1
1	$\overline{Q(16-N)}$	0	$\bigvee_{i=0}^{N-1} Q(15-i)$	1
$\overline{Q(15-N)}$		0		0
1	$\overline{Q(16-N)}$	0	$\bigvee_{i=0}^{N-1} Q(15-i)$	0
$\overline{Q(15-N)}$		0		1
$\overline{Q15}$	$\overline{Q(16-N)}$	0	$\bigvee_{i=0}^{i=N-1} [Q(15-i)\oplus Q(15-N)]$	1
$\overline{Q(15-N)}$		0		0
1	$\overline{Q(16-N)}$	0	$\bigvee_{i=0}^{N-1} Q(15-i)$	1
$\overline{Q(15-N)}$		0		1
1	$\overline{Q(16-N)}$	0	$\bigvee_{i=0}^{N-1} Q(15-i)$	1
$\overline{Q(15-N)}$		0		1
1	$\overline{Q(16-N)}$	0	$\bigvee_{i=0}^{N-1} Q(15-i)$	1
$\overline{Q(15-N)}$		0		1
$\overline{Q15}$	$\overline{Q(16-N)}$	0	$\bigvee_{i=0}^{i=N-1} [Q(15-i)\oplus Q(15-N)]$	1
$\overline{Q(15-N)}$		0		1

уровень лог. 1. 2. Qi — содержимое i-го разряда ре-
ется по фронту CLK при $CS=1$. 3. Код сдвига $N=$
$SHB0$, $S4=SHB4$ при $SSH=1$. 5. $R15$—$R0$ — информа-
содержимое $У16$ ие изменяется при $CLK=0$. 7. Если
ков показаны при $CS=1$; если $CS=0$, то $\overline{F}=OW=$
ении «выключено». 10. $\bigvee_{i=0}^{i=N} Qi$ — межразрядная опе-
$\left(\bigwedge_{i=0}^{i=15} \overline{Ri}=\overline{R0}\wedge\overline{R1}\wedge\ldots\wedge\overline{R15}\right)$. 12. k — вес первого
случаях $ZR=\bigwedge_{i=0}^{i=15} \overline{R_i}$.

в зависимости от управляющего сигнала выбора параметра SSH.

Схема признака нуля ($У12$) производит выдачу сигнала признака равенства нулю разрядов $R0$—$R15$, которые поступают из узла выдачи результата ($У10$).

Схема выдачи признака F производит выдачу последнего из выдвигаемых разрядов при сдвигах или признака отсутствия 1 во входной информации при операциях поиска левой 1.

Схема анализа переполнения формирует переполнение при сдвигах влево, если хотя бы один выпадаемый разряд при арифметическом сдвиге не равен старшему разряду результата. Кроме того, она выдает знак $D15$ входной информации D при поиске левой 1 и определяет потерю единиц при логических, расширенных и циклических сдвигах влево.

Дешифратор микрофункций ($У6$) служит для формирования управляющих сигналов, соответствующих коду операции $F0$—$F2$ и старшему разряду параметра сдвига $S4$.

При подаче лог. 1 на вход CLK информация, которая поступает с двунаправленной шины, записывается в регистр информации ($У1$). Одновременно с этим код сдвига с двунаправленных шин SHB при наличии лог. 1 на входе SSH или с шин SHI при наличии лог. 0 на входе SSH записывается в регистр параметра сдвига ($У16$).

При расширенном сдвиге производится одновременная выдача информации из узла сдвига с информацией, которая записана в регистр расширения ($У9$). При наличии сигнала CS по фронту синхроимпульса CLK (переход из 0 и 1) производится запись выдвигаемых разрядов в регистр расширения ($У9$). Кроме того, происходят анализ результата операции R на нуль, выдача последнего выдвигаемого разряда на вывод F и анализ переполнения.

Значения результата R, признаков ZR, F и OW и информации P, записываемой в регистр расширения в зависимости от кода операции, приведены в таблице операций микросхемы АР (табл. 12.10).

Основные параметры микросхемы КР1802ВР1 приведены в табл. 12.11.

12.4. Микросхема КР1802ВР2

Микросхема КР1802ВР2 — последовательный умножитель/делитель (ПУ), предназначена для построения устройств умножения и деления двоичных кодов и устройств умножения чисел, представленных в дополнительном коде.

Условное графическое обозначение микросхемы приведено на рис. 12.11, назначение выводов — в табл. 12.12, структурная схема показана на рис. 12.12.

В состав микросхемы входят следующие основные узлы: $У1$, $У7$, $У12$ — регистры; $У2$, $У9$, $У10$ — мультиплексоры (МП1, МП2.

Таблица 12.11

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления, мА	I_{CC}	280	$U_{CC}=5{,}25$ В
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$U_{CC}=4{,}75$ В, $I_{OL}=10$ мА (для выводов *19, 21, 23, 26*); $I_{OL}=15$ мА (для остальных выводов)
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$U_{CC}=4{,}75$ В, $I_{OH}=-1$ мА
Входной ток низкого уровня, мА, для выводов:	I_{IL}		$U_{CC}=5{,}25$ В, $I_{IL}=0{,}5$ В
2—10, 12—18, 24, 27—29, 31, 33—36, 38—42		(—0,4)	
20, 37		(—0,25)	
25		(—0,8)	
Входной ток высокого уровня, мкА	I_{IH}		$U_{CC}=5{,}25$ В, $U_{IH}=5{,}25$ В
24, 27—29, 31—36		20	
20, 25, 37		40	
Выходной ток высокого уровня, мкА	I_{OH}	100	$U_{CC}=5{,}25$ В, $U_{IH}=5{,}25$ В
Выходной ток высокого уровня в состоянии «выключено», мкА	I_{OZH}	100 (—100)	$U_{CC}=5{,}25$ В, $U_{OH}=5{,}25$ В
Время задержки распространения сигнала от входов микрокоманды *F2—F0*, нс, до:			
входов/выходов информации *D15—D0*	$t_{P(F-D)}$	130	
входов/выходов параметра сдвига *SHB4—SHB0*	$t_{P(F-SHB)}$	150	
выхода разрешения записи результата *WE*	$t_{P(F-WE)}$	50	
выхода признака *F*	$t_{P(F-F)}$	170	
выхода признака переполнения *OW*	$t_{P(F-OW)}$	180	
выхода признака нуля *ZR*	$t_{P(F-ZR)}$	180	
Время задержки распространения сигнала от входов внешнего параметра сдвига *SH14—SH10*, нс, до:			
входов/выходов информации *D15—D0*	$t_{P(SH1-D)}$	170	
выхода разрешения записи результата *WE*	$t_{P(SH1-WE)}$	70	
выхода признака *F*	$t_{P(SH1-F)}$	160	
выхода признака переполнения *OW*	$t_{P(SH1-OW)}$	160	
выхода признака нуля *ZR*	$t_{P(SH1-ZR)}$	170	

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения
Время задержки распространения сигнала от входов/выходов параметра сдвига *SHB4—SHB0*, нс, до:			
входов/выходов информации *D15—D0*	$t_{P(SHB-D)}$	110	
выхода разрешения записи результата *WE*	$t_{P(SHB-WE)}$	70	
выхода признака *F*	$t_{P(SHB-F)}$	80	
выхода признака переполнения *OW*	$t_{P(SHB-OW)}$	150	
выхода признака нуля *ZR*	$t_{P(SHB-ZR)}$	170	
Время задержки распространения сигнала от входа выбора параметра сдвига *SSH*, нс, до:			
входов выходов информации *D15—D0*	$t_{P(SSH-D)}$	180	
выхода разрешения записи результата *WE*	$t_{P(SSH-WE)}$	80	
выхода признака *F*	$t_{P(SSH-F)}$	170	
выхода признака переполнения *OW*	$t_{P(SSH-OW)}$	170	
выхода признака нуля *ZR*	$t_{P(SSH-ZR)}$	180	
Время задержки распространения сигнала от входов/выходов информации *D15—D0*, нс, до:			
входов/выходов информации *D15—D0*	$t_{P(D-D)}$	100	
входов выходов параметра сдвига *SHB4—SHB0*	$t_{P(D-SHB)}$	110	
выхода признака *F*	$t_{P(D-F)}$	160	
выхода признака переполнения *OW*	$t_{P(D-OW)}$	170	
выхода признака нуля *ZR*	$t_{P(D-ZR)}$	120	
Время перехода из состояния низкого (высокого) уровня в состояние «выключено» и из состояния «выключено» в состояние низкого (высокого) уровня от входа разрешения выдачи информации *ED*, нс, до:			
входов/выходов информации *D15—D0*	$t_{T(ED-D)}$	70	
входов выходов параметра сдвига *SHB4—SHB0*	$t_{T(ED-SHB)}$	70	
Время перехода из состояния низкого (высокого) уровня в состояние «выключено» и из состояния «выключено» в состояние низкого (высокого) уровня от входа выбора микросхемы *CS*, нс, до:			
входов/выходов информации *D15—D0*	$t_{T(CS-D)}$	70	
входов выходов параметров сдвига *SHB4—SHB0*	$t_{T(CS-SHB)}$	70	

Параметр	Обозначение	Значения параметров [макс (мин)]	Режим измерения
Время задержки распространения сигнала от входа выбора микросхемы *CS*, нс, до.			
выхода признака *F*	$t_{P\,(CS-F)}$	60	
выхода признака переполнения *OW*	$t_{P\,(CS-OW)}$	60	
выхода признака нуля *ZR*	$t_{P\,(CS-ZR)}$	60	
Входная и выходная емкости, пФ:	C_I, C_O		
по выводам *20, 24, 25, 27—29, 31, 33—42*		10	
по выводам *2—10, 12—19, 21, 23, 26*		15	

МП3), *У11* — сумматор *SM*; *У17* — устройство управления, *У6* — выходная буферная схема выдачи результата по магистрали *A* (ВБА); *У13* — выходная буферная схема выдачи результата по магистрали *B* (ВБВ); *У22* — схема выдачи анализируемых разрядов (СВАР); *У8* — схема выдачи признаков (СВП); *У20* — регистр инструкции *RG4*.

Восьмиразрядный регистр *У7* состоит из двух однотактных регистров *RG1* и служит для приема множителя в операциях умножения и младшего слова делимого при делении. В процессе выполнения этих операций в регистре *RG1* формируются младшие разряды произведения и частное.

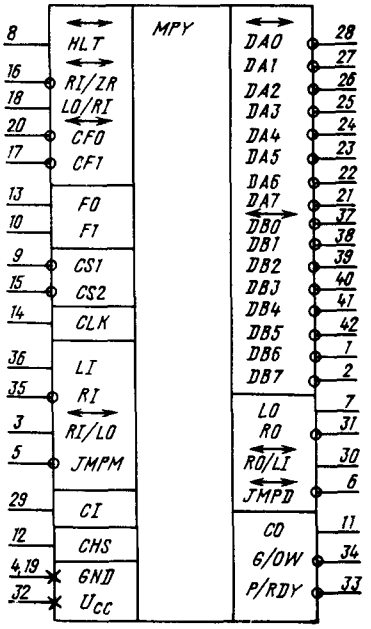


Рис. 12.11. Условное графическое обозначение КР1802ВР2

В восьмиразрядном одиотактном регистре *RG2* хранится множимое в операциях умножения и делитель при делении.

Десятиразрядный двухтактный регистр *RG3* служит для записи старшего слова делимого при делении. В процессе выполнения умножения и деления в регистр *RG3* записываются очередное частичное произведение и очередной остаток соответственно. После завершения операции в регистре *RG3* формируются старшие разряды произведения при умножении и остаток при делении соответственно.

Мультиплексор *МП1* обеспечивает прием операнда по магистрали *DA* и запись его в регистр *RG1* при инициации операции, а также сдвиг содержимого регистра *RG1* на два разряда вправо (в стороиу младших разрядов) при умножении и на один разряд влево (в сторону старших разрядов) при делении.

Мультиплексор *МП2* обеспечивает подачу на вход *A* сумматора прямого кода регистра *RG2* со сдвигом влево на один разряд (в операциях умножения), обратного кода регистра *RG2* и кода 0 в процессе умножения и деления.

Мультиплексор *МП3* служит для подключения ко входу *B* сумматора содержимого регистра *RG3* со сдвигом вправо на два разряда при умножении, со сдвигом влево на один разряд при делении и кода 0.

Сумматор *SM* предназначен для вычисления частичных произведений и коррекций результата при умножении, вычисления очередных остатков для получения очередного бита частного при делении и восстановления окончательного остатка.

Устройство управления *У17* вырабатывает в определенной последовательности сигналы, необходимые для приема операидов и инициации операции, реализации алгоритмов умножения и деления, выдачи результатов по кодам операции чтения.

Таблица 12.12

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
37—42, 1, 2	*DB0—DB7*	Входы/выходы [1]	Информация *A*
28—21	*DA0—DA7*	Входы/выходы [1]	Информация *B*
31	*RO*	Выход [2]	0-й разряд *RG3*
6	*JMPD*	Выход/вход [1]	Выход запуска счетчика циклов при делении, вход запуска счетчика циклов при умножении
34	*G/OW*	Выход	Генерация переноса/переполнение
33	*P/PDY*	Выход	Распространение переноса/признак «Готов»
16	*RI/ZR*	Вход/выход [3]	Вход 6-го разряда *RG1*/выход признака нуля
20, 17	*CF0, CF1*	Вход/выход [1]	Сигналы управления микрооперациями
9, 15	*CS1, CS2*	Входы	Выбор микросхемы
35	*RI*	Вход	6-й разряд *RG3*
5	*JMPM*	Вход/выход [2]	Выход запуска счетчика циклов при умножении, вход для запуска счетчиков циклов при делении
8	*HLT*	Вход/выход [3]	Сигнал «Останов»
18	*LO/RI*	Вход/выход [3]	7-й разряд *RG1*, признак «расширение»
13, 10	*F0, F1*	Входы	Микроинструкция
14	*CLK*	Вход	Синхронизация
36	*LI*	Вход	0-й разряд *RG2*
3	*RI/LO*	Вход/выход [1]	7-й разряд *RG3*
29	*CI*	Вход	Перенос
12	*CHS*	Вход	Определение старшего кристалла
30	*RO/LI*	Выход/вход [1]	Выход 1-го разряда *RG3*/вход 0-го разряда *RG3*
11	*CO*	Выход	Перенос
7	*LO*	Выход	7-й разряд *RG2*, признак «знак»
4, 19	*GND*	—	Общий
32	U_{cc}	—	Напряжение питания +5 В

[1] Бинаправленный, с тремя состояниями.
[2] С тремя состояниями.
[3] Бинаправленные шины с открытым коллектором.

Узлы ВБА и ВБВ служат для выдачи на выводы *DA* и *DB* результатов из регистров *RG1* и *RG3* соответственно.

Схема выдачи анализируемых разрядов СВАР служит для выдачи анализируемых разрядов при умножении и делении из микросхемы умножителя, которая в данный момент активная, и приема анализируемых разрядов всеми остальными схемами.

Схема выдачи признаков СВП служит для выдачи выдвигаемых разрядов, различных признаков результата и сигналов ускоренного переноса.

Двухразрядный регистр инструкции *RG4* хранит код операции во время ее выполнения. Запись кода операции в регистр *RG4* происходит при $\overline{CS1}=0$.

Схема умножителя/делителя выполняет следующие операции:

умножение 8-разрядных целых чисел, представленных в дополнительном коде;

умножение 8-разрядных кодов;

деление кодов;

загрузку старшего слова делимого;

чтение результата.

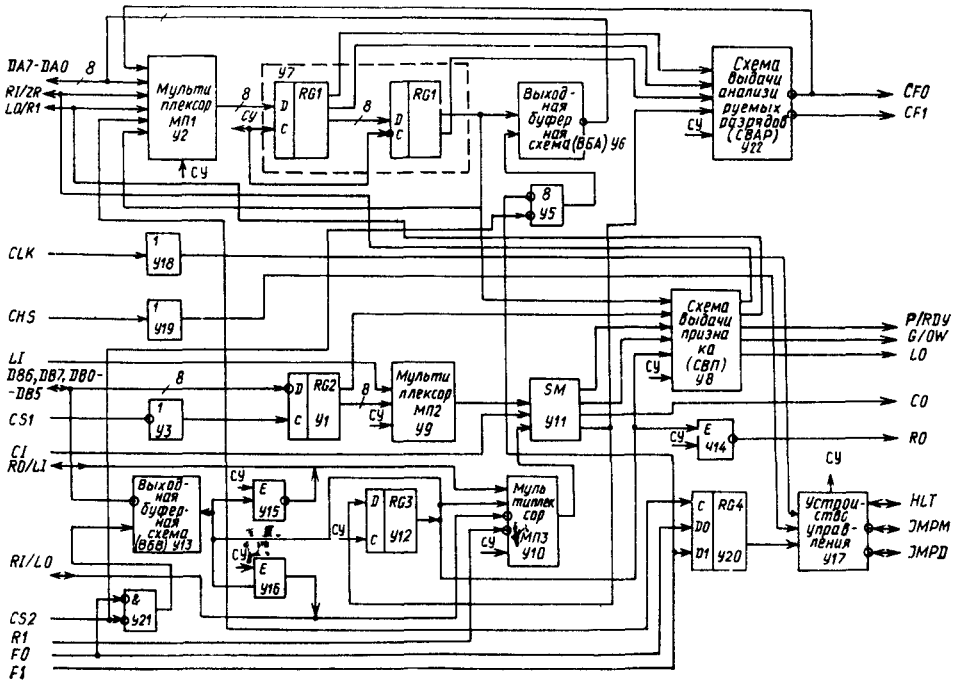


Рис 12 12 Структурная схема КР1802ВР2

Таблица 12 13

Операция	Код операции				Выполнение действий	Признаки результатов				
	F0	F1	CS1	CS2		Переполнение G/OW	Расширение LO/RI	Нуль RI/ZR	Знак LO	Знак CF1
Умножение чисел	0	0	0	1	$DA \to RG1$, $DB \to RG2$ $RG3.\ RG1 = RG1 \cdot RG2$	0	1* 0	$\bigwedge_{i=0}^{7} (\overline{RG1}(i) \wedge \bigwedge \overline{RG3}(i))$	$RG2(7) \wedge \bigwedge \overline{CHS} \vee \bigvee RG3(7)$	1
Умножение кодов	0	1	0	1	То же	0	$\bigwedge_{i=0}^{7} RG3(i)$	То же	$RG2(7) \wedge \bigwedge \overline{CHS}$	$RG1(7)$
Деление кодов	1	0	0	1	$DA \to RG1$, $DB \to RG2$ $RG1,\ RG3 := RG3,\ RG1 \cdot RG2$	1** 0	1	$\bigwedge_{i=0}^{7} \overline{RG1}(i)$		
Загрузка	1	1	0	1	$DB \to RG3$	0	1	0		
Чтение RG1	1	0	1	0	$RG1 \to DA$	Выдаются признаки, выработанные в последней операции умножения, деления или загрузки				
Чтение RG3	0	1	1	0	$RG3 \to DB$					
Чтение RG1, RG3	0	0	1	0	$RG1 \to DA$ $RG3 \to DB$					

* При $RG3(i) = CF1$, $i = 0-7$
** При $(RG1) \geqslant (RG2)$

Первые четыре операции осуществляются по сигналу *CS1* и задаются 2-разрядным кодом, определяемым сигналами на выводах *F0* и *F1*. Выполнение этих операций синхронизируется синхроимпульсами *CLK*. Чтение результата выполняется по сигналу *CS2*. При наличии соответствующего кода на выводах *F0, F1* разрешается считывание содержимого регистров *RG1* и *RG3*. Результаты хранятся в регистрах *RG1* и *RG3* до загрузки новой операции по сигналу *CS1*, т. е. допускается их многократное чтение. Перечень операций с указанием выполняемых действий и правила формирования признаков результата даны в табл. 12.13.

При выполнении операции «Загрузка» по сигналу *CS1* устройство управления приводит схему в состояние «не готова» ($\overline{P/RDY}=1$), фиксирует код операции в регистре *RG4*, разрешает прием операнда, загружаемого по магистрали *DA, DB*, в регистры *RG1, RG2*. После снятия сигнала *CS1* содержимое регистра *RG2* подключается ко входу *A* сумматора. На вход *B* сумматора подается лог. 0. Начинает выполняться операция.

Результат суммирования (т. е. содержимое регистра *RG2*) записывается в регистр *RG3*, после чего устройство управления переводит схему в состояние «готова» ($\overline{P/RDY}=0$). По окончании операции «Загрузка» признаки результата не формируются.

При выполнении операции «Умножение кодов и чисел» в схеме умножителя реализован циклический алгоритм умножения с логическим ускорением за счет группировки разрядов множителя по два разряда, с анализом этих разрядов, на которые производятся умножение в данном цикле и накопление суммы частичных произведений.

В связи с тем что проводится умножение чисел, представленных дополнительным кодом, в алгоритме предусмотрена однотактная коррекция результата умножения. Отличие процесса умножения кодов и чисел состоит только в разнице коррекции. При умножении младшие разряды регистра *RG3* (0,1) постоянно выдаются на выводы *RO* и *RO/LI*.

Анализируемая пара разрядов множителя выдается на выводы *CF0, CF1*. Значение разрядов *RG1* (0,1) выдается на выводы *CF0* и *CF1* в обратном коде.

Состояние микросхемы «готова» характеризуется следующими признаками результата:

1. Признак переполнения вырабатывается на выводе $\overline{G}/OW$ старшей схемы умножителя; так как при умножении чисел переполнение не возникает, то $\overline{G}/OW=0$.

2. Признак расширения, равный 0 (если какой-либо разряд регистра *RG3* отличен от старшего разряда регистра *RG1* в старшей схеме) и равный 1 (в противном случае) подается на вывод *LO/RI* и показывает, что произведение записано только в регистре *RG1*, а в регистре *RG3* (старшем) записаны только незначащие цифры.

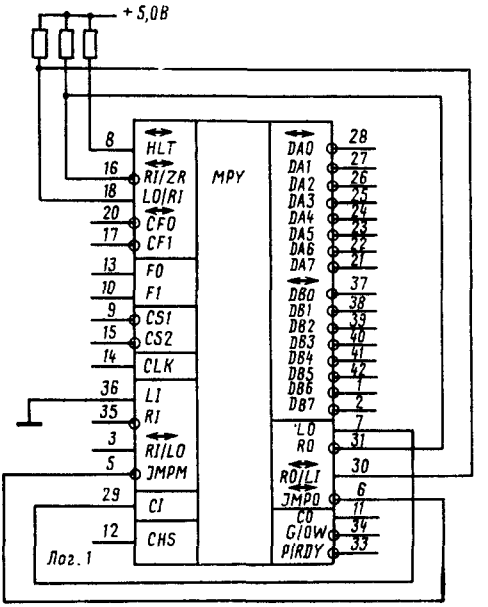


Рис. 12.13. Соединение выводов при включении одной микросхемы КР1802ВР2

3. Признак нуля результата *RI/ZR*, равный 1 (если регистры *RG3* и *RG1* в состоянии лог. 0, т. е. результат, записанный в данной схеме, равен 0), выдается на вывод *RI/ZR*.

4. Знак результата, равный значению старшего разряда регистра *RG3* при умножении чисел и 0 при умножении кодов, выдается на вывод *LO*.

5. На вывод *CF1* подается значение 7-го разряда регистра *RG1*.

Операция деления происходит по сигналу *CS1*. Схема умножителя переходит в состояние «не готова», фиксирует код операции и разрешает прием младшего слова делимого и делителя в регистры *RG1* и *RG2* с магистралей *DA* и *DB* соответственно. Делению должна предшествовать операция «Загрузка».

В состоянии микросхемы «готова» выдаются следующие признаки результата:

признак переполнения выдается на вывод *G/OW* старшей схемы;

признак расширения, равный 1, выдается на вывод *LO/RI;*

признак нуля результата равный 1 (если содержимое регистра *RG1* равно лог. 0), выдается на вывод *RI/ZR*;

знак результата, равный 0, выдается на вывод *LO*.

Для обработки восьми *N*-разрядных слов, где $N=1, ..., 8$, необходимо соединить *N* схем умножителя по правилу, указанному в табл. 12.14. На рис. 12.13, 12.14 показано соединение выводов по правилам табл. 12.14 для одной и двух схем умножителя.

Временна́я диаграмма определения времени умножения при работе одной схемы при-

Таблица 12.14

Вывод	Обозначение	Цель соединения
8	*HLT*	Соединяется с выводами *HLT* остальных микросхем
16	*RI/ZR*	Соединяется с выводами *RI/ZR* остальных микросхем и с выводом *RO* самой младшей микросхемы
18	*LO/RI*	Соединяется с выводами *LO/RI* остальных микросхем и с выводом *RO/LI* самой младшей микросхемы
30	*RO/LI*	Соединяется с выводом *RI/LO* более младшей микросхемы. У самой младшей микросхемы — с выводами *LO/RI* остальных микросхем
31	*RO*	Соединяется с выводом *RI* более младшей микросхемы. У самой младшей микросхемы — с выводами *RI/ZR* остальных микросхем
7	*LO*	Соединяется с выводом *LI* более старшей микросхемы. У самой старшей микросхемы — с выводом *CI* самой младшей микросхемы
35	*RI*	Соединяется с выводом *RO* более старшей микросхемы. У самой старшей микросхемы не используется
36	*LI*	Соединяется с выводом *LO* более младшей микросхемы. У самой младшей микросхемы заземляется
3	*RI/LO*	Соединяется с выводом *RO/LI* более старшей микросхемы. У самой старшей микросхемы не используется
5	*JMPM*	Соединяется с выводом *JMPD* более старшей микросхемы. У самой старшей — с выводом *JMPD* самой старшей микросхемы
6	*JMPD*	Соединяется с выводом *JMPM* более младшей микросхемы. У самой младшей — с выводом *JMPM* самой старшей микросхемы
20	*CF0*	Соединяется с выводом *CF0* остальных микросхем
17	*CF1*	Соединяется с выводом *CF1* остальных микросхем
29	*CI*	На этот вход подается значение выходного переноса из более младшей микросхемы или со схемы ускоренного переноса. У самой

Окончание табл. 12.14

Вывод	Обозначение	Цель соединения
		младшей микросхемы соединяется с выводом *LO* самой старшей микросхемы
11	*CO*	Без использования схемы ускоренного переноса соединяется с выводом *CI* более старшей микросхемы
13	*F0*	Соединяется с выводами *F0* остальных микросхем
10	*F1*	Соединяется с выводами *F1* остальных микросхем
9	*CS1*	Соединяется с выводами *CS1* остальных микросхем
15	*CS2*	Соединяется с выводами *CS2* остальных микросхем
14	*CLK*	Соединяется с выводами *CLK* остальных микросхем

ведена на рис. 12.15 (умножение 8×8). Выводы схемы соединены согласно рис. 12.13 и табл. 12.14.

На шинах *DA*, *DB* будет результат умножения при соблюдении временных соотношений (см. рис. 12.15) и обеспечении выдачи информации на шинах *DA*, *DB* ($F0=F1=CS2=0$). Минимальное гарантированное время умножения составляет 940 нс.

В общем случае время умножения ($T_{умн}$) и время деления ($T_{дел}$) определяются по следующим формулам:

$$T_{дел}=(8n+1)\,T+t_{P\,(CLK,\,L-P/PDY)}+\Delta;$$

$$T_{умн}=(4n+1)\,T+T_{WPH}+$$
$$+t_{P\,(CLK,\,L-P/RDY)})+\Delta,$$

где T — период следования синхронмпульсов; n — число объединенных БИС ПУ; T_{WPH} — длительность положительного синхроимпульса; $t_{P(CLK,\,L-P/PDY)}$ — время задержки распространения от синхроимпульса до признака «готов»; Δ — дополнительное время, учитывающее возможность рассогласования сигналов *CS1* и *CLK*; $\Delta=0-T$.

Период следования синхроимпульсов при увеличении разрядности увеличивается:

$T\geqslant160$ нс — для одной БИС;

$T\geqslant220$ нс — для двух БИС;

$T\geqslant160+(n-1)\ 60$ нс — при объединении более двух БИС ПУ без схемы ускоренного переноса (СУП);

$T\geqslant220+T_{суп}$, нс, — при объединении более двух БИС ПУ со схемой ускоренного переноса, где $T_{суп}$ — время задержки распространения от входов P_i, G_i СУП до выходов переноса СУП определяется конкретным его типом.

Основные параметры микросхемы КР1802ВР2 приведены в табл. 12.15.

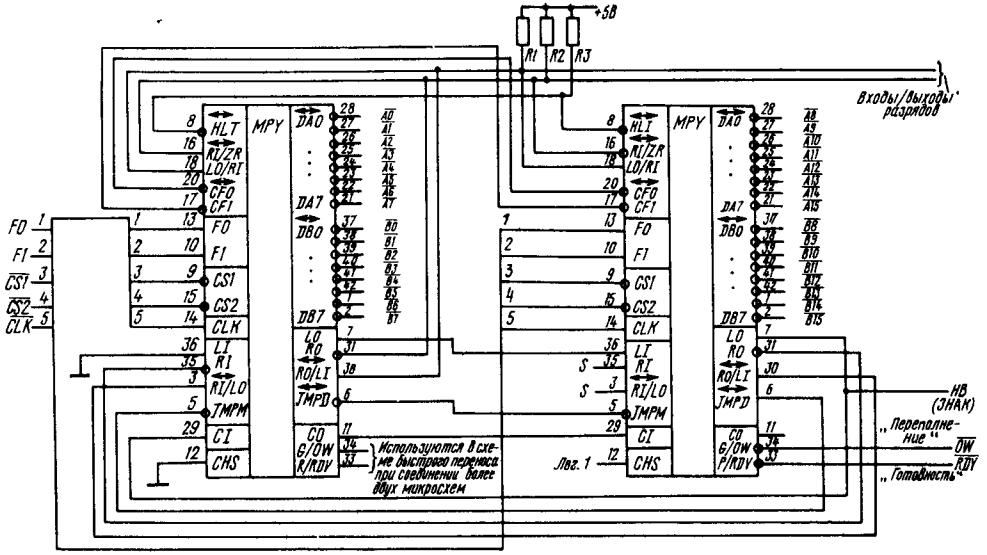


Рис. 12.14. Соединение выводов при включении двух микросхем КР1802ВР2

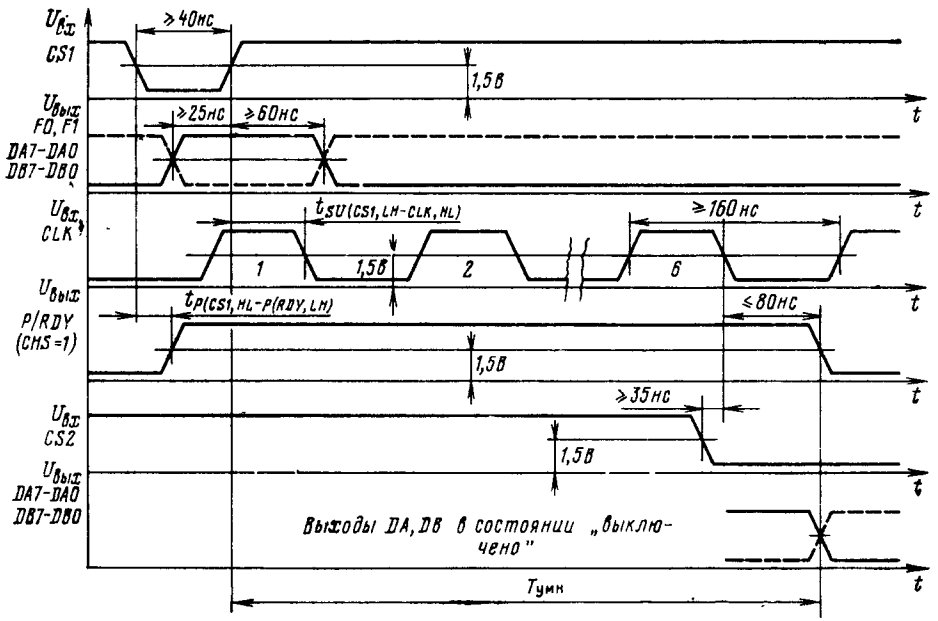


Рис. 12.15. Временна́я диаграмма определения времени умножения

Таблица 12.15

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Выходное напряжение низкого уровня, В	U_{OL}	—	0,5*
Выходное напряжение высокого уровня, В	U_{OH}	2,4**	—
Ток потребления, мА	I_{CC}		300***
Входной ток низкого уровня, мА, для:	I_{IL}		
выводов *3, 12, 14, 29, 35*		—0,25	—
выводов *1, 2, 37—42*		—0,4	—
выводов *9, 17, 20*		—2,0	—
выводов *10, 13, 16, 18, 21—28, 36*		—0,45	—
выводов *15, 30*		—0,5	—
вывода *6*		—0,8	—
вывода *5*		—1,3	—
вывода *8*		—1,5	—
Входной ток высокого уровня, мкА, для:	I_{IH}		
выводов *12, 14, 29, 35*		—	40
выводов *10, 13, 15, 36*		—	80
вывода *9*		—	140
Выходной ток высокого уровня в состоянии «выключено», мкА	I_{OZH}	—	100
Выходной ток высокого уровня, мкА	I_{OH}	—	100
Время задержки распространения сигнала от входа выбора микросхемы до выхода распространения переноса, нс	$t_{P\ (CS1,\ HL-P/RDY,\ LH)}$	—	60
Время задержки распространения сигнала от входа синхронизации до выхода нулевого разряда, нс	$t_{P\ (CLK-RO)}$	—	90
Время задержки распространения сигнала от входа синхронизации до выхода первого разряда, нс	$t_{P\ (CLK-RO/L1)}$	—	90
Время задержки распространения сигнала от входа синхронизации до выхода седьмого разряда, нс	$t_{P(CLK-R1/LO)}$	—	85
Время перехода из состояния «выключено» в состояние высокого уровня и из состояния высокого уровня в состояние «выключено» от входа выбора микросхемы до входов/выходов информации, нс	$t_{T\ (CS2-D)}$	—	35
Время перехода из состояния «выключено» в состояние низкого уровня и из состояния низкого уровня в состояние «выключено» от входа выбора микросхемы до входов/выходов информации, нс	$t_{T\ (CS2-D)}$	—	35

* При U_{CC}=4,75 В, I_{OL}=0,5 мА (для выводов *7, 11*), I_{OL}=1,5 мА (для вывода *6*), I_{OL}=3,5 мА (для вывода *16*); I_{OL}=4 мА (для выводов *3, 18, 30, 31*); I_{OL}=11 мА (для выводов *8, 33*); I_{OL}=15 мА (для выводов *1, 2, 17, 20—28, 34, 37—42*)

** При U_{CC}=4,75 В, I_{OH}=1 мА.

*** При U_{CC}=5,25 В

12.5. Микросхема КР1802ВР3

Микросхема КР1802ВР3 — биполярный быстродействующий параллельный умножитель 8×8 разрядов, предназначен для умножения двух 8-разрядных чисел без знака или со знаком, представленных в дополнительном коде или смешанных кодах.

Микросхема может быть использована для построения быстродействующих процессоров цифровой обработки сигналов, реализующих преобразование Фурье, цифровую фильтрацию и т. д., а также в универсальных ЭВМ.

Условное графическое обозначение микросхемы приведено на рис. 12.16, назначение

Таблица 12.16

Вывода	Обозначение	Тип вывода	Функциональное назначение выводов
1, 36—42	DY7, DY0—DY6	Входы	Множитель, разряды 7, 0—6
2	STB	Вход	Управление записью в регистр произведения
3	CLKP	Вход	Запись в регистр произведения
4	EDP	Вход	Управление буферной схемой произведения
5—10	DP15—DP10	Выходы	Произведение, разряды 15—10
11	GND	—	Общий
12—21	DP9—DP0	Выходы	Произведения, разряды 9—0
22—29	DX0—DX7	Входы	Множимое, разряды 0—7
30	CLKX	Вход	Запись в регистр множимого
31	HBX	Вход	Знак старшего (X7) разряда множимого
32	U_{CC}	—	Напряжение питания
33	RND	Вход	Округление
34	HBY	Вход	Знак старшего (Y7) разряда множителя
35	CLKY	Вход	Запись в регистр множителя

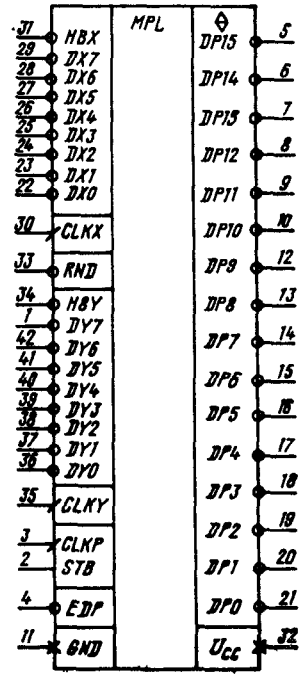


Рис. 12.16. Условное графическое обозначение КР1802ВР3

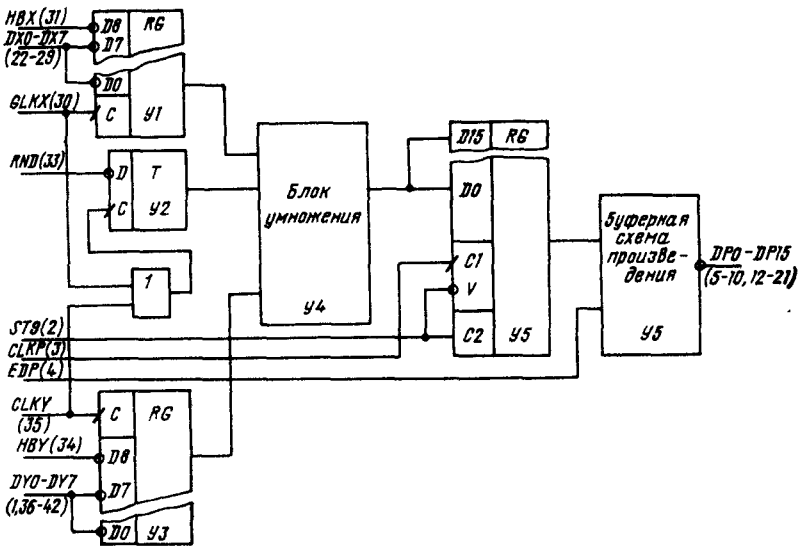


Рис. 12.17. Структурная схема КР1802ВР3

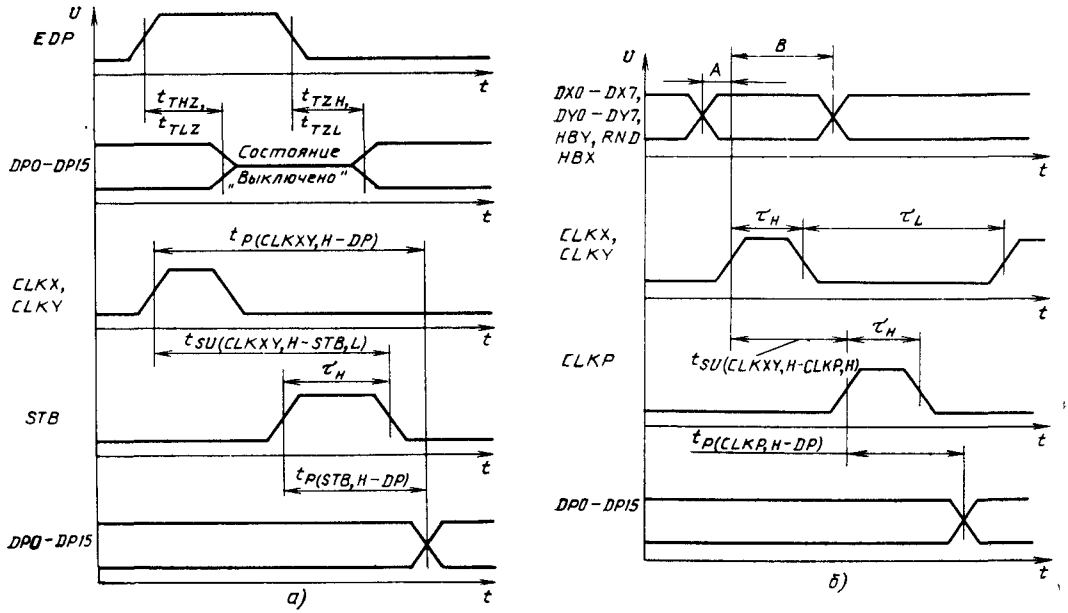


Рис. 12.18. Временные диаграммы работы КР1802ВР3:

а — управление 3-м состоянием и режим «прозрачности»; *б* — конвейерный режим: $A - t_{SU\,(DX-CLKX,\,H)}$, $t_{SU\,(DY-CLKY,\,H)}$, $t_{SU\,(RND-CLKXY,H)}$; $B - t_{H\,(DX-CLKX,\,H)}$, $t_{H\,(DY-CLKY,\,H)}$, $t_{H\,(RND-CLKXY,\,H)}$

выводов — в табл. 12.16, структурная схема показана на рис. 12.17, временные диаграммы работы — на рис. 12.18, *а*, *б*.

Микросхема состоит из следующих основных узлов: регистра множимого, триггера округления, схемы ИЛИ, регистра множителя, блока умножения, регистра произведения, буферной схемы произведения.

Регистр множимого служит для хранения разрядов множимого *X7—X0* и управляющего сигнала *HBX*.

Триггер округления хранит сигнал округления, подаваемый на вход *RND*.

Схема ИЛИ обеспечивает запись сигнала округления в триггер округления по фронту сигнала на выходе схемы ИЛИ.

Регистр множителя служит для хранения разрядов множителя *Y7—Y0* и управляющего сигнала *HBY*.

Блок умножения представляет комбинационную схему, выполняющую умножение и одновременное округление результата.

Регистр произведения служит для хранения 16-разрядного произведения.

Буферная схема произведения является выходным каскадом с тремя состояниями.

Каждый входной сомножитель (операнд) *X* или *Y* сопровождается сигналом по управляющему входу *HBX* или *HBY*, который указывает, что умножение производится над кодами (при высоком уровне напряжения на входах *HBX* и *HBY*) или над числами со знаком, представленными дополнительным кодом

Таблица 12.17

Переменные *SX, SY, Xn, Yn*																	
S	*X*								*S*	*Y*							
X	7	6	5	4	3	2	1	0	*Y*	7	6	5	4	3	2	1	0
H	*H*	*H*	*H*	*H*	*H*	*H*	*H*	*H*	*H*	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1
1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
1	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	1
H	0	0	0	0	0	0	0	0	*H*	*H*	*H*	*H*	*H*	*H*	*H*	*H*	*H*
1	1	1	1	1	1	0	0	0	0	1	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1

Примечание *H* — безразличное состояние входа

(при низком уровне напряжения на входах *HBX* и *HBY*). Результат умножения — 16-разрядное (двойной точности) произведение без знака или со знаком в дополнительном коде.

В процессе умножения предусмотрено округление результата до 8-разрядного произведения, включая знак.

Входные регистры выполнены на *D*-триггерах с записью информации по фронту сигнала на входе *CLKX* или *CLKY* соответственно для регистра множимого и множителя.

Результат умножения записывается в выходной 16-разрядный регистр произведений, выполненный на *D*-триггерах с записью по фронту сигнала на входе *CLKP* и имеющий вход управления *STB*, который дает возможность пользователю исключить полностью выходной регистр при высоком уровне сигнала на входе *STB*, т. е. при высоком уровне сигнала на входе *STB* выходы умножителя асинхронны (не зависят от сигнала на входе *CLKP*) и при постоянном сигнале *CLKP* (высоком или низком уровне) выходной регистр превращается в регистр на потенциальных триггерах *D*-типа с хранением и записью информации соответственно при низком и высоком уровне сигнала на входе *STB*.

При высоком уровне напряжения на входе *EDP* выходной буферный каскад переходит в третье, выключенное состояние, запрещая выдачу результата на общую шину, к которой может подключаться другое устройство.

Форма представления информации — обратный код, т. е. лог. 1 соответствует напряжение низкого уровня.

Для удобства описания функционирования умножителя введем новые переменные: P_n, X_n, Y_n, SX, SY, причем они принимают значение лог. 1 или лог 0, если на выводах DP_n, DX_n, DY_n, *HBX* и *HBY* — соответственно напряжение низкого или высокого уровня.

Отрицательные числа в умножителе представлены в дополнительном коде

В общем виде десятичный эквивалент целочисленных сомножителей вычисляется по следующим формулам

$$X=(\overline{SX}-SX)\cdot X_7\cdot 2^7+\sum_{n=0}^{6} X_n\cdot 2^n;$$

$$Y=(\overline{SY}-SY)\cdot Y_7\cdot 2^7+\sum_{n=0}^{6} Y_n\cdot 2^n.$$

Если $SX=0$, то сомножитель X является кодом и вычисляется по формуле $X=\sum_{n=0}^{7} X_n\cdot 2^n$. Если $SX=1$, то сомножитель X является числом со знаком в дополнительном коде и вычисляется по формуле $X=-X_7\cdot 2^7+\sum_{n=0}^{6} X_n\cdot 2^n$.

Произведение *P*																Десятичные значения			Примечание
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	*X*	*Y*	*P*	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Любое значение	0	0	Умножение на 0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	+1	1	+1	Умножение кодов
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	+1	1	+1	Смешанное умножение
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	—1	1	—1	Смешанное умножение
1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	—128	1	—128	Смешанное умножение
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—128	—128	+16384	Умножение чисел
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	—1	—1	+1	Умножение чисел
0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	—4	—3	+12	Умножение чисел
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	+255	1	+255	Смешанное умножение
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Любое значение	0	Нуль умножить на число
1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	—8	128	—1024	Смешанное умножение
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	+128	—128	—16384	Смешанное умножение
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	—127	—1	+127	Умножение чисел

Таблица 12.18

Числа	X								Y							
Веса разрядов	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
Разряды	*X7*	*X6*	*X5*	*X4*	*X3*	*X2*	*X1*	*X0*	*Y7*	*Y6*	*Y5*	*Y4*	*Y3*	*Y2*	*Y1*	*Y0*
Произведение	*P*															
Веса разрядов	2^{15}	2^{14}	2^{13}	2^{12}	2^{11}	2^{10}	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
Разряды	*P15*	*P14*	*P13*	*P12*	*P11*	*P10*	*P9*	*P8*	*P7*	*P6*	*P5*	*P4*	*P3*	*P2*	*P1*	*P0*

Примечание. $X=(\overline{SX}-SX)\cdot X7\cdot 2^7+\sum_{n=0}^{6} X_n\cdot 2^n$; $Y=(\overline{SY}-SY)\cdot Y7\cdot 2^7+\sum_{n=0}^{6} Y_n\cdot 2^n$;

$$P=X\cdot Y-[1-2\,(SX\wedge X7\oplus SY\wedge Y7)]\cdot P15\cdot 2^{15}+\sum_{n=0}^{14} P_n\cdot 2^n$$

Аналогично определяется десятичный эквивалент сомножителя *Y* Если результат умножения отрицательный, то произведение определяется по формуле $P=-P_{15}\cdot 2^{15}+\sum_{n=0}^{14} P_n\cdot 2^n$. Если результат умножения положительный — то по формуле $P=\sum_{n=0}^{15} P_n\cdot 2^n$.

Примеры умножения без округления приведены в табл. 12.17.

Форматы представления сомножителей и произведения при умножении целых чисел приведены на табл. 12.18.

Десятичный эквивалент чисел, меньших 1, и произведения определяются по формулам табл. 12.19.

При умножении чисел без знака для повышения точности сомножителей и результата выбирается следующий формат представления сомножителей и произведения:

$$X=\sum_{n=0}^{7} X_n\cdot 2^{n-8};$$

$$Y=\sum_{n=0}^{7} Y_n\cdot 2^{n-8};$$

$$P=\sum_{n=0}^{15} P_n\cdot 2^{n-16}.$$

При умножении чисел, меньших 1, со знаком значения разрядов *P15* и *P14* произведения совпадают всегда, за исключением одного предельного случая, когда происходит умножение двух максимальных по модулю отрицательных чисел $(-1)\cdot(-1)=+1$, т. е.

$SXX7X6\ldots X0=110\ldots0$;

$SYY7Y6\ldots Y0=110\ldots0$;

$P15P14P13\ldots P0=010\ldots0$.

Если такой случай исключается, то результат умножения следует брать начиная с разряда *P14*.

Если необходимо получить 8-разрядное произведение, то следует результат брать с разрядов *P14—P7* и провести операцию округления, подав при записи сомножителей на вход *RND* напряжение низкого уровня. При этом в процессе формирования произведения к разряду *P6* добавляется 1. При высоком уровне напряжения на входе *RND* округления не производится.

Физически схема умножителя КР1802ВР3 всегда производит операцию умножения целых чисел. Введение формата чисел, меньших 1 или дробных, производится путем условного определения весовых множителей разрядов сомножителей и вычисления весовых множителей произведения.

Быстродействие умножителя оценивается по суммарному времени прохождения сигнала от входа до выхода по цепи, включающей входные и выходные регистры, блок умножения и выходной буферный каскад, или по минимальному периоду следования синхроимпульсов.

Основные параметры КР1802ВР3 приведены в табл. 12.20.

Умножение чисел с большой разрядностью. Для умножения чисел с большой разрядностью (с расширенной разрядной сеткой) используется принцип разбиения слов операндов на части.

Чтобы перемножить, например, 16-разрядные целые числа со знаком *X15—X0* и *Y15—Y0* с помощью 8×8-разрядного умножителя, операнды разбиваются на 8-разрядные секции. Сомножители и произведение в этом случае представляются в следующем виде:

$$X=(X15-X8)\cdot 2^8+(X7-X0);$$

$$Y=(Y15-Y8)\cdot 2^8+(Y7-Y0);$$

$$XY=[(X15-X8)\cdot 2^8+(X7-X0)]\cdot[(Y15-Y8)\times 2^8+(Y7-Y0)]=[(X7-X0)\cdot(Y7-Y0)]+2^8\cdot[(X7-X0)\cdot(Y15-Y8)+(Y7-Y0)\cdot(X15-X8)]+[2^{16}\cdot(X15-X8)\cdot(Y15-Y8)].$$

Все полученные частичные произведения (кроме первого) представлены дополнительным кодом. Каждое частичное произведение может быть реализовано 8-разрядным умножителем, а их сложение может быть выполнено с помощью типовых микросхем (155ИМ3, К155ИМ3, 155ИП3, К155ИП3).

Числа $X15-X8$ и $Y15-Y8$ являются числами со знаком, поэтому самый старший разряд частичных произведений (кроме первого) имеет отрицательный вес и при сложении частичных произведений должен расширяться.

Обозначим буквами a, b, c, d частичные произведения, полученные на каждом умножителе:

$$a15-a0=(X7-X0)\cdot(Y7-Y0);$$

$$b15-b0=(X7-X0)\cdot(Y15-Y8);$$

$$c15-c0=(X15-X8)\cdot(Y7-Y0);$$

$$d15-d0=(X15-X8)\cdot(Y15-Y8).$$

Таблица 12.19

Числа	X								Y							
Для чисел в дополнительном коде																
Веса разрядов	Зн. -2^0	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	Зн. -2^0	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}
Разряды	X7	X6	X5	X4	X3	X2	X1	X0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
Произведение	P															
Веса разрядов	-2^1	2^0	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-8}	2^{-9}	2^{-10}	2^{-11}	2^{-12}	2^{-13}	2^{-14}
Разряды	P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	P0
Для чисел без знака																
Веса разрядов	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-8}	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-8}
Разряды	X7	X6	X5	X4	X3	X2	X1	X0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
Произведение	P															
Веса разрядов	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-8}	2^{-9}	2^{-10}	2^{-11}	2^{-12}	2^{-13}	2^{-14}	2^{-15}	2^{-16}
Разряды	P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	P0
Для смешанного умножения																
Веса разрядов	2^0	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-8}
Разряды	X7	X6	X5	X4	X3	X2	X1	X0	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
Произведение	P															
Веса разрядов	2^{-0}	2^{-1}	2^{-2}	2^{-3}	2^{-4}	2^{-5}	2^{-6}	2^{-7}	2^{-8}	2^{-9}	2^{-10}	2^{-11}	2^{-12}	2^{-13}	2^{-14}	2^{-15}
Разряды	P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	P0

Примечание. $X=(\overline{SX}-SX)\cdot X7+\sum_{n=0}^{6} X_n\cdot 2^{n-7}$; $Y=(\overline{SY}-SY)\cdot Y7+\sum_{n=0}^{6} Y_n\cdot 2^{n-7}$;

$$P=XY=[1-2\,(SX\wedge X7\oplus SY\wedge Y7)]\,P15\cdot 2^1+\sum_{n=0}^{14} P_n\cdot 2^{n-14}.$$

Таблица 12.20

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Ток потребления, мА	I_{CC}	—	270	$U_{CC}=5{,}25$ В
Выходное напряжение низкого уровня, В	U_{OL}	—	0,5	$U_{CC}=4{,}75$ В, $I_{OL}=10$ мА
Выходное напряжение высокого уровня, В	U_{OH}	2,4	—	$U_{CC}=4{,}75$ В, $I_{OH}=1$ мА
Входной ток низкого уровня, мА, для:	I_{IL}			$U_{CC}=5{,}25$ В, $U_{IL}=0{,}5$ В
выводов *1, 2, 23—29, 31, 33, 34, 36—42*		—0,4	—	
выводов *4, 22*		—0,25	—	
выводов *3, 30, 35*		—0,8	—	
Входной ток высокого уровня, мкА, для:	I_{IH}			$U_{CC}=5{,}25$ В, $U_{OH}=5{,}25$ В
выводов *1, 2, 23—29, 31, 33, 34, 36—42*		—	20	
выводов *3, 4, 22, 30, 35*		—	40	
Выходной ток низкого уровня в состоянии «выключено», мкА	I_{OZL}	—100	—	$U_{CC}=5{,}25$ В, $U_{OH}=0{,}5$ В
Выходной ток высокого уровня в состоянии «выключено», мкА	I_{OZH}	—	100	$U_{CC}=5{,}25$ В, $U_{OH}=5{,}25$ В
Время задержки распространения сигнала от входа записи в регистры сомножителей до выходов произведения, нс	$t_{P\,(CLKXY,\,H-DP)}$	—	140	
Время задержки распространения сигнала от входа записи в регистр произведения до выходов произведения, нс	$t_{P\,(CLKP,\,H-DP)}$	—	50	
Время задержки распространения сигнала от входа управления записью до выходов произведения, нс	$t_{P\,(STB,\,H-DP)}$	—	50	
Время задержки перехода от входа управления буферной схемой произведения до выходов произведения, нс	t_{TLZ}, t_{TZL}, t_{TZH}, t_{THZ}	—	50	
Время сохранения сигнала на входах *DX* и *HBX*, *DY* и *HBY* (*RND*) относительно сигналов *CLKX*, *CLKY* (*CLKX*, *CLKY*) соответственно, нс	$t_{H\,(DX-CLKX,\,H)}$, $t_{H\,(DY-CLKY,\,H)}$, $t_{H\,(RND-CLKXY,\,H)}$	60	—	
Время установления сигнала на входах *CLKX*, *CLKY* относительно сигнала на входе *CLKP* (время цикла), нс	$t_{SU\,(CLKXY,\,H-CLKP,\,H)}$	—	115	

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс	
Время установления сигнала на входах *CLKX, CLKY* относительно отрицательного фронта импульса на входе *STB*, нс	$t_{SU\ (CLKXY,\ H-STB,\ L)}$	—	135	
Длительность сигнала высокого уровня на входах *CLKX, CLKY, CLKP*, нс	τ_H	35	—	
Длительность сигнала низкого уровня на входах *CLKX, CLKY, CLKP*, нс	τ_L	35	—	
Время установления сигнала на входах *DX* и *HBX*, *DY* и *HBY* (*RND*) относительно сигнала на входах *CLKX, CLKY* (*CLKX, CLKY*) соответственно, нс	$t_{SU\ (DX-CLKX,\ H)}$, $t_{SU\ (DY-CLKY,H)}$, $t_{SU\ (RND-CLKXY,H)}$	—	15	
Значение емкости, пФ:				
по входам	C_I	—	10	
по выходам	C_O	—	15	

Примечание. Значения динамических параметров приведены при U_{CC}= =5,0 В и T=−10 ÷ +70 °С.

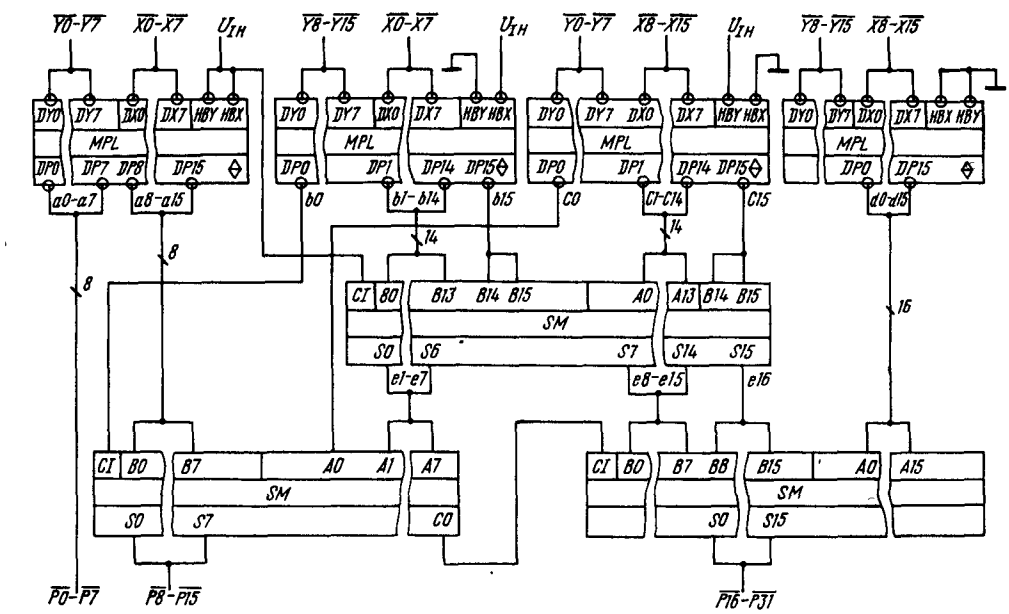


Рис. 12.19. Структурная схема 16-разрядного умножителя

Произведение получается суммированием частичных произведений с учетом их веса:

2^{31}—2^{24}	2^{23}—2^{16}	2^{15}—2^{8}	2^{7}—2^{0}
b15—b15 *c15—c15* *d15—d8*	*b15—b8* *c15—c8* *d7—d0*	*a15—a8* *b7—b0* *c7—c0*	*a7—a0*
P31—P24	*P23—P16*	*P15—P8*	*P7—P0*

На первой линейке сумматора выполняется операция

+ *b15*	*b15*	*b14—b1*	
c15	*c15*	*c14—c1*	
e16	*e15*	*e14—e1*	

На второй линейке сумматоров выполняется операция

+ *d15—d8*	*d7—d0*	*a15—a9*	*a8*
e16—e16	*e15—e8*	*e7—e1*	*c0*
			b0
P31		*P9*	*P8*

Так как на сумматоре можно сложить только два числа, то разряд *b0* подается на вход переноса сумматора.

С целью уменьшения аппаратурных затрат следует иметь в виду, что если при сложении двух чисел использовать модифицированный дополнительный код, т. е. представить знаки слагаемых двумя разрядами, то старший разряд модифицированного дополнительного кода всегда является истинным знаком результата.

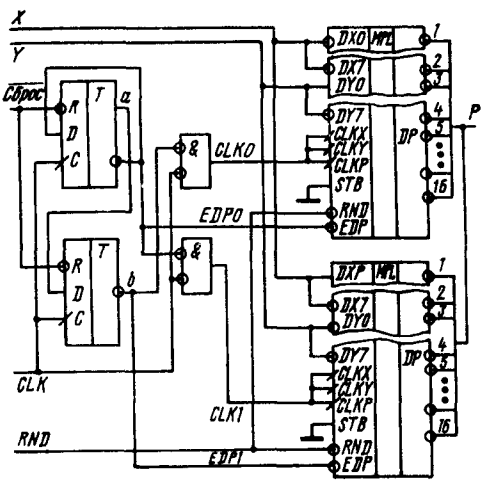


Рис. 12.20. Структурная схема умножителя с мультиплексированием

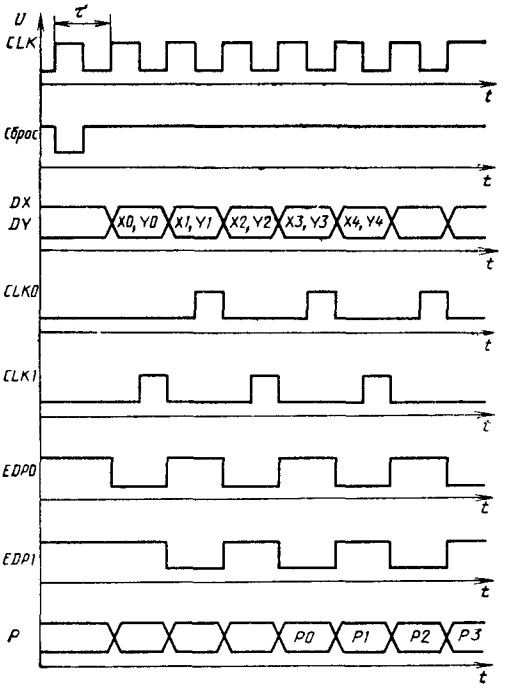


Рис. 12.21. Временна́я диаграмма работы умножителя с мультиплексированием

При умножении чисел, меньших 1, используется аналогичная схема наращивания

Схема 16-разрядного умножителя, выполненного с использованием четырех умножителей КР1802ВР3 и двухвходовых сумматоров, приведена на рис. 12.19, где *CI* — входы переноса, *CO* — выходы переноса, A_i, B_i — входы слагаемых, S_i — выходы суммы.

Так как на входах и выходах схемы умножителя информация представляется в обратном коде, то для получения правильной информации на выходе сумматоров на незадействованные входы переноса сумматора следует подать напряжение высокого уровня. В этом случае на выходе всей схемы будет 32-разрядное произведение в обратном коде. Если требуется округление, то на входы *RND* соответствующей схемы умножителя подается напряжение низкого уровня.

Мультиплексированный режим работы умножителя. Время умножения чисел с помощью одного 8-разрядного умножителя может быть слишком большим для некоторых динамических систем, работающих с большой пропускной способностью. Применяя мультиплексированный режим работы нескольких умножителей, можно существенно ускорить процесс умножения массивов чисел. Например, при использовании устройства по схеме на рис. 12.20 время умножения массивов чисел уменьшается в 2 раза по сравнению с устройством без мультиплексирования.

Временна́я диаграмма работы устройства по рис. 12.20 приведена на рис. 12.21.

Два разных сигнала управления третьим состоянием, работающие в противофазе, позволяют объединять выходы умножителей в общую шину. Специальный генератор, сформированный на двух триггерах *T*, вырабатывает необходимые сигналы и синхроимпульсы: *EDP0, EDP1, CLK0, CLK1*.

Сигналом «Сброс» осуществляется установка системы в исходное состояние.

12.6. Микросхема КМ1802ВР4

Микросхема КМ1802ВР4 — параллельный умножитель 12×12 разрядов, предназначена для использования в радиоэлектронной аппаратуре. Каждый из операндов может быть либо кодом (числом без знака), либо числом со знаком. В последнем случае операнд представляется в дополнительном коде. Числа могут быть как целыми, так и меньше 1.

На выходе умножителя вырабатывается произведение двойной точности (24 разряда), которое может быть округлено до 12 разрядов (включая знаковый разряд). При умножении чисел со знаком в дополнительном коде произведение получается в дополнительном коде. При действиях над числами со знаком предусмотрена возможность присвоения знака произведения младшей части произведения.

Умножитель может быть использован для построения быстродействующих процессоров цифровой обработки сигналов, реализующих алгоритмы быстрого преобразования Фурье, цифровую фильтрацию и т. п. Возможно применение также в специализированных и универсальных цифровых ЭВМ.

Условное графическое обозначение микросхемы приведено на рис. 12.22, назначение выводов — в табл. 12.21, структурная схема показана на рис. 12.23, временна́я диаграмма работы — на рис. 12.24.

Микросхема включает в себя ряд устройств, в том числе: регистр множимого (регистр *X*), регистр множителя (регистр *Y*), триггер округления, блок умножения, сдвигатель, регистры младшей и старшей частей произведения и выходные буферные каскады младшей и старшей частей произведения.

Регистры *X* и *Y* выполнены на *D*-триггерах с одним тактирующим входом. Запись в них осуществляется по фронту сигналов *CLKX* и

Таблица 12.21

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—8, 61—64	X7—X0, X11—X8	Входы	Множимое, разряды 7—0, 11—8
9—20, 29—40	P0—P11, P12—P23	Выходы	Произведение, разряды 0—11, 12—23
21	TRIL	Вход	Управление выходными буферными каскадами младшей части произведения
22	TRIM	Вход	Управление выходными буферными каскадами старшей части произведения
23, 24	GND	—	Общий
25	FT	Вход	Управление «прозрачностью» регистров произведения
26	RS	Вход	Управление сдвигом вправо старшей части произведения
27	CLKL	Вход	Синхронизация регистра младшей части произведения
28	CLKM	Вход	Синхронизация регистра старшей части произведения
41	TCY	Вход	Знак весового коэффициента старшего разряда множителя
42—47, 51—56	Y11—Y6, Y5—Y0	Входы	Множитель, разряды 11—6, 5—0
48—50	U_{CC}	—	Напряжение питания
57	TCX	Вход	Знак весового коэффициента старшего разряда множимого
58	RND	Вход	Округление
59	CLKY	Вход	Синхронизация регистра множителя
60	CLKX	Вход	Синхронизация регистра множимого

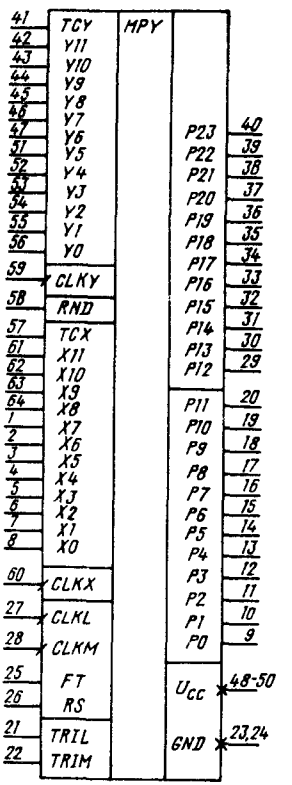


Рис. 12.22. Условное графическое обозначение КМ1802ВР4

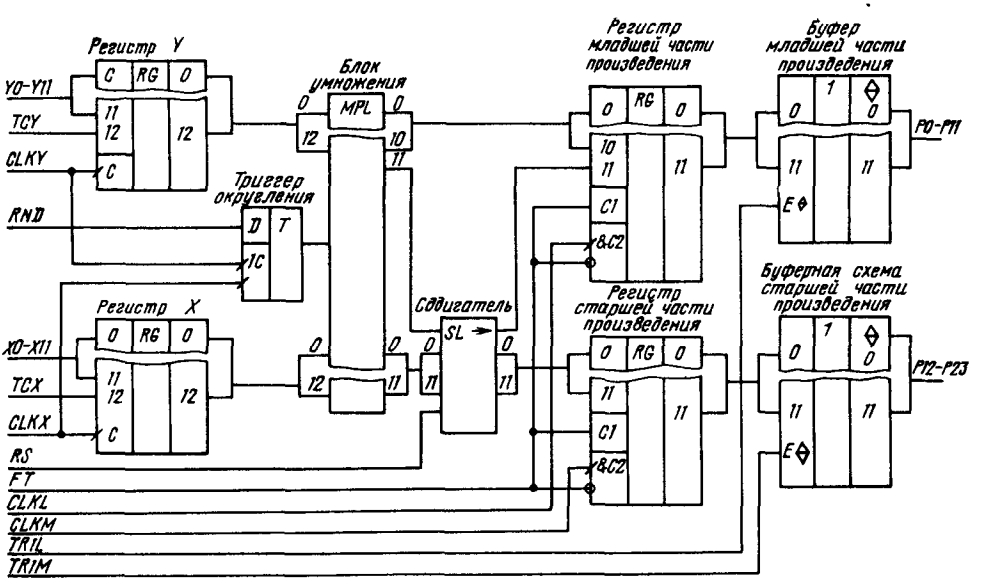


Рис 12.23. Структурная схема КМ1802ВР4

CLKY. Помимо 12 разрядов сомножителей в регистры *X* и *Y* заносятся признаки множимого и множителя *TCX* и *TCY*, которые имеют значения 1, если данный сомножитель— число со знаком, и 0, если сомножитель — число без знака. Другими словами, *TCX* и *TCY* — знаки весового коэффициента старшего разряда числа: при 1 — минус, при 0 — плюс.

По фронту одного из сигналов *CLKY* и *CLKX* в триггер округления записывается сигнал *RND*, по которому производится округление произведения до 12 разрядов при $RND=1$

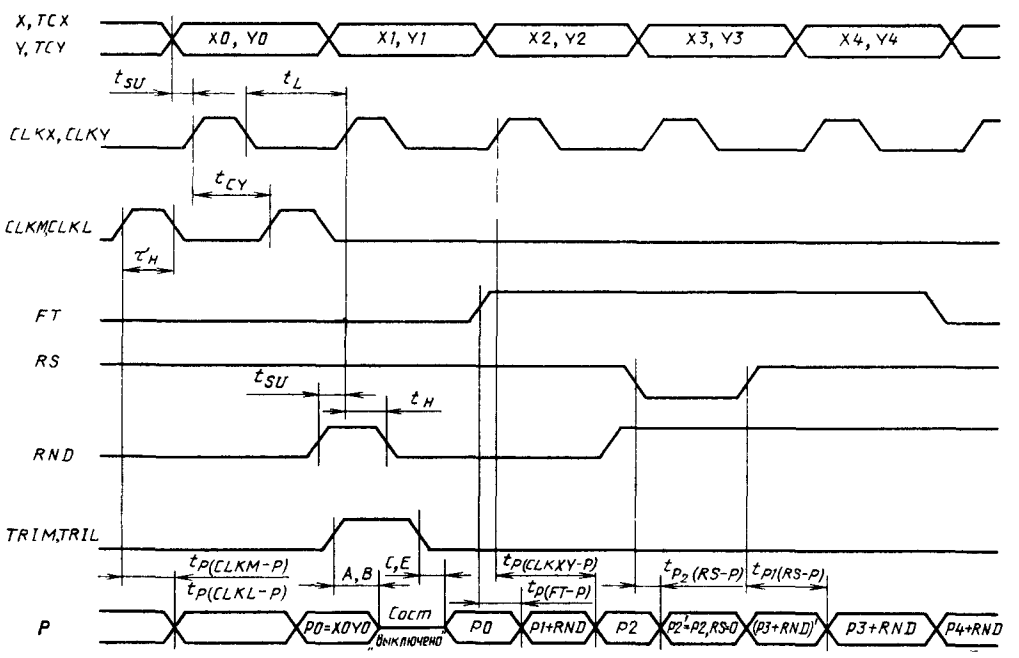


Рис. 12.24. Временна́я диаграмма работы КМ1802ВР4:
$A-t_{T1\,(TRIM-P)}$, $B-t_{T1\,(TRIL-P)}$, $C-t_{T2\,(TRIM-P)}$, $E-t_{T2\,(TRIL-P)}$

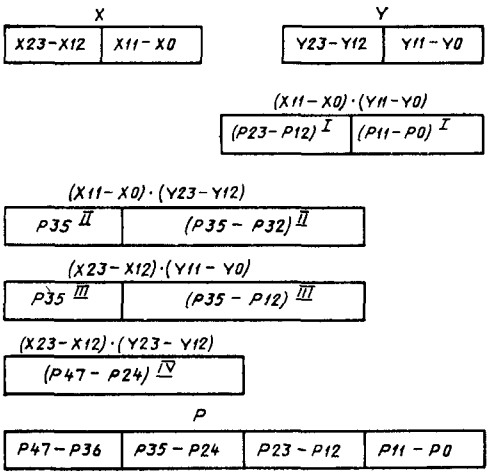


Рис. 12 25. Взаимное расположение частичных произведений в 24-разрядном умножителе

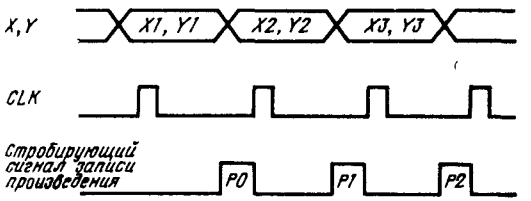


Рис 12 27. Временна́я диаграмма работы 24-разрядного умножителя

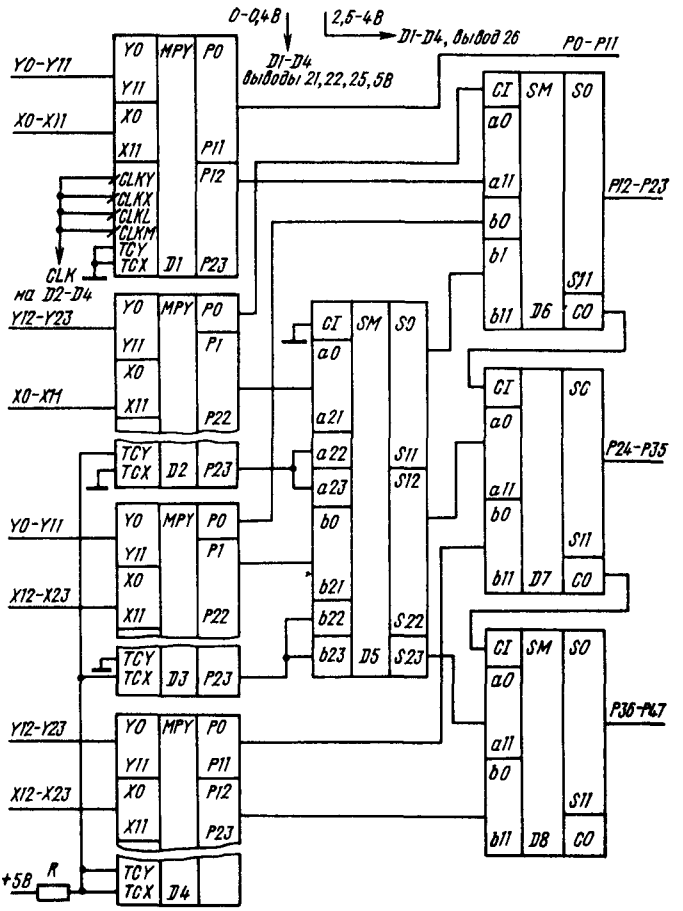


Рис 12 26 Структурная схема 24 разрядного умножителя

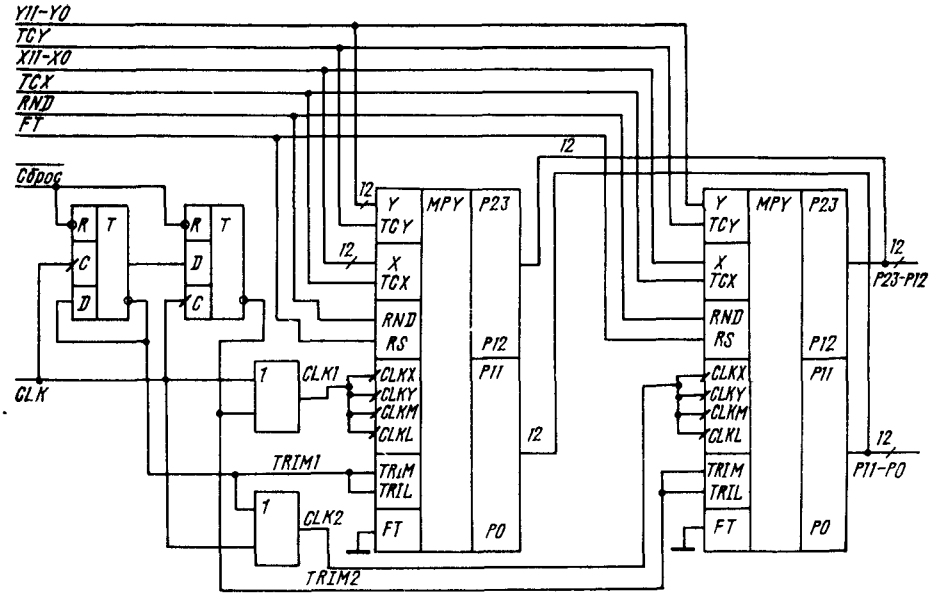


Рис. 12.28. Схема умножителя с мультиплексированием

Блок умножения представляет собой комбинационную матрицу, в которой формируются частичные произведения от поразрядного умножения множимого на множитель, суммируются (с соответствующими весами) и результат корректируется при действии над числами со знаком. Операция округления выполняется одновременно с суммированием частичных произведений путем прибавления 1 в старший разряд отбрасываемой части, т. е. дополнительной задержки не вносит.

При действии над числами со знаком предусмотрена возможность присвоения знака произведения его младшей части. Для этого на входе RS должно быть напряжение низкого уровня, т. е. $RS=0$. Следует иметь в виду возможность получения неправильного результата, если $RS=0$ из-за переполнения разрядной сетки при умножении максимальных по модулю отрицательных чисел: результат для целых чисел $(-2^{11}\cdot X11)\cdot(-2^{11}\cdot Y11)$ получается равным $(-2^{30}\cdot X11\cdot Y11)$, для дробных чисел $(-2^{0}\cdot X11)\cdot(-2^{0}\cdot Y11)$ — равным $(-2^{0}\cdot X11\times\times Y11)$.

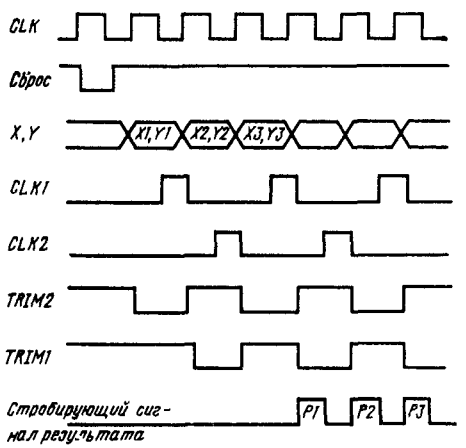


Рис. 12.29. Временна́я диаграмма работы умножителя с мультиплексированием

С помощью сдвигателя SL, управляемого сигналом RS, произведение P в соответствующем формате подается на регистры младшей и старшей частей произведения (LSP и MSP соответственно). Запись в регистр произведения происходит по фронту сигналов $CLKL$, $CLKM$ соответственно при $FT=0$. Если $FT=1$, то сигналы $CLKL$ и $CLKM$ блокируются. D-триггеры регистров становятся потенциальными триггерами и информация с входов регистров постоянно проходит на выходы (регистры как бы исключены, «прозрачны»).

Выходные буферные каскады управляются сигналами $TRIL$ (младшая часть произведения) и $TRIM$ (старшая часть). Каскады находятся в выключенном (третьем) состоянии, когда управляющий сигнал равен 1.

Принципы наращивания разрядности и режим мультиплексирования аналогичны описанным в § 12.5.

Взаимное расположение частичных произведений в 24×24-разрядном умножителе показано на рис. 12.25, его структурная схема для случая перемножения чисел со знаком приведена на рис. 12.26, временна́я диаграмма работы устройства — на рис. 12.27

Таблица 12.22

Параметр	Обозначение	Значения параметров	
		мин	макс.
Выходное напряжение низкого уровня, В, при U_{CC}=4,75 В и I_{OL}=4 мА	U_{OL}	—	0,5
Выходное напряжение высокого уровня, В, при U_{CC}=4,75 В и I_{OH}=0,4 мА	U_{OH}	2,4	—
Ток потребления, мА, при U_{CC}=5,25 В	I_{CC}	—	600
Входной ток низкого уровня, мА, при U_{CC}=5,25 В и U_{IL}=0,5 В:	I_{IL}		
для выводов *1—8, 25, 42—47, 51—56, 58, 61—64*		—0,4	—
для выводов *21, 22, 26—28, 41, 57, 59, 60*		—1,0	—
Входной ток высокого уровня, мкА, при U_{CC}=5,25 В и U_{IH}=5,25 В	I_{IH}	—	75
Выходной ток низкого уровня в состоянии «выключено», мкА, при U_{CC}=5,25 В и U_{OL}=0,5 В	I_{OZL}	—100	—
Выходной ток высокого уровня в состоянии «выключено», мкА, при U_{CC}=5,25 В и U_{OH}=5,25 В	I_{OZH}	—	100
Время задержки распространения сигнала от входа *CLKX* до выходов *P*, нс	$t_{P\,(CLKXY-P)}$	—	145
Время задержки распространения сигнала от входа *CLKY* до выходов *P*, нс	$t_{P\,(CLKXY-P)}$	—	145
Время задержки распространения сигнала от входа *CLKM* до выходов *P*, нс	$t_{P\,(CLKM-P)}$	—	35
Время задержки распространения сигнала от входа *CLKL* до выходов *P*, нс	$t_{P\,(CLKL-P)}$	—	35
Время задержки перехода от входа *TRIM* до выходов *P*, нс	$t_{T1\,(TRIM-P)}$, $t_{T2\,(TRIM-P)}$	—	40
Время задержки перехода от входа *TRIL* до выходов *P*, нс	$t_{T1\,(TRIL-P)}$, $t_{T2\,(TRIL-P)}$	—	40
Время задержки распространения сигнала от входа *RS* до выходов *P* с округлением произведения, нс	$t_{P1\,(RS-P)}$	—	140
Время задержки распространения сигнала от входа *RS* до выходов *P* без округления произведения, нс	$t_{P2\,(RS-P)}$	—	70
Длительность сигнала высокого уровня на входах *CLKX, CLKY, CLKM, CLKL*, нс	τ_H	25	—
Длительность сигнала низкого уровня на входах *CLKX, CLKY, CLKM, CLKL*, нс	t_L	25	—
Время установления сигнала на входах *X, TCX, Y, TCY* и *RND* относительно сигнала на входах *CLKX, CLKY*, нс	t_{SU}	—	—25
Время сохранения сигнала на входах *X, TCX, Y, TCY* и *RND* относительно сигналов на входах *CLKX, CLKY*, нс	t_H	0	—
Время задержки распространения сигнала от входа *FT* до выходов произведения, нс	$t_{P\,(FT-P)}$	—	80
Время установления сигнала на входах *CLKX, CLKY* (время цикла), нс	t_{CY}	—	—110

Примечание Значения динамических параметров приведены при U_{CC}=5,0 В и T=—10 ÷ +70 °С

Схема умножителя с мультиплексированием и временна́я диаграмма его работы приведены на рис. 12.28 и 12.29 соответственно.

Основные параметры микросхемы КР1802ВР4 даны в табл. 12.22.

12.7. Микросхема КМ1802ВР5

Микросхема КМ1802ВР5 — параллельный умножитель 16×16 разрядов, предназначена для построения быстродействующих процессоров цифровой обработки сигналов, реализующих алгоритмы быстрого преобразования Фурье, цифровую фильтрацию и т. п. Возможно применение также в специализированных и универсальных цифровых ЭВМ.

Каждый из операндов может быть либо кодом (числом без знака), либо числом со знаком. В последнем случае операнд представляется в дополнительном коде. Числа могут быть как целыми, так и меньшими 1.

На выходе умножителя вырабатывается произведение двойной точности (32 разряда), которое может быть округлено до 16 разрядов (включая знаковый разряд). При умножении чисел со знаком в дополнительном коде произведение получается в дополнительном коде.

При действиях над числами со знаком предусмотрена возможность присвоения знака произведения младшей части произведения.

Условное графическое обозначение микросхемы приведено на рис. 12.30, назначение выводов — в табл. 12.23, структурная схема умножителя приведена на рис. 12.31, временна́я диаграмма работы — на рис. 12.32.

Микросхема включает в себя: регистр множимого (регистр *X*), регистр множителя (регистр *Y*), триггер округления, блок умножения, сдвигатель, регистры младшей и старшей частей произведения и выходные буферные каскады младшей и старшей частей произведения.

Регистры *X* и *Y* выполнены на *D*-триггерах с одним тактирующим входом. Запись в них осуществляется по фронту сигналов *CLKX* и *CLKY* соответственно. Помимо 16 разрядов сомножителей в регистры *X* и *Y* заносятся признаки множимого и множителя *TCX* и *TCY*, которые имеют значение 1, если данный сомножитель — число со знаком, и 0, если сомножитель — число без знака. Другими словами, *TCX* и *TCY* — знаки весового коэффициента

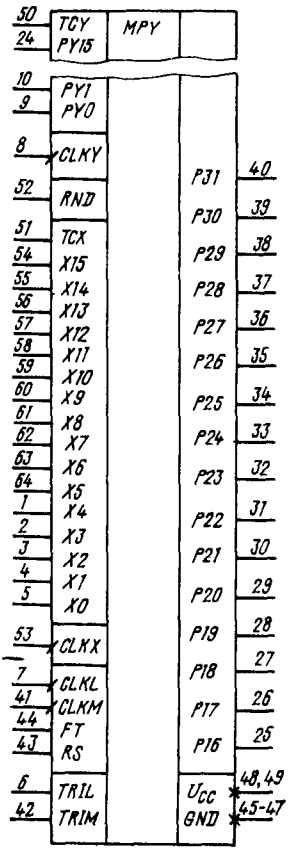


Рис. 12.30. Условное графическое обозначение КМ1802ВР5

Таблица 12.23

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—5, 54—64	*X4—X0, X15—X5*	Входы	Множимое, разряды 4—0, 15—5
6	*TRIL*	Вход	Управление выходными буферными каскадами младшей части произведения
7	*CLKL*	Вход	Синхронизация регистра младшей части произведения
8	*CLKY*	Вход	Синхронизация регистра множителя
9, 10, 11—24	*PY0—PY15*	Выходы/входы	Произведение/множитель, разряды 0—15
25—40	*P16—P31*	Выходы	Произведение, разряды 16—31
41	*CLKM*	Вход	Синхронизация регистра старшей части произведения
42	*TRIM*	Вход	Управление выходными буферными каскадами старшей части произведения
43	*RS*	Вход	Управление сдвигом вправо старшей части произведения
44	*FT*	Вход	Управление «прозрачностью» регистров произведения
45—47	*GND*	—	Общий
48, 49	*Ucc*	—	Напряжение питания +5 В
50	*TCY*	Вход	Знак весового коэффициента старшего разряда множителя
51	*TCX*	Вход	Знак весового коэффициента старшего разряда множимого
52	*RND*	Вход	Округление
53	*CLKX*	Вход	Синхронизация регистра множимого

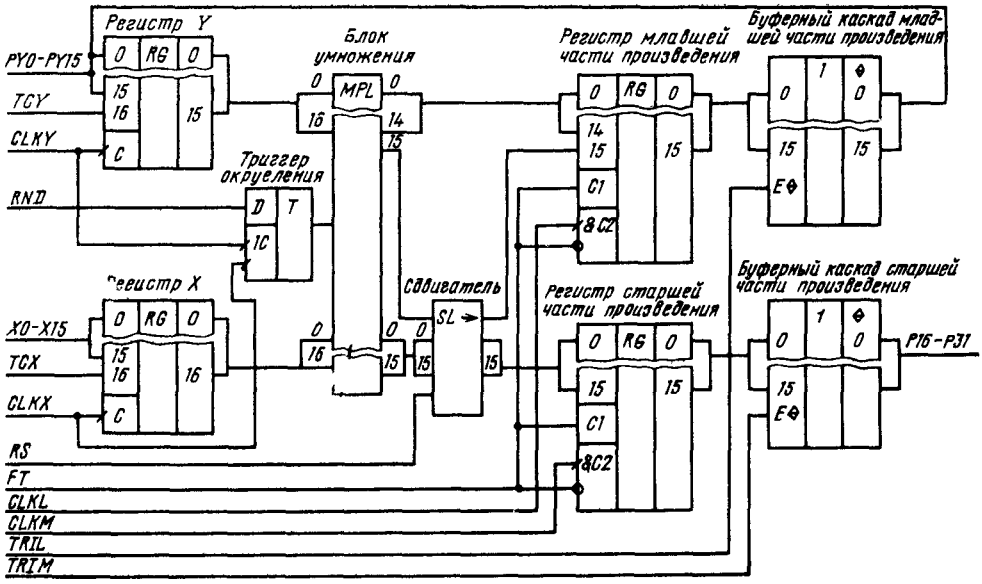


Рис. 12.31. Структурная схема КМ1802ВР5

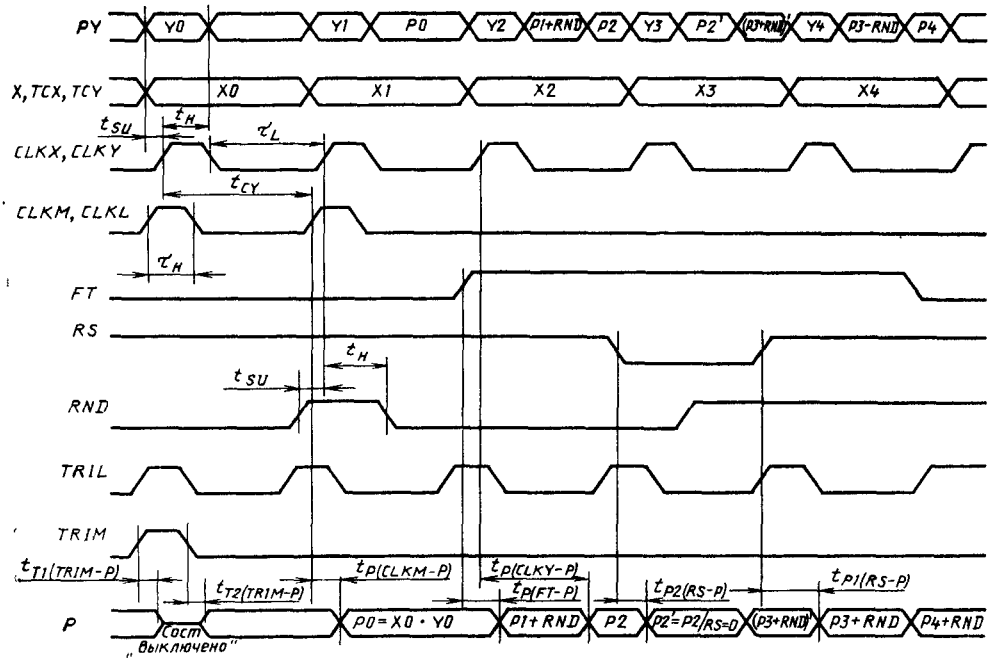


Рис. 12.32. Временна́я диаграмма работы КМ1802ВР5

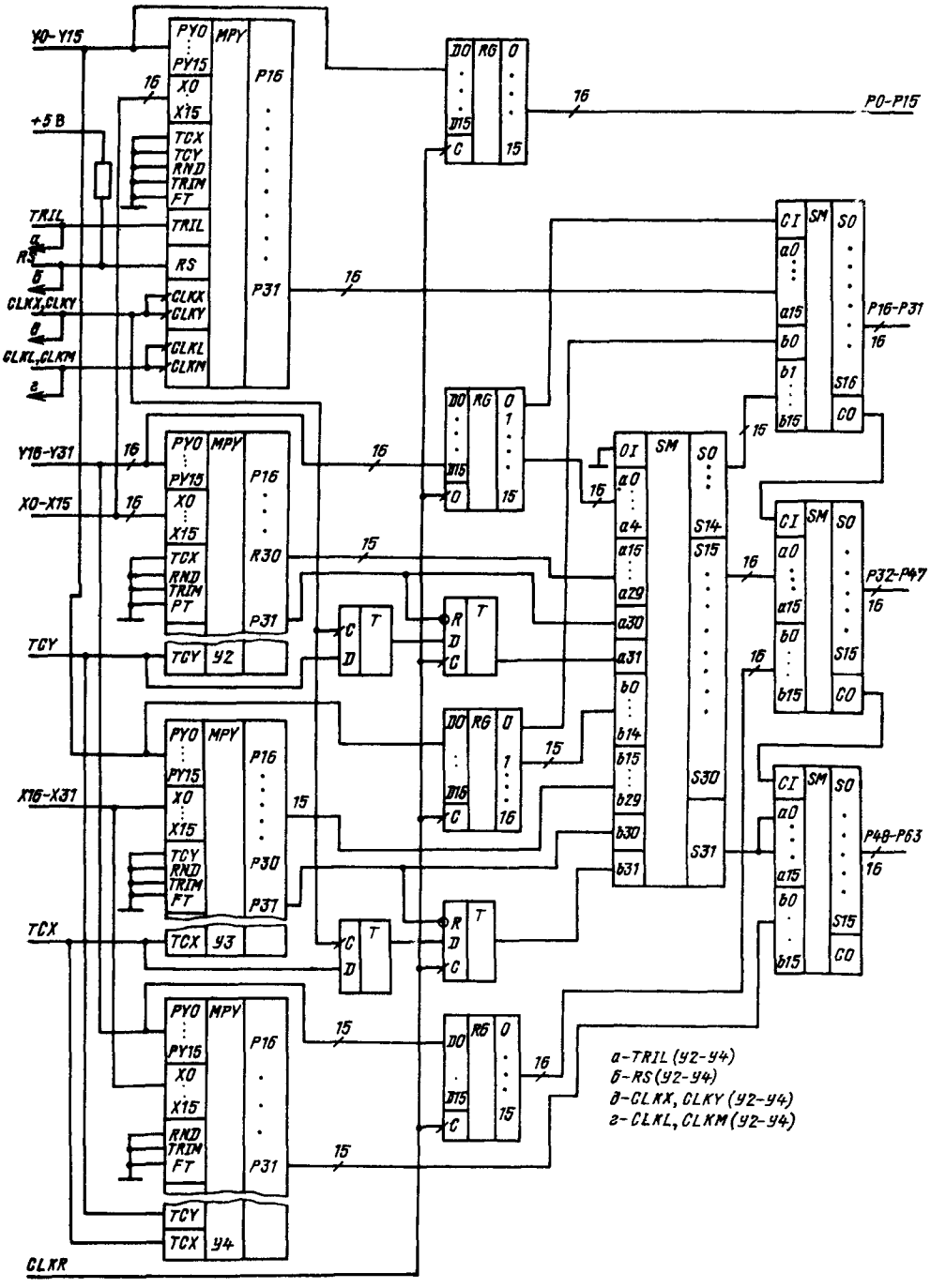


Рис. 12.34. Структурная схема 32-разрядного умножителя

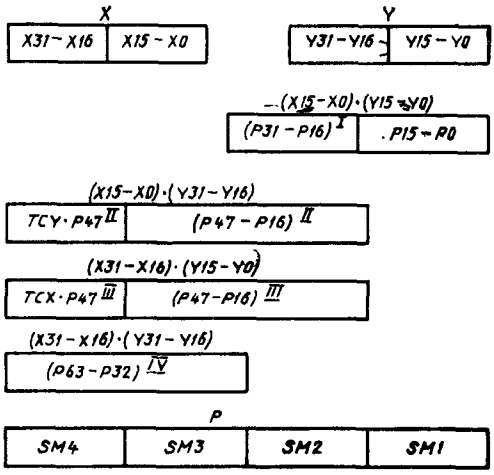


Рис. 12.33. Взаимное расположение частичных произведений в 32-разрядном умножителе

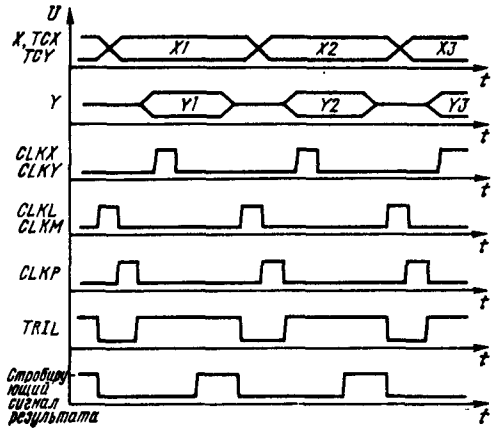


Рис. 12.35. Временна́я диаграмма работы 32-разрядного умножителя

старшего разряда числа: при значении 1 — минус, при 0 — плюс.

По фронту одного из сигналов *CLKY* или *CLKX* в триггер округления записывается сигнал *RND*, по которому производится округление произведения до 16 разрядов в случае $RND = 1$.

Выходные буферные каскады управляются сигналами *TRIL* (младшая часть произведения) и *TRIM* (старшая часть). Каскады находятся в выключенном (третьем) состоянии, когда управляющий сигнал равен 1.

Для уменьшения числа используемых выводов БИС разряды младшей части произведения заведены на шину множителя *Y*, которая является двунаправленной.

Функционирование микросхемы КМ1802ВР5 аналогично описанному в §12.6.

Взаимное расположение частичных произведений в 32×32-разрядном умножителе показано на рис. 12.33, его структурная схема приведена на рис. 12.34. Наличие регистров на выходе *LSP* умножителей и триггеров *T*, запоминающих значения *TCX* и *TCY*, позволяет уменьшить цикл перемножения (умножение в БИС УМ и сложение предыдущих частичных произведений в сумматорах проводятся одно-

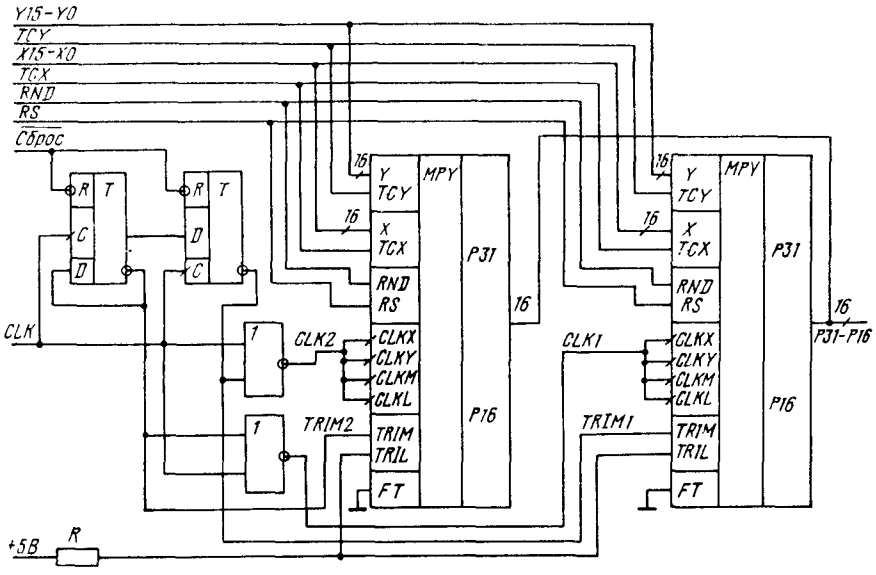


Рис. 12.36. Структурная схема умножителя с мультиплексированием

Таблица 12.24

Параметр	Обозначение	Значения параметров	
		мин	макс.
Выходное напряжение низкого уровня, В, при U_{CC}=4,75 В и I_{OL}=4 мА	U_{OL}	—	0,5
Выходное напряжение высокого уровня, В, при U_{CC}=4,75 В и I_{OH}=0,4 мА	U_{OH}	2,4	—
Ток потребления, мА, при U_{CC}=5,25 В	I_{CC}	—	800
Входной ток низкого уровня, мА, при U_{CC}=5,25 В и U_{IL}=0,5 В, для:	I_{IL}		
выводов *1—5, 9—24, 44, 50—52, 54—64*		—0,4	—
выводов *6, 7, 41—43, 53*		—1,0	—
вывода *8*		—2,0	—
Входной ток высокого уровня, мкА, при U_{CC}=5,25 В и U_{IH}=5,25 В, для	I_{IH}		
выводов *1—5, 44, 50—52, 54—64*		—	75
выводов *9—24, 6, 7, 41—43, 53*		—	175
вывода *8*		—	150
Выходной ток высокого уровня в состоянии «выключено», мкА, при U_{CC}=5,25 В и U_{OH}=5,25 В	I_{OZH}	—	100
Выходной ток низкого уровня в состоянии «выключено», мкА, при U_{CC}=5,25 В и U_{OL}=0,5 В	I_{OZL}	—100	—
Время задержки распространения сигнала от входов *CLKY, CLKX* до выходов *P*, нс	$t_{P\,(CLKY-P)}$	—	175
Время задержки распространения сигнала от входа *CLKM* до выходов *P*, нс	$t_{P\,(CLKM-P)}$	—	35
Время задержки перехода от входа *TRIM* до выходов *P*, нс	$t_{T1\,(TRIM-P)}$, $t_{T2\,(TRIM-P)}$	—	35
Время задержки перехода от входа *TRIL* до выходов *PY*, нс	$t_{T1\,(TRIL-PY)}$, $t_{T2\,(TRIL-PY)}$	—	35
Время задержки распространения сигнала от входа *CLKL* до выходов *PY*, нс	$t_{P\,(CLKL-PY)}$	—	35
Время задержки распространеиня сигнала от входа *RS* до выходов *P* с округлением произведения, нс	$t_{P1\,(RS-P)}$	—	165
Время задержки распространения сигнала от входа *RS* до выходов *P* без округления произведения, нс	$t_{P2\,(RS-P)}$	—	60
Длительность сигнала высокого уровня на входах *CLKX, CLKY, CLKM, CLKL*, нс	τ_H	30	—
Длительность сигнала высокого уровня на входах *CLKX, CLKY, CLKM, CLKL*, нс	τ_L	30	—
Время установления сигнала на входах *X, TCX, Y, TCY* и *RND* относительно сигналов на входах *CLKX, CLKY*, нс	t_{SU}	—	—30
Время сохранения сигнала иа входах *X, TCX, Y, TCY* н *RND* относительно сигналов на входах *CLKX, CLKY*, нс	t_H	0	—

Окончание табл. 12.24

Параметр	Обозначение	Значения параметров	
		мин	макс.
Время задержки распространения сигнала от входа *FT* до выходов произведения, нс	$t_{P\ (FT-P)}$	—	100
Время установления сигнала на входах *CLKX*, *CLKY* относительно сигнала на входах *CLKM*, *CLKY* (время цикла), нс	T_C	—	—140

Примечание. Значения динамических параметров приведены при U_{CC}= 5,0 В и T=—10 ÷ +70 °С.

временно). Временна́я диаграмма работы устройства приведена на рис. 12.35.

Схема умножителя с мультиплексированием и временна́я диаграмма его работы показаны на рис. 12.36 и 12.37 соответственно.

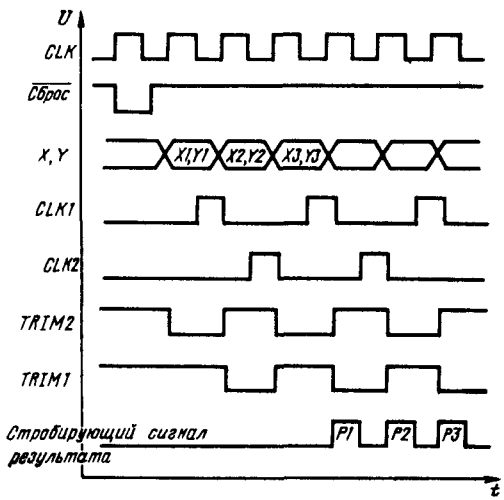


Рис. 12.37. Временна́я диаграмма работы умножителя с мультиплексированием

Основные параметры микросхемы КМ1802ВР5 приведены в табл. 12.24.

12.8. Микросхема КР1802ИМ1

Микросхема сумматора КР1802ИМ1 — быстродействующая 4-разрядная наращиваемая секция, предназначена для выполнения арифметического сложения и вычитания до четырех чисел (*A*, *B*, *C* и *D*), представленных дополнительным кодом.

Микросхема сумматора может быть использована для построении быстродействующих многовходовых суммирующих систем при ре-

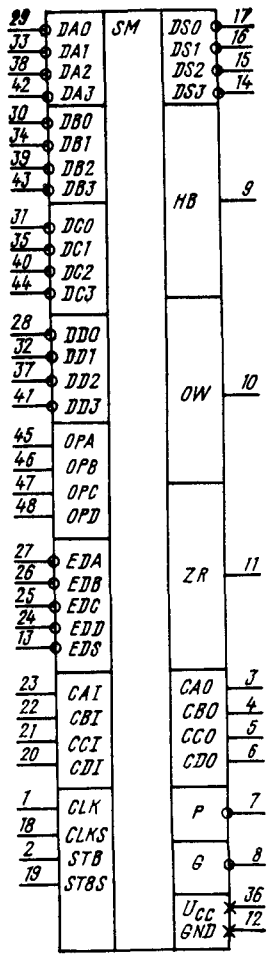


Рис. 12.38. Условное графическое обозначение КР1802ИМ1

Таблица 12.25

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*CLK*	Вход	Запись операндов
2	*STB*	Вход	Управление записью операндов
3—6	*CA0, CB0, CC0, CD0*	Выходы	Переносы *A, B, C, D*
7	*P*	Вы ход	Распространение переноса
8	*G*	Вы ход	Генерация переноса
9	*HB*	Вы ход	Знак результата
10	*OW*	Вы ход	Признак переполнения
11	*ZR*	Выход[1]	Признак нуля
12	*GND*	—	Общий
13	*EDS*	Вход	Управление буферной схемой результата
14—17	*DS3—DS0*	Выходы[2]	Результат, разряды 3—0
18	*CLKS*	Вход	Запись результата
19	*STBS*	Вход	Управление записью результата
20—23	*CDI, CCI, CBI, CAI*	Входы	Перенос *D, C, B, A*
24—27	*EDD, EDC, EDB, EDA*	Входы	Разрешение *D, C, B, A*
28—35	*DD0, DA0, DB0, DC0, DD1, DA1, DB1, DC1*	Входы	Данные *D, A, B, C,* разряды 0, 1
36	U_{CC}	—	Напряжение питания
37—44	*DD2, DA2, DB2, DC2, DD3, DA3, DB3, DC3*	Входы	Данные *D, A, B, C,* разряды 2, 3
45—48	*OPA, OPB, OPC, OPD*	Входы	Операции *A, B, C, D*

[1] С открытым коллектором.
[2] С тремя состояниями.

шении задач цифровой обработки сигналов, таких как спектральный и корреляционный анализ и др.

Условное графическое обозначение микросхемы приведено на рис. 12.38, назначение выводов — в табл. 12.25, структурная схема показана на рис. 12.39, временные диаграммы работы — на рис. 12.40.

Микросхема состоит из следующих основных узлов: управляемых блоков инверсии *M2;* 4-разрядных регистров данных *(A, B, C, D) RG;* буферных схем сигналов *STB* и *CLK;* суммирующей матрицы *SM;* 5-разрядного регистра суммы и признака переполнения; выходной буферной схемы с тремя состояниями; схемы выделения признака нуля результата.

Данные поступают на информационные шины *DA, DB, DC, DD* и *DS* в инверсном виде.

Управляемые блоки инверсии *M2* служат для выработки инверсного кода операнда. Суммирующая матрица *SM* представляет собой комбинационную схему, выполняющую операцию суммирования четырех 4-разрядных чисел с выделением признака переполнения и сигналов простых и ускоренных переносов. Слагаемые могут быть выражены как прямым, так и дополнительным кодом.

Знаки чисел подаются на старшие разряды устройства (*DA3, DB3, DC3, DD3*). На соответствующие управляющие входы блока инверсий *M2 OPA, OPB, OPC, OPD* подаются сигналы управления видом операции (сложение или вычитание соответствующих чисел *A, B, C* или *D*), причем низкий уровень сигнала *OP* соответствует сложению слагаемого по выбранному каналу, а высокий уровень — вычитанию.

При операции сложения (на входы *OP* подается напряжение низкого уровня) блок инверсий пропускает инвертированный операнд (слагаемое) на информационный вход регистра данных.

При операции вычитания (на входы *OP* подается напряжение высокого уровня) операнд без изменений поступает на регистр данных. А так как вычитание числа есть сложение его дополнительного кода, то на соответствующий вход переноса *CAI, CBI, CCI, CDI* необходимо обеспечить подачу лог. 1.

Если необходимое число слагаемых меньше четырех, то любое число слагаемых может

быть исключено подачей сигнала высокого уровня на соответствующий вход разрешения *EDA, EDB, EDS, EDD*. В этом случае информация, записываемая в регистр данных этого канала, зависит от соответствующего сигнала *OP*. При низком уровне напряжения на входах *OP* во все разряды этого регистра записываются 0 и производится суммирование выбранных чисел. При высоком уровне напряжения на входах *OP* в соответствующий регистр записываются все 1 и результат суммирования будет на 1 меньше. При низком уровне напряжения на входах *ED* разрешается работа соответствующего канала.

Работа блоков инверсий *M2* описывается следующими формулами:

$$A = OPA \oplus DA \wedge \overline{EDA};$$

$$B = OPD \oplus DB \wedge \overline{EDB};$$

$$C = OPC \oplus DC \wedge \overline{EDC};$$

$$D = OPD \oplus DD \wedge \overline{EDD},$$

где *A, B, C, D* — информация в прямом коде на выходе блока инверсий.

Информация с выходов блоков инверсий *M2* поступает на соответствующие информационные входы *RG*. Эти регистры выполнены на двухтактных *D*-триггерах с записью информации в первую и вторую ступени соответственно по низкому и высокому уровням напряжения на входе *CLK*. Вторая ступень триггера имеет также вход управления *STB*, который дает возможность исключить регистр данных как запоминающий элемент, делая его «прозрачным» при высоком уровне напряжения на входе *STB* и низком уровне напряжения на входе *CLK*.

С регистров *RG* данные поступают на суммирующую матрицу *SM*, состоящую из четырех ступеней суммирования. В состав первых двух ступеней входят полные одноразрядные сумматоры. Выходы первых трех регистров данных (*RGA, RGB, RGC*) поступают на входы сумматоров первой ступени, а выход четвертого регистра (*RGD*) — на вход сумматора второй

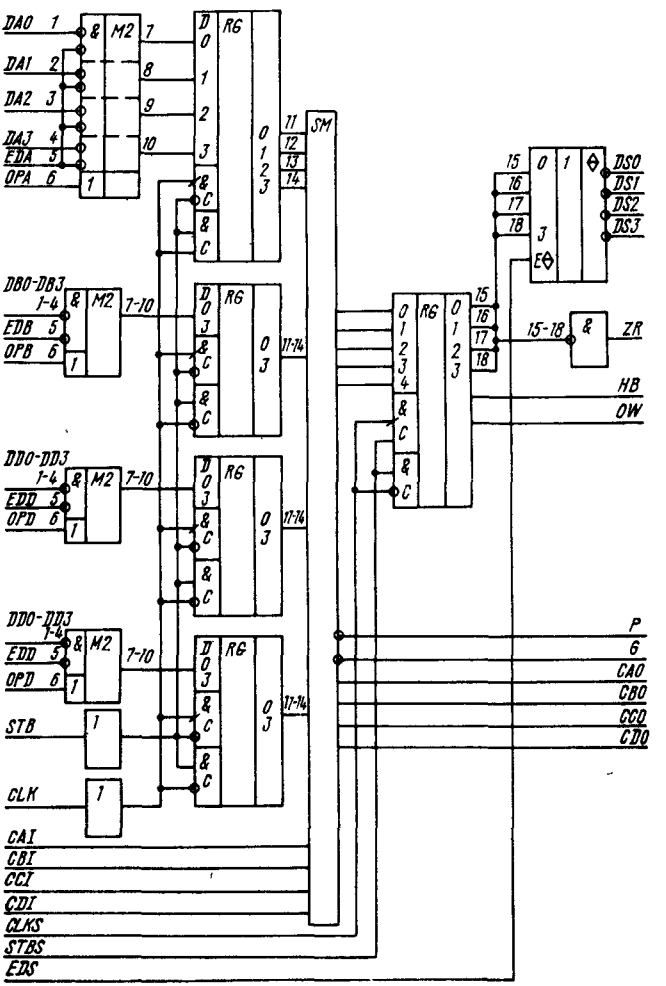


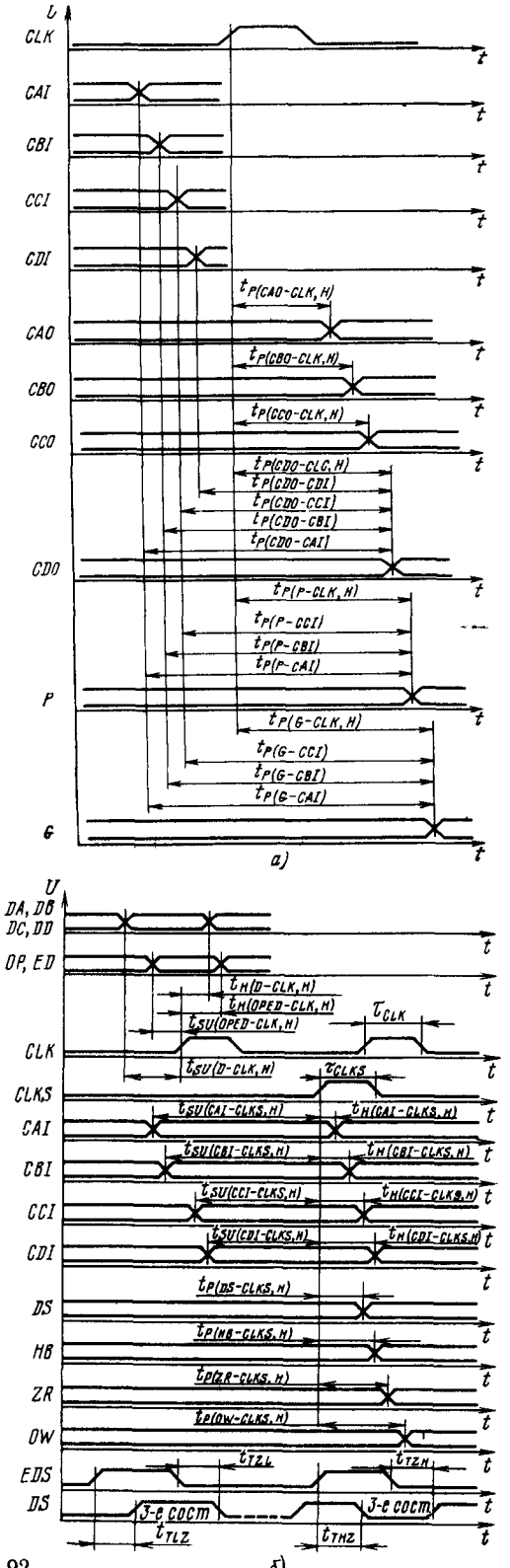
Рис. 12.39. Структурная схема КР1802ИМ1

ступени. При этом сигналы переноса распространяются диагонально от младшего разряда к старшему (кроме последней ступени, в которой используется сумматор с параллельным переносом).

В суммировании принимают участие также входные переносы *CAI, CBI, CCI, CDI*.

В результате суммирования вырабатывается 4-разрядная сумма *DS3—DS0*, сигналы выходных переносов *CAO, CBO, CCO, CDO* и сигналы предварительного просмотра переносов *P* и *G*, а также вырабатывается признак переполнения *OW*. Признак переполнения вырабатывается правильно только при сложении не более двух чисел во всем диапазоне их представления.

Все сигналы выходных переносов, кроме *CDO*, не зависят от входных переносов. Сиг-



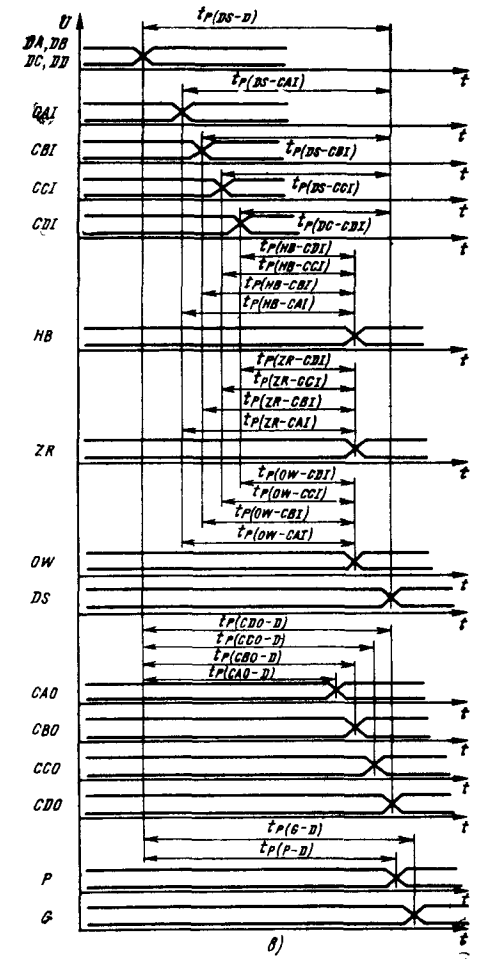


Рис. 12.40 Временные диаграммы работы КР1802ИМ1.

а — при синхронизации входных регистров, *б* — при синхронизации входных и выходного регистров; *в* — при «прозрачных» входных и выходном регистрах

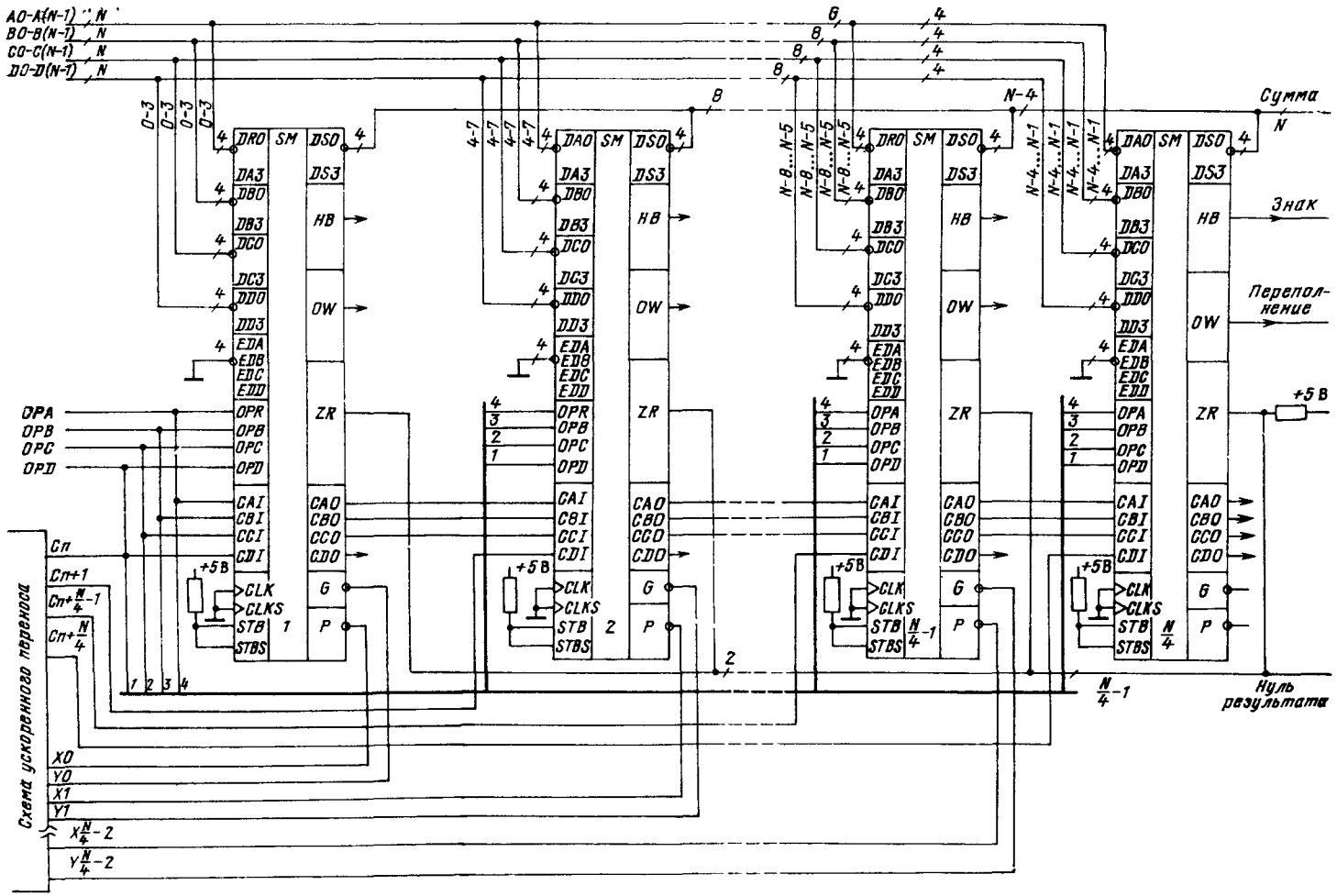


Рис. 12.41. Схема объединения микросхем КР1802ИМ1 для суммирования четырех N-разрядных чисел

налы распространения переноса P и генерации переноса G не зависят от входного переноса CDI. Сигнал CDO связан с сигналами P и G следующей зависимостью: $CDO=\overline{G} \vee \overline{P} \wedge CDI$.

Результат суммирования и признак переполнения поступают на информационные входы регистра суммы, который аналогичен входному регистру данных и управляется соответственно сигналами $CLKS$ и $STBS$. После записи в регистр суммы вырабатываются признак равенства нулю результата (выход ZR) и отдельно знак результата (выход HB). С регистра суммы результат суммирования выдается на выходной буферный каскад, с которого он поступает на шину DS в инверсном виде.

При высоком уровне напряжения на входе EDS выходной буферный каскад переходит в третье, выключенное состояние, запрещая выдачу результата суммирования на общую шину, к которой теперь может подключаться другое устройство.

Результат суммирования определяется следующей формулой:

$$DS=(OPA \oplus DA \wedge \overline{EDA})+CAI+(OPB \oplus DB \wedge \overline{EDB})+CBI+(OPC \oplus DC \wedge \overline{EDC})+CCI+(OPD \oplus DD \wedge \overline{EDD})+CDI,$$

где DS, DA, DB, DC, DD — 4-разрядные сумма и слагаемые A, B, C, D.

На рис. 12.41 приведена схема наращивания БИС сумматора для сложения четырех N-разрядных чисел; БИС сумматора позволяет расширение разрядной сетки слагаемых до любого числа разрядов.

С целью выполнения операции вычитания числа соответствующие входы управления OPA, OPB, OPC, OPD блоками инверсий MS подаются на соответствующие входы переносов младшей секции, что обеспечивает формирование дополнительного кода вычитаемого числа, и далее соединяются с одноименными входами всех $N/4$-секций.

Так как выходы переноса CAO, CBO, CCO у всех секций имеют одинаковую соответствующую задержку распространения от информационных входов, то при наращивании выходы переноса CAO, CBO, CCO одной секции непосредственно соединяются с соответствующими входами переноса CAI, CBI, CCI другой секции.

При $N>8$ целесообразно использование схемы ускоренного переноса для формирования параллельного переноса по входам CDI, в противном случае по цепи CDI—CDO будет накапливаться задержка распространения сигнала CDO от секции к секции.

Для получения признака нуля результата необходимо у всех секций объединить выходы ZR через резистор, подключенный к источнику питания +5 В.

Основные параметры микросхемы КР1802ИМ1 приведены в табл. 12.26.

Таблица 12.26

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Выходное напряжение низкого уровня, В:	U_{OL}		
для выводов *7, 8, 11, 14—17* при $U_{CC}=4{,}75$ В и $I_{OL}=15$ мА		—	0,5
для выводов *3—6, 9, 10* при $U_{CC}=4{,}75$ В и $I_{OL}=5$ мА			
Выходное напряжение высокого уровня, В, при $U_{CC}=4{,}75$ В и $I_{OH}=1$ мА	U_{OH}	2,4	—
Ток потребления, мА, при $U_{CC}=5{,}25$ В	I_{CC}	—	280
Входной ток низкого уровня, мА, при $U_{CC}=5{,}25$ В и $U_{IL}=0{,}5$ В:	I_{IL}		
для выводов *1, 2, 18—23, 28—35, 37—48*		—0,4	—
для выводов *13, 24—27*		—0,8	—
Входной ток высокого уровня, мкА, при $U_{CC}=5{,}25$ В и $U_{IH}=5{,}25$ В	I_{IH}	—	40
Выходной ток низкого уровня в состоянии «выключено», мкА, при $U_{CC}=5{,}25$ В и $U_{OL}=0{,}5$ В	I_{OZL}	—100	—
Выходной ток высокого уровня в состоянии «выключено», мкА, при $U_{CC}=5{,}25$ В и $U_{OH}=5{,}25$ В	I_{OZH}	—	100

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Выходной ток высокого уровня, мкА, при U_{CC}= =5,25 В и U_{OH}=5,25 В	I_{OH}	—	100
Время задержки распространения сигнала от входа *CBI* до выходов, нс:			
HB	$t_{P(CBI-HB)}$	—	29
ZR, OW	$t_{P(CBI-ZR)}$, $t_{P(CBI-OW)}$	—	38
Время задержки распространения сигнала от входа *CCI* до выходов, нс:			
CDO	$t_{P(CCI-CDO)}$	—	20
DS, P, G	$t_{P(CCI-DS)}$, $t_{P(CCI-G)}$, $t_{P(CCI-P)}$	—	24
HB	$t_{P(CCI-HB)}$	—	29
ZR, OW	$t_{P(CCI-ZR)}$, $t_{P(CCI-OW)}$	—	38
Время задержки распространения сигнала от входа *CDI* до выходов, нс:			
CDO, DS	$t_{P(CDI-CDO)}$, $t_{P(CDI-DS)}$	—	24
HB	$t_{P(CDI-HB)}$	—	29
ZR, OW	$t_{P(CDI-ZR)}$, $t_{P(CDI-OW)}$	—	38
Время задержки перехода от входа *EDS* до выходов *DS*, нс	t_{TZL}, t_{TZH}	—	35
	t_{TLZ}, t_{THZ}	—	35
Время задержки распространения сигнала от входа *CLKS* до выходов, нс:			
HB, ZR, OW	$t_{P(CLKS-HB)}$, $t_{P(CLKS-ZR)}$, $t_{P(CLKS-OW)}$	—	28
DS	$t_{P(CLKS-DS)}$	—	24
Время задержки распространения сигнала от входа *CLK* до выходов, нс.			
CAO, CBO	$t_{P(CLK-CAO)}$, $t_{P(CLK-CBO)}$	—	24
CCO	$t_{P(CLK-CCO)}$	—	37
CDO, P, G	$t_{P(CLK-CDO)}$, $t_{P(CLK-P)}$, $t_{P(CLK-G)}$	—	48

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Время задержки распространения сигнала от входа *CAI* до выходов, нс:			
CDO, P, G	$t_{P\,(CAI-G)}$, $t_{P\,(CAI-P)}$, $t_{P\,(CAI-CDO)}$	—	35
DS	$t_{P\,(CAI-DS)}$	—	40
HB	$t_{P\,(CAI-HB)}$	—	29
ZR, OW	$t_{P\,(CAI-ZR)}$, $t_{P\,(CAI-OW)}$	—	38
Время задержки распространения сигнала от входа *CBI* до выходов, нс:			
CDO	$t_{P\,(CBI-CDO)}$	—	20
DS, P, G	$t_{P\,(CBI-DS)}$, $t_{P(CBI-P)}$, $t_{P(CBI-G)}$	—	24
Время задержки распространения сигнала от входа *DC* до выходов, нс:			
DS, CDO	$t_{P\,(DC-CDO)}$, $t_{P\,(DC-DS)}$	—	55
CAO, CBO, CCO, P, G	$t_{P\,(DC-CAO)}$, $t_{P\,(DC-CBO)}$, $t_{P\,(DC-CCO)}$, $t_{P\,(DC-P)}$, $t_{P\,(DC-G)}$	—	40
Длительность сигнала высокого и низкого уровней на входах *CLK, CLKS*, нс	$\tau_{H,\,CLK}$, $\tau_{L,\,CLK}$, $\tau_{H,\,CLKS}$, $\tau_{L,\,CLKS}$	10	—
Время установления сигнала на входах *DA, DB, DC, DD* относительно сигнала на входе *CLK*, нс	$t_{SU\,(D-CLK,\,H)}$	—4	—
Время установления сигнала на входах *OPA, OPB, OPC, OPD, EDA, EDB, EDD* относительно сигнала на входе *CLK*, нс	$t_{SU\,(OP-CLK,\,H)}$, $t_{SU\,(ED-CLK,\,H)}$	—5 —8	— —
Время сохранения сигнала на входах *DA, DB, DC, DD, OPA, OPB, OPC, OPD, EDA, EDB, EDC, EDD* относительно сигнала на входе *CLK*, нс	$t_{H(D-CLK,\,H)}$, $t_{H\,(OP-CLK,\,H)}$, $t_{H\,(ED-CLK,\,H)}$	0	—
Время установления сигнала на входах относительно сигнала на входе *CLK*, нс:			
CAI	$t_{SU\,(CAI-CLKS,\,H)}$	—25	—
CBI	$t_{SU\,(CBI-CLKS,\,H)}$	—22	—

Параметр	Обозначение	Значения параметров	
		мин.	макс.
CCI	$t_{SU\ (CCI-CLKS,\ H)}$	—18	—
CDI	$t_{SU\ (CDI-CLKS,\ H)}$	—12	—
Время сохранения сигнала на входах относительно сигнала на входе *CLKS*, нс:			
CAI	$t_{H\ (CAI-CLKS,\ H)}$	—	10
CBI	$t_{H\ (CBI-CLKS,\ H)}$	—	8
CCI	$t_{H\ (CCI-CLKS,\ H)}$	—	6
CDI	$t_{H\ (CDI-CLKS,\ H)}$	—	3

Примечание. Значения динамических параметров приведены при U_{CC}= 5,0 В и T=—10÷+70 °С.

12.9. Микросхема КР1802ИП1

Микросхема КР1802ИП1 — матрица многофункциональных ассоциативных регистров (МАР), предназначена для хранения данных, проведения контроля по четности, формирования признаков ассоциативного сравнения, восстановления исходной информации при сбоях в системах.

Микросхема может быть использована для

Таблица 12.27

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 23, 26, 46	*DERDC, DERDD, DERDB, DERDA*	Входы	Запрет чтения на магистралях *C, D, B, A*
2, 3, 21, 22, 27, 28, 44, 45	*AC0, AC1, AD1, AD0, AB0, AB1, AA1, AA0*	Входы	Адреса *C, D, B, A*
4	*INSYN*	Вход	Синхронизация
5—7	*INS2—INS0*	Входы	Инструкция
8—11, 13	*DC0—DC4*	Входы выходы	Данные магистрали *C*
14—18	*DD4—DD0*	Входы выходы	Данные магистрали *D*
31—35	*DB0—DB4*	Входы выходы	Данные магистрали *B*
38—42	*DA4—DA0*	Входы выходы	Данные магистрали *A*
12, 37	*GND*	—	Общий
19, 20, 29, 30	*A3—A0*	Входы, выходы	Непосредственная адресация
24, 25, 47, 48	*DEWRD, DEWRB, DEWRA, DEWRC*	Входы	Запрет записи с магистралей *D, B, A, C*
43	*INER*	Выход	Отсутствие ошибки
36	U_{CC}	—	Напряжение питания

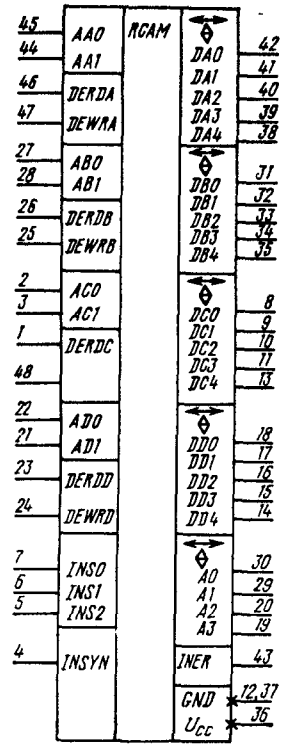


Рис 12.42. Условное графическое обозначение КР1802ИП1

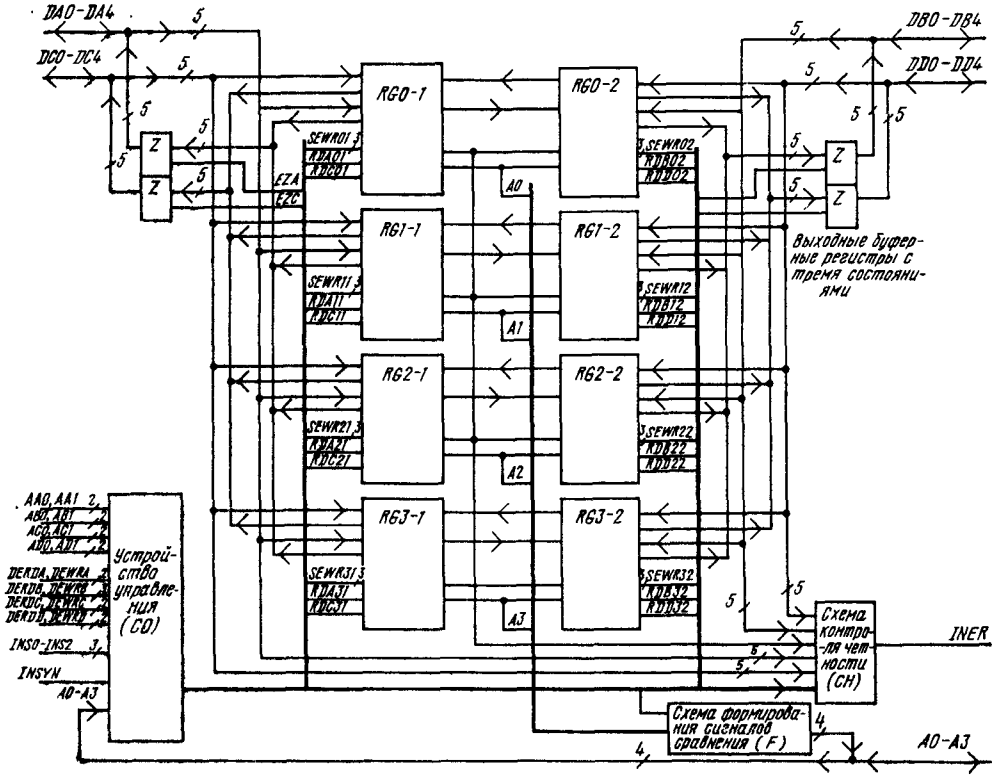


Рис. 12.43. Структурная схема КР1802ИП1

построения на ее основе следующих видов быстрой памяти:

сверхоперативной (адресной) памяти с организацией «четыре плюс четыре регистра по пять разрядов»: (4+4)×5 р;

сверхоперативной (адресной) памяти с организацией «четыре регистра по 10 разрядов»: 4×10 р;

ассоциативной памяти с поиском слова по равенству признака опроса (дескриптора) и ассоциативного признака, хранящегося в регистре, с возможностью маскирования разрядов сравниваемых чисел;

памяти с двухкоординатным поиском слова, т. е. выполнением ассоциативного сравнения в выбранной строке, с возможностью маскирования разрядов сравниваемых чисел;

специальных видов памяти типов СТЕК, КЭШ.

Устройства памяти, построенные с помощью микросхемы МАР, могут иметь любое число слов любой разрядности.

При построении ассоциативной памяти микросхема может работать как в поле ассоциативных признаков, так и в поле основной информации.

Условное графическое обозначение микросхемы приведено на рис. 12.42, назначение выводов — в табл. 12.27, структурная схема показана на рис. 12.43, временные диаграммы работы — на рис. 12.44.

Микросхема включает в себя следующие основные устройства: узлы матрицы ассоциативных регистров *RG0-1, RG1-1, RG2-1, RG3-1, RG0-2, RG1-2, RG2-2, RG3-2*; устройство управления *CO*; схему контроля четности *CH*; схему формирования сигналов сравнения *F*; выходные буферные регистры с тремя состояниями *Z*.

Узлы *RG0-1—RG3-1* связаны с магистралями *DA* и *DC*; узлы *RG0-2—RG3-2* — с магистралями *DB* и *DD*.

Входы/выходы *DA4, DB4, DC4, DD4* предназначены для тетрадных контрольных разрядов.

Структурная схема одной из строк микросхемы МАР, содержащая два узла МАР, приведена на рис. 12.45. В состав узла МАР (*RG*) входят следующие устройства: мультиплексор *MS*, регистр *RG*, схема контроля *CH*, схема сравнения *A*, устройства чтения *ARD*.

На мультиплексор *MS* и регистр *RG* узла МАР подаются сигналы выбора данных и записи *SEWR*.

На соответствующую магистраль устройства чтения подаются сигналы чтения *RDA, RDB, RDC* или *RDD*.

Мультиплексор *MS* по сигналам выбора и записи *SEWR* осуществляет передачу на вход

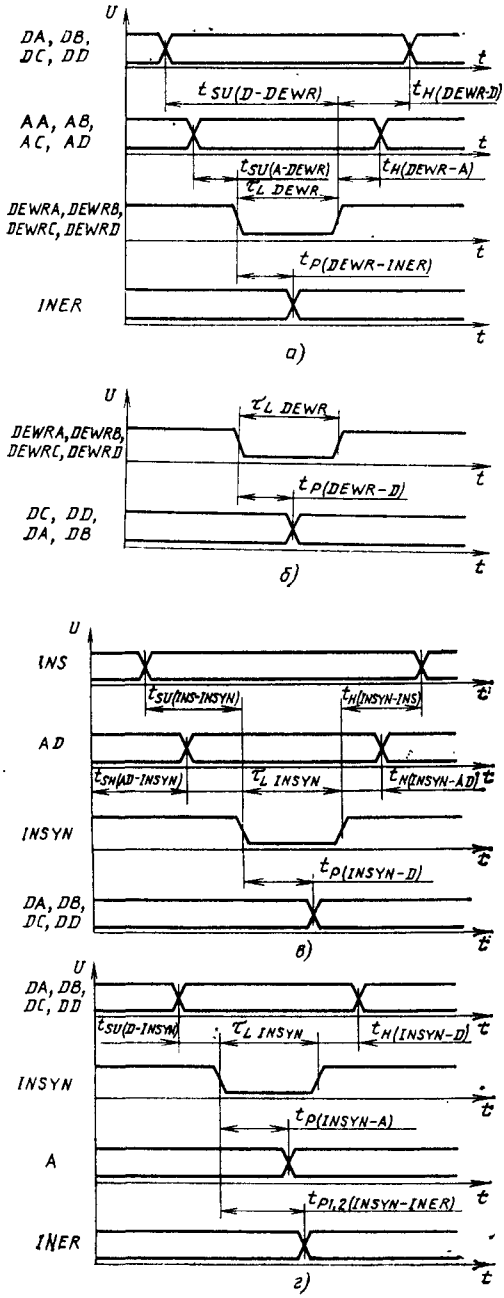
регистра *RG* узла МАР информацию с входных шин *DAI* или *DCI* (в левом столбце) и *DBI* или *DDI* (в правом столбце), а также информацию с выхода соседнего регистра данной строки. При этом каждый из трех сигналов *SEWR* разрешает прохождение информации с одного из направлений.

Регистр *RG* узла МАР является 5-разрядным регистром, построенным на *D*-триггерах типа «защелка». Он производит запись и хранение информации, подаваемой на его вход с мультиплексора *MS*. Запись информации в регистр происходит при наличии сигнала высокого уровня на одном из входов *SEWR*.

Схема контроля *CH* узла МАР производит сложение по модулю 2 четырех разрядов данных и тетрадного контрольного разряда, хранящихся в регистре *RG* узла МАР. Наличие напряжения высокого уровня на выходе *CH* свидетельствует о возникновении ошибки четности информации в регистре *RG* узла МАР.

Выходы *CH* всех *RG* МАР объединяются для формирования общего сигнала ошибки четности хранимой информации *ER*.

Схема сравнения *A* обеспечивает сравнение внешнего признака опроса (дескриптора), поступающего по входной шине *DAI (DBI)*, и ассоциативного признака, хранящегося в регистре. При этом сравниваемые числа могут быть замаскированы таким образом, что напряжение высокого уровня разряда маски, поступающее по входной шине *DCI (DDI)*, дает сигнал сравнения (напряжение высокого уровня) в данном разряде независимо от значений содержимого соответствующих разрядов



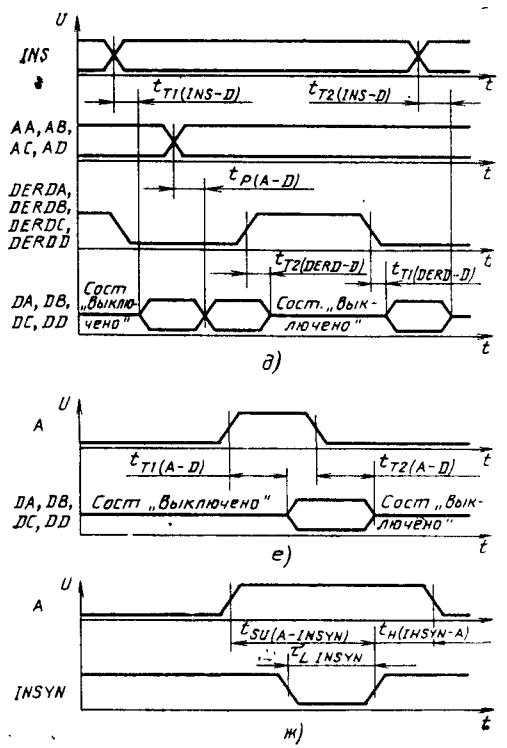


Рис. 12.44. Временные диаграммы работы КР1802ИП1 в режимах:

а — адресной записи; *б* — сквозной записи/чтения; *в* — переписи данных; *г* — ассоциативного поиска; *д* адресного чтения; *е* — ассоциативной записи; *ж* — ассоциативного чтения

регистров и дескриптора. Контрольные разряды четности в сравнении не участвуют.

Ассоциативное сравнение содержимого регистров и дескриптора происходит сразу во всей строке МАР. Поэтому выходы схем сравнения двух узлов МАР (одной строки) объединяются для формирования общего сигнала наличия сравнения в данной строке.

Устройство чтения *ARD* по сигналам *RDA (RDB)* или *RDC (RDD)*, поступающим из устройства управления, пропускает на соответствующую выходную шину *DAO (DBO)* или *DCO (DDO)* информацию с выхода регистра *RG* узла МАР.

Устройство управления *CO* дешифрует адреса регистров узла МАР, к которым происходит обращение, и коды инструкций, задающих режимы работы микросхемы, осуществляет синхронизацию микросхемы, вырабатывает сигналы выбора данных и записи *(SEWR)* и чтения *(RDA, RDB, RDC, RDD)* для каждого узла МАР, а также сигналы разрешения включения 3-го состояния выходных буферных регистров *Z*, формирует признак наличия или отсутствия ассоциативного сравнения в данной схеме, управляет работой схемы контроля четности *CH* и схемы формирования сигналов сравнения *F*.

Схема *CH* проводит проверку на четность хранимой в регистрах информации во всех режимах работы, а также информации, находящейся на магистралях (т. е. дескриптора и маски), в режимах ассоциативного и двухкоординатного поисков. Наличие напряжения высокого уровня на выходе *INER* свидетельствует об отсутствии ошибки четности в схеме.

В режимах ассоциативного и двухкоординатного поисков на выход *INER* может подаваться также сигнал отсутствия сравнения в данной схеме (напряжение высокого уровня).

Схема формирования сигналов сравнения *F* вырабатывает сигналы, свидетельствующие о наличии ассоциативного сравнения в одной или нескольких строках микросхемы при ассоциативном или двухкоординатном поиске (в последнем случае адрес строки задается в *F* с помощью сигналов из *CO*).

Выходные буферные регистры с тремя состояниями обеспечивают возможность работы МАР с двунаправленными магистралями данных *DA, DB, DC, DD, CO*.

Режимы работы микросхемы МАР задаются с помощью входов инструкций *INS2—INS0* и дополнительных сигналов управления. В качестве дополнительных сигналов управления используются сигналы, поступающие по адресным шинам *AA, AB, AC, AD*.

Коды инструкций и соответствующие им режимы работы приведены в табл. 12.28 и 12.29.

Синхронизация режимов работы микросхемы осуществляется путем подачи следующих сигналов:

запрета записи *DEWRA, DEWRB, DEWRC, DEWRD* и запрета чтения *DERDA, DERDB, DERDC, DERDD* для синхронизации адресного режима работы с магистралями *DA, DB, DC, DD* соответственно;

ACO (AC1) для синхронизации режима ассоциативного чтения по объединенной магистрали *DA—DB (DC—DD)*;

INSYN для синхронизации остальных ассоциативных режимов и записи информации.

Основным режимом работы микросхемы МАР является адресный (режим сверхоперативной памяти). При работе микросхемы в ад-

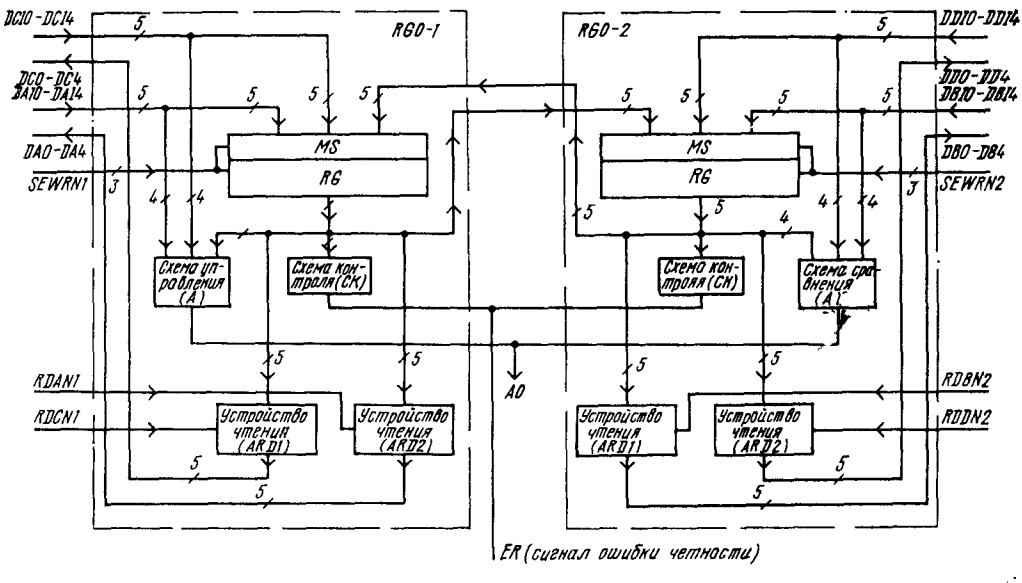


Рис. 12.45. Структурная схема строки МАР

Таблица 12.28

Код управления			Режим работы	Дополнительные управляющие поля	Синхронизация
INS2	*INS1*	*INS0*			
0	0	0	Отключение кристалла	—	—
0	0	1	Ассоциативный доступ (чтение/запись)	Чтение: AC Запись: AD	AC
0	1	0	Перезапись столбцом влево	—	INSYN
0	1	1	Перезапись столбцом вправо	—	
1	0	0	Ассоциативный поиск активный	АП: AA ДКП: AA, AB	
1	0	1	Ассоциативный поиск пассивный	АП: AA ДКП: AA, AB	
1	1	0	Перезапись по входам *A0—A3*	AD	
1	1	1	Адресный режим	—	—

Примечания: 1. АП — простой ассоциативный поиск, ДКП — двухкоординатный поиск.
2. Операции, задаваемые дополнительными управляющими полями, см. в табл. 12.29.

ресном режиме каждой магистрали соответствуют управляющие сигналы:

запрета чтения на данную магистраль (*DERDA, DERDB, DERDC, DERDD* для магистралей *DA, DB, DC, DD* соответственно);

запрета записи с данной магистрали (*DEWRA, DEWRB, DEWRC, DEWRD* для магистралей *DA, DB, DC, DD* соответственно);

двухразрядного адреса конкретного узла МАР-столбца, работающего с данной магистралью.

При этом магистралям *DA* и *DC* соответствуют левый столбец узлов МАР (*RG0-1—RG3-1*) и адресные поля *AA* и *AC* соответственно, а магистралям *DB* и *DD* — правый столбец (*RG0-2—RG3-2*) и адресные поля *AB* и *AD* соответственно.

Адресация регистров узлов МАР с помощью адресных полей производится согласно табл. 12.30.

При работе микросхемы в режиме сверхоперативной (адресной) памяти с организацией «четыре плюс четыре регистра по пять разрядов» управление чтением и записью относительно любой из магистралей производится независимо и одновременно. Это позволяет в один и тот же момент осуществить чтение любого регистра столбца на любую из двух соответствующих магистралей и запись информации в любой регистр столбца с любой из двух соответствующих магистралей.

Одновременное чтение информации из нескольких регистров на одну и ту же магистраль и запись информации в несколько регистров с одной и той же магистрали невозможны.

В режиме сверхоперативной памяти с организацией «четыре регистра по десять разрядов» микросхема МАР рассматривается как четыре байтовых регистра, имеющих по два тетрадных контрольных разряда.

Один байтовый регистр образует два регистра *RG* одной строки. Регистры подключены к двум 10-разрядным (с линиями контрольных разрядов) бинаправленным магистралям. Данная структура получается путем объединения по управлению магистралей *DA* с *DB* и *DC* с *DD*. Управление чтением/записью по каждой из полученных магистралей независимое, с использованием полей признаков чтения/записи (полей *DERDA—DERDD* и *DEWRA—DEWRD*) и адресных полей *AA, AB, AC, AD*. В дальнейшем, если линии контрольных разрядов не участвуют в функциональном описании, объединенные магистрали называются байтовыми магистралями *DA—DB* и *DC—DD*.

Адресный режим может использоваться одновременно и независимо с любым другим ре-

Таблица 12.29

Адрес		Операция	Инструкция		
			INS2	*INS1*	*INS0*
AA1	*AA0*				
0	0	АП с выдачей на *INER* сигнала ошибки	1	0	*X*
0	1	АП с выдачей сигнала наличия сравнения	1	0	*X*
1	0	ДКП с выдачей сигнала ошибки	1	0	*X*
1	1	ДКП с выдачей сигнала наличия сравнения	1	0	*X*
AB1	*AB0*				
0	0	Адрес 0-й строки при ДПК	1	0	*X*
0	1	Адрес 1-й строки при ДКП	1	0	*X*
1	0	Адрес 2-й строки при ДКП	1	0	*X*
1	1	Адрес 3-й строки при ДКП	1	0	*X*
AC1	*AC0*				
0	0	Чтение на *DA—DB* и *DC—DD*	0	0	1
0	1	Чтение на *DA—DB*	0	0	1
1	0	Чтение на *DC—DD*	0	0	1
1	1	Нет чтения	0	0	1
AD1	*AD0*				
0	0	Запрещенный код (результат не определен)	1	1	0
0	1	Запись с *DA—DB*	0	0	1
		Перезапись влево	1	1	0
1	0	Запись с *DC—DD*	0	0	1
		Перезапись вправо	1	1	0
1	1	Нет записи/перезаписи	0	0	1
			1	1	0

Примечание. АП — простой ассоциативный поиск; ДКП — двухкоординатный поиск; *X* — состояние входа безразлично

жимом; при этом в адресном режиме могут использоваться только те адресные поля, которые не задействованы в данном режиме работы в качестве дополнительных. Обмен информацией в адресном режиме при совмещении с

Таблица 12.30

Адресуемый регистр узла МАР	*AA*		*AC*	
	AA1	*AA0*	*AC1*	*AC0*
RG, RG0-1	0	0	0	0
RG, RG1-1	0	1	0	1
RG, RG2-1	1	0	1	0
RG, RG3-1	1	1	1	1

Окончание табл. 12.30

Адресуемый регистр узла МАР	*AB*		*AD*	
	AB1	*AB0*	*AD1*	*AD0*
RG, RG0-2	0	0	0	0
RG, RG1-2	0	1	0	1
RG, RG2-2	1	0	1	0
RG, RG3-2	1	1	1	1

каким-либо режимом может происходить только по свободным в данный момент магистралям.

Ниже описываются все режимы работы микросхемы МАР (см. табл. 12.28).

При подаче кода *INS2 INS1 INS0*=000 микросхема не воспринимает ни одного из управляющих воздействий и фактически отключается от внешней среды. Все выходы на элементах с открытым коллектором (с тремя состояниями) переводятся в состояние «выключено».

Код *INS2 INS1 INS0*=001 задает режим ассоциативного доступа. В этом случае для хранения информации используются четыре байтовых регистра со своими контрольными разрядами. Выбор регистра осуществляется с помощью сигналов, поступающих на входы непосредственной адресации *A0—A3*. Выбор регистров с помощью сигналов непосредственной адресации производится согласно табл. 12.31.

Таблица 12.31

Состояние входов				Адресуемые регистры узлов МАР	
A0	*A1*	*A2*	*A3*		
1	0	0	0	*RG, RG0-1*	*RG, RG0-2*
0	1	0	0	*RG, RG1-1*	*RG, RG1-2*
0	0	1	0	*RG, RG2-1*	*RG, RG2-2*
0	0	0	1	*RG, RG3-1*	*RG, RG3-2*
0	0	0	0	Регистры не выбраны	

При подаче на несколько входов непосредственной адресации напряжения высокого уровня происходит одновременный выбор нескольких соответствующих строк. Данная ситуация допустима в режиме ассоциативной записи (производится запись одинаковой информации в несколько строк матрицы), но недопустима в режиме ассоциативного чтения, так как в этом случае информация на магистралях будет неопределенной.

Управление чтением (записью) производится с помощью позиционного кодирования в полях *AC* и *AD* (см. табл. 12.29).

Синхронизация ассоциативной записи производится с помощью сигнала *INSYN* низкого уровня, а ассоциативного чтения — непосредственно сигналами $\overline{AC0}$, $\overline{AC1}$. Данный ре-

жим используется при работе микросхемы в поле основной информации ассоциативной памяти, а также при необходимости осуществить чтение или запись информации по сигналам непосредственной адресации в адресной памяти.

При подаче кода *INS2 INS1*=01 задается режим переписи столбцом. При этом при подаче синхронизирующего сигнала *INSYN* низкого уровня происходит перепись информации во всех строках одновременно в направлении, указанном с помощью разряда *INS0* (см. табл. 12.28). Значение *INS0*=0 задает перепись влево, т. е. из регистров *RG0-2—RG3-2* в регистры *RG0-1—RG3-1* соответственно, значение *INS1*=1 задает перепись вправо, т. е. из регистров *RG0-1—RG3-1* в регистры *RG0-2—RG3-2* соответственно.

Направление переписи может быть задано жестко (*INS0* задается вместе с *INS2, INS1*) либо вычислено в ходе преобразований и отображено значением *INS0*. Данная возможность может быть использована при организации вычислений по альтернативным ветвям. Так как дополнительных управляющих полей нет, режим переписи столбцом можно задавать совместно с адресным режимом в одной микрокоманде без какой-либо последующей коммутации управляющих потоков. Указанная особенность является важной для простой и эффективной реализации процедур восстановления вычислительного процесса.

При работе микросхемы в режиме ассоциативного поиска (*INS2 INS1*=10) содержимое четырех байтных регистров, предназначенных в данном случае для хранения ассоциативных признаков информации соответствующих ячеек поля памяти, сравнивается с внешним признаком (дескриптором), подаваемым по байтовой магистрали *DA—DB*. Контрольные разряды в сравнении не участвуют.

Разряды сравниваемых чисел могут быть замаскированы содержимым магистрали *DC—DD* так, что единичное значение разряда маски дает сравнение в данном разряде независимо от значений соответствующих разрядов ассоциативного признака и дескриптора.

Режим ассоциативного поиска в микросхеме МАР задается кодом *INS2 INS1*=10. Значение *INS0* определяет, является режим поиска активным (*INS0*=0) либо пассивным (*INS0*=1). Режим активного поиска предполагает выдачу по выходам непосредственной адресации *A0—A3* результатов поиска (*AN*=1 — есть сравнение в соответствующей строке). Результаты сравнения по каждому байтовому ассоциативному признаку выдаются микросхемой для активизации режимов чтения или записи в соответствующих ячейках поля основной памяти (на входы непосредственной адресации в случае использования в них также микросхемы МАР). Выходы непосредственной адресации выполнены с открытым коллектором, что позволяет расширить по горизонтали поле ассоциативных признаков до необходимых размеров. При этом несовпадение частей дескриптора и ассоциативного признака хотя бы в одной микросхеме горизонтального ряда дает общий сигнал отсутствия сравнения дескриптора и признака.

Синхронизация выдачи сигналов непосредственной адресации производится с помощью сигнала *INSYN* низкого уровня. Кроме описанного простого ассоциативного поиска микросхема МАР может производить двухкоординатный поиск информации. В этом случае сигнал непосредственной адресации будет выдан только в одной, выбранной с помощью кода в адресном поле *AB (AB1, AB0)*, строке при условии, что ассоциативный признак, хранящийся в данной строке, равен дескриптору.

Маскирование двухкоординатного сравнения производится так же, как и при простом ассоциативном поиске. Вид поиска задается значением *AA1*:*AA1*=0 — простой ассоциативный поиск; *AA1*=1 — двухкоординатный поиск.

Двухкоординатный поиск может быть применен и в том случае, когда в поле ассоциативных признаков сравнение признака и дескриптора произошло не в одной, а в нескольких строках одновременно. При этом возникает необходимость выбора одной из них. Конкретный вид алгоритма выбора строки с помощью двухкоординатного поиска определяется разработчиком ассоциативной памяти.

Загрузка ассоциативных признаков в регистре микросхемы МАР может производиться либо в режимах сверхоперативной памяти, либо в режиме ассоциативной памяти с использованием аппарата непосредственной адресации (в режиме ассоциативного доступа).

В пассивном режиме по выходам непосредственной адресации подается сигнал отсутствия сравнения (все *AN*=0). Таким образом, вход *INS0* при *INS2 INS1*=10 может быть использован для активизации режима поиска в части памяти заданной конфигурации; при этом значения дополнительных управляющих полей могут быть любыми.

Режим построчной переписи задается значением кода *INS2 INS1 INS0*=110.

Выбор конкретной строки, в которой должна быть произведена перепись информации, осуществляется заданием активного (высокого) уровня сигнала на соответствующем входе непосредственной адресации (см. табл. 12.31). Направление переписи (влево/вправо) определяется полем *AD* (см. табл. 12.29). Комбинация *AD1 AD0*=00 является запрещенной, так как результат переписи при этом непредсказуем.

Режим построчной переписи синхронизируется сигналом *INSYN*.

При подаче кода *INS2 INS1 INS0*=111 единственно возможным режимом работы является адресный. Никакая другая информация, относящаяся к другим режимам, не воспринимается. Выходы непосредственной адресации *A0—A3* выключаются (*AN*=1).

При работе микросхемы МАР во всех режимах необходимо принимать меры по устранению возможного одновременного обращения по записи к одному и тому же регистру с

нескольких направлений, поскольку сигналы выбора и записи *SEWR* вырабатываются устройством управления независимо друг от друга. Анализ указанной конфликтной ситуации в микросхеме не проводится.

Достоверность хранимой в микросхеме информации непрерывно контролируется с помощью проверки на четность информационных и контрольных разрядов. Если информация правильная, то сумма по модулю 2 разрядов тетрады и соответствующего контрольного разряда равна нулю.

В любом режиме при появлении ошибки в любом из регистров на входе *INER* появляется общий нестробированный сигнал ошибки (*INER*=0 — есть ошибка информации в данной микросхеме). Выход выполнен с открытым коллектором, что позволяет наращивать память с контролем на микросхеме МАР до необходимых размеров.

В соответствии с конкретными задачами по локализации ошибки объединение выходов *INER* можно производить различными способами:

объединять выходы *INER* всех микросхем, принадлежащих к одному горизонтальному ряду участка памяти;

объединять выходы *INER* всех микросхем, принадлежащих к данному участку памяти.

При этом возникновение ошибки хотя бы одной из микросхем горизонтального ряда (участка памяти) приведет к формированию сигнала ошибки для всего данного ряда (участка памяти).

Если не проводить объединения выходов *INER*, то можно определить конкретную микросхему, в которой произошла ошибка информации, однако это может привести к значительному усложнению схемы анализа ошибок.

В режиме ассоциативного поиска (*INS2* *INS1*=10) на выход *INER* может подаваться дополнительная информация, которая определяется сигналами на входах *INSYN* и *AA0*. При активном (низком) уровне сигнала *INSYN* и *AA0*=0 на выход *INER* подается общая информация об ошибках в регистрах и на магистралях (*INER*=0 соответствует наличию ошибки), т. е. в данном случае дополнительно производится контроль по четности информации, находящейся на магистралях (дескриптора и маски).

При активном (низком) уровне сигнала *INSYN* и AA0=1 на выход *INER* подается информация о наличии сравнения ассоциативного признака и дескриптора хотя бы в одной строке данной микросхемы (*INER*=0 — есть сравнение). В режиме пассивного поиска при низком уровне сигнала на входе при *INSYN*= =0 и *AA0*=1 на выход *INER* подается сигнал отсутствия сравнения (*INER*=1).

При пассивном (высоком) уровне сигнала на входе *INSYN* в режимах ассоциативного поиска на выход *INER* подается информация об ошибках по четности хранимых в регистрах данных.

В ассоциативном режиме аппарат управления микросхемой МАР позволяет выполнить следующее:

ассоциативное чтение. В этом режиме из непосредственно адресуемого регистра (по входам *A0—A3*) на любую из магистралей (*DA—DB*, *DC—DD*) читается информация, ас-

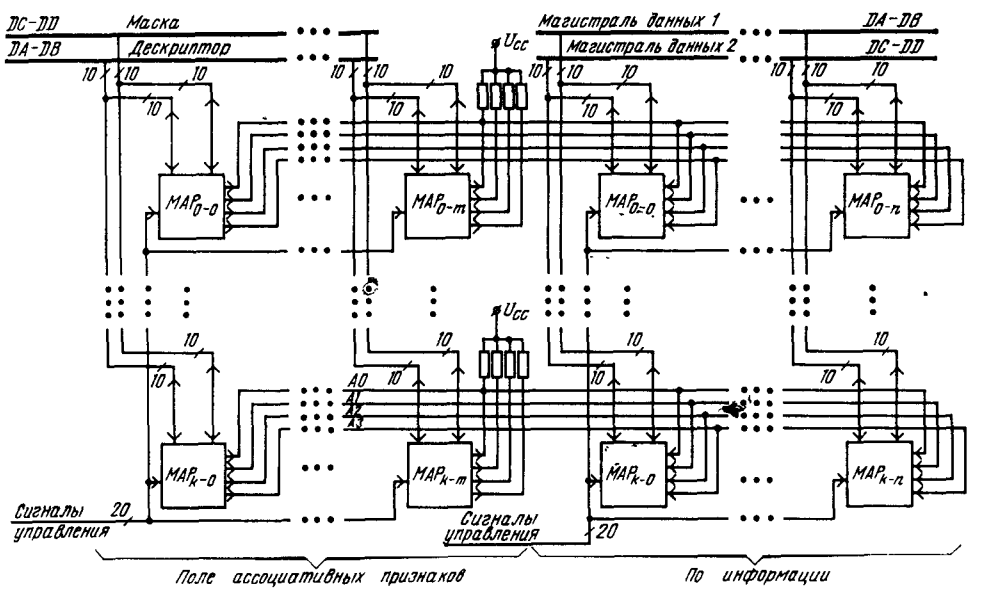


Рис. 12.46. Пример построения ассоциативной памяти глубиной 4(k+1) слов на микросхемах КР1802ИП1

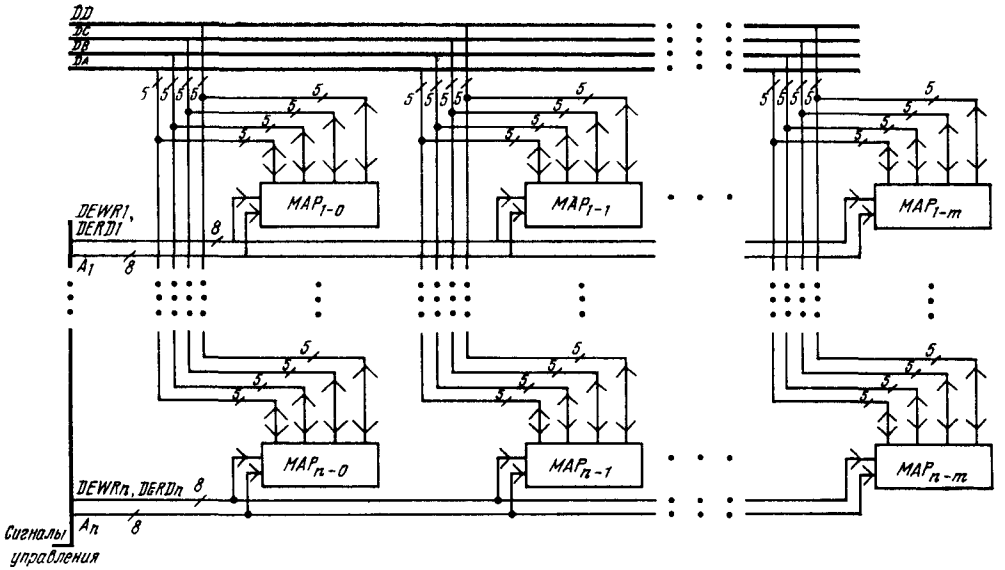


Рис. 12.47. Пример построения сверхоперативной памяти емкостью 4 n слов на микросхемах КР1802ИП1

соцнативный признак которой совпадает с дескриптором; при этом сравниваемые числа могут быть замаскированы. Сравнение с дескриптором происходит в микросхемах МАР, хранящих ассоциативные признаки;

ассоциативная запись. Информация с одной из магистралей заносится в непосредственно адресуемый регистр, ассоциативный адрес которого равен дескриптору (с учетом маскирования). Сравнение происходит в микросхемах МАР, хранящих ассоциативные признаки;

смешанный режим ассоциативного чтения/записи;

смешанные адресный и ассоциативный режимы чтения/записи (с учетом адресной совместимости).

Пример построения ассоциативной памяти глубиной $4(k+1)$ слов с $(m+1)$-байтовым полем признака и $(n+1)$-байтовым полем основной информации показан на рис. 12.46.

Пример построения адресной сверхоперативной памяти емкостью $4n$ слов на микросхеме МАР показан на рис. 12.47. В приведенном примере при одинаковом управлении всеми микросхемами по парам магистралей DA—DB и DC—DD получается двухвходовая (двухадресная) память, каждый байт которой имеет выход на любую из двух бинаправленных байтовых магистралей, в совокупности составляющих полноразрядные $(m+1)$-байтовые магистрали данных DA—DB и DC—DD. При независимом управлении микросхемами МАР по каждой из магистралей DA, DB, DC, DD получаются две $(m+1)/2$-байтовые двухвходовые памяти с возможностью переписи информации внутри строк из одной памяти в другую.

Основные параметры микросхемы КР1802ИП1 приведены в табл. 12.32.

Таблица 12.32

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Выходное напряжение низкого уровня, В.	U_{OL}		
для выводов *3, 24, 27, 47* при $U_{CC}=4{,}75$ В и $I_{OL}=8$ мА		—	0,5
для остальных выводов при $U_{CC}=4{,}75$ В и $I_{OL}=15$ мА		—	0,5
Выходное напряжение высокого уровня, В, при $U_{CC}=4{,}75$ В и $I_{OH}=1$ мА	U_{OH}	2,4	—

Параметр	Обозначение	Значения параметров	
		мин	макс
Ток потребления, мА, при $U_{CC}=5{,}25$ В	I_{CC}	—	300
Входной ток низкого уровня, мА, при $U_{CC}=5{,}25$ В и $U_{IL}=0{,}5$ В	I_{IL}	—0,4	—
Входной ток высокого уровня для выводов *1—7, 21—28, 44—48*, мкА, при $U_{CC}=5{,}25$ В и $U_{IH}=5{,}25$ В	I_{IH}	—	40
Выходной ток высокого уровня в состоянии «выключено» для выводов *8—11, 13—20, 29—35, 38—43*, мкА, при $U_{CC}=5{,}25$ В и $U_{IH}=5{,}25$ В	I_{OZH}	—	100
Выходной ток высокого уровня, мкА, при $U_{CC}=5{,}25$ В и $U_{OH}=5{,}25$ В	I_{OH}	—	100
Время задержки распространения сигнала от входов *A* до входов выходов *D*, нс	$t_{P(A-D)}$	-	35
Время задержки распространения сигнала от входа *INSYN* до входов/выходов *A2*, нс	$t_{P(INSYN-A2)}$	—	55
Время задержки распространения сигнала от входа *DEWRC* до входа/выхода *DA*, нс	$t_{P(DEWRC-DA)}$	—	60
Время задержки распространения сигнала от входа *DEWRD* до входа выхода *DB*, нс	$t_{P(DEWRD-DB)}$	—	60
Время задержки распространения сигнала от входов *DEWR* до выхода *INER*, нс	$t_{P(DEWR-INER)}$	—	75
Время задержки перехода от входов *DEPD* до входов/выходов *D*, нс	$t_{P(DERD-D)}$	—	70
Время задержки распространения сигнала от входа *INS* до входа/выхода *A2*, нс	$t_{P(INS-A2)}$	—	55
Время задержки распространения сигнала от входов *A* до входа/выхода *A2*, нс	$t_{P(A-A2)}$	—	50
Время задержки распространения сигнала от входа *INSYN* до входов выходов *D*, нс	$t_{P(INSYN-D)}$	—	60
Время задержки распространения сигнала от входа *INS2* до выхода *INER*, нс	$t_{P(INS2-INER)}$	-	70
Время задержки перехода от входов *DERD* до входов/выходов *D*, нс	$t_{T2(DERD-D)}$	-	50
Время задержки распространения сигнала от входов/выходов *D* до входов выходов *D*, нс	$t_{P(D-D)}$	-	50
Время задержки перехода от входа *INS2* до входов/выходов *D*, нс	$t_{T(INS2-D)}$	—	70
Время задержки перехода от входа/выхода *A0* до входов/выходов *D*, нс	$t_{T(A0-D)}$	—	70
Время задержки перехода от входа *AC* до входов/выходов *D*, нс	$t_{T(AC-D)}$	—	70
Время сохранения сигналов на входах *DA, DB, DC, DD, A, INS, AD* относительно сигнала на входе *INSYN*, нс	$t_{H(INSYN-D)}$, $t_{H(INSYN-A)}$, $t_{H(INSYN-INS)}$, $t_{H(INSYN-AD)}$	5	
Длительность сигнала низкого уровня на входах *DEWRA, DEWRB, DEWRC, DEWRD*, нс	$\tau_{L\,DEWR}$	20	-
Длительность сигнала низкого уровня на входе *INSYN*, нс	$\tau_{L\,INSYN}$	20	—
Время установления сигнала на входах *DA, DB, DC, DD, AA, AB, AC, AD* относительно сигналов на входах *DEWRA, DEWRB, DEWRC, DEWRD*, нс	$t_{SU(DEWR-D)}$, $t_{SU(DEWR-A)}$	—	—5
Время сохранения сигналов на входах *DA, DB, DC, DD, AA, AB, AC, AD* относительно сигналов на входах *DEWRA, DEWRB, DEWRC, DEWRD*, нс	$t_{H(DEWR-D)}$, $t_{H(DEWR-A)}$	5	—

Окончание табл. 12.32

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Время установления сигналов на входах *DA, DB, DC, DD, A, INS, AD* относительно сигнала на входе *INSYN*, нс	t_{SU} (*INSYN* – *D*) t_{SU} (*INSYN* – *A*), t_{SU} (*INSYN* – *INS*), t_{SU} (*INSYN* – *AD*)	—	—5

Примечание. Значения динамических параметров приведены при U_{CC}=5,0 В и T= 10 ÷ +70 °С

12.10. Микросхема КР1802ВВ1

Микросхема КР1802ВВ1 служит для обмена информации (ОИ) и предназначена для использования в качестве сверхоперативного запоминающего устройства с возможностью организации на одном из регистров счетчика с увеличением содержимого на 1 и коммутатора магистралей.

Условное графическое обозначение микросхемы приведено на рис. 12.48, назначение выводов — в табл. 12.33, структурная схема показана на рис. 12.49, временная диаграмма работы — на рис. 12.50.

Таблица 12.33

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 42	*AB0, AB1*	Входы	Адрес регистра при обмене информацией с каналом *B*
3, 2	*AC0, AC1*	Входы	Адрес регистра при обмене информацией с каналом *C*
5, 4	*AX0, AX1*	Входы	Адрес регистра при обмене информацией с каналом *X*
14, 13, 6, 7	*DC0—DC3*	Входы выходы [1]	Информация канала *C*
12, 10, 9, 8	*DX0—DX3*	Входы выходы [2]	Информация канала *X*
29, 31, 34, 36	*DB0—DB3*	Входы выходы [1]	Информация канала *B*
30, 33, 35, 37	*DA0—DA3*	Входы выходы [1]	Информация канала *A*
25, 26, 15, 16	*RA, RB, RC, RX*	Входы	Считывание информации каналов *A, B, C, X*
23, 21, 20, 18	*WA, WB, WC, WX*	Входы	Запись информации каналов *A, B, C, X*
24, 22, 19, 17	*ECA, ECB, ECC, ECX*	Входы	Разрешение обмена информацией с каналами *A, B, C, X*
27	*CI*	Вход	Перенос
28	*F*	Выход [3]	Признак равенства содержимого *R0* и *R3*
39	*CO*	Выход	Перенос
41, 40	*AA0, AA1*	Входы	Адрес регистра при обмене информацией с каналом *A*
11, 38	*GND*	–	Общий
32	U_{CC}	–	Напряжение питания

[1] Бинаправленные, с тремя состояниями
[2] Бинаправленные магистральные, с открытым коллектором
[3] С открытым коллектором

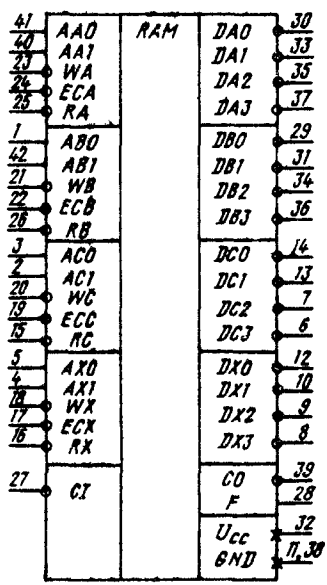


Рис. 12.48. Условное графическое обозначение КР1802ВВ1

В состав микросхемы ОИ входят следующие основные узлы: *У11, У9, У7* — 4-разрядные регистры (*RG1—RG3*); *У13* — 4-разрядный двоичный счетчик (*RG0*); *У1—У4* — дешифраторы выбора регистра (*DCX, DCC, DCB, DCA*); *У12, У10, У8, У6* — мультиплексоры выбора информации (*MS0—MS3*); *У15* — схема сравнения; *У14* — блок приема/выдачи данных; *У5* — схема записи.

Микросхема ОИ состоит из трех 4-разрядных регистров *RG1—RG3* (*У11, У9, У7*), реализованных на *D*-триггерах типа «защелка», одного 4-разрядного двоичного счетчика *RG0* (*У13*) с возможностью параллельной загрузки, реализованного на *D*-триггерах типа «*M—S*» с записью информации по фронту сигнала, четырех дешифраторов *DC* (*У1—У4*) выбора необходимого регистра по каналам *A, B, C, X* соответственно, узлов управления, четырех мультиплексоров *MS0—MS3* (*У12, У10, У8, У6*) выбора информации для записи в регистры, схемы сравнения (*У15*), вырабатывающей признак равенства содержимого регистра *RG0* (*У13*) и содержимого регистра *RG3* (*У7*) и блока приема/выдачи данных (*У14*) на каналы *A, B, C, X*. Регистр RG0 может работать в режиме счетчика с прибавлением к содержимому 1.

Синхронизация режимов работы микросхемы ОИ осуществляется путем подачи управляющих сигналов на входы разрешения обмена информацией, входы разрешения записи, чтения и управления счетом. Режим работы по каждому каналу задается независимо от режимов работы других каналов.

Логическая схема выбора. Разрешением обмена информацией с каналами *A, B, C, X* управляют входы *ECA, ECB, ECC, ECX* (выводы *24, 22, 19, 17*). При наличии лог. 0 на входе *ECA* (U_{IL}=0—0,5 В) разрешен обмен информацией выбранного регистра с каналом *A*. При наличии лог. 0 на входе *ECB* разрешен обмен информацией выбранного регистра с каналом *B* При наличии лог. 0 на входе *ECC* разрешен обмен информацией выбранного регистра с каналом *C*. При наличии лог. 0 на входе *ECX* разрешен обмен информацией выбранного регистра с каналом *X*.

Управление режимами. Режим считывания или записи может быть задан только при разрешении обмена информацией с выбранным каналом, что определяется входами *ECA, ECB, ECC, ECX*. Входы *RA, RB, RC, RX* (выводы *25, 26, 15, 16*) определяют режим считывания информации из регистров микросхемы ОИ на каналы *A, B, C, X*.

При наличии лог. 0 на входе *RA* разрешено считывание содержимого выбранного регистра на канал *A*. При наличии лог. 0 на входе *RB* разрешено считывание на канал *B*. При наличии лог. 0 на входе *RC* разрешено считывание на канал *C*. При наличии лог. 0 на входе *RX* разрешено считывание содержимого выбранного регистра матрицы на канал *X*. При наличии лог. 0 на входах *RA, RB, RC, RX* разрешено одновременное считывание содержи-

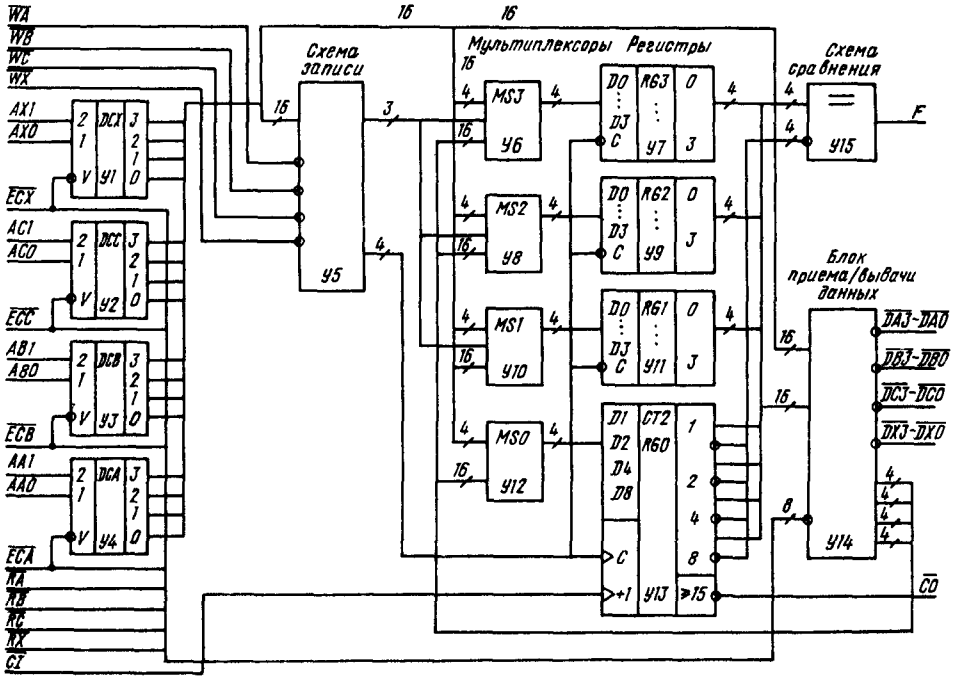


Рис. 12.49. Структурная схема КР1802ВВ1

мого любого выбранного регистра на каналы *A, B, C, X*

Входы *WA, WB, WC, WX* (выводы *23, 21, 20, 18*) определяют режим записи информации с каналами *A, B, C, X* в выбранные регистры микросхемы ОИ. При наличии лог. 0 на входе *WA* разрешена запись информации с канала *A* в выбранный регистр микросхемы ОИ. При наличии лог. 0 на входе *WB* разрешена запись информации с канала *B* в выбранный регистр. При наличии лог. 0 на входе *WC* разрешена запись информации с канала *C* в выбранный регистр. При наличии лог. 0 на входе *WX* разрешена запись информации с канала *X* в выбранный регистр. При наличии лог. 0 на входах *WA, WB, WC, WX* разрешена запись информации с каналов *A, B, C, X* в выбранные регистры.

Выбор регистров. Выбор необходимого регистра микросхемы ОИ как в режиме записи, так и в режиме считывания осуществляется четырьмя дешифраторами *DC (У1—У4)* методом задания двоичного кода на входы адреса:

AA0—AA1 (выводы *41, 40*) — для канала *A*;

AB0—AB1 (выводы *1, 42*) — для канала B;

AC0—AC1 (выводы *3, 2*) — для канала *C*;

AX0—AX1 (выводы *5, 4*) — для канала *X*.

Переход регистров *RG1—RG3* из одного состояния в другое осуществляется при подаче на входы записи лог. 0.

Переход регистра *RG0* из одного состояния в другое осуществляется перепадом напряжения на одном из входов записи из 0 в 1 с фронтом не более 150 нс.

Схема сравнения производит непрерывное сравнение содержимого *RG0 (У13)* и *RG3 (У7)*, и при их совпадении на выводе *F* будет лог. 1.

В режиме счета содержимое регистра *RG0* будет увеличиваться при подаче на вход *CI* (вывод *27*) положительного перепада напряжения. Для правильного выполнения операции счета при этом не допускается подавать хотя бы на одну из адресных шин код, определяющий адрес регистра *RG0* при наличии разрешения обмена с соответствующими каналом и сигналом записи.

Из описания режимов работы следует, что возможно производить непосредственную передачу информации с одной магистрали на другую через любой регистр, кроме *RG0*. Для этого управляющие сигналы магистрали источника информации следует установить так, чтобы происходила запись информации с магистрали источника в один из регистров, а управля-

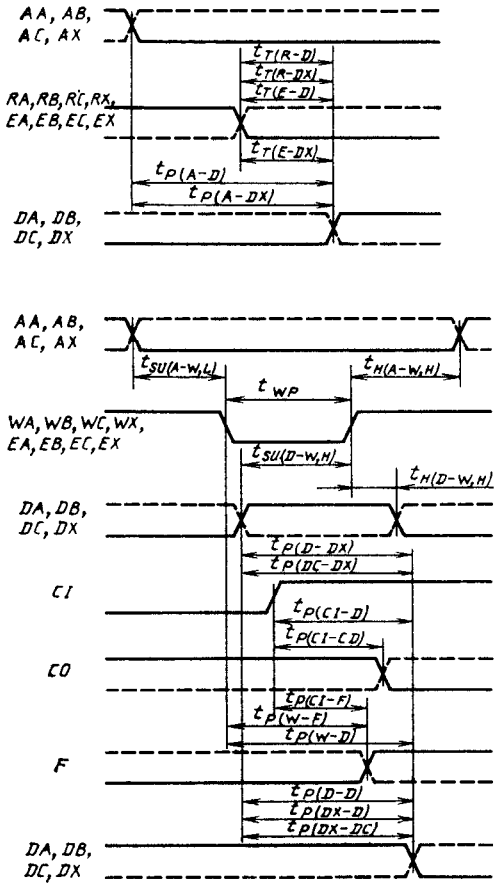


Рис. 12.50. Временна́я диаграмма работы КР1802ВВ1

Таблица 12.34

Параметр	Обозначение	Значения параметров	
		мин	макс
Выходное напряжение низкого уровня, В:	U_{OL}		
для выводов *8, 10, 12* при $U_{CC}=4{,}75$ В и $I_{OL}=60$ мА		—	0,8
для выводов *7, 6, 13, 14, 26—31, 33—37, 39* при $U_{CC}=4{,}75$ В и $I_{OL}=15$ мА		—	0,5
Выходное напряжение высокого уровня, В, при $U_{CC}=4{,}75$ В и $I_{OH}=1$ мА	U_{OH}	2,4	—
Ток потребления, мА, при $U_{CC}=5{,}25$ В	I_{CC}	—	280

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Входной ток низкого уровня, мА, при $U_{IL}=0{,}5$ В:	I_{IL}		
для выводов *6—10, 12—16, 18, 20, 21, 23, 25, 26, 29—31, 33—37*		—0,25	
для выводов *17, 19, 22, 24*		—0,5	—
для выводов *1—5, 40—42*		—0,75	
для вывода *27*		—2,0	
Входной ток высокого уровня, мкА, при $U_{CC}=5{,}25$ В и $U_{IH}=5{,}25$ В:	I_{IH}		
для выводов *15, 16, 18, 20, 21, 23, 25, 26*		—	40
для выводов *17, 19, 22, 24*		—	80
для выводов *1—5, 40—42*		—	120
для вывода *27*		—	160
Выходной ток высокого уровня в состоянии «выключено», мкА, при $U_{CC}=5{,}25$ В и $U_{OH}=5{,}25$ В	I_{OZH}	—	100
Выходной ток высокого уровня, мкА, при $U_{CC}=5{,}25$ В и $U_{OH}=5{,}25$ В	I_{OH}	—	100
Время задержки распространения сигнала от входа адреса регистра до входа/выхода информации, нс:			
по каналам *A, B, C*	$t_{P(A-D)}$	—	60
по каналу *X*	$t_{P(A-DX)}$	—	66
Время перехода из состояния низкого уровня в состояние «выключено» и из состояния «выключено» в состояние низкого уровня от входа считывания информации до входа выхода информации, нс:			
по каналам *A, B, C*	$t_{T(R-D)}$	—	37
по каналу *X*	$t_{T(R-DX)}$	—	41
Время задержки распространения сигнала от входа/выхода информации до входа/выхода информации, нс:			
по каналам *A—B, A—C, B—A, B—C, C—A, C—B*	$t_{P(D-D)}$		66
по каналам *X—A, X—B, X—C*	$t_{P(DX-D)}$	—	70
	$t_{P(DX-DC)}$	—	77
по каналам *A—X, B—X, C—X*	$t_{P(D-DX)}$	—	80
	$t_{P(DC-DX)}$	—	88
Время задержки распространения сигнала от входа переноса до выхода переноса, нс	$t_{P(CI-CO)}$	—	28
Время задержки распространения сигнала от входа переноса до входа/выхода информации, нс:			
по каналам *B, A, C*	$t_{P(CI-D)}$	—	70
по каналу *X*	$t_{P(CI-DX)}$	—	80
Время задержки распространения сигнала от входа переноса до выхода признака, нс	$t_{P(CI-F)}$	—	60
Время задержки распространения сигнала от входа записи информации до выхода признака, нс	$t_{P(W-F)}$	—	70
Время задержки распространения сигнала от входа записи до входа/выхода информации, нс:			
по каналам *A, B, C*	$t_{P(W-D)}$		70
по каналу *X*	$t_{P(W-DX)}$	—	80
Время задержки распространения сигнала от входа/выхода информации до выхода признака, нс	$t_{P(D-F)}$	—	60
Время перехода из состояния низкого уровня в состояние «выключено» и из состояния «выключено» в состоя-			

Параметр	Обозначение	Значения параметров	
		мин.	макс.
ние низкого уровня от входа разрешения обмена информации до входа выхода информации, нс:			
по каналам *A, B, C*	$t_{T\ (L\ -\ D)}$	—	37
по каналу *X*	$t_{T\ (E\ -DX)}$	—	41
Время установления информации относительно сигнала записи, нс	$t_{SU\ (D-W\ ,\ H)}$	50	—
Минимальная длительность сигнала записи, нс	t_{WP}	50	—
Время установления адреса относительно сигнала записи, нс	$t_{SU\ (A-W\ ,\ L)}$	15	—
Время сохранения данных относительно сигнала записи, нс	$t_{H\ (D-W\ ,\ H)}$	30	—
Время сохранения адреса относительно сигнала записи, нс	$t_{H\ (A-W,\ H)}$	15	—

ющие сигналы магистрали приемника информации установить в режиме чтения на магистраль приемника из того регистра, в который происходит запись информации с магистрали источника.

Магистрали *DA3—DA0, DB3—DB0, DC3—DC0* (выводы *30, 33, 35, 37, 29, 31, 34, 36, 6, 7, 13, 14*) предназначены для работы на короткие линии связи, например внутриплатные магистрали информации; магистраль *DX3—DX0* (выводы *8, 9, 10, 12*) может работать на длинные согласованные линии связи.

Основные параметры микросхемы приведены в табл. 12.34.

12.11. Микросхема КР1802ВВ2

Микросхема КР1802ВВ2 — схема интерфейса, предназначена для использования в однопроцессорных или многопроцессорных вычислительных системах в качестве схемы управления обменом информацией по совмещенной магистрали с асинхронной дисциплиной обмена.

Условное графическое обозначение микросхемы приведено на рис. 12.51, назначение выводов — в табл. 12.35, выполняемые операции показаны в табл. 12.36, структурная схема дана на рис. 12.52.

В состав микросхемы входят следующие основные узлы: У6 — регистр инструкций (РИ); *У11* — дешифратор инструкций (ДШ); *У3* — триггер готовности (ТГ); *У4* — триггер запроса цикла (ТЗЦ); *У12* — цифровая линия задержки (ЛЗ); *У10* — регистр сдвига (РС); *У14* — устройство обмена (УО); *У17* — триггер обмена (ТО); *У13* — триггер цикла (ТЦ); *У7* — регистр хранения запросов «главного» (РХЗГ).

При описании микросхемы используются и другие устройства и сигналы:

ТЗПД — триггер запроса прямого доступа;

ТЗЦГ — триггер запроса цикла «главного»;

ТЗППР — триггер запроса периферийного процессора;

ТЗПД, ТЗЦГ и ТЗППР входят в состав РХЗГ;

ТЗЦНГ — триггер запроса цикла «неглавного»;

ТЗПР — триггер запроса прерывания;

ТЗЦНГ, ТЗПР входят в состав УО;

CLR — сигнал перевода микросхемы в исходное состояние.

Назначение узлов структурной схемы:

РИ — 5-разрядный регистр инструкции, реализованной на *D*-триггерах типа «защелка». Запись информации в РИ производится при низком уровне напряжения на входе $\overline{WF}$, хранение — при высоком;

ДШ — комбинационная схема, осуществляющая предварительную расшифровку инструкций. Работа ДШ описывается двумя уровнями значений сигналов на выходах *F, EI/O* (см. табл. 12.36);

ТГ — триггер, сигнализирующий об окончании цикла работы микросхемы;

ТЗЦ устанавливается в 1, если ТЦ=0 при записи новой инструкции в РИ;

ЛЗ служит для исключения «гонок» с целью однозначной реакции микросхемы на все поступающие запросы;

РС служит для формирования временной диаграммы работы микросхемы, которая представлена на рис. 12.53 для случая выполнения самых продолжительных инструкций ЗПС и ЗПБ. В других инструкциях РС сбрасывается раньше (одновременно с ТЦ).

УО принимает и анализирует входные сигналы, формирует временные диаграммы сигналов на выходах микросхемы соответственно заданной инструкции;

РХЗГ принимает и хранит запросы на магистраль для «главного» процессора. Состоит

из трех триггеров: ТЗПД, ТЗЦГ, ТЗППР. При установлении в 1 хотя бы одного из триггеров установка в 1 других триггеров блокируется.

Кроме сокращенных обозначений сигналов, используются следующие сигналы:

ЗАПП — запрос прерывания ($\overline{WF}\cdot\overline{EI/O}\times$ $\times$ТЗЦ$\cdot$ЗПР$\cdot\overline{AIN}$);

ЗАПЦ — запрос цикла ($\overline{WF}\cdot EI/O\cdot$ТЗЦ$\times$ $\times\overline{\text{ЗПР}}$).

Упорядочение использования информационных линий и линий сигналов сопровождения информации магистрали различными устройствами (арбитраж) выполняется по алгоритму, представленному на рис. 12.54. Выполнение

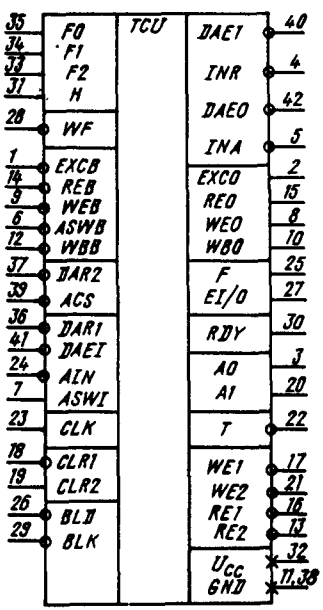


Рис. 12.51. Условное графическое обозначение КР1802ВВ2

Таблица 12.35

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	EXCB	Вход/выход [1]	Синхронизация устройства
2	EXCO	Выход	Синхронизация устройства
3, 20	A0, A1	Выходы	Адрес
4	INR	Выход [2]	Запрос прерывания
5	INA	Выход [2]	Разрешение прерывания
6	ASWB	Вход/выход [1]	Ответ
7	ASWI	Вход	Ответ
8	WEO	Выход	Разрешение записи
9	WEB	Вход/выход [1]	Разрешение записи
10	WBO	Выход	Запись байта
11, 38	GND	—	Общий
12	WBB	Вход/выход [1]	Запись байта
16, 13	RE1, RE2	Выходы [3]	Чтение
14	REB	Вход/выход [1]	Разрешение чтения
15	REO	Выход	Разрешение чтения
17, 21	WE1, WE2	Выходы [3]	Запись
18, 19	CLR1, CLR2	Входы [4]	Сброс
22	T	Выход [3]	Синхронизация счетчика
23	CLK	Вход	Синхронизация
24	AIN	Вход	Разрешение прерывания
25	F	Выход	Фиксация пути
26	BLD	Вход	Блокировка чтения записи данных
27	EI/O	Выход	Разрешение внутреннего обмена
28	WF	Вход	Запись микроинструкции
29	BLK	Вход	Блокировка чтения команды
30	RDY	Выход [3]	Сигнал готовности
31	H	Вход	Определение главного процессора
32	U_{cc}	—	Напряжение питания
35, 34, 33	F0, F1, F2	Входы	Микроинструкции
36	DAR1	Вход	Запрос прямого доступа
37	DAR2	Вход/выход [2]	Запрос прямого доступа
39	ACS	Вход/выход [2]	Подтверждение выборки
40	DAE1	Выход [2]	Подтверждение прямого доступа
41	DAEI	Вход	Разрешение прямого доступа
42	DAEO	Выход [2]	Разрешение прямого доступа

[1] Бинаправленные шины с открытым коллектором и магистральными приемопередатчиками.
[2] Магистральный выход с открытым коллектором
[3] С открытым коллектором.
[4] Магистральный приемник.

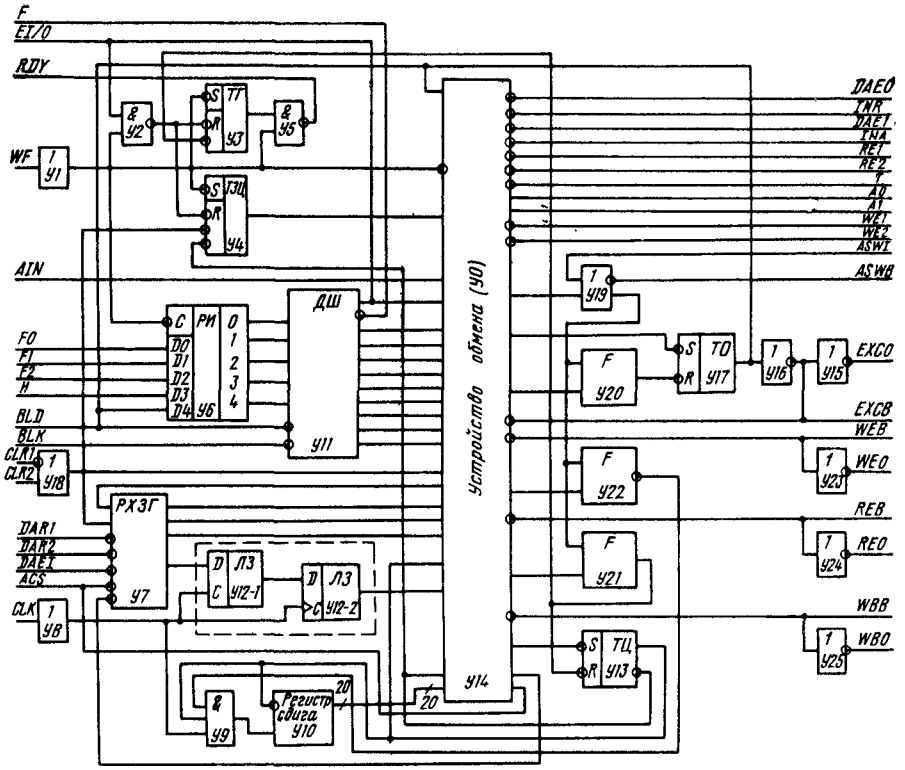


Рис. 12.52. Структурная схема КР1802ВВ2

данного алгоритма инициируется каждый раз, как только заканчивается очередной акт обмена.

Алгоритм арбитража включает в себя две взаимно исключающие части, одна из которых реализуется в микросхеме с признаком «главный» (ГЛ), а другая с признаком «не главный» ($\overline{\text{ГЛ}}$). Запуск цикла работы микросхемы, реализующий алгоритм арбитража, осуществляется при выполнении определенных логических условий, указывающих на окончание очередного обмена по магистрали, а именно:

для микросхемы с признаком ГЛ $\overline{ACS} \times \overline{EXCB} \cdot \overline{\text{ТЦ}} = 1$;

для микросхемы с признаком $\overline{\text{ГЛ}}$ $\overline{\text{ТЦ}} = 1$.

При выполнении этих условий схеме арбитража разрешается анализировать наличие запросов на магистраль для БИС с признаком ГЛ или наличие запросов или сигналов разрешения для БИС с признаком $\overline{\text{ГЛ}}$.

Запросы на магистраль для БИС с признаком ГЛ поступают по линиям *DAR1, DAR2* и от микросхемы интерфейса, формирующей сигнал ЗАПЦ, для БИС с признаком $\overline{\text{ГЛ}}$ — от микросхем, формирующих сигналы ЗАПЦ, ЗАПП и по линиям разрешения *DAE1* и *AIN*.

Работа схемы арбитража для БИС с признаком ГЛ заключается в следующем:

Таблица 12.36

Мнемокод	Операция	Код операции				
		F0	*F1*	*F2*	*H*	ТО
ЧТК	Чтение команды	0	0	0	*X*	0
ЧТС	Чтение слова	0	0	1	*X*	0
ЧТФП	Чтение слова с фиксацией пути	0	1	0	*X*	0
ЗПС	Запись слова	0	1	1	*X*	0
ЗСФП	Запись слова после ЧТФП	0	1	1	*X*	1
ЗПБ	Запись байта	1	0	0	*X*	0
ЗБФП	Запись байта после ЧТФП	1	0	0	*X*	1
ЗПР	Инициирование прерывания с передачей вектора	1	0	1	0	0
ЧПР	Прием вектора прерывания	1	0	1	1	0
АПР	Адресное прерывание	1	1	0	*X*	0
ВП	Выдача пассивная	1	1	1	*X*	0

Примечания: 1. Остальные коды запрещены.

2. ТО — состояние внутреннего триггера обмена, устанавливается в 1 после выполнения операции ЧТФП.

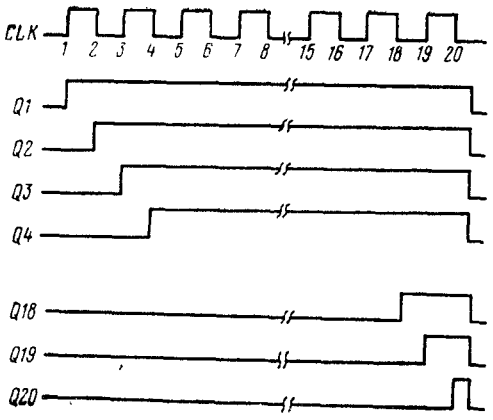


Рис. 12.53. Временна́я диаграмма работы регистра сдвига микросхемы КР1802ВВ2

анализируется наличие сигналов *DAR1*, *DAR2* и ЗАПЦ;

запоминаются значения сигналов *DAR1*, *DAR2* и *ЗАПЦ* на триггерах запросов ТЗПД, ТЗППР, ТЗЦГ при установлении хотя бы одного из сигналов;

блокируется установление состояния триггеров запросов ТЗПД, ТЭППР, ТЗЦГ до следующего цикла арбитража;

производится приоритетный анализ состояния триггеров запросов, при котором старшим по приоритету является ТЗПД, следующим ТЗЦГ и младшим ТЗППР.

В соответствии с алгоритмом формируется сигнал разрешения прямого доступа *DAEI*, либо устанавливается триггер цикла ТЦ, либо формируется сигнал разрешения периферийному процессору *DAEO*.

В случае выдачи сигналов *DAEI* или *DAEO* ожидается установление сигнала *ACS* и осуществляется сброс сигналов *DAEI* и *DAEO* и триггеров запросов.

Схема арбитража БИС с признаком $\overline{ГЛ}$ реализует вторую часть алгоритма, включающего четыре параллельные ветви. Две из них обеспечивают выдачу запросов на обмен информацией и арбитраж по запросам на обмен информацией, две другие предназначены для реализации выдачи запроса на прерывание и арбитраж по запросам на прерывание БИС с признаком $\overline{ГЛ}$.

При выполнении условия ТЦ=0 инициируется проверка четырех условий:

1. $DAEI = 1$;
2. ЗАПЦ $\cdot \overline{DAEI} = 1$;
3. $AIN = 1$;
4. ЗАПП $(\overline{REB} \vee EXCB) \wedge \overline{AIN} = 1$.

При выполнении одного из этих условий разрешается выполнение соответствующей ветви алгоритма. При этом легко видеть, что удовлетворение условий 1 и 3 исключает удовлетворение условий 2 и 4. Однако в силу того, что реальная проверка каждого условия занимает определенный интервал времени, существует возможность появления «гонок», при ко-

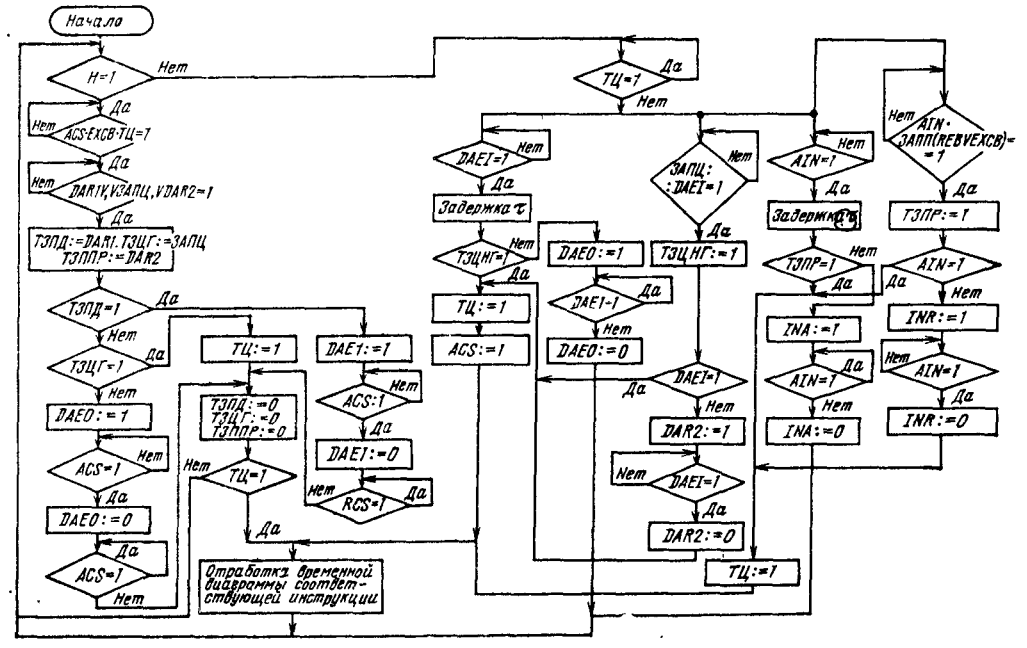
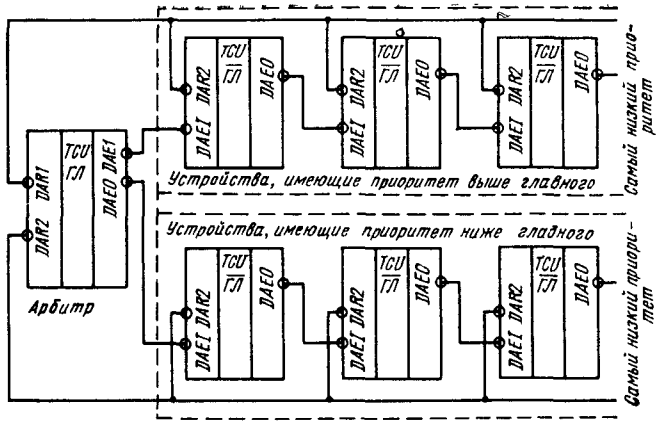


Рис. 12.54. Структурная схема алгоритма арбитража

Рис. 12.55. Схема запросов и передачи управления магистрали



торых возможно выполнение двух или более ветвей алгоритма. С целью обеспечения однозначной реакции микросхемы алгоритмы каждой пары ветвей построены так, что присвоение значений определенных сигналов в одной ветви проверяется другой ветвью, гарантирующей с соответствующей задержкой надежное срабатывание микросхем.

Допустим, что в момент перехода сигнала из 0 в 1 поступил сигнал ЗАПЦ=1; при этом схема проверки условия ЗАПЦ·*DAEI*=1 успела выдать сигнал удовлетворения условия. В другой ветви выполнилось условие *DAEI*=1. Однако проверка условия ТЗЦНГ=1 должна быть задержана, так как в триггере ТЗЦНГ еще не закончились переходные процессы. После задержки проверяется условие ТЗНЦГ=1, и при его выполнении устанавливаются ТЦ и *ACS*; в противном случае формируется сигнал *DAE0*, который сохраняется до тех пор, пока присутствует *DAEI*.

В ветви, инициируемой условным оператором ЗАПЦ·$\overline{DAEI}$=1, после выполнения оператора ТЗЦНГ=1 проверяется условие *DAEI*=1, и при его невыполнении формируется сигнал запроса *DAR2*, который сохраняется до установления сигнала *DAEI*=1. На этом выполнение данной ветви обрывается. Оставшаяся часть алгоритма реализуется ветвью, описанной выше. Две другие ветви алгоритма, обеспечивающие выдачу запросов на прерывание и арбитраж по запросам на прерывание, аналогичны двум первым, описанным выше.

Если арбитраж заканчивается установкой ТЦ, то микросхема интерфейса переходит на отработку временной диаграммы заданной инструкции.

В передаче управления участвуют все активные устройства на магистрали.

Следует заметить, что на магистрали может быть только один арбитр. Только одна микросхема интерфейса может иметь признак ГЛ, остальные имеют признак $\overline{ГЛ}$.

Каждое активное устройство, желающее стать ведущим в обмене, устанавливает сигнал *DAR2*. Если это устройство имеет приоритет выше арбитра (например, устройство прямого доступа к памяти), то он поступает на вход *DAR1* микросхемы с признаком ГЛ; если приоритет ниже арбитра — то на вход *DAR2*.

Арбитр производит анализ входных сигналов *DAR1* и *DAR2* (см. рис. 12.54) и выдает сигналы предоставления магистрали *DAE1* (для устройств, имеющих приоритет выше «главного») или *DAE0* (для устройств, имеющих приоритет ниже «главного»). Сигнал предоставления магистрали поступает на вход *DAE1* микросхемы с признаком $\overline{ГЛ}$.

Устройство, не готовое стать ведущим, после получения входного сигнала *DAEI* устанавливает сигнал *DAE0*, который сбрасывается после сброса входного сигнала предоставления магистрали. Устройство, готовое стать ведущим, после получения сигнала *DAEI* блокирует его дальнейшее распространение, сбрасывает сигнал *DAR2* и принимает управление магистралью на себя.

Схема запросов от внешних устройств и передачи управления магистрали показана на рис. 12.55. Процедура предоставления прямого доступа к памяти выполняется под управлением трех сигналов: *DAR1, DAE1, ACS*.

Внешнее устройство вырабатывает сигнал требования прямого доступа к памяти (если в этом устройстве используется микросхема интерфейса, то это сигнал с выхода *DAR2*), требуя передачи ему канала. Запрос поступает на вход *DAR1* микросхемы с признаком ГЛ. После окончания текущего цикла обращения к каналу микросхема с признаком ГЛ вырабатывает сигнал предоставления прямого доступа *DAE1*. Сигнал предоставления прямого доступа к памяти последовательно проходит через внешние устройства (поступает на вход *DAE1* и появляется на выводе *DAE0* микросхемы с признаком $\overline{ГЛ}$) и предоставляет канал устройству с наивысшим приоритетом, запросившему прямой доступ к памяти. Если первое устройство запрашивало канал, то оно запретит передачу сигнала *DAE1*, если нет — передаст этот сигнал следующему устройству, и т. д.

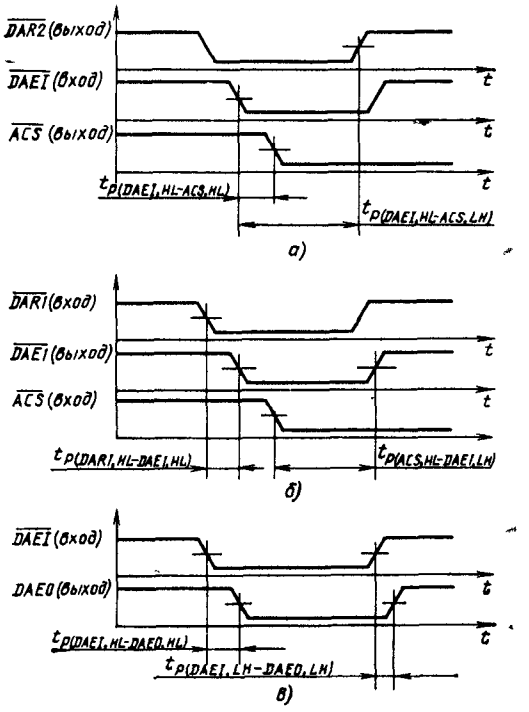


Рис. 12.56. Временные диаграммы режима прямого доступа к памяти:

а — устройства, запрашивающего прямой доступ к памяти; *б* — устройства, предоставляющего прямой доступ к памяти; *в* — устройства, не запрашивающего прямой доступ к памяти

Устройство, запросившее канал, отвечает на сигнал *DAE1* выработкой сигнала *ACS* и снятием сигнала *DAR2*, который поступает на вход *DAR1* микросхемы с признаком ГЛ.

Сигнал *ACS* вырабатывается микросхемой с признаком $\overline{\text{ГЛ}}$ в ответ на сигнал *DAE1* микросхемы с признаком ГЛ и говорит о том, что устройство приняло управление каналом на себя. После этого устройство, запрашивающее прямой доступ к памяти, может производить обмен данными, используя для этого стандартные циклы обращения к каналу. Микросхема с признаком ГЛ снимает сигнал *DAE1* и ожидает завершения операции прямого доступа к памяти.

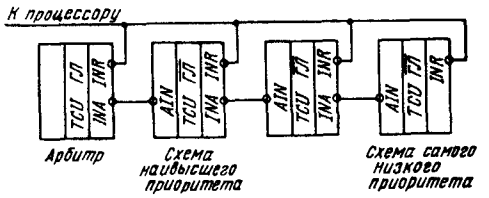


Рис. 12.57. Схема запроса и предоставления прерывания на микросхеме КР1802ВВ2

Временна́я диаграмма процедуры предоставления прямого доступа к памяти показана на рис. 12.56. Предоставление магистрали менее приоритетному устройству, чем арбитр, происходит аналогично предоставлению прямого доступа к памяти. Отличие заключается в том, что сигнал предоставления магистрали появляется не на выводе *DAE1* микросхемы с признаком ГЛ, а на выводе *DAE0* этой микросхемы.

Сигнал на выводе *DAE0* появится только в том случае, если окончен текущий цикл обращения к каналу и отсутствуют запросы на магистраль от устройств, имеющих более высокий приоритет.

Схема запроса и предоставления прерывания показана на рис. 12.57, временна́я диаграмма операций по прерыванию программы — на рис. 12.58.

Последовательность операций следующая. Устройство, которому необходимо обслуживание, вырабатывает сигнал *INR* (его может выработать только микросхема интерфейса с признаком $\overline{\text{ГЛ}}$). Процессор удовлетворяет требование прерывания, записывая в регистр инструкции микросхемы интерфейса с признаком ГЛ микроинструкцию чтения вектора прерывания. Микросхема с признаком ГЛ вырабатывает сигнал предоставления прерывания *INA*, который поступает на вход *AIN* микросхемы с признаком $\overline{\text{ГЛ}}$ устройства, электрически ближе расположенного к микросхеме с признаком ГЛ и, следовательно, имеющего более высокий приоритет.

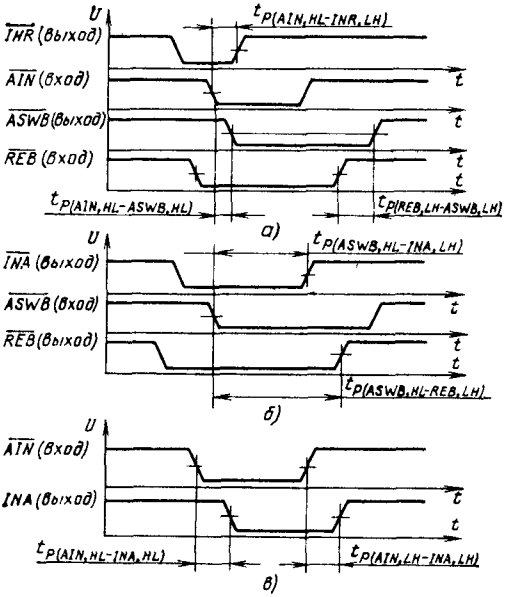


Рис. 12.58. Временные диаграммы режима прерывания программ:

а — устройства, запрашивающего прерывание; *б* — устройства, принимающего прерывание; *в* — устройства, не запрашивающего прерывание

Таблица 12.37

Параметр	Обозначение	Значения параметров	
		мин	макс.
Ток потребления, мА	I_{CC}	—	250
Выходное напряжение низкого уровня, В, при U_{CC}=4,75 В, I_{OL}=60 мА (для выводов *1, 4—6, 9, 12, 14, 37, 39, 40, 42*), I_{OL}=15 мА (для выводов *2, 3, 8, 10, 13, 15—17, 20—22, 25, 27, 30*)	U_{OL}	—	0,5
Выходное напряжение высокого уровня, В, при U_{CC}=4,75 В и I_{OH}=1 мА	U_{OH}	2,4	—
Выходной ток низкого уровня, мА, при U_{CC}=5,25 и U_{IL}=0,5 В	U_{IL}	—0,25	—
Входной ток высокого уровня, мкА, при U_{CC}=5,25 В и U_{IH}=5,25 В	I_{IH}	—	40
Выходной ток высокого уровня, мкА, при U_{CC}=5,25 В	I_{OH}	—	100
Время задержки распространения от входа синхронизации, нс, до:			
выхода записи	$t_{P\,(CLK-WE1)}$	—	125
выхода чтения *RE1*	$t_{P\,(CLK-RE1)}$	—	200
выхода чтения *RE2*	$t_{P\,(CLK-RE2)}$	—	195
выхода готовности	$t_{P\,(CLK-RDY)}$	—	200
выхода адреса *A0*	$t_{P\,(CLK-A0)}$	—	240
выхода адреса *A1*	$t_{P\,(CLK-A1)}$	—	165
входа/выхода разрешения чтения	$t_{P\,(CLK-REB)}$	—	195
выхода разрешения прерывания	$t_{P\,(CLK-INA)}$	—	125
выхода синхронизации счетчика	$t_{P\,(CLK-T)}$	—	195
входа/выхода синхронизации	$t_{P\,(CLK-EXCB)}$	—	185
входа/выхода ответа	$t_{P\,(CLK-ASWB)}$	—	125
входа/выхода разрешения записи	$t_{P\,(CLK-WEB)}$	—	125
входа/выхода записи байта	$t_{P\,(CLK-WBB)}$	—	195
Время задержки распространения сигнала от входа записи микроинструкции, нс, до:			
выхода готовности	$t_{P\,(WF-RDY)}$	—	70
выхода запроса прерывания	$t_{P\,(WF-INR)}$	—	110
выхода адреса	$t_{P\,(WF-A1)}$	—	180
Время задержки распространения от входа/выхода ответа, нс, до:			
выхода готовности	$t_{P\,(ASWB-RDY)}$	—	145
выхода адреса	$t_{P\,(ASWB-A0)}$	—	115
	$t_{P\,(ASWB-A1)}$	—	120
выхода записи	$t_{P\,(ASWB-WE1)}$	—	150
входа/выхода синхронизации устройства	$t_{P\,(ASWB-EXCB)}$	—	135
Время задержки распространения сигнала от входа разрешения прерывания до выхода запроса прерывания	$t_{P\,(AIN-INR)}$	—	180
Время задержки распространения сигнала от входа/выхода разрешения чтения до входа/выхода ответа, нс	$t_{P\,(REB-ASWB)}$	50	—
Время задержки распространения сигнала от входа ответа до выхода разрешения прерывания	$t_{P\,(ASWB-INA)}$	245	—
Время задержки распространения сигнала от входа ответа до входа/выхода разрешения чтения	$t_{P\,(ASWB-REB)}$	245	—

Окончание табл. 12.37

Параметр	Обозначение	Значения параметров	
		мин.	макс
Время задержки распространения сигнала от входа подтверждения выборки до выхода подтверждения прямого доступа	$t_{P\ (ACS-DAE1)}$	55	—
Время задержки распространения сигнала от входа разрешения прерывания, нс, до входа/выхода ответа	$t_{P\ (AIN-ASWB)}$	70	—
Время задержки распространения сигнала от входа разрешения прямого доступа, нс, до:			
входа/выхода подтверждения выборки	$t_{P\ (DAE1-ACS)}$	50	—
входа выхода запроса прямого доступа	$t_{P\ (DAE1-DAR2)}$	35	—
Время задержки распространения сигнала от входа запроса прямого доступа до выхода подтверждения прямого доступа, нс	$t_{P\ (DAR1-DAE1)}$	130	
Минимальная тактовая частота по входу *CLK*, МГц	f	10	—

Если это устройство не требовало прерывания (не вырабатывало сигнала *INR*), то оно пропустит сигнал предоставления прерывания к следующему устройству. При этом сигнал *INA* будет уже выходным по отношению к первому устройству и входным (вход *AIN*) по отношению ко второму, и т. д.

Устройство, которое требовало прерывания, получая сигнал предоставления прерывания на вход *AIN*, запретит распространение этого сигнала к другим устройствам. Таким образом, линия сигнала предоставления прерывания, проходя последовательно через все устройства, обеспечивает их поочередный опрос и, следовательно, различный приоритет обслуживания. Устройство, запросившее прерывание, помещает адрес вектора прерывания на линии адрес — данные, вырабатывает сигнал *ASWB* и снимает сигнал требования прерывания *INR*.

Микросхема интерфейса с признаком ГЛ вырабатывает сигналы приема вектора прерывания в регистр обмена и снимает сигналы *REB* и *INA*; устройство завершает передачу адреса вектора и снимает сигнал *ASWB*.

Направление передачи при выполнении операций обмена данными определяется по отношению к ведущему устройству. При выполнении инструкции «Чтение» данные передаются от ведомого устройства к ведущему. При выполнении цикла «Запись» данные передаются от ведущего устройства к ведомому (например, запись данных в память).

Основные параметры микросхемы КР1802ВВ2 приведены в табл. 12.37.

12.12. Микросхема КР1802КП1

Микросхема КР1802КП1 — многофункциональный коммутатор магистралей (МКМ) («активный» коммутатор четырех 5-разрядных магистралей — одна информационная тетрада и контрольный разряд дополнения до четности), предназначен для коммутации магистралей с предварительной обработкой данных:

проверкой на четность и храненнем принимаемой информации;

маскированием с одновременным использованием до трех масок.

Возможно использование МКМ в качестве элемента систем дублирования и мажорирования.

Вся выдаваемая МКМ информация сопровождается контрольным разрядом дополнения до четности.

Условное графическое обозначение микросхемы МКМ приведено на рис. 12.59, назначение выводов — в табл. 12.38, структурная схема показана на рис. 12.60.

Микросхема МКМ состоит из следующих основных узлов:

регистров хранения данных *RGA, RGB, RGC, RGD* (*У1—У4*);

схем разрешения выдачи данных на магистрали (*У5—У8*);

схемы выработки признаков дублирования и мажорирования (особых режимов) (*У9*);

схем управления коммутацией данных на магистрали *C* и *D* (*У10* и *У11* соответственно);

мультиплексоров — селекторов коммутации данных (*У12—У15*);

схемы сравнения и проверки на четность содержимого регистров (*У16*).

С внешними источниками и потребителями информации МКМ связана четырьмя 5-разрядными биннаправленными шинами *DA0—DA4, DB0—DB4, DC0—DC4, DD0—DD4*, для удобства обозначаемыми магистралями *A, B, C* и *D* соответственно.

Все операции выполняются микросхемой только при подаче на вход запрета выбора микросхемы *DECS* напряжения низкого уровня U_{IL}.

Таблица 12.38

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*INER*	Вход выход	Отсутствие ошибки
2—4	*SEDB2—SEDB0*	Входы/выходы	Выбор данных на магистраль *B*
5	*SEDB3*	Вход	Выбор данных на магистраль *B*
6	*DEWRB*	Вход	Запрет записи с магистрали *B*
7	*DERDB*	Вход	Запрет считывания на магистраль *B*
8—11, 13	*DB4—DB0*	Входы/выходы	Данные магистрали *B*
12, 37	*GND*	—	Общий
14—18	*DA0—DA4*	Входы/выходы	Данные магистрали *A*
19	*DERDA*	Вход	Запрет считывания на магистраль *A*
20	*DEWRA*	Вход	Запрет записи с магистрали *A*
21	*DECS*	Вход	Запрет выбора микросхемы
22	*SEDA3*	Вход	Выбор данных на магистраль *A*
23—25	*SEDA1, SEDA0, SEDA2*	Вход/выход	Выбор данных на магистраль *A*
26—28	*SEDC2—SEDC0*	Входы	Выбор данных на магистраль *C*
29	*DEWRC*	Вход	Запрет записи с магистрали *C*
30	*DERDC*	Вход	Запрет считывания на магистраль *C*
31—35	*DC4—DC0*	Входы/выходы	Данные магистрали *C*
36	U_{CC}	—	Напряжение питания
38—42	*DD0—DD4*	Входы/выходы	Данные магистрали *D*
43	*DERDD*	Вход	Запрет считывания на магистраль *D*
44	*DEWRD*	Вход	Запрет записи с магистрали *D*
45—48	*SEDD3—SEDD0*	Входы/выходы	Выбор данных на магистраль *D*

Примечания: 1. В режиме «Дублирование» выводы *SEDA0* — выход признака ошибки в *RGA*, *SEDA1* — выход признака ошибки в *RGB*, *SEDA2* — выход признака ошибки в *RGC*, *SEDA3* — вход разрешения выдачи признаков.

2. В режиме «Мажорирование» *SEDB0* — выход признака совпадения *RGA* с *RGB*, *SEDB1* — выход признака совпадения *RGA* с *RGC*, *SEDB2* — выход признака совпадения *RGB* с *RGC*.

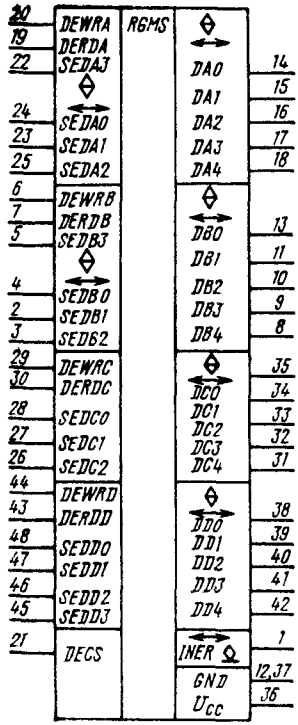


Рис. 12.59. Условное графическое обозначение КР1802КП1

Запись данных в регистры осуществляется при подаче напряжения U_{IL} на соответствующие входы *DEWRA—DEWRD*, выдача информации из регистров — при подаче напряжения U_{IL} на соответствующие входы *DERDA—DERDD* (выполняют функцию входов чтения данных из МКМ).

Характер информации, коммутируемой на магистраль *A*, определяется кодами управляющих сигналов *SEDA0—SEDA3* согласно табл. 12.39, где, например, код 0100 — команда выбора содержимого *RGC* для выдачи на магистраль *A*, а операция «Нет выдачи» осуществляется путем перевода выходов мультиплексора в состояние высокого сопротивления. Управление коммутацией данных на магистрали *B* осуществляется по командам *SEDB0—SEDB3* (см. табл. 12.39), на магистрали *C* — по командам *SEDC0—SEDC2* (табл. 12.40), на магистрали *D* — по командам *SEDD0—SEDD3* (табл. 12.41); часть кодовых комбинаций *SEDD0—SEDD3* воспринимается МКМ как команды перехода к особым режимам.

В особых режимах сигнал *SEDA3-1* используется для управления выдачей из МКМ следующих специальных признаков:

результатов проверки на четность содержимого регистров *RGA*, *RGB*, *RGC* по бинаправленным шинам *SEDA0—SEDA2* соответственно;

результатов попарного сравнения *RGA*, *RGB* и *RGC* в режиме мажорирования, выдаваемых по бинонаправленным шинам *SEDB0—SEDB2*,

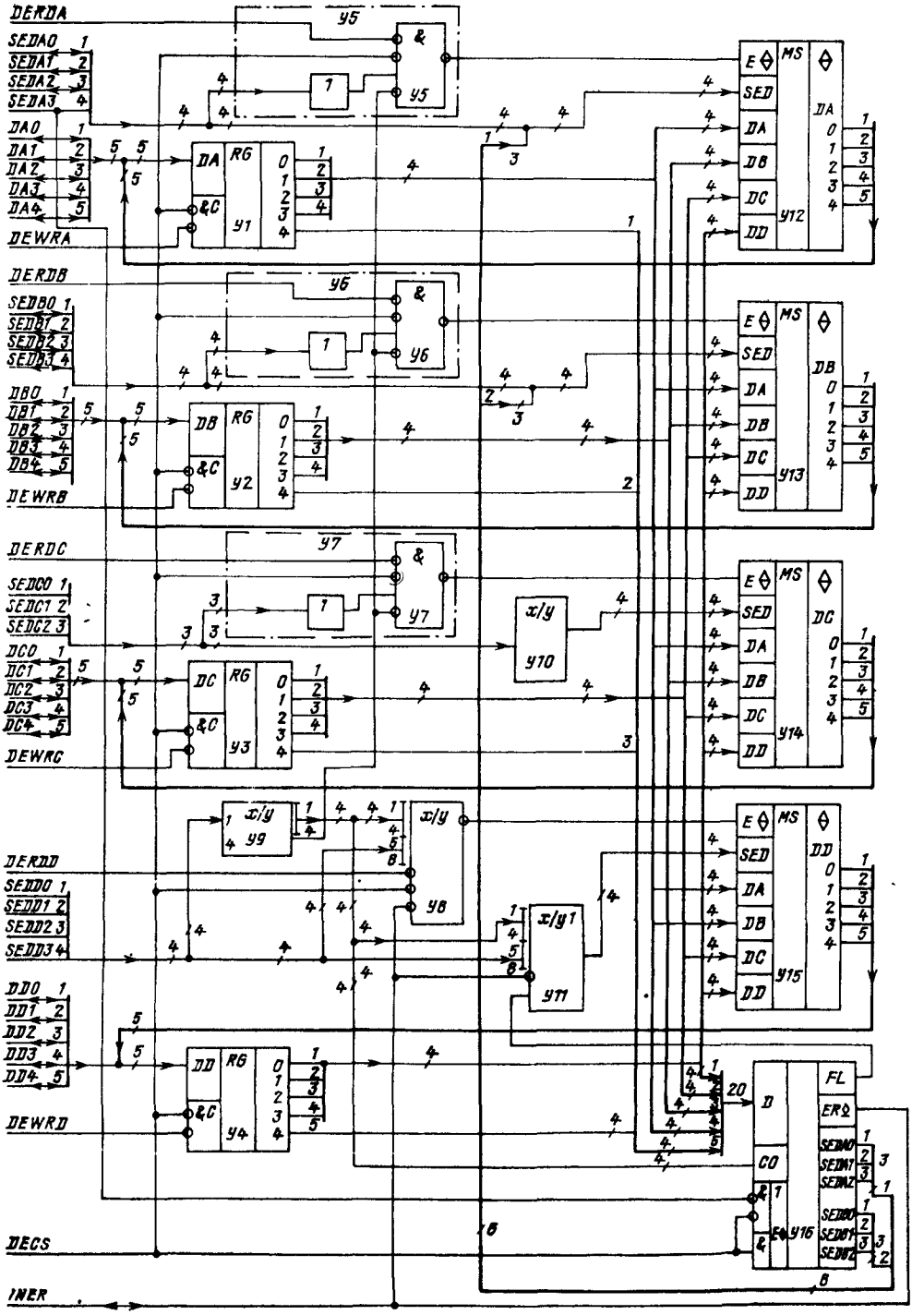


Рис. 12.60. Структурная схема КР1802КП1

Таблица 12.39

Код управления				Информация на магистрали $A(B)$
$SEDA3$ ($SEDB3$)	$SEDA2$ ($SEDB2$)	$SEDA1$ ($SEDB1$)	$SEDA0$ ($SEDB0$)	
0	0	0	0	Нет выдачи
0	0	0	1	RGA
0	0	1	0	RGB
0	0	1	1	$RGA \wedge RGB$
0	1	0	0	RGC
0	1	0	1	$RGA \wedge RGC$
0	1	1	0	$RGB \wedge RGC$
0	1	1	1	$RGA \wedge RGB \wedge RGC$
1	0	0	0	RGD
1	0	0	1	$RGA \wedge RGD$
1	0	1	0	$RGB \wedge RGD$
1	0	1	1	$RGA \wedge RGB \wedge RGD$
1	1	0	0	$RGC \wedge RGD$
1	1	0	1	$RGA \wedge RGC \wedge RGD$
1	1	1	0	$RGB \wedge RGC \wedge RGD$
1	1	1	1	$RGA \wedge RGB \wedge \wedge RGC \wedge RGD$

где $SEDB0$ — признак сравнения RGA с RGB, $SEDB1$ — признак сравнения — RGA с RGC, $SEDB2$ — прнзнак сравнения RGB с RGC.

Пятиразрядные регистры RGA—RGB предназначены для приема и хранения поступающих с магистралей данных.

Схемы разрешеиия выдачи осуществляют управление состоянием высокого сопротивления мультиплексоров — селекторов даниых.

Узлы *У10, У11* управляют выдачей информации на магистрали C и D согласно табл. 12.40—12.42.

Мультнплексоры — селекторы данных предназначены для коммутацни данных на магистрали согласно управляющнм сигналам с автоматическим формированием контрольного разряда по четности выдаваемой ннформации.

Схема *У9* предназначена для формирования признаков особых режнмов в соответствии с кодами управления магистрали D.

Схема сравнения и проверки на четность *У16* предназначена для:

контроля четности содержимого регистров с выдачей общего признака ошнбки данных

Таблнца 12.40

Код управления			Информация на магистрали C
$SEDC2$	$SEDC1$	$SEDC0$	
0	0	0	Нет выдачи
0	0	1	RGA
0	1	0	RGB
0	1	1	$RGA \wedge RGB$
1	0	0	RGC
1	0	1	$RGA \wedge RGC$
1	1	0	$RGB \wedge RGC$
1	1	1	RGD

Таблица 12.41

Код управления				Информация на магистрали D
$SEDD3$	$SEDD2$	$SEDD1$	$SEDD0$	
0	0	0	0	Нет выдачи
0	0	0	1	RGA
0	0	1	0	RGB
0	0	1	1	$RGA \wedge RGB$
0	1	0	0	RGC
0	1	0	1	$RGA \wedge RGC$
0	1	1	0	$RGB \wedge RGC$
0	1	1	1	$RGA \wedge RGB \wedge RGC$
1	0	0	0	RGD
1	0	0	1	$RGA \wedge RGD$
1	0	1	0	$RGB \wedge RGD$
1	0	1	1	Дублирование 1
1	1	0	0	$RGC \wedge RGD$
1	1	0	1	Дублирование 2
1	1	1	0	Дублирование 3
1	1	1	1	Мажорирование

Примечание. В режимах «Дублирование 1, 2, 3» и «Мажорирование» нет выдачи на магистрали A, B, C; описание работы см. в табл. 12.42.

RGA—RGD в режнме коммутации; выдается по выходу $INER$ с открытым коллектором; если есть ошибка, то иа выходе $INER$ — напряжение низкого уровия;

контроля по четности содержнмого регистров RGA, RGB, RGC с раздельной выдачей прнзнаков ошибки на выходы $SEDA0$—$SEDA3$ в особых режимах:

Таблица 12.42

Операция	Прнзнак сравнения	Информация на магистрали D
Дублирование 1	$RGA=RGB$ $RGA \neq RGB$	RGA RGC
Дублирование 2	$RGA=RGB$ $RGA \neq RGB$	RGC Нет выдачи
Дублирование 3	$RGA=RGB$ $RGA \neq RGB$	Нет выдачи RGC
Мажорирование	$RGA=RGB=RGC$ $RGA=RGB \neq RGC$ $RGB=RGC \neq RGA$ $RGA=RGC \neq RGB$ $RGA \neq RGB \neq RGC$	RGA RGA RGC RGA Нет выдачи

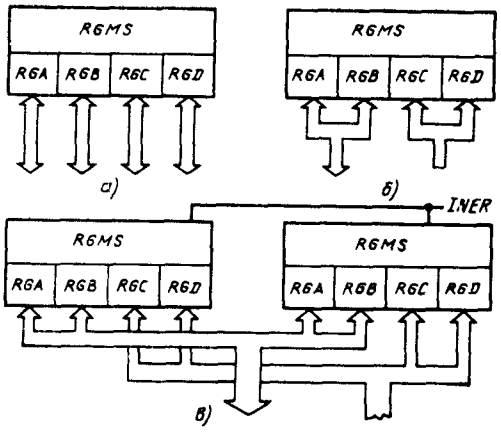


Рис. 12.61. Варианты использования микросхемы КР1802КП1:

а - магистральный переключатель на четыре направления; *б* — байтовая магистраль с регистром маски; *в* 16 разрядная магистраль данных с регистром маски

сравнения регистров *RGA, RGB, RGC* между собой с выдачей признаков попарного совпадения в режиме мажорирования.

Микросхема МКМ может работать в следующих режимах:

Режим коммутации и маскирования. Прием в регистры данных с магистралей *A—D* осуществляется вместе с контрольным разрядом (КР) по сигналам *DEWRA—DEWRD*. С выходов регистров информационные тетрады поступают на мультиплексоры выдачи данных без КР и на схему *У16* в сопровождении КР; выдача данных на магистрали осуществляется по командам *DERDA—DERDD* при отсутствии нулевых комбинаций кодов управления, сигналы запрета выдачи формируются схемами *У5—У8* и управляют состоянием высокого сопротивления выходов мультиплексоров.

Магистрали *A* и *B* идентичны и допускают одновременное применение до трех масок; на магистрали *D* допускается использование одновременно не более двух масок, на магистрали *C* — одной.

При коммутации данных без маскирования все магистрали равнозначны. На шину *INER* в режиме коммутации и маскирования из схемы *У16* выдается общий результат проверки на четность содержимого регистров.

Режим дублирования. Согласно табл. 12.42 МКМ может работать в трех режимах дублирования. В каждом из них информация на магистрали определяется признаком совпадения *RGA* с *RGB*, который выдается из схемы *У16* по выходу *INER*. Признаки режимов дублирования совместно с признаком совпадения *RGA* и *RGB* в виде сигнала *INER* поступают в схему *У11*, управляющую коммутацией данных на мультиплексоре *У15* согласно табл. 12.42, и в схему *У3*, запрещающую выдачу в режимах «Дублирование 1,2» (см. табл. 12.42) путем управления состоянием высокого сопротивления выходов мультиплексора *У15*.

По команде *SEDA3* результаты проверки на четность *RGA, RGB* и *RGC* выдаются из схемы *У16* на шины *SEDA0—DESA2*.

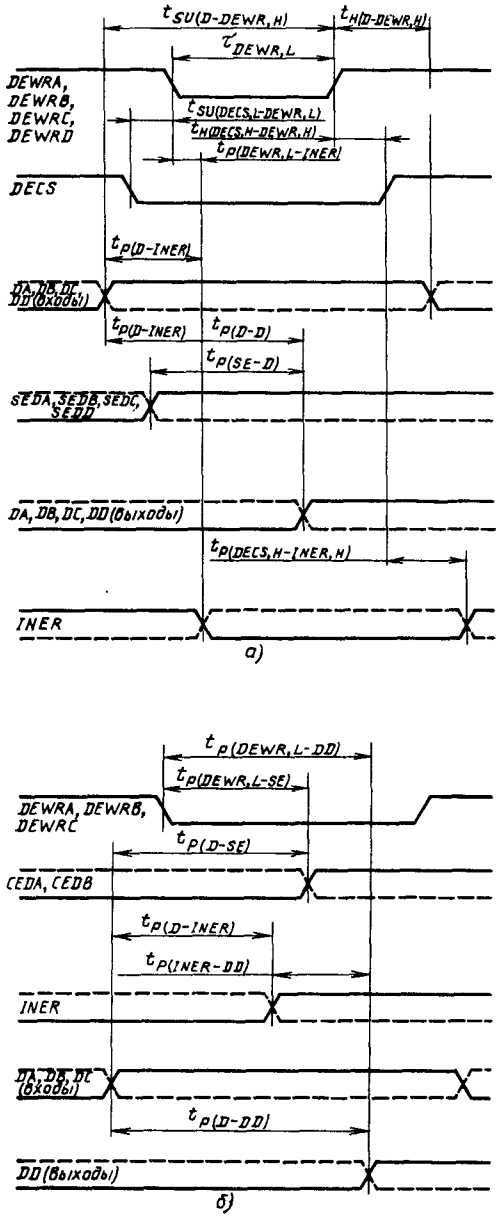


Рис. 12.62. Временные диаграммы работы КР1802КП1:

а — в режиме коммутации и маскирования; *б* - в режимах дублирования и мажорирования

Режим мажорирования. В режиме мажорирования информация считается истинной и выдается на магистраль *D* при совпадении данных хотя бы на двух входных магистралях из трех.

Признак мажорирования из блока *У9* совместно с результатами попарного сравнения *RGA—RGC* из схемы *У16* поступает в схему *У11*, управляющую коммутацией данных на магистрали *D*. Результаты сравнения и проверки на четность *RGA, RGB* и *RGC* по команде *SEDA3* выдаются на шины *SEDA0—SEDA2* и *SEDB0—SEDB2* из схемы *У16*.

Признак полного несовпадения всех трех регистров выдается из МКМ по выходу *INER* и поступает на схему *У8*, управляющую состоянием высокого сопротивления выходов мультиплексора *У15*. Таким образом, при полном несовпадении содержимого *RGA, RGB* и *RGC* выдача данных на магистраль *D* не производится.

Во всех режимах МКМ осуществляет потетрадную проверку на четность поступающей информации и автоматическое вычисление контрольного разряда выдаваемой информации; при необходимости выходная информация может быть вновь принята в регистр МКМ и затем проверена на четность.

Таким образом, в МКМ все операции приема, хранения и передачи информации подвергаются контролю либо внутри самой микросхемы, либо в местах приема данных с нее.

Некоторые способы использования МКМ как «активного» коммутатора приведены на рис. 12.61. При работе МКМ в качестве магистрального переключателя на четыре направления (рис. 12.61, *а*) управление по каждой магистрали осуществляется независимо. При работе МКМ с байтовой магистралью (рис. 12.61, *б*) должны быть объединены соответствующие входы записи и чтения (*DERDA* и *DERDB*, *DEWRA* и *DEWRB*, *DERDC* и *DERDD*, *DEWRC* и *DEWRD*), а также правильно поданы и синхронизированы коды управления коммутацией на магистралях *A* и *B*.

При совместной работе нескольких МКМ (рис. 12.61, *в*) дополнительно объединяются шины *DECS* и *INER*.

Временные диаграммы работы микросхемы показаны на рис. 12.62.

Основные параметры микросхемы КР1802КП1 приведены в табл. 12.43.

Таблица 12.43

Параметр	Обозначение	Значения параметров [макс. (мин.)]
Выходное напряжение низкого уровня, В	U_{OL}	0,5
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)
Входной ток низкого уровня, мА:	I_{IL}	
для входа *DECS*		0,8
для остальных входов		0,4
Входной ток высокого уровня, мкА:	I_{IH}	
для входа *DECS*		80
для остальных входов		40
Ток в состоянии «выключено», мкА	I_{OZ}	—100
Ток потребления, мА	I_{CC}	300
Время установления сигналов на входах данных *DA, DB, DC*, относительно сигналов на входах запрета записи *DEWRA, DEWRB, DEWRC, DEWRD*, нс	$t_{SU\ (D-DEWR,\ H)}$	—5
Время сохранения сигналов на входах данных *DA, DB, DC, DD* относительно сигналов на входах запрета записи *DEWRA, DEWRB, DEWRC, DEWRD*, нс	$t_{H\ (D-DEWR,\ H)}$	(10)
Длительность сигналов на входах запрета записи *DEWRA, DEWRB, DEWRC, DEWRD*, нс	$\tau_{DEWR,\ L}$	(35)
Время установления сигнала на входе запрета выбора микросхемы относительно сигналов на входе, нс:		
запрета записи *DEWRA, DEWRB, DEWRC, DEWRD*	$t_{SU\ (DECS,\ L-DEWR,\ L)}$	—5
запрета чтения *DERDA, DERDB, DERDC, DERDC*	$t_{SU\ (DECS,\ L-DER,\ L)}$	—15
Время сохранения сигнала на входе запрета выбора микросхемы *DECS* относительно сигналов на входе, нс:		
запрета записи *DEWRA, DEWRB, DEWRC, DEWRD*	$t_{H\ (DECS,\ H-DEWR,H)}$	(5)
запрета чтения *DERDA, DERDB, DERDC, DERDD*	$t_{H\ (DECS,\ H-DER,\ H)}$	(0)

Параметр	Обозначение	Значение параметров [макс. (мин.)]
Время задержки распространения сигнала от входа запрета выбора микросхемы *DECS* до выхода отсутствия ошибки *INER*, нс	$t_{P\,(DECS,\ H-INER,\ H)}$	20
Время задержки распространения сигнала от входа запрета записи *DEWRA, DEWRB, DEWRC, DEWRD* до выхода отсутствия ошибки *INER*, нс	$t_{P\,(DEWR,\ H-INER)}$	50
Время задержки распространения сигнала от входов данных *DA, DB, DC* до выхода отсутствия ошибки *INER*, нс	$t_{P\,(D-INER)}$	50
Время задержки распространения сигналов от входов данных *DA, DB, DC, DD* до выходов данных *DA, DB, DC, DD*, нс	$t_{P\,(D-D)}$	35
Время задержки распространения сигналов от входов выбора данных *SEDA, SEDB, SEDC, SEDD* до выходов данных *DA, DB, DC, DD*, нс	$t_{P\,(SE-D)}$	55
Время задержки распространения сигналов от входов данных *DA, DB, DC* до выходов данных *DD*, нс	$t_{P\,(D-DD)}$	45
Время задержки распространения сигналов от входов запрета записи *DEWRA, DEWRB, DEWRC* до выхода данных *DD*, нс	$t_{P\,(DEWR,\ L-DD)}$	45
Время задержки распространения сигналов от входов запрета записи *DEWRA, DEWRB, DEWRC* до выходов выбора данных *SEDA0, SEDA1, SEDA2, SEDB0, SEDB1, SEDB2* в особых режимах, нс	$t_{P\,(D\ WR,\ L-SE)}$	45
Время задержки распространения сигналов от входов данных *DA, DB, DC* до выходов выбора данных *SEDA0, SEDA1, SEDB2, SEDB0, SEDB1, SEDB2* в особых режимах, нс	$t_{P\,(D-SE)}$	45
Время задержки распространения сигнала от входа отсутствия ошибки *INER* до выхода данных *DD*, нс	$t_{P\,(INER-DD)}$	45
Время перехода выходов данных *DA, DB, DC, DD* из высокоомного состояния в состояние низкого уровня, высокого уровня и наоборот, нс:		
от входа запрета выбора микросхемы *DECS*	$t_{TZ\,(DECS-D)}$	35
от входа запрета чтения *DERDA, DERDB, DERDC, DERDD*	$t_{TZ\,(DER-D)}$	30
от входов выбора данных *SEDA, SEDB, SEDC, SEDD*	$t_{TZ\,(SE-D)}$	40
Время перехода выходов выбора данных *SEDA0, SEDA1, SEDA2, SEDB0, SEDB1, SEDB2* из состояния высокоомного в состояние низкого уровня, высокого уровня и наоборот, нс.		
от входа запрета выбора микросхемы *DECS*	$t_{TZ\,(DECS-SE)}$	30
от входа выбора данных *SEDD3*	$t_{TZ\,(SEDD-SE)}$	40
от входа выбора данных *SEDA3*	$t_{TZ\,(SEDA-SE)}$	40
Время перехода выходов данных *DA, DB, DC* из высокоомного состояния в состояние низкого уровня, высокого уровня и наоборот от входа запрета выбора данных *SEDD*, нс	$t_{TZ\,(SEDD-D)}$	55
Время перехода выхода данных *DD* из высокоомного состояния в состояние низкого уровня, высокого уровня и наоборот от входа отсутствия ошибки *INER*, нс	$t_{TZ\,(INER-DD)}$	40

12.13. Микросхема КР1802ВВ3

Микросхема КР1802ВВ3 — программируемый адаптер последовательного интерфейса (ПАПИ), предназначен для применения в системах, в которых необходимо прямое и обратное преобразования параллельно-последовательной информации, в частности в накопителях на магнитных дисках, дисплейных системах, системах передачи и приема данных и т. д. Характеристики ПАПИ обеспечивают возможность его использования для построения систем преобразований информации по магистрально-модульному принципу.

Условное графическое обозначение микросхемы приведено на рис. 12.63, назначение выводов — в табл. 12.44, структурная схема показана на рис. 12.64.

Микросхема ПАПИ имеет в своем составе следующие основные узлы: *У1* — устройство управления передачей (УУПЕР); *У2* — дешифратор чтения/записи (ДШЧЗ); *У3* — регистр передачи (РПЕР); *У4* — триггер записи в РПЕР (ТЗРПЕР); *У5* — регистр управления (РУП); *У6* — триггер включения питания (ТВП); *У7* — регистр буферный передачи (РБПЕР); *У8* — счетчик передачи (СЧПЕР); *У9* — селектор передачи (СПЕР); *У10* — схема сравнения при передаче (ССПЕР); *У11* — схема формирования контрольного разряда (СФКР); *У12* — мультиплексор выходной информации при передаче (МВИ); *У13* — регистр состояния (РСОС); *У14* — устройство управления приемом (УУПР); *У15* — счетчик приема (СЧПР); *У16* — схема сравнения при приеме (ССПР); *У17* — дешифратор приема (ДШПР); *У18* — регистр буферный приема (РБПР); *У19* — регистр приема (РПР); *У20* — мультиплексор приема (МПР); *У21* — устройство выработки прерывания (УВП); РУП — 7-разрядный регистр, реализованный на D-триггерах типа «защелка»; информация на РУП поступает с шин *DB6—DB0*.

Выходы регистра управления определяют вид контроля, положение БИС при наращивании и число передаваемых и принимаемых разрядов.

Формат регистра управления представлен в табл. 12.45.

Функции полей РУП поясняются табл. 12.46—12.48. В табл. 12.48 число разрядов указано для обмена без контроля. Если обмен осуществляется с контролем по четности или нечетности, то при передаче информации дополнительно будет передаваться контрольный разряд, сформированный СФКР, а при приеме будет дополнительно приниматься контрольный разряд, который, однако, не записывается ни в РБПР, ни в РПР, а поступает в УУПР для формирования результата контроля.

Функции дешифратора операций чтения и записи информации (ДШЧЗ) поясняются табл. 12.49. Запись информации в РУП производится при соответствующем коде на шинах управления *W/R*, *RGS* и *CS* при наличии на-

Таблица 12.44

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*DO*	Выход[1]	Последовательная информация
2	*RQT*	Выход	Запрос передачи
3—6, 9—12	*DB0—DB7*	Входы выходы[2]	Информация
7	*GND*	—	Общий
8	*INT*	Выход[3]	Прерывание
13	*RQA*	Выход	Запрос приема
14	*DI*	Вход	Последовательная информация
15	*RDYA*	Выход	Готовность приема
16	*EXA*	Вход	Расширение приема
17	*BEGA*	Вход	Начало приема
18	*CLKA*	Вход	Синхронизация приема
19	*CLK*	Вход	Синхронизация
20	*ENDA*	Выход	Конец приема
21	U_{cc}	—	Напряжение питания
22	*ENDT*	Выход	Конец передачи
23	*EXT*	Вход	Расширение передачи
24	*CLKT*	Вход	Синхронизация передачи
25	*CS*	Вход	Выборка микросхемы
26	*RGS*	Вход	Выборка регистра
27	*W/R*	Вход	Управление записью/чтением
28	*BEGT*	Выход	Начало передачи

[1] С тремя состояниями.
[2] Бинаправленные, с тремя состояниями.
[3] С открытым коллектором.

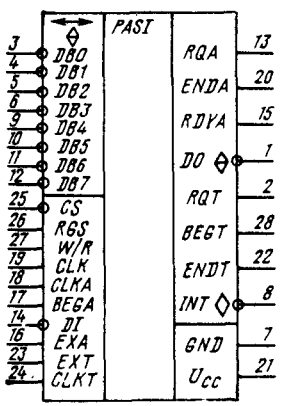


Рис. 12.63. Условное графическое обозначение КР1802ВВ3

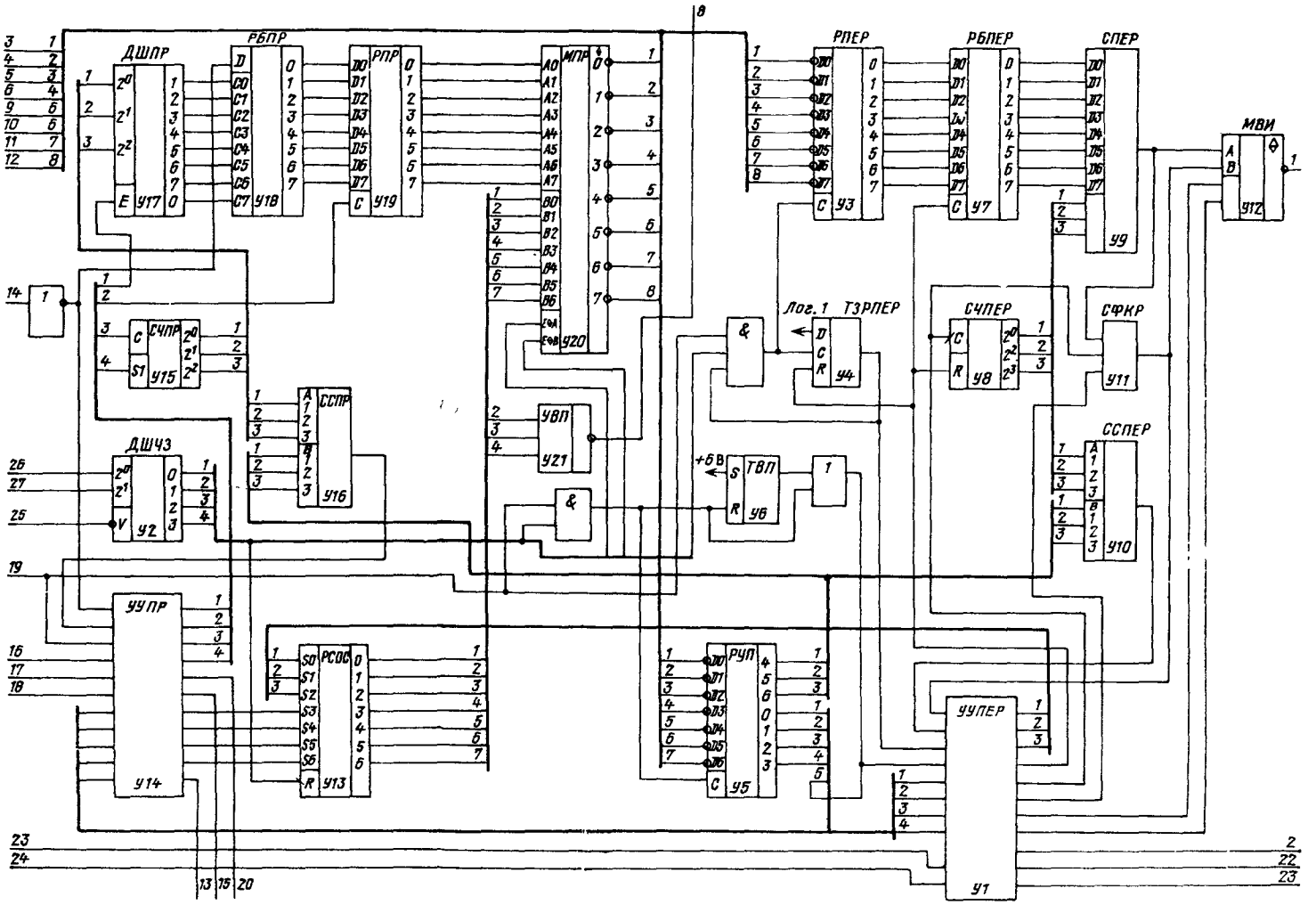


Рис. 12.64. Структурная схема КР1802ВВ3

пряжения высокого уровня на входе *CLK*. Импульс записи в РУП также переводит микросхему в исходное состояние. Запись информации в РПЕР производится при наличии напряжения высокого уровня на входе CLK и соответствующем коде на шинах управления. Дополнительным условием для записи в РПЕР является состояние триггера ТЗРПЕР. Запись в РПЕР может произойти при условии, что выход *Q* триггера ТЗРПЕР находится в состоянии низкого уровня По срезу импульса на входе CLK выход *Q* триггера ТЗРПЕР устанавливается в состояние высокого уровня.

ТВП — выход *Q* этого триггера устанавливается в состояние высокого уровня при подаче на микросхему напряжения питания. Сброс ТВП осуществляется импульсом записи в РУП. Если выход 0 триггера ТВП находится в состоянии высокого уровня, то микросхема ПАПИ переводится в исходное состояние (как и импульсом записи в РУП).

РСОС — 7-разрядный регистр состояний состоит из семи триггеров и буферного регистра состояния (РБСОС) Запись информации в РБСОС производится по срезу CLK, если выполняемая операция не соответствует чтению РСОС (см. табл. 12.49). Если выполняемая операция соответствует чтению РСОС, то запись в РБСОС блокируется. Это предотвращает изменение разрядов РБСОС во время считывания информации из РСОС.

В состав РСОС входят следующие триггеры:

«Тракт приема полон» (ТТПРП), разряд 6;

«Запрос приема» (ТЗПР), разряд 5;

«Ошибка приема» (ТОШПР), разряд 4;

«Сбой формата приема» (ТСФПР), разряд 3;

«Сбой формата передачи» (ТСФПЕР), разряд 2;

«Тракт передачи занят» (ТТПЕРЗН), разряд 1;

«Запрос передачи» (ТЗПЕР), разряд 0.

Отметим, что после чтения регистра состояния, т. е. по срезу сигнала чтения РСОС, триггеры ТСФПЕР, ТСФПР и ТОШПР сбрасываются, если за время действия сигнала чтения РСОС в состоянии высокого уровня прошел хотя бы один импульс синхронизации CLK.

УВП — устройство выработки прерывания представляет собой логическую схему ИЛИ—НЕ, на которую поступает информация с разрядов 4, 3, 2 РБСОС

Таблица 12.45

Назначение полей разрядов		
0, 1	2, 3	4 6
Вид контроля	Положение БИС при наращивании	Число принимаемых и передаваемых разрядов

Таблица 12.46

Состояние разрядов РУП		Вид контроля принимаемой и передаваемой информации
0	1	
0	0	Без контроля
0	1	То же
1	0	Контроль по четности
1	1	Контроль по нечетности

Таблица 12.47

Состояние разрядов РУП		Положение БИС при наращивании
2	3	
0	0	БИС работает одна
0	1	БИС первая при наращивании
1	0	БИС средняя при наращивании
1	1	БИС последняя при наращивании

Таблица 12.48

Состояние разрядов РУП			Число передаваемых и принимаемых разрядов	Состояние разрядов РУП			Число передаваемых и принимаемых разрядов
4	5	6		4	5	6	
0	0	0	8	1	0	0	4
0	0	1	1	1	0	1	5
0	1	0	2	1	1	0	6
0	1	1	3	1	1	1	7

Таблица 12.49

Состояние входов управления			Выполняемая операция
CS	*W/R*	*RGS*	
1	*X*	*X*	Нет операции
0	0	0	Запись в РУП
0	0	1	Запись в РПЕР
0	1	0	Чтение РСОС
0	1	1	Чтение РПР

Примечание X состояние входа безразлично.

Для различных режимов работы схемы используются следующие сигналы управления:

CLKT — синхроимпульсы передачи. Определяют частоту передаваемой последовательной информации и моменты нахождения передаваемой информации на выходе *DO*;

RQT — запрос передачи. Вырабатывается после переписи информации из РПЕР в РБПЕР по срезу одного из импульсов *CLK*. Используется как запрос на запись новой информации в РПЕР;

BEGT — начало передачи. Вырабатывается по одному из импульсов *CLKT* одновременно с передачей первого бита посылки на выход *DO*;

ENDT — конец передачи. Вырабатывается по одному из синхроимпульсов *CLKT* одновременно с передачей последнего бита посылки на выход *DO*;

EXT — расширение передачи. Используется при объединении нескольких микросхем ПАПИ для передачи информации.

CLKA — синхроимпульсы приема. Определяют частоту принимаемой последовательной информации и моменты записи этой информации со входа *DI* в РБПР;

RQA — запрос приема. Вырабатывается по срезу одного из сигналов *CLK* после приема последнего бита посылки и переписи данных из РБПР в РПР. Используется как запрос на чтение данных из РПР;

BEGA — начало приема. Вырабатывается устройством, передающим последовательную информацию в микросхему ПАПИ по одному из сигналов CLKA одновременно с передачей в ПАПИ первого бита посылки;

ENDA — конец приема. Вырабатывается по одному из сигналов *CLKA* одновременно с приемом последнего бита посылки со входа *DI*;

EXA — расширение приема. Используется при объединении нескольких микросхем ПАПИ для приема информации;

RDYA — прием готов. Вырабатывается по срезу одного из синхросигналов *CLK* после приема РБПР последнего бита посылки, если предыдущая информация из РПР не была считана.

В начале работы система записывает в РУП управляющее слово, которое определяет формат передачи и приема, режим работы. При этом микросхема переводится в исходное состояние.

Передача без расширения формата. После записи управляющего слова вырабатывается сигнал *RQT*, который разрешает запись информации в РПЕР.

Система вырабатывает код «Запись в РПЕР». Информация заносится в РПЕР. При этом сигнал *RQT* снимается и следующая запись информации в РПЕР блокируется. После этого УУПЕР вырабатывает сигнал ЗРБПЕР. Информация переписывается из РПЕР в РБПЕР. Когда перепись закончена, по срезу сигнала *CLK* вырабатывается сигнал *RQT*, который говорит о том, что микросхема может принять в РПЕР следующую информацию из системы для ее передачи. После этого УУПЕР одновременно с передачей первого бита на выход *DO* по высокому уровню синхроимпульса *CLKT* вырабатывает сигнал *BEGT*, который определяет начало посылки.

При записи новой информации в РПЕР сигнал *RQT* снимается. Если система пытается записать информацию в РПЕР, причем предыдущая информация из РПЕР не была переписана в РБПЕР, то выход второго разряда РСОС устанавливается в состояние высокого уровня и вырабатывается сигнал *INT*, а запись новой информации в РПЕР блокируется.

Одновременно с передачей последнего бита посылки при низком уровне синхроимпульса *CLKT ПАПИ* вырабатывает сигнал *ENDT*, а после перезаписи новой информации из РПЕР в РБПЕР устанавливает сигнал *RQT* и начинает выдачу последовательного кода на выход

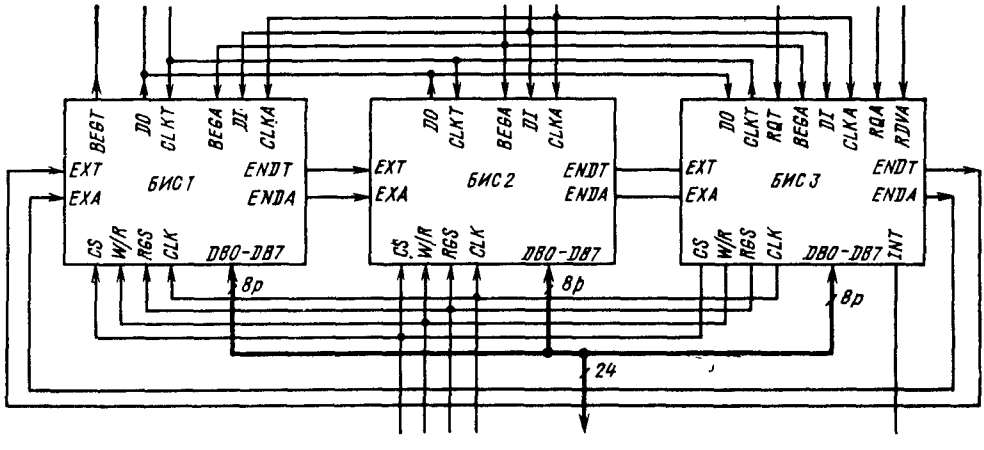


Рис. 12.65. Объединение микросхем КР1802ВВ3 при разрядности шины, равной максимально возможному формату

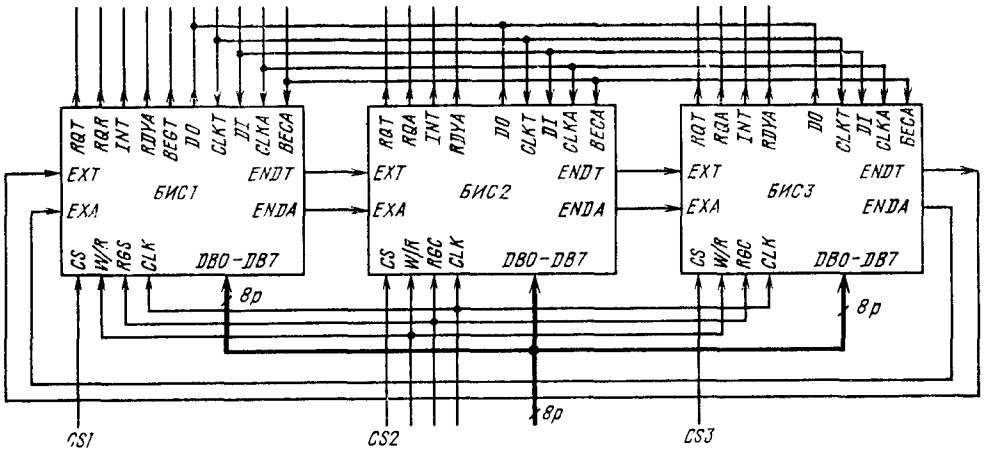


Рис. 12.66. Объединение микросхем КР1802ВВ3 при разрядности шины меньше формата посылки

DO по фронту *CLKT*. Если задан режим с передачей контрольного разряда, то сигнал *ENDT* вырабатывается одновременно с передачей контрольного разряда.

Прием без расширения формата. Микросхема ПАПИ принимает информацию с шины *DI* только при отсутствии сигнала *RDYA*.

Передающий блок начинает посылку, сопровождая первый бит сигналом «Начало приема», который поступает на вход *BEGA* ПАПИ. Если прием производится с контролем, последним в посылке должен быть контрольный разряд. После приема последнего бита посылки вырабатывается сигнал *ENDA*, и если предыдущая информация из РПР была прочитана, то происходит перезапись данных из РБПР в РПР. При этом по срезу сигнала *CLK* вырабатывается сигнал *RQA*, который сообщает системе о возможности чтения новой информации из РПР. Если предыдущая информация из РПР не прочитана, то при приеме новой информации перезапись данных из РБПР в РПР не происходит, а по срезу сигнала *CLK* вырабатывается сигнал *RDYA*, который блокирует прием информации с шины *DI*.

Если прием посылки не был закончен, а передающий блок выдал сигнал *BEGA*, то устанавливается триггер ТСФПР и по срезу *CLK* вырабатывается сигнал *INT*. При этом в РБПР записывается смешанная информация (часть предыдущей посылки и часть новой) и правильность работы ПАПИ нарушается.

Если передающий блок выдал сигнал *BEGA* в то время, когда сигнал *RDYA* соответство-

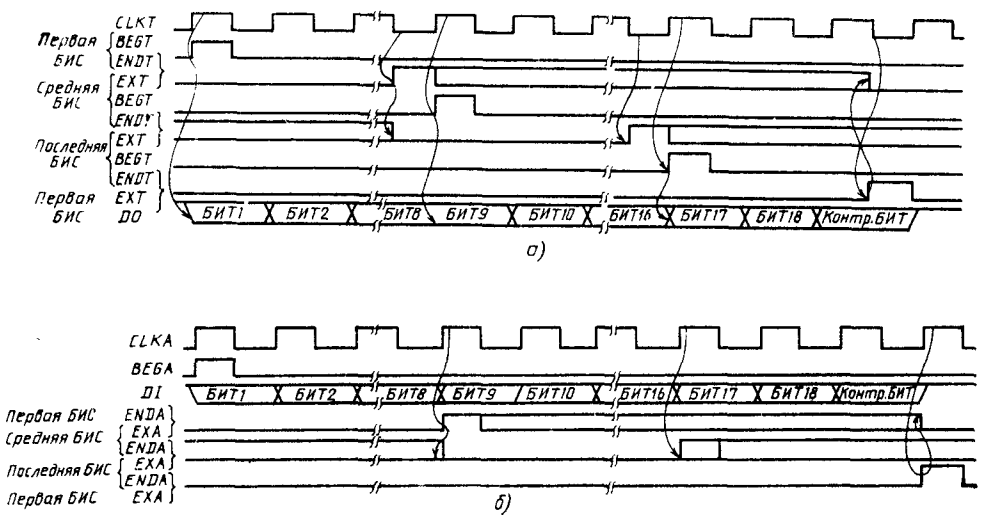


Рис. 12.67. Временные диаграммы передачи (*а*) и приема (*б*) информации

Таблица 12.50

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Выходное напряжение низкого уровня, В, при $U_{CC}=4{,}75$ В и $I_{OL}=10$ мА	U_{OL}	—	0,5
Выходное напряжение высокого уровня, В, при $U_{CC}=4{,}75$ В и $I_{OH}=1$ мА	U_{OH}	2,4	—
Ток потребления, мА, при $U_{CC}=5{,}25$ В	I_{CC}	—	280
Входной ток низкого уровня, мА, при $U_{CC}=5{,}25$ В и $U_{IL}=0{,}5$ В	I_{IL}	−0,25	—
Входной ток высокого уровня, мкА, при $U_{CC}=5{,}25$ В и $U_{IH}=5{,}25$ В:	I_{IH}		
для входов *DB0—DB7*		—	100
для остальных входов		—	40
Выходной ток высокого уровня, мкА, при $U_{CC}=5{,}25$ В	I_{OH}	—	100
Выходной ток низкого уровня в состоянии «выключено», мкА, при $U_{CC}=5{,}25$ В и $U_{OH}=5{,}25$ В	I_{OZL}	−100	—
Выходной ток высокого уровня в состоянии «выключено», мкА	I_{OZH}	—	100
Время задержки перехода от входа *W/R* до входов выходов *DB*, нс	$t_{T1\,(W/R\ \ DB)}$, $t_{T2\,(W/R\ \ DB)}$	—	85
Время задержки распространения сигнала от входа *RGS* до входов выходов *DB*, нс	$t_{P1\,(RGS\ \ DB)}$, $t_{P2\,(RGS\ \ DB)}$	—	70
Время задержки распространения сигнала от входа *CLK* до выхода *RQT*, нс	$t_{P\,(CLK\ \ RQT)}$	—	90
Время задержки распространения сигнала от входа *CLK* до выходов *INT RGA*, нс	$t_{P\,(CLK\ \ INT)}$, $t_{P\,(CLK\ \ RGA)}$	—	95
Время задержки распространения сигнала от входа *CLKA* до выхода *ENDA*, нс	$t_{P\,(CLKA\ \ ENDA)}$	—	80
Время задержки распространения сигнала от входа *CLK* до выхода *RDYA*, нс	$t_{P\,(CLK\ \ RDYA)}$	—	85
Время задержки распространения сигнала от входа *CLKT* до выхода *BEGT*, нс	$t_{P\,(CLKT\ \ BEGT)}$	—	60
Время задержки распространения сигнала от входа *CLKT* до выхода *ENDT*, нс	$t_{P\,(CLKT\ \ ENDT)}$	90	—
Время задержки распространения сигнала от входа *CLKT* до выхода *DO*, нс	$t_{P\,(CLKT\ \ DO)}$	135	—
Время задержки перехода от входа *CLKT* до выхода *DO*, нс	$t_{P1\,(CLKT\ \ DO)}$, $t_{P2\,(CLKT\ \ DO)}$	140	—
Время задержки перехода от входа *CS* до входов выходов *DB*, нс	$t_{T1\,(CS\ \ DB)}$, $t_{T2\,(CS\ \ DB)}$	80	—
Длительность сигнала высокого уровня на входе *CLK*, нс	$\tau_{H,\ CLK}$	50	—
Длительность сигнала низкого уровня на входе *CLK*, нс	$\tau_{L,\ CLK}$	50	—
Время установления сигнала на входах *W/R*, *RGS* относительно сигнала на входе *CLK*, нс	$t_{S\,(W/R\ \ CLK)}$, $t_{S\,(RGS\ \ CLK)}$	—	−5
Время установления сигнала на входе *CL* относительно сигнала на входе *CLK*, нс	$t_{S\,(CS\ \ CLK)}$	—	−10
Время сохранения сигнала на входах *W/R*, *RGS* относительно сигнала на входе *CLK*, нс	$t_{H\,(W/R\ \ CLK)}$, $t_{H\,(RGS\ \ CLK)}$	5	—
Время сохранения сигнала на входе *CS* относительно сигнала на входе *CLK*, нс	$t_{H\,(CS\ \ CLK)}$	10	—

Параметр	Обозначение	Значения параметров	
		мин	макс
Время установления сигнала на входах *DB0—DB7* относительно сигнала на входе *CLK*, нс	$t_{S(DB-CLK)}$	—	– 15
Время сохранения сигнала от входах *DB0—DB7* относительно сигнала *CLK*, нс	$t_{H(DB-CLK)}$	20	—
Длительность сигнала высокого уровня на входе *CLKT*, нс	τ_{H-CLKT}	100	-
Длительность сигнала низкого уровня на входе *CLKT*, нс	τ_{L-CLKT}	100	—
Время установления сигнала на входе *EXT* относительно сигнала на входе *CLKT*, нс	$t_{S(EXT-CLKT)}$	—	—10
Время сохранения сигнала на входе *EXT* относительно сигнала на входе *CLKT*, нс	$t_{H(EXT-CLKT)}$	50	—
Длительность сигнала высокого уровня на входе *CLKA*, нс	τ_{H-CLKA}	100	—
Длительность сигнала низкого уровня на входе *CLKA*, нс	τ_{L-CLKA}	100	—
Время установления сигнала на входе *DI* относительно сигнала на входе *CLKA*, нс	$t_{S(DI-CLKA)}$	—	—20
Время сохранения сигнала на входе *DI* относительно сигнала на входе *CLKA*, нс	$t_{H(DI-CLKA)}$	40	—
Время установления сигнала на входе *BEGA* относительно сигнала на входе *CLKA*, нс	$t_{S(BEGA-CLKA)}$		—20
Время сохранения сигнала на входе *BEGA* относительно сигнала на входе *CLKA*, нс	$t_{H(BEGA-CLKA)}$	10	—
Время установления сигнала на входе *EXA* относительно сигнала на входе *CLKA*, нс	$t_{S(EXA-CLKA)}$	—	—10
Время сохранения сигнала на входе *EXA* относительно сигнала на входе *CLKA*, нс	$t_{H(EXA-CLKA)}$	50	—

вал высокому уровню, то также устанавливается триггер ГСФПР и вырабатывается сигнал *INT*, а информация в РБПР не искажается. При ошибке по контролю (после принятия контрольного разряда) устанавливается триггер ТОШПР и вырабатывается сигнал *INT*.

При необходимости обмена посылками, формат которых превышает 8 бит, несколько микросхем ПАПИ могут быть объединены. Возможны следующие варианты объединения.

1. Разрядность системной двунаправленной шины равна максимально возможному формату (рис. 12.65).

Так как системная шина данных обеспечивает обмен информацией со всеми микросхемами ПАПИ одновременно, то входы *CS*, *W/R*, *RCS* всех микросхем объединены. В регистрах управления указано, что БИС1 — первая, БИС2 — средняя, а БИС3 — последняя. Эта информация указывает, что БИС1 начинает обмен, БИС2 продолжает, а БИС3 заканчивает. Сигнал *RQT* берется с последней микросхемы, линии *DO* всех БИС объединены. Информацию об окончании передачи своей порции данных БИС1 передает БИС2 по выходу *ENDT*, соединенному с выводом *EXT* БИС2. По этой же схеме связи передается свертка по модулю 2 переданной информации при работе в режиме контроля после передачи сигнала «Конец передачи». Связь БИС2 и БИС3 аналогична связи БИС1 и БИС2. Сигнал *ENDT* БИС3 сообщает БИС1 о возможности начала нового цикла передачи.

2. Разрядность системной шины меньше формата посылки (рис. 12.66). В этом случае каждая БИС адресуется с помощью своего входа *CS* и каждая имеет независимые линии сигналов запросов приема, передачи, прерывания и готовности приема, по которым микросхемы обслуживаются системой.

Работа микросхемы в режиме приема при наращивании аналогична режиму передачи. Кроме этих двух возможны и другие способы объединения микросхем ПАПИ, зависящие от конкретных задач.

Временные диаграммы передачи и приема информации с расширением формата приведены на рис. 12.67.

Основные параметры микросхемы КР1802ВВ3 приведены в табл. 12.50.

Глава 13

Микропроцессорный комплект серии КМ1804

Микропроцессорный комплект КМ1804 предназначен для построения широкого класса быстродействующих средств вычислительной техники — от микроконтроллеров до высокопроизводительных микро-ЭВМ. Микропрограммируемость и возможность разрядного расширения позволяют эмулировать практически любую систему команд. Высокая производительность реализуется за счет применения конвейерной обработки и ТТЛШ-технологии.

В состав комплекта входят 19 микросхем большой и средней степени интеграции. Разнообразие схем, ориентированных на применение в составе различных устройств, обеспечивает большую архитектурную гибкость при разработке вычислительной аппаратуры (табл. 13.1).

Микросхемы серии КМ1804 работают при напряжении источника питания +5 В±5%. Обеспечивается полная совместимость с микросхемами других серий, имеющими ТТЛ-, ТТЛШ-уровни логических сигналов ($U_L \leqslant 0{,}5$ В, $U_H \geqslant 2{,}4$ В). Для тактирования микросхем применяется однофазная синхронизация с частотой до 10 МГц. Быстродействие комплекта до 10^7 микрокоманд/с.

Таблица 13.1

Тип микросхемы	Функциональное назначение	Тип корпуса
КМ1804ВС1	4-разрядная микропроцессорная секция	2123.40-6
КМ1804ВС2	4-разрядная микропроцессорная секция с расширенными возможностями	2126.48-1
КМ1804ВР1	Схема ускоренного переноса	201.16-13
КМ1804ВР2	Схема управления состоянием и сдвигами	2123.40-6
КМ1804ВУ1	4-разрядная секция управления адресом микрокоманд	2121.28-6
КМ1804ВУ2	4-разрядная секция управления адресом микрокоманд	2140Ю.20-2
КМ1804ВУ3	Схема управления выбором следующего адреса	201.16-13
КМ1804ВУ4	12-разрядная схема управления адресом микрокоманд	2123.40-6
КМ1804ВН1	8-разрядная схема векторного приоритетного прерывания	2123.40-6
КМ1804ВР3	Схема-расширитель векторного приоритетного прерывания	2140Ю.20-2
КМ1804ВА1	4-разрядный канальный приемопередатчик	2120.24-1
КМ1804ВА2	4-разрядный канальный приемопередатчик	2140Ю.20-2
КМ1804ВА3	4-разрядный канальный приемопередатчик с интерфейсной логикой	2120.24-1
КМ1804ИР3	8-разрядный параллельный двунаправленный регистр	2121.28-6
КМ1804ГГ1	Системный тактовый генератор	2120.24-1
КМ1804ВУ5	4-разрядная секция управления адресом программной памяти	2121.28-6
КМ1804ВЖ1	16-разрядная схема обнаружения и коррекции ошибок	2126.48-1
КМ1804ИР1	4-разрядный параллельный регистр	201.16-13
КМ1804ИР2	8-разрядный параллельный регистр	2108.22-1

13.1. Микросхема КМ1804ВС1

Микросхема КМ1804ВС1 представляет собой 4-разрядную наращиваемую микропроцессорную секцию с высоким быстродействием, предназначенную для применения в составе центральных процессоров микро-ЭВМ, периферийных контроллеров, устройств дискретной автоматики и цифрового управления.

Микросхема имеет:

двухадресную архитектуру внутреннего 16×4 бит регистрового запоминающего устройства;

восемь функций АЛУ (сложение, два вычитания и пять логических функций);

большой выбор пар источников операндов АЛУ;

сдвиги влево/вправо независимо от АЛУ;

четыре флага состояния (перенос, переполнение, нуль и знак).

Условное графическое обозначение микросхемы приведено на рис. 13.1, назначение выводов — в табл. 13.2, структурная схема показана на рис. 13.2, временная диаграмма входных сигналов — на рис. 13.3.

В состав микросхемы входят: регистровое ЗУ (РЗУ), селектор источников данных (СИД), арифметико-логическое устройство (АЛУ), селектор выходных данных (СВД), регистры (Рг. *A*, Рг. *B*, Рг. *Q*), сдвигатели (Сд. *Q*, Сд. *F*), устройство управления (УУ).

Любые два слова РЗУ, адресуемые через адресные порты *A* и *B*, можно одновременно считывать на соответствующие внутренние

Таблица 13.2

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	A3	Вход	Адрес, 3-й разряд
2	A2	Вход	Адрес, 2-й разряд
3	A1	Вход	Адрес, 1-й разряд
4	A0	Вход	Адрес, 0-й разряд
5	I6	Вход	Выбор приемника, 6-й разряд
6	I8	Вход	Выбор приемника, 8-й разряд
7	I7	Вход	Выбор приемника, 7-й разряд
8	PR3	Вход/выход	Двунаправленный вывод сдвига старшего разряда РЗУ
9	PR0	Вход/выход	Двунаправленный вывод сдвига младшего разряда РЗУ
10	U_{CC}	—	Напряжение питания
11	Z	Выход	Признак 0-го результата АЛУ
12	I0	Вход	Выбор источника, 0-й разряд
13	I1	Вход	Выбор источника, 1-й разряд
14	I2	Вход	Выбор источника, 2-й разряд
15	T	Вход	Тактовый сигнал
16	PQ3	Вход/выход	Двунаправленный вывод сдвига старшего разряда регистра Q
17	B0	Вход	Адрес, 0-й разряд
18	B1	Вход	Адрес, 1-й разряд
19	B2	Вход	Адрес, 2-й разряд
20	B3	Вход	Адрес, 3-й разряд
21	PQ0	Вход/выход	Двунаправленный вывод сдвига младшего разряда регистра Q
22	D3	Вход	Данные, 3-й разряд
23	D2	Вход	Данные, 2-й разряд
24	D1	Вход	Данные, 1-й разряд
25	D0	Вход	Данные, 0-й разряд
26	I3	Вход	Выбор функции, 3-й разряд
27	I5	Вход	Выбор функции, 5-й разряд
28	I4	Вход	Выбор функции, 4-й разряд
29	CO	Вход	Перенос в АЛУ
30	GND	—	Общий
31	F3	Выход	Старший разряд результата АЛУ
32	G	Выход	Генерация переноса АЛУ
33	C4	Выход	Последовательный перенос АЛУ
34	OVR	Выход	Переполнение АЛУ
35	P	Выход	Распространение переноса АЛУ
36	Y0	Выход	Данные, 0-й разряд
37	Y1	Выход	Данные, 1-й разряд
38	Y2	Выход	Данные, 2-й разряд
39	Y3	Выход	Данные, 3-й разряд
40	OE	Вход	Разрешение выходов

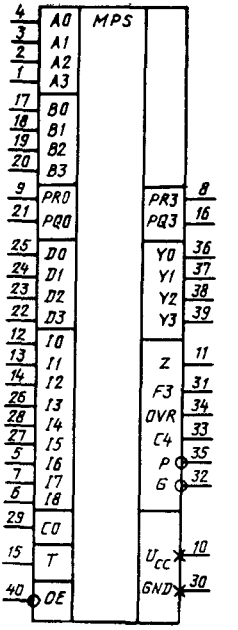


Рис. 13.1. Условное графическое обозначение КМ1804ВС1

шины данных *A* и *B*. Если адреса *A* и *B* совпадают, то на шинах данных *A* и *B* появляется одно и то же слово. Регистры Рг. *A*, Рг. *B*, стоящие на выходных портах данных *A* и *B* РЗУ, пропускают данные, если на вход *T* подано напряжение высокого уровня. Если на вход *T* подано напряжение низкого уровня, то в регистрах хранятся последние данные, поступившие из РЗУ.

Данные с выхода Сд. *F* записываются в РЗУ по адресу *B* при напряжении низкого уровня на входе *T*; при высоком уровне на входе *T* ячейки РЗУ переводятся в режим хранения/считывания.

Селектор источников данных предназначен для выбора операндов *R* и *S* АЛУ. Для выбора операндов АЛУ используются входы *12—10* микрокоманды (табл. 13.3).

Арифметико-логическое устройство выполняет три арифметических и пять логических функций над операндами *R* и *S* согласно табл. 13.4.

При наращивании разрядности микросхемы могут соединяться по схеме ускоренного пере-

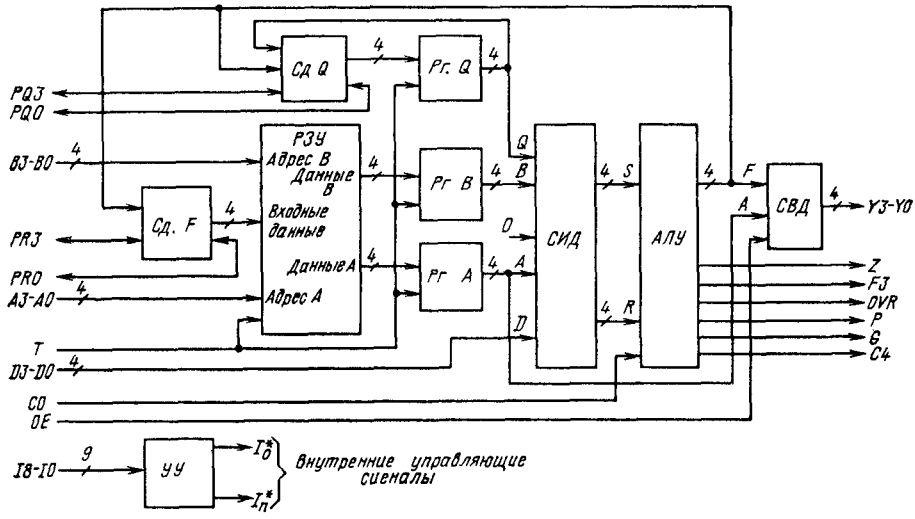


Рис. 13.2. Структурная схема КМ1804ВС1

носа или по схеме с последовательным переносом. Для организации последовательного переноса в АЛУ имеются вход переноса *C0* и выход переноса *C4*. Выходы *P*, *G* используются при соединении АЛУ микросхем по схеме ускоренного переноса. Остальные выходы (*Z*, *F3*, *OVR*) служат для выдачи результата выполнения функции АЛУ. Выход *Z* (открытый коллектор) является признаком нулевого результата. Если на выходах *F* АЛУ все разряды имеют нулевое значение, то на выходе *Z* устанавливается высокий уровень. Выход *F3* соединен со старшим (знаковым) разрядом выхода АЛУ. Выход *OVR* показывает, что

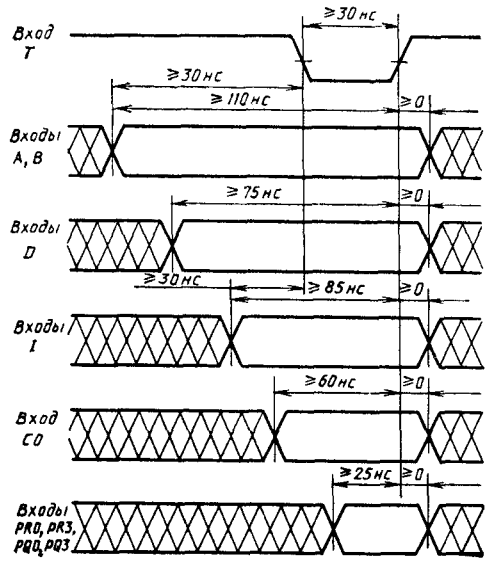


Рис. 13.3. Временна́я диаграмма входных сигналов КМ1804ВС1

Таблица 13.3

Сигналы на входах выбора источника			Источники операндов АЛУ	
I2	*I1*	*I0*	Операнд *R*	Операнд *S*
0	0	0	*A*	*Q*
0	0	1	*A*	*B*
0	1	0	0	*Q*
0	1	1	0	*B*
1	0	0	0	*A*
1	0	1	*D*	*A*
1	1	0	*D*	*Q*
1	1	1	*D*	0

Таблица 13.4

Сигналы на входах выбора функции			Функция АЛУ
I5	*I4*	*I3*	
0	0	0	$R+S+C0$
0	0	1	$S-R-1+C0$
0	1	0	$R-S-1+C0$
0	1	1	$R_i \vee S_i$
1	0	0	$R_i \wedge S_i$
1	0	1	$\overline{R}_i \wedge S_i$
1	1	0	$R_i \oplus S_i$
1	1	1	$\overline{R}_i \oplus S_i$

Примечание. — логическая операция ИЛИ, $\wedge$ — логическая операция И; $\oplus$ — логическая операция исключающее ИЛИ.

Таблица 13.5

Сигналы на входах выбора приемника			Функция РЗУ		Функция Рг. Q		Выход Y	Сдвиговые выводы Сд. F		Сдвиговые выводы Сд. Q	
I8	*I7*	*I6*	Сдвиг	Загрузка в регистр	Сдвиг	Загрузка в регистр		*PR0*	*PR3*	*PQ0*	*PQ3*
0	0	0	*X*	Нет	Нет	*F→Q*	*F*	*X*	*X*	*X*	*X*
0	0	1	*X*	Нет	*X*	Нет	*F*	*X*	*X*	*X*	*X*
0	1	0	Нет	*F→B*	*X*	Нет	*A*	*X*	*X*	*X*	*X*
0	1	1	Нет	*F→B*	*X*	Нет	*F*	*X*	*X*	*X*	*X*
1	0	0	Вправо	*F/2→B*	Вправо	*Q/2→Q*	*F*	*F0*	Вх. 3	*Q0*	Вх.3
1	0	1	Вправо	*F/2→B*	*X*	Нет	*F*	*F0*	Вх. 3	*Q0*	*X*
1	1	0	Влево	*2F→B*	Влево	*2Q→Q*	*F*	Вх. *0*	*F3*	Вх. 0	*Q3*
1	1	1	Влево	*2F→B*	*X*	Нет	*F*	Вх. *0*	*F3*	*X*	*Q3*

Примечание. *X* — состояние входа безразлично; *B* — регистр РЗУ, адресуемый входами *B3—B0*; Вх.3, Вх.0 — выводы, являющиеся входами в 3-й, 0-й разряды соответствующих регистров.

результат выполнения арифметической операции выходит за границу разрядности чисел в дополнительном коде.

Селектор выходных данных представляет собой двухвходовый коммутатор, который в зависимости от состояния сигналов на входах *I8—I6* выдает на шины *Y* функцию АЛУ (*F*) или выход канала *A* РЗУ (*A*) (табл. 13.5). При $OE=1$ выходы селектора *Y* переводятся в состояние «отключено».

Результат АЛУ может быть записан в Рг. *Q* по положительному фронту тактового сигнала *T* при наличии внутренних сигналов разрешения записи, определяемых кодом микрокоманды (см. табл. 13.5). Сдвигатель Сд. *Q*, стоящий на входе регистра, обеспечивает возможность сдвига его содержимого на один разряд влево или вправо. Для организации сдвигов содержимого Рг. *Q* в системе микропроцессорных секций имеются двунаправленные выводы сдвига *PQ3, PQ0*. Сдвигатель Сд. *Q* выполняет только логические сдвиги. Во время сдвига в сторону младших разрядов двунаправленный вывод *PQ3* является входом,

Таблица 13.6

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=16$ мА $I_{OL}=10$ мА $I_{OL}=8$ мА $I_{OL}=6$ мА	*Y3—Y0, Z, G,* *C4* *OVR, P* *F3, PR3, PR0, PQ3, PQ0*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-1{,}6$ мА $I_{OH}=-1{,}0$ мА $I_{OH}=-0{,}8$ мА $I_{OH}=-0{,}6$ мА	*Y3—Y0, G* *C4* *OVR, P* *F3, PR3, PR0, PQ3, PQ0*
Входной ток низкого уровня, мА	I_{IL}	—3,6 —0,8 —0,72 —0,36	$U_{IL}=0{,}5$ В	*C0* *PR0, PR3, PQ0, PQ3* *D3—D0, I7, I3—I5* Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	200 100 40 20	$U_{IH}=2{,}7$ В	*C0* *PR0, PR3, PQ0,PQ3* *D3—D0, I7, I3—I5* Остальные входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5{,}5$ В	Все входы
Ток потребления, мА	I_{CC}	280	$U_{CC}=5{,}25$ В	—
Время задержки распространения сигнала, нс	t_P	85 100 60	$C_L=50$ пФ	От *A, B* до *Y* От *A, B* до *PR3, PR0* От *I3—I5* до *Y*

Таблица 13.7

Вход	Значение t_p до выходов, нс							
	Y	*F3*	*C4*	*G, P*	*Z*	*OVR*	*PR3, PR0*	*PQ3, PQ0*
A, *B*	80	80	75	65	87	85	95	—
D (при арифметических операциях)	45	45	45	35	57	55	65	—
D (при логических операциях)	40	40	—	—	52	—	60	—
C0	30	30	20	—	47	30	50	—
I0—I2	55	55	50	45	67	65	75	—
I3—I5	55	55	55	50	67	65	75	—
I6—I8	30	—	—	—	—	—	30	30
OE (разрешение/запрет)	35/25	—	—	—	—	—	—	—
A (минуя АЛУ)	45	—	—	—	—	—	—	—
T (положительный перепад)	60	60	60	50	72	70	80	30

а *PQ0* — выходом. При сдвигах в сторону старших разрядов вывод *PQ0* является входом, а *PQ3* — выходом.

Сдвигатель функции АЛУ Сд. *F* обеспечивает логический сдвиг вправо (влево) данных перед их записью в РЗУ (см. табл. 13.5). Выводы *PR3, PR0* аналогичны соответствующим выводам *PQ3, PQ0* и служат для наращивания разрядности.

Устройство управления преобразует сигналы на входах выбора микрокоманды *I8—I0* во внутренние управляющие сигналы I_0*—I_n*. В табл. 13.6 приведены основные электрические параметры микросхемы КМ1804ВС1, в табл. 13.7 — типовые значения динамических параметров.

13.2. Микросхема КМ1804ВС2

Микросхема КМ1804ВС2 представляет собой 4-разрядную наращиваемую микропроцессорную секцию. Она выполняет все функции микропроцессорной секции КМ1804ВС1 и дополнительно ряд функций. Возможность неограниченного наращивания емкости внутренней памяти и трехпортовая трехадресная архитектура, выполнение операций умножения и деления, наличие микрокоманд нормализации чисел, наличие схемы генерации четности, возможность расширения знака чисел обеспечивают большую гибкость применения микросхемы.

Условное графическое обозначение микросхемы приведено на рис. 13.4, назначение выводов — в табл. 13.8, структурная схема показана на рис. 13.5, временная диаграмма работы — на рис. 13.6.

В состав микросхемы КМ1804ВС2 в основном входят те же блоки, что и в состав КМ1804ВС1, только сдвигатель Сд. *F* расположен между АЛУ и выходами *Y3—Y0* с целью уменьшения времени выполнения операции умножения.

Работу РЗУ необходимо рассматривать совместно с работой регистров Рг. *A*, Рг. *B* и буфером данных (БД). Любые два слова РЗУ, адресуемые через адресные порты *A* и *B*, можно одновременно считывать на соответствующие внутренние шины данных *A* и *B*. Если адреса *A* и *B* совпадают, то на шинах данных *A* и *B* появляется одно и то же слово. Регистры Рг. *A*, Рг. *B*, стоящие на выходных портах данных *A* и *B* РЗУ, пропускают данные, если на вход *T* подано напряжение высокого уровня. Если же на вход *T* подано напряжение низкого уровня, то в регистрах хранятся последние данные, поступившие из РЗУ. Данные *B* могут быть прочитаны на двунаправленных выводах *DB*, если на вход *OEB* подано напряжение низкого уровня.

Внешние данные записываются в РЗУ по адресу *B* с двунаправленных *Y*-выводов или с выходных шин Сд. *F*, если на входы *WE* и *T* одновременно подано напряжение низкого уровня.

АЛУ может выполнять семь арифметических и девять логических операций над двумя 4-разрядными операндами. Коммутаторы Км. *S*, Км. *R* на входах АЛУ обеспечивают возможность выбора источников операндов АЛУ. В зависимости от состояния входа *EA* коммутатор Км. *R* выбирает либо шину *DA* внешних данных, либо данные *A* РЗУ в качестве одного из источников операнда АЛУ. Сигналы на входах *OEB* и *I0* управляют работой Км. *S*, который выбирает либо данные *B* РЗУ, либо входы *DB*, либо содержимое Рг. *Q* в качестве другого источника операнда АЛУ. Таким образом, АЛУ может работать с данными от двух внешних источников, либо от одного внутреннего и одного внешнего источника, либо от двух внутренних источников. В табл. 13.9 приведены все возможные пары источников операндов АЛУ.

Стандартные функции, выполняемые АЛУ, определяются состоянием входов микрокоманды *I1—I4* и приведены в табл. 13.10.

Если на входы *I0—I4* подано напряжение низкого уровня, то микросхема выполняет специальные функции, определяемые состоянием входов микрокоманды *I5—I8* (табл. 13.11).

При наращивании разрядности микросхемы могут соединяться по схеме ускоренного переноса или по схеме последовательного переноса. Для организации последовательного переноса в АЛУ имеются вход переноса *C0* и выход переноса *C4*.

Выходы *G/N, P/OVR* используются при соединении АЛУ микросхем по схеме ускоренного переноса. При этом в зависимости от относительного положения микропроцессорной секции (МПС) в младшей и средней МПС выходы *G/N, P/OVR* являются выходами сигналов ускоренного переноса (генерации *G* и распространения *P* переноса), а в старшей МПС данные выходы используются как знаковый *N* и переполнения *OVR*. Выход *N* — обычно старший разряд результата операции, используется для определения знака результата АЛУ.

Таблица 13.8

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	PQ0	Вход/выход	Двунаправленный вывод сдвига младшего разряда регистра Q
2	EA	Вход	Разрешение данных A
3	DA0	Вход	Данные A, 0-й разряд
4	DA1	Вход	Данные A, 1-й разряд
5	DA2	Вход	Данные A, 2-й разряд
6	DA3	Вход	Данные A, 3-й разряд
7	I2	Вход	Микрокоманда, 2-й разряд
8	I3	Вход	Микрокоманда, 3-й разряд
9	I4	Вход	Микрокоманда, 4-й разряд
10	C0	Вход	Перенос в АЛУ
11	C4	Выход	Перенос АЛУ
12	P/OVR	Выход	Распространение переноса/переполнение АЛУ
13	GND	—	Общий
14	G/N	Выход	Генерация переноса/знак АЛУ
15	OEY	Вход	Разрешение выходов Y
16	Y0	Вход/выход	Двунаправленный вывод данных, 0-й разряд
17	Y1	Вход/выход	Двунаправленный вывод данных, 1-й разряд
18	Y2	Вход/выход	Двунаправленный вывод данных, 2-й разряд
19	Y3	Вход/выход	Двунаправленный вывод данных, 3-й разряд
20	PF0	Вход/выход	Двунаправленный вывод сдвига младшего разряда результата АЛУ
21	PF3	Вход/выход	Двунаправленный вывод сдвига старшего разряда результата АЛУ
22	Z	Вход/выход	Двунаправленный вывод признака нулевого результата АЛУ
23	DB0	Вход/выход	Данные B, 0-й разряд
24	DB1	Вход/выход	Данные B, 1-й разряд
25	DB2	Вход/выход	Данные B, 2-й разряд
26	DB3	Вход/выход	Данные B, 3-й разряд
27	A3	Вход	Адрес, 3-й разряд
28	A2	Вход	Адрес, 2-й разряд
29	A1	Вход	Адрес, 1-й разряд
30	A0	Вход	Адрес, 0-й разряд
31	OEB	Вход	Разрешение выходов данных B
32	I8	Вход	Микрокоманда, 8-й разряд
33	I7	Вход	Микрокоманда, 7-й разряд
34	I6	Вход	Микрокоманда, 6-й разряд
35	I5	Вход	Микрокоманда, 5-й разряд
36	U_{CC}	—	Напряжение питания
37	WE	Вход	Разрешение записи в РЗУ
38	IEN	Вход	Разрешение микрокоманды
39	LSS	Вход	Управление относительным положением
40	W/MSS	Вход/выход	Двунаправленный вывод управления относительным положением
41	I1	Вход	Микрокоманда, 1-й разряд
42	I0	Вход	Микрокоманда, 0-й разряд
43	T	Вход	Тактовый сигнал
44	B0	Вход	Адрес, 0-й разряд
45	B1	Вход	Адрес, 1-й разряд
46	B2	Вход	Адрес, 2-й разряд
47	B3	Вход	Адрес, 3-й разряд
48	PQ3	Вход/выход	Двунаправленный вывод сдвига старшего разряда регистра Q

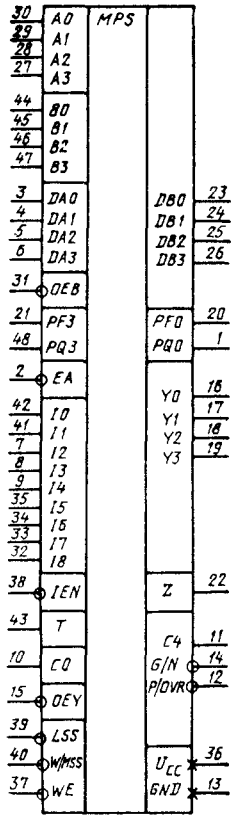


Рис. 13.4. Условное графическое обозначение КМ1804ВС2

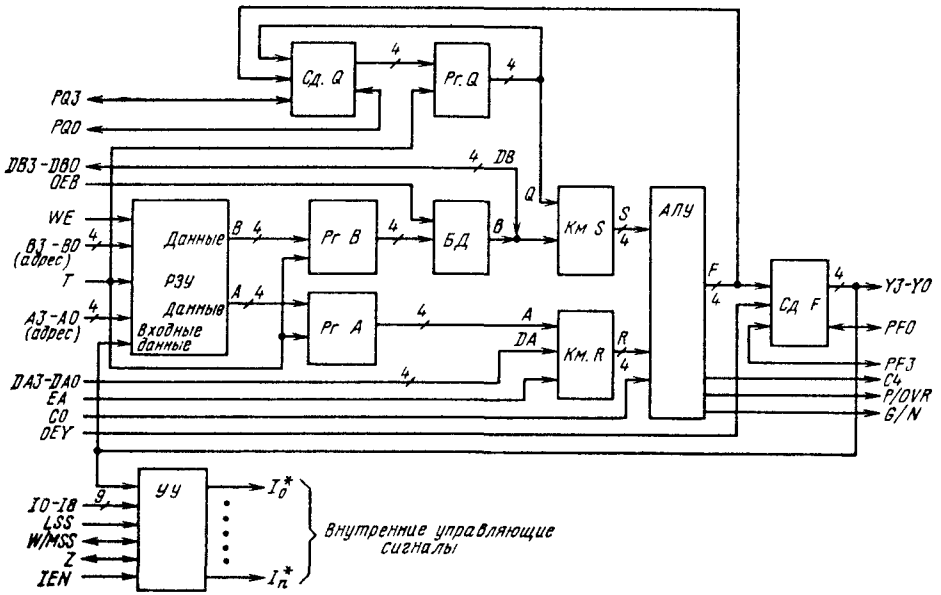


Рис. 13.5. Структурная схема КМ1804ВС2

Выход *OVR* показывает, что результат выполнения арифметической операции выходит за границу разрядности чисел в дополнительном коде. В табл. 13.12 приведены логические выражения сигналов состояния в зависимости от выполняемой операции АЛУ.

В зависимости от состояния входов микрокоманды *I5—I8* сдвигатель Сд. *F* пропускает результат АЛУ *F* на выход либо без сдвига, либо со сдвигом влево или вправо. В микро-

Таблица 13.9

Сигналы на входах выбора источника			Источники операндов АЛУ	
EA	*IO*	*OEB*	Операнд *R*	Операнд *S*
0	0	0	Данные *A* РЗУ	Данные *B* РЗУ
0	0	1	Данные *A* РЗУ	Вход *DB*
0	1	*X*	Данные *A* РЗУ	Данные *Q*
1	0	0	Вход *DA*	Данные *B* РЗУ
1	0	1	Вход *DA*	Вход *DB*
1	1	*X*	Вход *DA*	Данные *Q*

Примечание. *X* — состояние входа безразлично.

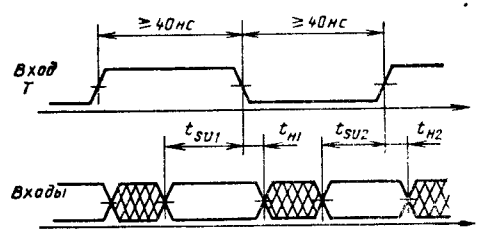


Рис. 13.6. Временная диаграмма входных сигналов КМ1804ВС2. Значения параметров t_{SU} и t_H приведены в табл. 13.17

Таблица 13.10

Сигналы на входах выбора функции				Функция АЛУ *F*
I4	*I3*	*I2*	*I1*	
0	0	0	0	Специальные функции при $IO=0$
0	0	0	0	1111 при $IO=1$
0	0	0	1	$S-R-1+CO$
0	0	1	0	$R-S-1+CO$
0	0	1	1	$R+S+CO$
0	1	0	0	$S+CO$
0	1	0	1	$\overline{S}+CO$
0	1	1	0	$R+CO$
0	1	1	1	$\overline{R}+CO$
1	0	0	0	0000
1	0	0	1	$\overline{R_i \wedge S_i}$
1	0	1	0	$\overline{R_i \oplus S_i}$
1	0	1	1	$R_i \oplus S_i$
1	1	0	0	$R_i \wedge S_i$
1	1	0	1	$\overline{R_i \vee S_i}$
1	1	1	0	$\overline{R_i \wedge S_i}$
1	1	1	1	$R_i \vee S_i$

Примечание. $\vee$ — логическая операция ИЛИ; $\wedge$ — логическая операция И; $\oplus$ — логическая операция исключающее ИЛИ.

схеме предусмотрена возможность осуществлять логические и арифметические сдвиги. При арифметических сдвигах разряды сдвигаются в обход старшего (знакового) разряда результата операции АЛУ в старшей МПС, а при логических сдвигах старший разряд сдвигается вместе с остальными разрядами. Во время сдвигов в сторону младших разрядов двунаправленный вывод *PF3* обычно является входом, а вывод *PF0* — выходом. При сдвигах в сторону старших разрядов вывод *PF3* обычно является выходом, а вывод *PF0* — входом.

Сдвигатель Сд. *F* также имеет возможность распространения знака на все разряды результата АЛУ. Имеется микрокоманда, когда сигнал на входе *PF0* (знаковый) передается на выходы *Y0—Y3* и *PF3*.

На некоторых микрокомандах Сд. *F* генерирует сигнал контроля четности результата АЛУ с учетом сигнала на входе *PF3*. Данный

Таблица 13.11

Входы				Функция	Функция АЛУ *F*	Функция Сд. *F*	Состояние выводов			Функции Сд. *Q* и Рг. *Q*	Состояние выводов		
							PF3						
I8	*I7*	*I6*	*I5*				Старшая МПС	Другие МПС	*PF0*		*PQ3*	*PQ0*	*W*
0	0	0	0	Умножение без знака	$S+C0$, если $Z=0$, $R+S+C0$, если $Z=1$	Лог. $F/2\to Y$ (см. прим. 1)	*X*	Вход	*F0*	Лог. $Q/2\to Q$	Вход	*Q0*	0
0	0	1	0	Умножение в дополнительном коде	$S+C0$, если $Z=0$, $R+S+C0$, если $Z=1$	Лог. $F/2\to Y$ (см. прим. 2)	*X*	Вход	*F0*	Лог. $Q/2\to Q$	Вход	*Q0*	0
0	1	0	0	Прибавление к числу единицы или двойки	$S+1+C0$	$F\to Y$	Вход	Вход	Четность	Хранение	*X*	*X*	0
0	1	0	1	Преобразование числа в дополнительный код	$S+C0$, если $Z=0$, $S+C0$, если $Z=1$	$F\to Y$ (см. прим. 3)	Вход	Вход	Четность	Хранение	*X*	*X*	0
0	1	1	0	Умножение в дополнительном коде (последний цикл)	$S+C0$, если $Z=0$, $S-R-1+C0$, если $Z=1$	Лог. $F/2\to Y$ (см. прим. 2)	*X*	Вход	*F0*	Лог. $Q/2\to Q$	Вход	*Q0*	0
1	0	0	0	Нормализация слова одной длины	$S+C0$	$F\to Y$	*F3*	*F3*	*X*	Лог. $2Q\to Q$	*Q3*	Вход	0
1	0	1	0	Нормализация слова двойной длины	$S+C0$	Лог. $2F\to Y$	$R3\oplus F3$	*F3*	Вход	Лог. $2Q\to Q$	*Q3*	Вход	0
1	1	0	0	Деление в дополнительном коде	$S+R+C0$, если $Z=0$, $S-R-1+C0$, если $Z=1$	Лог. $2F\to Y$	$\overline{R3\oplus F3}$	*F3*	Вход	Лог. $2Q\to Q$	*Q3*	Вход	0
1	1	1	0	Деление в дополнительном коде, коррекция	$S+R+C0$, если $Z=0$, $S-R-1+C0$, если $Z=1$	$F\to Y$	*F3*	*F3*	*X*	Лог. $2Q\to Q$	*Q3*	Вход	0

Примечания. 1. Только в старшей МПС на *Y3* выводится *C4*.
2. Только в старшей МПС на *Y3* выводится $F3\oplus OVR$.
3. Только в старшей МПС на *Y3* выводится $S3\oplus F3$.
4. *X* — состояние «отключено»; Четность $=PF3\oplus F3\oplus F2\oplus F1\oplus F0$;
МПС — микропроцессорная секция; $\oplus$ — логическая операция исключающее ИЛИ.

сигнал выводится на выход *PF0*. Возможность контроля четности в микросхеме обеспечивает обнаружение ошибок АЛУ. Выходы Сд. *F* представляют собой ТТЛ-вентили с тремя состояниями. Работой этих вентилей управляет вход разрешения *Y* выводов *OEY*. Если на вход *OEY* подано напряжение низкого уровня, то двунаправленные выводы *Y* работают как выходы Сд. *F*. Если же на вход *OEY* подано напряжение высокого уровня, то выводы *Y* работают как входы РЗУ. В табл. 13.11 и 13.13 приведены операции, выполняемые сдвигателем Сд. *F*.

Работу регистра Рг. *Q* рассмотрим совместно с работой Сд. *Q*. Обычно Рг. *Q* предназначен для использования в операциях деления и умножения, однако его можно применять как накопительный регистр общего назначения. Результат АЛУ может быть записан в Рг. *Q* по положительному фронту тактового сигнала *T* при наличии внутренних сигналов разрешения записи, определяемых кодом микрокоманды. Сдвигатель Сд. *Q*, стоящий на входе регистра, обеспечивает возможность сдвига его содержимого на один разряд влево или вправо. Для организации сдвигов содержимого Рг. *Q* в системе МПС имеются двунаправленные выводы сдвига *PQ0* и *PQ3*. Сдвигатель Сд. *Q* выполняет только логические сдвиги. Во время сдвигов в сторону младших разрядов двунаправленный вывод *PQ3* является входом, а вывод *PQ0* — выходом. При сдвигах в сторону старших разрядов вывод *PQ3* является выходом, а вывод *PQ0* — входом.

Микросхема обеспечивает возможность арифметических и логических сдвигов двойной длины. Для осуществления этих сдвигов необходимо соединить вывод *PQ3* старшей МПС с выводом *PF0* младшей МПС. Сдвиг двойной длины осуществляется микросхемой, если на входы управления подана микрокоманда, на которой происходит одновременный сдвиг результата АЛУ и содержимого Рг. *Q*. В табл. 13.11 и 13.13 приведены функции Рг. *Q* и Сд. *Q*, выполняемые ими в зависимости от состояния входов микрокоманды *I5—I8*.

Устройство управления представляет собой комбинационную схему и предназначено для преобразования внешних сигналов управления (*I0—I8, IEN, LSS, W/MSS, Z*) во внутренние сигналы управления ($I_0^* - I_n^*$).

Входы *I0—I8* являются входами микрокоманды. В зависимости от значений логических сигналов на этих входах выбирается конкретная микрокоманда, выполняемая микросхемой согласно табл. 13.9—13.13. С помощью входа *LSS* и двунаправленного вывода *W/MSS* можно запрограммировать место расположения каждой секции в многоразрядном устройстве обработки данных. Если на вход *LSS* подано напряжение низкого уровня, то микросхема программируется как младшая МПС и двунаправленный вывод *W/MSS* работает как выход *W*. При соединении данного двунаправленного вывода *W/MSS* с входом *WE* (в младшей МПС) происходит запрет записи данных

Таблица 13.12

Входы микрокоманды (код шестнадцатеричный)			G_i ($i=0\div3$)
I8, I7, I6, I5	*I4, I3, I2, I1,*	*I0*	
X	0	1	0
X	1	*X*	$\overline{R}_i \wedge S_i$
X	2	*X*	$R_i \wedge S_i$
X	3	*X*	$R_i \wedge S_i$
X	4	*X*	0
X	5	*X*	0
X	6	*X*	0
X	7	*X*	0
X	8	*X*	0
X	9	*X*	$\overline{R}_i \wedge S_i$
X	*A*	*X*	$R_i \wedge S_i$
X	*B*	*X*	$\overline{R}_i \wedge S_i$
X	*C*	*X*	$R_i \wedge S_i$
X	*D*	*X*	$\overline{R}_i \wedge S_i$
X	*E*	*X*	$R_i \wedge S_i$
X	*F*	*X*	$\overline{R}_i \wedge \overline{S}_i$
0	0	0	0, если $Z=0$; $R_i \wedge S_i$, если $Z=1$
2	0	0	0, если $Z=0$; $R_i \wedge S_i$, если $Z=1$
4	0	0	См. прим. 1
5	0	0	0
6	0	0	0, если $Z=0$; $\overline{R}_i \wedge S_i$, если $Z=1$
8	0	0	0
A	0	0	0
C	0	0	$R_i \wedge S_i$ если $Z=0$; $\overline{R}_i \wedge S_i$. если $Z=1$
E	0	0	$R_i \wedge S_i$. если $Z=0$; $\overline{R}_i \wedge S_i$, если $Z=1$

Примечания. 1. $G0=S0$; $G1$, $G2$, $G3=0$
2. $P0=1$; $P1$, $P2$, $P3=S1—S3$ для младшей МПС.
3. $C4=Q3 \oplus Q2$ для старшей МПС, $C4=G \vee P \wedge C0$
4. $C4=F3 \oplus F2$ для старшей МПС, $C4=G \vee P \wedge C0$
5 $Z=\overline{Q} \wedge \overline{F0} \wedge \overline{F1} \wedge \overline{F2} \wedge \overline{F3} \vee (C0 \wedge P0 \wedge P1 \wedge P2)$; $\overline{Y}=\overline{Y0} \wedge \overline{Y1} \wedge \overline{Y2} \wedge \overline{Y3}$; $\overline{Q}=\overline{Q0} \wedge \overline{Q1} \wedge \overline{Q2} \wedge \overline{Q3}$;

P_i ($i=0\div3$)	$C4$	Состояние выводов						
		P/OVR		G/N		Z		
		Старшая МПС	Другие МПС	Старшая МПС	Другие МПС	Старшая МПС	Средняя МПС	Младшая МПС
1	0	0	0	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
$\overline{R}_i \vee S_i$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
$R_i \vee \overline{S}_i$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
$R_i \vee S_i$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
S_i	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
$\overline{S}_i$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
R_i	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
$\overline{R}_i$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
1	0	0	0	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
1	0	0	0	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
$R_i \vee S_i$	0	0	0	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
$\overline{R}_i \vee S_i$	0	0	0	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
1	0	0	C	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
1	0	0	0	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
1	0	0	0	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
1	0	0	0	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
S_i, если $Z=0$; $R_i \vee S_i$, если $Z=1$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	Вход	Вход	$Q0$
S_i, если $Z=0$: $R_i \vee S_i$, если $Z=1$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	Вход	Вход	$Q0$
См. прим. 2	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	$\overline{Y}$	$\overline{Y}$	$\overline{Y}$
S_i, если $Z=0$; $\overline{S}_i$, если $Z=1$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$, если $Z=0$; $F3 \oplus S3$, если $Z=1$	$\overline{G}$	$S3$	Вход	Вход
S_i, если $Z=0$; $\overline{R}_i \vee S_i$, если $Z=1$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	Вход	Вход	$Q0$
S_i	См. прим. 3	$Q2 \oplus Q1$	$\overline{P}$	$Q3$	$\overline{G}$	$\overline{Q}$	$\overline{Q}$	$\overline{Q}$
S_i	См. прим. 4	$F2 \oplus F1$	$\overline{P}$	$F3$	$\overline{G}$	См. прим.5	См. прим.5	См. прим.5
$R_i \vee S_i$, если $Z=0$; $\overline{R}_i \vee S_i$, если $Z=1$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	Триггер знака	Вход	Вход
$R_i \vee S_i$, если $Z=0$; $\overline{R}_i \vee S_i$, если $Z=1$	$G \vee P \wedge C0$	$C3 \oplus C4$	$\overline{P}$	$F3$	$\overline{G}$	Триггер знака	Вход	Вход

для младшей МПС, $G_i=0$ для других МПС.
$P_i=S_i$ для других МПС.
для других МПС.
для других МПС.
$P=P3 \wedge P2 \wedge P1 \wedge P0$; $G=G3 \vee (G2 \wedge P3) \vee (G1 \wedge P2 \wedge P3) \vee (G0 \wedge P1 \wedge P2 \wedge P3)$; $C3=G2 \vee (G1 \wedge P2) \vee (G0 \wedge P1 \wedge P2) \vee$
$\vee$ – логическая операция ИЛИ; $\wedge$ – логическая операция И; $\oplus$ – логическая операция исключающее ИЛИ.

Таблица 13.13

Входы				Функция Сд. F	Состояние выводов										Функции Сд. Q и Рг. Q	Состояние выводов	
					$PF3$		$Y3$		$Y2$		$Y1$	$Y0$	$PF0$	W			
$I8$	$I7$	$I6$	$I5$		Старшая МПС	Другие МПС	Старшая МПС	Другие МПС	Старшая МПС	Другие МПС						$PQ3$	$PQ0$
0	0	0	0	Ариф. $F/2 \to Y$	Вход	Вход	$F3$	$PF3$	$PF3$	$F3$	$F2$	$F1$	$F0$	0	Хранение	X	X
0	0	0	1	Лог. $F/2 \to Y$	Вход	Вход	$PF3$	$PF3$	$F3$	$F3$	$F2$	$F1$	$F0$	0	Хранение	X	X
0	0	1	0	Арифм. $F/2 \to Y$	Вход	Вход	$F3$	$PF3$	$PF3$	$F3$	$F2$	$F1$	$F0$	0	Лог. $Q/2 \to Q$	Вход	$Q0$
0	0	1	1	Лог. $F/2 \to Y$	Вход	Вход	$PF3$	$PF3$	$F3$	$F3$	$F2$	$F1$	$F0$	0	Лог. $Q/2 \to Q$	Вход	$Q0$
0	1	0	0	$F \to Y$	Вход	Вход	$F3$	$F3$	$F2$	$F2$	$F1$	$F0$	Четность	0	Хранение	X	X
0	1	0	1	$F \to Y$	Вход	Вход	$F3$	$F3$	$F2$	$F2$	$F1$	$F0$	Четность	1	Лог. $Q/2 \to Q$	Вход	$Q0$
0	1	1	0	$F \to Y$	Вход	Вход	$F3$	$F3$	$F2$	$F2$	$F1$	$F0$	Четность	1	$F \to Q$	X	X
0	1	1	1	$F \to Y$	Вход	Вход	$F3$	$F3$	$F2$	$F2$	$F1$	$F0$	Четность	0	$F \to Q$	X	X
1	0	0	0	Арифм. $2F \to Y$	$F2$	$F3$	$F3$	$F2$	$F1$	$F1$	$F0$	$PF0$	Вход	0	Хранение	X	X
1	0	0	1	Лог. $2F \to Y$	$F3$	$F3$	$F2$	$F2$	$F1$	$F1$	$F0$	$PF0$	Вход	0	Хранение	X	X
1	0	1	0	Арифм. $2F \to Y$	$F2$	$F3$	$F3$	$F2$	$F1$	$F1$	$F0$	$PF0$	Вход	0	Лог. $2Q \to Q$	$Q3$	Вход
1	0	1	1	Лог. $2F \to Y$	$F3$	$F3$	$F2$	$F2$	$F1$	$F1$	$F0$	$PF0$	Вход	0	Лог. $2Q \to Q$	$Q3$	Вход
1	1	0	0	$F \to Y$	$F3$	$F3$	$F3$	$F3$	$F2$	$F2$	$F1$	$F0$	X	1	Хранение	X	X
1	1	0	1	$F \to Y$	$F3$	$F3$	$F3$	$F3$	$F2$	$F2$	$F1$	$F0$	X	1	Лог. $2Q \to Q$	$Q3$	Вход
1	1	1	0	Распространение	$PF0$	$PF0$	$PF0$	$PF0$	$PF0$	$PF0$	$PF0$	$PF0$	Вход	0	Хранение	X	X
1	1	1	1	$F \to Y$	$F3$	$F3$	$F3$	$F3$	$F2$	$F2$	$F1$	$F0$	X	0	Хранение	X	X

Примечание. Четность $= PF3 \oplus F3 \oplus F2 \oplus F1 \oplus F0$; $\oplus$ — логическая операция исключающее ИЛИ; X — состояние «отключено».

в РЗУ на некоторых микрокомандах, когда $W=1$ (см. табл. 13.11 и 13.13). Если же на вход LSS подано напряжение высокого уровня, то двунаправленный вывод W/MSS становится входом. Микросхема программируется

Таблица 13.14

Сигналы на входах		Положение микросхемы в системе МПС
W/MSS	LSS	
Выход	0	Младшая МПС
1	1	Средняя МПС
0	1	Старшая МПС

как старшая МПС, если на вход MSS подано напряжение низкого уровня, и как средняя МПС, если на вход MSS подано напряжение высокого уровня. Программирование места расположения каждой секции в многоразрядном устройстве представлено в табл. 13.14.

Двунаправленный вывод Z признака нулевого результата АЛУ используется как выход с открытым коллектором и показывает, что при выполнении АЛУ некоторой функции получен нулевой результат. Данный вывод может быть объединен между различными МПС по схеме монтажное ИЛИ. При выполнении микросхемой специальной функции «деление» (см. табл. 13.11, 13.12) вывод Z в старшей МПС является выходом триггера сравнения знака. Триггер сравнения знака предназначен для правильного выполнения операции «Выравни-

Таблица 13.15

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=16$ мА	*Y3—Y0, Z*
			$I_{OL}=8$ мА	*PF0, PF3, PQ0, PQ3, C4, W/MSS, DB3—DB0*
			$I_{OL}=18$ мА	*G/N*
			$I_{OL}=10$ мА	*P/OVR*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-1,6$ мА	*Y3—Y0, G/N*
			$I_{OH}=-0,8$ мА	Остальные выходы
Входной ток низкого уровня, мА	I_{IL}	—3,6	$U_{IL}=0,5$ В	*C0*
		—1,08		*Y3—Y0*
		—0,72		*DA3—DA0, I4—I0, PF3, PF0, PQ3, PQ0, DB3—DB0, W/MSS*
		—0,36		Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	120	$U_{IH}=2,7$ В	*C0*
		110		*Y3—Y0*
		90		*DB3—DB0, W/MSS, PF3, PF0, PQ3, PQ0*
		40		*DA3—DA0, I4—I0*
		20		Остальные входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5,5$ В	Все входы
Ток потребления, мА	I_{CC}	350	$U_{CC}=5,25$ В	—
Время задержки распространения сигнала, нс	t_P	87	$C_L=50$ пФ	От *A* до *Y*
		49		От *B* до *DB*
		49		От *DA* до *G*
		49		От *DA* до *P*
		101		От *DA* до *PF0* (четность)
		61		От *DB* до *Y*
		64		От *C0* до *Z*
		104		От *B* до *PF3*
		49		От *I0* до *W/MSS*
		65		От *I1—I4* до *C4*

вание делителя». По положительному фронту тактового сигнала *T* в триггер сравнения знаков записывается инверсная сумма по модулю 2 текущего значения старшего разряда делителя со старшим разрядом делителя предыдущего цикла. На некоторых специальных функциях вывод *Z* используется как вход, управляя которым можно изменять функцию АЛУ микросхем (см. табл. 13.11 и 13.12). Если на вход разрешения микрокоманды *IEN* подан

Таблица 13.16

Параметр	Минимальные значения параметров
Длительность сигнала низкого уровня на входе *T*, нс	40
Длительность сигнала высокого уровня на входе *T*, нс	40
Длительность сигналов низкого уровня на входах *T* и *WE* одновременно, нс	40

Таблица 13.18

Измеряемая цепь	Значения t_P, нс	
	Разрешение (C_L = 50 пФ)	Запрет (C_L = 5 пФ)
От *OEY* до *Y3—Y0*	27	25
От *OEB* до *DB3—DB0*	31	25
От *I8* до *PF3, PF0*	—	25
От *I8—I5* до *PQ3, PQ0*	—	60
От *I4—I0* до *PQ3, PQ0*	65	60
От *LSS* до *WE*	31	25

Таблица 13.17

Вход	Значения параметров, нс (см. рис. 13.6)				Примечание
	t_{SU1}	t_{H1}	t_{SU2}	t_{H2}	
Y	—		20	3	*Y*→*РЗУ*, *Y*→Рг. *Q*
WE=1	25	Без изменений	Без изменений	0	Запрет записи
WE=0	—	—	30	0	Запись в РЗУ
A, *B* как источник	27	3	—	—	—
B как приемник	6	Без изменений	Без изменеиий	3	*WE*=0
PQ0, *PQ3*	—	—	21	3	Сдвиг Рг. *Q*
I8—I5	24	Без изменений	Без изменений	0	—
IEN=1	30	Без изменений	Без изменений	0	Запрет записи в Рг. *Q*
IEN=0	—	—	30	0	Запись в Рг. *Q*
I4—I0	24	—	68	0	-

Таблица 13.19

Вход	Значения t_P до выходов, нс											
	Y3-Y0	*C4*	*G*, *P*	*Z*	*N*	*OVR*	*DB3—DB0*	*W/MSS*	*PQ3*, *PQ0*	*PF0*	*PF3*	*PF0* (четность)
A3—A0 (арифметика)	86	81	69	110	86	108	—	—	—	84	94	115
B3—B0 (арифметика)	99	88	81	123	99	112	49	—	—	94	104	140
A3—A0 (логика)	87	—	68	111	89	—	—	—	—	79	94	115
B3—B0 (логика)	84	—	73	108	84	—	49	—	—	84	90	120
DA3—DA0 (арифметика)	63	60	49	87	64	89	—	—	—	60	70	101
DB3—DB0 (арифметика)	61	59	47	85	62	84	—	—	—	62	68	98
DA3—DA0 (логика)	64	—	48	88	66	—	—	—	—	61	72	101
DB3—DB0 (логика)	55	—	32	79	57	—	—	—	—	52	61	93
EA	59	53	42	83	59	83	—	—	—	57	64	98
C0	40	30	—	64	40	58	—	—	—	38	46	67
I0	52	48	36	76	52	63	—	49	*X*	50*	58*	93*
I4—I1	71	65	72	95	69	84	—	49	*X*	66*	73*	105*
I8—I5	42	—	—	66	—	—	—	50	60*	42*	45*	42*
IEN	—	—	—	—	—	—	—	22	—	—	—	—
PF3, *PF0*	26	—	—	50	—	—	—	—	—	—	29	36
T	87	87	71	111	88	108	37	—	40	84	92	105
Y3—Y0	—	—	—	24	—	—	—	—	—	—	—	—
W/MSS	44	—	44	68	44	44	—	—	—	44	46	44

Примечание. *X* — выход переключается в состояние «выключено» (см. табл. 13.18).

* Время задержки при переключении в состояние «включено».

Таблица 13.20

Вход	Значения t_P до выходов, нс											
	Y3—Y0	*C4*	*G, P*	*Z*	*N*	*OVR*	*DB3—DB0*	*W/MSS*	*PQ3, PQ0*	*PF0*	*PF3*	*PF0* (четность)
A3—A0												
B3—B0	138	113	81	123	138	112	49	—	—	94	120	140
DA3—DA0												
DB3—DB0	98	75	49	87	98	89	—	—	—	62	84	101
EA	93	53	42	—	59	83	—	—	—	57	91	—
C0	79	54	—	64	79	58	—	—	—	38	68	67
I0	112	99	99	90	100	120	—	49	*X*	98*	108*	131*
I4—I1	115	96	85	95	100	124	—	49	*X*	97*	108*	131*
I8—I5	105	95	84	95	97	120	—	50	*X*	96*	108*	138*
T	118	101	71	118	118	108	37	—	40	84	130	105
Z	91	66	54	—	74	98	—	—	—	71	79	114
IEN	—	—	—	—	—	—	—	22	—	—	—	—
PF3, PF0	26	—	—	—	—	—	—	—	—	—	—	—

Примечание. *X* — Выход переключается в состояние «выключено» (см. табл. 13.18).

* Время задержки при переключении в состояние «включено».

высокий уровень напряжения, то на выходе разрешения записи данных в РЗУ *W* появляется напряжение высокого уровня. Триггер сравнения знаков, РЗУ и Рг. *Q* при этом находятся в режиме хранения.

Таким образом, управляя входом *IEN*, можно запрещать запись информации во все внутренние регистры микросхемы.

Основные электрические параметры микросхемы КМ1804ВС2 приведены в табл. 13.15, типовые значения динамических параметров — в табл. 13.16, 13.17 (времена подготовки и удержания сигнала), 13.18 (задержки до выходов с тремя состояниями), 13.19 (комбинационные задержки для стандартных функций АЛУ) и 13.20 (комбинационные задержки для специальных функций).

13.3. Микросхема КМ1804ВР1

Микросхема КМ1804ВР1 предназначена для обеспечения ускоренного переноса АЛУ при наращивании разрядности микропроцессорных секций КМ1804ВС1, КМ1804ВС2. Одна микросхема КМ1804ВР1 обеспечивает ускоренный перенос для четырех микропроцессорных секций (длина слова 16 бит). При большей длине

Таблица 13.21

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*G1*	Вход	Генерация переноса 1-го разряда
2	*P1*	Вход	Распространение переноса 1-го разряда
3	*G0*	Вход	Генерация переноса 0-го разряда
4	*P0*	Вход	Распространение переноса 0-го разряда
5	*G3*	Вход	Генерация переноса 3-го разряда
6	*P3*	Вход	Распространение переноса 3-го разряда
7	*P*	Выход	Распространение переноса
8	*GND*	—	Общий
9	*CZ*	Выход	Перенос старшей группы
10	*G*	Выход	Генерация переноса
11	*CY*	Выход	Перенос средней группы
12	*CX*	Выход	Перенос младшей группы
13	*C0*	Вход	Перенос
14	*G2*	Вход	Генерация переноса 2-го разряда
15	*P2*	Вход	Распространение переноса 2-го разряда
16	U_{CC}	—	Напряжение питания

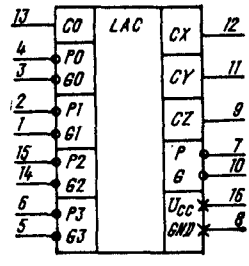


Рис. 13.7. Условное графическое обозначение КМ1804ВР1

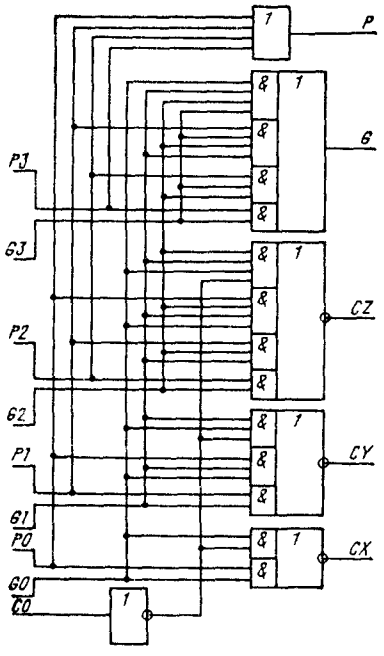


Рис. 13.8. Структурная схема КМ1804ВР1

слова обеспечивается многоуровневый ускоренный перенос с помощью нескольких микросхем КМ1804ВР1.

Условное графическое обозначение микросхемы приведено на рис. 13.7, назначение выводов — в табл. 13.21, структурная схема показана на рис. 13.8.

Схема ускоренного переноса обеспечивает на выходах следующие функции:

$$P = P0 \vee P1 \vee P2 \vee P3;$$

$$G = P3 \wedge G3 \vee P2 \wedge G2 \wedge G3 \vee P1 \wedge G1 \wedge \wedge G2 \wedge G3 \vee G0 \wedge G1 \wedge G2 \wedge G3;$$

$$\overline{CX} = \overline{C0} \wedge G0 \vee P0 \wedge G0;$$

$$\overline{CY} = \overline{C0} \wedge G0 \wedge G1 \vee P0 \wedge G0 \wedge G1 \vee P1 \wedge G1;$$

$$\overline{CZ} = \overline{C0} \wedge G0 \wedge G1 \wedge G2 \vee P0 \wedge G0 \wedge G1 \wedge \wedge G2 \vee P1 \wedge G1 \wedge G2 \vee P2 \wedge G2.$$

Схема является чисто комбинационной, поэтому временных ограничений на подачу входных сигналов не накладывается.

Основные электрические параметры микросхемы КМ1804ВР1 приведены в табл. 13.22.

Таблица 13.22

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=16$ мА	Все выходы
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-0{,}8$ мА	Все выходы
Входной ток низкого уровня, мА	I_{IL}	—2	$U_{IL}=0{,}5$ В	*C0*
		—4		*P3*
		—6		*P2*
		—8		*P0, P1, G3*
		—14		*G0, G2*
		—16		*G1*
Входной ток высокого уровня, мкА	I_{IH}	50		*C0*
		100	$U_{IL}=2{,}4$ В	*P3*
		150		*P2*
		200		*P0, P1, G3*
		350		*G0, G2*
		400		*G1*
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5{,}5$ В	Все входы
Ток потребления, мА	I_{CC}	109	$U_{CC}=5{,}25$ В	—
Время задержки распространения сигнала, нс	t_P	15	$C_L=15$ пФ	От входов до выходов

13.4. Микросхема КМ1804ВР2

Микросхема КМ1804ВР2 предназначена для замыкания данных вокруг микропроцессорных секций КМ1804ВС1, КМ1804ВС2 при построении устройств обработки данных центральных процессоров микро-ЭВМ, обеспечивает также функции регистра состояния и формирователя сигнала переноса, семь источников входного переноса АЛУ, организовывает 32 типа сдвигов (арифметические, логические, циклические), которые могут быть обычной или двой-

Таблица 13.23

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	I7	Вход	Микрокоманда, 7-й разряд
2	CEN	Вход	Разрешение записи в регистр состояния *N*
3	I6	Вход	Микрокоманда, 6-й разряд
4	I5	Вход	Микрокоманда, 5-й разряд
5	I4	Вход	Микрокоманда, 4-й разряд
6	I3	Вход	Микрокоманда, 3-й разряд
7	CEM	Вход	Разрешение записи в регистр состояния *M*
8	EZ	Вход	Разрешение записи в разряд *Z* регистра *M*
9	IZ	Вход	Признак состояния *Z* (нуль)
10	U_{CC}	—	Напряжение питания
11	EC	Вход	Разрешение записи в разряд *C* регистра *M*
12	IC	Вход	Признак состояния *C* (перенос)
13	EN	Вход	Разрешение записи в разряд *N* регистра *M*
14	IN	Вход	Признак состояния *N* (знак)
15	EOV	Вход	Разрешение записи в разряд *OVR* регистра *M*
16	IOV	Вход	Признак состояния *OVR* (переполнение)
17	T	Вход	Тактовый сигнал
18	I0	Вход	Микрокоманда, 0-й разряд
19	I1	Вход	Микрокоманда, 1-й разряд
20	OEY	Вход	Разрешение двунаправленных выводов признаков состояния
21	I2	Вход	Микрокоманда, 2-й разряд
22	I11	Вход	Микрокоманда, 11-й разряд
23	I12	Вход	Микрокоманда, 12-й разряд
24	CX	Вход	Перенос
25	CO	Выход	Перенос в АЛУ
26	ECT	Вход	Разрешение выхода условия
27	CT	Выход	Условие
28	YOV	Вход/выход	Двунаправленный вывод признака состояния *OVR*
29	YN	Вход/выход	Двунаправленный вывод признака состояния *N*
30	GND	—	Общий
31	YC	Вход/выход	Двунаправленный вывод признака состояния *C*
32	YZ	Вход/выход	Двунаправленный вывод признака состояния *Z*
33	PQ3	Вход/выход	Двунаправленный вывод сдвига старшего разряда регистра *Q*
34	PQ0	Вход/выход	Двунаправленный вывод сдвига младшего разряда регистра *Q*
35	PF3	Вход/выход	Двунаправленный вывод сдвига старшего разряда результата АЛУ
36	PF0	Вход/выход	Двунаправленный вывод сдвига младшего разряда результата АЛУ
37	SE	Вход	Разрешение двунаправленных выводов сдвига
38	I10	Вход	Микрокоманда, 10-й разряд
39	I9	Вход	Микрокоманда, 9-й разряд
40	I8	Вход	Микрокоманда, 8-й разряд

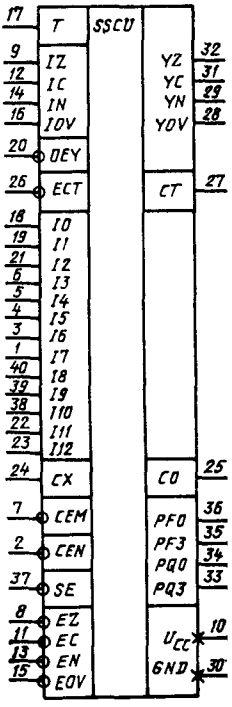


Рис. 13.9. Условное графическое обозначение КМ1804ВР2

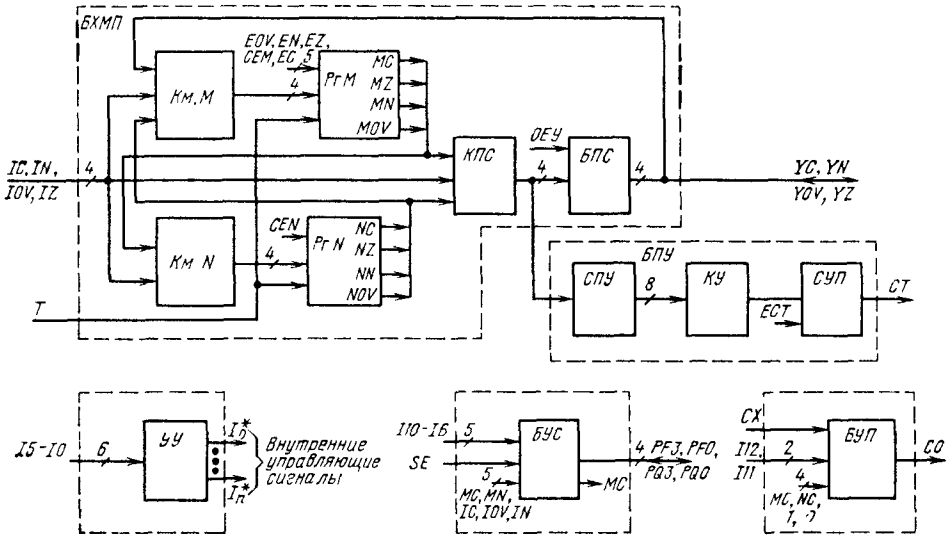


Рис. 13.10. Структурная схема КМ1804ВР2

ной длины, содержит два 4-разрядных регистра состояния, позволяет выполнять операции с 4-разрядным словом состояния и с отдельными его разрядами, выполняет 16 операций по формированию сигнала условия.

Условное графическое обозначение микросхемы приведено на рис. 13.9, назначение выводов — в табл. 13.23, структурная схема показана на рис. 13.10, временная диаграмма работы — на рис. 13.11.

Микросхема КМ1804ВР2 имеет четыре двунаправленных вывода сдвига (*PQ3, PQ0, PF3, PF0*), выход условия *CT*, выход переноса *C0*, входы управления, входы признаков состояния, вход переноса *CX*.

Под воздействием внешних сигналов управления микросхема формирует сигналы для организации переносов и сдвигов в блоке обработки данных. Обрабатывая признаки состояния, поступающие с АЛУ, микросхема формирует сигнал условия для схемы микропрограммного управления.

В своем составе микросхема содержит два 4-разрядных регистра состояния с коммутаторами, блок управления переносом, блок проверки условия, блок управления сдвигами, устройство управления.

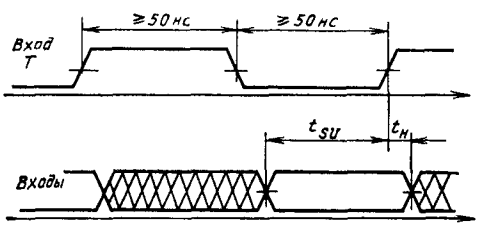


Рис. 13.11. Временная диаграмма входных сигналов КМ1804ВР2. Значения параметров t_{SU} и t_H приведены в табл. 13.35

Выход условия микросхемы *CT* является выходом на три состояния. Синхронизация внутренних регистров микросхемы осуществляется положительным фронтом сигнала, поступающим на тактовый вход *T*.

Блок хранения и модификации признаков (БХМП) состоит из двух 4-разрядных регистров состояния (Рг. *M*, Рг. *N*), трех коммутаторов (Км. *M*, Км. *N*, коммутатора признаков состояния — КПС) и буферной схемы признаков состояния (БПС). Блок хранения и модификации признаков предназначен для хранения и модификации признаков состояния микропроцессорного устройства: переноса *C*, знака *N*, переполнения *OVR* и нуля *Z*.

Четырехразрядные регистры состояния Рг. *M*, Рг. *N* построены на триггерах *D*-типа. Запись информации в них происходит по положительному фронту синхросигнала, поступающего на тактовый вход микросхемы *T*. Запись возможна лишь при наличии сигналов разрешения записи.

В Рг. *N* информация поступает с выхода двухвходового коммутатора Км. *N*. В зависимости от сигналов микрокоманды *I5—I0* в регистр может быть записана информация либо со входов признаков состояния *IC, IN, IOV, IZ*, либо с выходов Рг. *M* (*MC, MN, MOV, MZ*). Кроме того, в каждый из четырех разрядов Рг. *N* может быть записан 0 или 1. Для записи в регистр необходимо, чтобы на вход разрешения записи *CEN* было подано напряжение низкого уровня. Если на вход *CEN* подано напряжение высокого уровня, то запись в Рг. *N* запрещена.

Таблица 13.24

Микрокоманда						Обозначение операции	Операция Рг. N
$I5$	$I4$	$I3$	$I2$	$I1$	$I0$		
0	0	1	0	0	0	$0 \to NZ$	Запись 0 в разряд нуля Z
0	0	1	0	0	1	$1 \to NZ$	Запись 1 в разряд нуля Z
0	0	1	0	1	0	$0 \to NC$	Запись 0 в разряд переноса C
0	0	1	0	1	1	$1 \to NC$	Запись 1 в разряд переноса C
0	0	1	1	0	0	$0 \to NN$	Запись 0 в разряд знака N
0	0	1	1	0	1	$1 \to NN$	Запись 1 в разряд знака N
0	0	1	1	1	0	$0 \to NOV$	Запись 0 в разряд переполнения OVR
0	0	1	1	1	1	$1 \to NOV$	Запись 1 в разряд переполнения OVR

Все операции, выполняемые Рг. N, можно разбить на три группы: поразрядные, регистровые, запись в регистр. Управление всеми видами операций регистра осуществляется сигналами со входов $I5$—$I0$.

Поразрядные операции (табл. 13.24) представляют собой запись 0 или 1 в один из разрядов регистра. Регистровые операции (табл. 13.25) представляют собой операции над всем словом, записанным в регистр. Операции записи в регистр (табл. 13.26) представляют собой запись в Рг. N информации, модифицированной или неизменной, со входов признаков состояния микросхемы.

В Рг. M информация поступает с выхода трехвходового коммутатора Км. M. В регистр может быть записана информация либо со входов признаков состояния, либо с выходов Рг. N, либо с двунаправленных выводов признаков состояния YN, YC, YZ, YOV. Кроме того, в каждый из разрядов регистра может быть записан 0 или 1. Для выполнения записи

Таблица 13.25

Микрокоманда						Обозначение операции	Операция Рг. N
$I5$	$I4$	$I3$	$I2$	$I1$	$I0$		
0	0	0	0	0	0	$M \to N$	Запись содержимого Рг. M в Рг. N
0	0	0	0	0	1	$1 \to N$	Запись 1 во все разряды регистра
0	0	0	0	1	0	$N \to M$	Регистровый обмен (Рг. $M \to$ Рг. N
0	0	0	0	1	1	$0 \to N$	Запись 0 во все разряды регистра

Таблица 13.26

Микрокоманда						Обозначение операции	Операция Рг. N
$I5$	$I4$	$I3$	$I2$	$I1$	$I0$		
0	0	0	1	1	0	$IZ \to NZ$, $IC \to NC$, $IN \to NN$, $IOV \vee NOV \to NOV$	Запись с возвратом признака переполнения
0	0	0	1	1	1		
0	1	1	0	0	X	$IZ \to NZ$, $\overline{IC} \to NC$, $IN \to NN$, $IOV \to NOV$	Запись с инверсией признака переноса
1	0	1	0	0	X		
1	1	1	0	0	X		
0	0	0	1	0	X	$IZ \to NZ$, $IC \to NC$, $IN \to NN$, $IOV \to NOV$	Запись непосредственно со входов признаков состояния IZ, IC, IN, IOV
0	1	0	X	X	X		
0	1	1	0	1	X		
0	1	1	1	X	X		
1	0	0	X	X	X		
1	0	1	0	1	X		
1	0	1	1	X	X		
1	1	0	X	X	X		
1	1	1	0	1	X		
1	1	1	1	X	X		

Примечание. X — допускается напряжение как низкого, так и высокого уровня; $\vee$ — логическая операция ИЛИ.

необходимо, чтобы на вход разрешения записи в регистр CEM было подано напряжение низкого уровня. Если на вход CEM подано напряжение высокого уровня, то запись в Рг. M запрещена.

Как и Рг. N, Рг. M позволяет выполнять поразрядные операции, регистровые операции и запись сигналов со входов признаков состояния (IC, IN, IZ, IOV). Управление регистровыми операциями и операциями записи осуществляется сигналами со входов $I5$—$I0$.

Поразрядные операции выполняются с помощью сигналов разрешения записи EC, EN,

Таблица 13.27

Микрокоманда						Обозначение операции	Операция Рг. M
$I5$	$I4$	$I3$	$I2$	$I1$	$I0$		
0	0	0	0	0	0	$YC \to MC$, $YZ \to MZ$ $YN \to MN$, $YOV \to MOV$	Запись информации с выводов Y
0	0	0	0	0	1	$1 \to M$	Запись 1 во все разряды регистра
0	0	0	0	1	0	$N \to M$	Регистровый обмен Рг. $N \to$ Рг. M
0	0	0	0	1	1	$0 \to M$	Запись 0 во все разряды регистра
0	0	0	1	0	1	$\overline{M} \to M$	Запись в регистр инвертированной информации

Таблица 13.28

Микрокоманда						Обозначение операции	Операция Рг. M
$I5$	$I4$	$I3$	$I2$	$I1$	$I0$		
0	0	0	1	0	0	$IZ \to MZ$, $IN \to MN$, $MOV \to MC$, $MC \to MOV$	Запись для выполнения сдвига с использованием признака переполнения
0	0	1	0	0	X	$IZ \to MZ$, $\overline{IC} \to MC$, $IN \to MN$, $IOV \to MOV$	Запись с инверсией признака переноса
0	1	1	0	0	X		
1	0	1	0	0	X		
1	1	1	0	0	X		
0	0	0	1	1	X	$IZ \to MZ$, $IC \to MC$, $IN \to MN$, $IOV \to MOV$	Запись непосредственно со входов признаков состояния IZ, IC, IN IOV
0	0	1	0	1	X		
0	0	1	1	X	X		
0	1	0	X	X	X		
0	1	1	0	1	X		
0	1	1	1	X	X		
1	0	0	X	X	X		
1	0	1	0	1	X		
1	0	1	1	X	X		
1	1	0	X	X	X		
1	1	1	0	1	X		
1	1	1	1	X	X		

Примечание. X — допускается напряжение как низкого, так и высокого уровня.

Таблица 13.29

Состояние входов			Состояние входов/выходов Y
OEY	$I5$	$I4$	
1	X	X	Выключено
0	0	X	Рг. $N \to Y$
0	1	0	Рг. $M \to Y$
0	1	1	IC, IZ, IN, $IOV \to YC$, YZ, YN, YOV

Примечание. X — состояние входа безразлично.

IOV, EZ. Чтобы записать информацию в какой-либо из разрядов Рг. M, необходимо подать напряжение низкого уровня на вход CEM и на соответствующий разряду вход разрешения записи. Если на вход разрешения записи подано напряжение высокого уровня, то запись в соответствующий этому входу разряд Рг. M запрещена. Запись во все разряды Рг. M запрещена, если на вход CEM подано напряжение высокого уровня.

Регистровые операции и операции записи в Рг. M представлены в табл. 13.27 и 13.28 соответственно.

Таблица 13.30

Вход микрокоманды				Значение сигнала на выходе CT			
$I3$	$I2$	$I1$	$I0$	$I5=I4=0$	$I5=0$, $I4=1$	$I5=1$, $I4=0$	$I5=I4=1$
0	0	0	0	$(NN \oplus NOV) \vee NZ$	$(NN \oplus NOV) \vee NZ$	$(MN \oplus MOV) \vee MZ$	$(IN \oplus IOV) \vee IZ$
0	0	0	1	$\overline{(NN \oplus NOV)} \wedge \overline{NZ}$	$\overline{(NN \oplus NOV)} \wedge \overline{NZ}$	$\overline{(MN \oplus MOV)} \wedge \overline{MZ}$	$\overline{(IN \oplus IOV)} \wedge \overline{IZ}$
0	0	1	0	$NN \oplus NOV$	$NN \oplus NOV$	$MN \oplus MOV$	$IN \oplus IOV$
0	0	1	1	$\overline{NN \oplus NOV}$	$\overline{NN \oplus NOV}$	$\overline{MN \oplus MOV}$	$\overline{IN \oplus IOV}$
0	1	0	0	NZ	NZ	MZ	IZ
0	1	0	1	$\overline{NZ}$	$\overline{NZ}$	$\overline{MZ}$	$\overline{IZ}$
0	1	1	0	NOV	NOV	MOV	IOV
0	1	1	1	$\overline{NOV}$	$\overline{NOV}$	$\overline{MOV}$	$\overline{IOV}$
1	0	0	0	$NC \vee NZ$	$NC \vee NZ$	$MC \vee MZ$	$\overline{IC} \vee IZ$
1	0	0	1	$\overline{NC} \wedge \overline{NZ}$	$\overline{NC} \wedge \overline{NZ}$	$\overline{MC} \wedge \overline{MZ}$	$IC \wedge \overline{IZ}$
1	0	1	0	NC	NC	MC	IC
1	0	1	1	$\overline{NC}$	$\overline{NC}$	$\overline{MC}$	$\overline{IC}$
1	1	0	0	$\overline{NC} \vee NZ$	$\overline{NC} \vee NZ$	$\overline{MC} \vee MZ$	$\overline{IC} \vee IZ$
1	1	0	1	$NC \wedge \overline{NZ}$	$NC \wedge \overline{NZ}$	$MC \wedge \overline{MZ}$	$IC \wedge \overline{IZ}$
1	1	1	0	$IN \oplus MN$	NN	MN	IN
1	1	1	1	$\overline{IN \oplus MN}$	$\overline{NN}$	$\overline{MN}$	$\overline{IN}$

Примечание. $\vee$ — логическая операция ИЛИ; $\wedge$ — логическая операция И; $\oplus$ — логическая операция исключающее ИЛИ.

Таблица 13.31

Соотношение	Числа без знака			Числа в дополнительном коде		
	Состояние	*I3, I2, I1, I0*		Состояние	*I3, I2, I1, I0*	
		$CT=1$	$CT=0$		$CT=1$	$CT=0$
$A=B$	$Z=1$	0100	0101	$Z=1$	0100	0101
$A\neq B$	$Z=0$	0101	0100	$Z=0$	0101	0100
$A\geqslant B$	$C=1$	1010	1011	$\overline{N\oplus OVR}=1$	0011	0010
$A<B$	$C=0$	1011	1010	$N\oplus OVR=1$	0010	0011
$A>B$	$C\wedge\overline{Z}=1$	1101	1100	$(\overline{N\oplus OVR})\wedge\overline{Z}=1$	0001	0000
$A\leqslant B$	$\overline{C}\vee Z=1$	1100	1101	$(N\oplus OVR)\vee Z=1$	0000	0001

Примечание. $\vee$ — логическая операция ИЛИ; $\wedge$ — логическая операция И; $\oplus$ — логическая операция исключающее ИЛИ.

Трехвходовый коммутатор признаков состояния (КПС) выбирает сигналы от одного из трех источников: с выходов Рг. *M*, Рг. *N* или со входов признаков состояния. Информация с выхода КПС поступает на схему проверки условия (СПУ) и на буфер признаков состояния (БПС). Если на все входы *I5—I0* одновременно подано напряжение низкого уровня, то двунаправленные выводы *Y* являются входами независимо от сигнала на входе *OEY*. В остальных случаях управление КПС и БПС осуществляется сигналами со входов *OEY*, *I5* и *I4* (табл. 13.29).

Блок проверки условия (БПУ) состоит из схемы проверки условия (СПУ), коммутатора условия (КУ) и схемы управления полярностью (СУП). Он предназначен для формирования выходного сигнала условия. В качестве данных для этого, в зависимости от сигналов *I5, I4*, БПУ может использовать содержимое Рг. *N* или Рг. *M* или сигналы со входов признаков состояния (табл. 13.30).

Над исходными данными схема проверки условия может совершать восемь типов операций, результаты которых поступают на восьмивходовый коммутатор условия (КУ). Последний выбирает один из восьми результатов, который может поступать на выход БПУ (выход *CT*) либо без изменений, либо проинвертированным с помощью СУП. Выход микросхемы *CT*, на который поступает сигнал условия, сформированный БПУ, является выходом на три состояния. Если на вход *ECT* подано напряжение низкого уровня напряжения, то на входе *CT* появляется сигнал условия. Если на вход *ECT* подано напряжение высокого уровня, то выход *CT* переходит в состояние «выключено».

В табл. 13.31 показаны состояния выхода условия *CT* при определении соотношения между операндами *A* и *B* после операции *A—B*.

Блок управления переносом (БУП) формирует сигнал переноса *C0* под управлением сигналов микрокоманды (табл. 13.32). При этом в качестве сигнала переноса может выбираться один из семи сигналов, что позволяет реализовать операции сложения и вычитания обычной и двойной длины. Наличие входа *CX* позволяет организовать специальные функции путем соединения входа *CX* с выходом *Z* микропроцессорного устройства.

Сигналы *I12* и *I11* управляют выбором источника для получения сигнала переноса. Если $I12=0$, то $C0=I11$; если $I12=1$, $I11=0$, то $C0=CX$; если $I12=I11=1$, то выходным сигналом служит один из следующих: *NC*, $\overline{NC}$, *MC*, $\overline{MC}$ — в зависимости от сигналов *I5, I3, I2, I1* (см. табл. 13.32).

Блок управления сдвигами (БУС) предназначен для организации арифметических, логических и циклических сдвигов (всего 32 варианта) в зависимости от значений сигналов микрокоманды *I10—I6* (табл. 13.33). Сигнал *I10* определяет направление сдвига. При низком

Таблица 13.32

Сигналы на входах						Выход *CO*
I12	*I11*	*I5*	*I3*	*I2*	*I1*	
0	0	*X*	*X*	*X*	*X*	0
0	1	*X*	*X*	*X*	*X*	1
1	0	*X*	*X*	*X*	*X*	*CX*
1	1	0	0	*X*	*X*	*NC*
1	1	0	*X*	1	*X*	*NC*
1	1	0	*X*	*X*	1	*NC*
1	1	0	1	0	0	$\overline{NC}$
1	1	1	0	*X*	*X*	*MC*
1	1	1	*X*	1	*X*	*MC*
1	1	1	*X*	*X*	1	*MC*
1	1	1	1	0	0	$\overline{MC}$

Примечание. *X* — состояние входа безразлично.

Таблица 13.33

Сигналы на входах					Двунаправленные выводы				Состояние *MC*
I10	*I9*	*I8*	*I7*	*I6*	*PF0*	*PF3*	*PQ0*	*PQ3*	
		1			2	3	4	5	6
0	0	0	0	0	*Z*	0	*Z*	0	—
0	0	0	0	1	*Z*	1	*Z*	1	—
0	0	0	1	0	*Z*	0	*Z*	*MN*	*PF0*
0	0	0	1	1	*Z*	1	*Z*	*PF0*	—
0	0	1	0	0	*Z*	*MC*	*Z*	*PF0*	—
0	0	1	0	1	*Z*	*MN*	*Z*	*PF0*	—
0	0	1	1	0	*Z*	0	*Z*	*PF0*	—
0	0	1	1	1	*Z*	0	*Z*	*PF0*	*PQ0*
0	1	0	0	0	*Z*	*PF0*	*Z*	*PQ0*	*PF0*
0	1	0	0	1	*Z*	*MC*	*Z*	*PQ0*	*PF0*
0	1	0	1	0	*Z*	*PF0*	*Z*	*PQ0*	—
0	1	0	1	1	*Z*	*IC*	*Z*	*PF0*	—
0	1	1	0	0	*Z*	*MC*	*Z*	*PF0*	*PQ0*
0	1	1	0	1	*Z*	*PQ0*	*Z*	*PF0*	*PQ0*
0	1	1	1	0	*Z*	*IN*⊕*IOV*	*Z*	*PF0*	—
0	1	1	1	1	*Z*	*PQ0*	*Z*	*PF0*	—
1	0	0	0	0	0	*Z*	0	*Z*	*PF3*
1	0	0	0	1	1	*Z*	1	*Z*	*PF3*
1	0	0	1	0	0	*Z*	0	*Z*	—
1	0	0	1	1	1	*Z*	1	*Z*	—
1	0	1	0	0	*PQ3*	*Z*	0	*Z*	*PF3*
1	0	1	0	1	*PQ3*	*Z*	1	*Z*	*PF3*
1	0	1	1	0	*PQ3*	*Z*	0	*Z*	—
1	0	1	1	1	*PQ3*	*Z*	1	*Z*	—
1	1	0	0	0	*PF3*	*Z*	*PQ3*	*Z*	*PF3*
1	1	0	0	1	*MC*	*Z*	*PQ3*	*Z*	*PF3*
1	1	0	1	0	*PF3*	*Z*	*PQ3*	*Z*	—
1	1	0	1	1	*MC*	*Z*	0	*Z*	—
1	1	1	0	0	*PQ3*	*Z*	*MC*	*Z*	*PF3*
1	1	1	0	1	*PQ3*	*Z*	*PF3*	*Z*	*PF3*
1	1	1	1	0	*PQ3*	*Z*	*MC*	*Z*	—
1	1	1	1	1	*PQ3*	*Z*	*PF3*	*Z*	—

Примечание *Z* – состояние «отключено», «–» — без изменений

Таблица 13.34

Параметр	Обозначение	Значения параметров [макс (мин.)]	Режим измерения	Вывод микросхем
Выходное напряжение низкого уровня, В	U_{OL}	0,5	I_{OL}=16 мА I_{OL}=8 мА	*YZ, YC, YN, YOV* *C0, PF3, PF0, PQ3, PQ0, CT*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	I_{OH}=—1,6 мА I_{OH}=—0,8 мА	*YZ, YC, YN, YOV* *C0, PF3, PF0, PQ3, PQ0, CT*
Входной ток низкого уровня, мА	I_{IL}	—1,8 —1,35 —1,2 —0,7 —0,45	U_{IL}=0,5 В	*CEN, CEM* *SE, PF3, PF0, PQ3, PQ0* *IZ, IC, IN, IOV* *T* Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	110 80 70 60 20	U_{IH}=2,7 В	*PF3, PF0, PQ3, PQ0* *CEN, CEM* *YZ, YC, YN, YOV* *IZ, IC, IN, IOV, SE* Остальные входы

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Максимальный входной ток высокого уровня, мА	I_{IHmax}	1,0	$U_{IH}=5{,}5$ В	Все входы
Ток потребления, мА	I_{CC}	318	$U_{CC}=5{,}25$ В	—
Время задержки распространения сигнала, нс	t_p	50	$C_L=50$ пФ	От *T* до *Y*
		58		От *T* до *CT*
		37		От *T* до *CO*
		39		От *T* до *PF3, PF0, PQ3, PQ0*
		38		От *IC, IZ, IN, IOV* до *Y*
		50		От *I0—I5* до *CT*
		32		От *I6—I10* до *PF3, PF0, PQ3, PQ0*
		37		От *I11, I12* до *C0*

Таблица 13.35

Вход	Значения параметров, нс (см. рис. 13.11)	
	t_{SU}	t_H
IZ, IOV, IN	14	5
IC (I1—I3=001)	27	5
IC (I1—I3≠001)	14	5
CEN	18	3
CEM	23	3
EZ, EC, EN, EOV	22	3
I0—I5	41	1
I6—I10	40	1
SE	36	0
YZ, YC, YN, YOV (I0—I5=0)	15	5
PF3, PF0, PQ3, PQ0	20	5

Таблица 13.36

Измеряемая цепь	Значения t_P, нс	
	Разрешение (C_L—50 пФ)	Запрет (C_L — 5 пФ)
От *ECT* до *CT*	23	18
От *SE* до *PF3, PF0, PQ3, PQ0*	30	12
От *I10* до *PF3, PF0, PQ3, PQ0*	39	29
От *OEY* до *YZ, YC, YN, YOV*	26	21
От *I0—I5* до *YZ, YC, YN, YOV*	28	40

уровне на входе *I10* реализуются сдвиги в сторону младших разрядов (вправо), при высоком уровне — в сторону старших разрядов (влево). Конкретный вариант сдвига определяют сигналы *I9—I6*.

Выводы *PF0, PF3, PQ0, PQ3* являются выводами на три состояния и управляются сигналом *SE*. Если на вход *SE* подано напряжение низкого уровня, то двунаправленные выводы сдвига разрешены. Если на вход *SE* подано напряжение высокого уровня, то выводы *PF0, PF3, PQ0, PQ3* находятся в состоянии «отключено».

Устройство управления (УУ) является комбинационной схемой; оно преобразует сигналы микрокоманды со входов *I5—I0* во внутрен-

Таблица 13.37

Измеряемая цепь	Значения t_P, нс
От *IZ, IC, IN, IOV* до *YZ, YC, YN, YOV*	38
От *T* до *YZ, YC, YZ, YOV*	41
От *I4, I5* до *YZ, YC, YN, YOV*	35
От *IZ, IC, IN, IOV* до *CT*	33
От *T* до *CT*	36
От *I0—I5* до *CT*	33
От *CX* до *C0*	20
От *T* до *C0*	27
От *I1, I2, I3, I5, I11, I12* до *C0*	39
От *PF3, PQ3* до *PF0*	19
От *PF0, PQ0* до *PF3*	19
От *IC, IN, IOV* до *PF3*	26
От *PF3, PQ3* до *PQ0*	19
От *PF0, PQ0* до *PQ3*	19
От *T* до *PF3, PF0, PQ3, PQ0*	30
От *I6—I0* до *PF3, PF0, PQ3, PQ0*	26

ние управляющие сигналы для блоков микросхемы.

В табл. 13.34 приведены основные электрические параметры микросхемы КМ1804ВР2. Типовые значения динамических параметров представлены в табл. 13.35 (времена подготовки и удержания сигнала на входах относительно положительного фронта тактового сигнала), 13.36 (времена задержки распространения сигнала для выходов с тремя состояниями), 13.37 (комбинационные задержки).

13.5. Микросхемы КМ1804ВУ1 и КМ1804ВУ2

Микросхемы КМ1804ВУ1, КМ1804ВУ2 — 4-разрядные секции управления адресом микрокоманд, предназначены для работы в составе блоков микропрограммного управления центральных процессоров микро-ЭВМ, микроконтроллеров и других устройств. Наращивание разрядности позволяет адресовать ПЗУ микрокоманд практически любой емкости.

Микросхемы имеют: четыре источника адреса микрокоманд (внешний вход, внутренний регистр адреса, регистр-счетчик, стек); возможность возврата к нулевому адресу; возможность вложения подпрограмм с помощью стека глубиной четыре слова. Кроме того, в микросхеме КМ1804ВУ1 предусмотрена возможность поразрядного маскирования выхода адреса по схеме ИЛИ.

Условные графические обозначения микросхем КМ1804ВУ1 и КМ1804ВУ2 приведены на рис. 13.12 и 13.13, соответственно, назначение выводов дано в табл. 13.38 (КМ1804ВУ1) и 13.39 (КМ1804ВУ2), структурные схемы показаны на рис. 13.14 (КМ1804ВУ1) и рис. 13.15 (КМ1804ВУ2), временная диаграмма входных сигналов — на рис. 13.16.

В состав обеих микросхем входят следующие основные функциональные узлы: блок выборки адреса (БВА); регистр адреса (РА); счетчик микрокоманд (СМК); стек (СТ); буферная схема адреса (БА).

Блок выборки адреса представляет собой 4-входовый 4-разрядный мультиплексор, работа которого зависит от состояния входов *S0*, *S1*. Кроме того, в состав БВА входят элементы, обеспечивающие передачу на выходные шины сигнала *ZA* (нулевой адрес) и сигналов от входов маски (*OR3—OR0*) (последнее только для КМ1804ВУ1).

Регистр адреса (РА) представляет собой 4-разрядный регистр, построенный на триггерах *D*-типа. Запись информации в него происходит по положительному перепаду тактового сигнала *T* при наличии сигнала разрешения со входа *RE*. В микросхемах КМ1804ВУ1 ин-

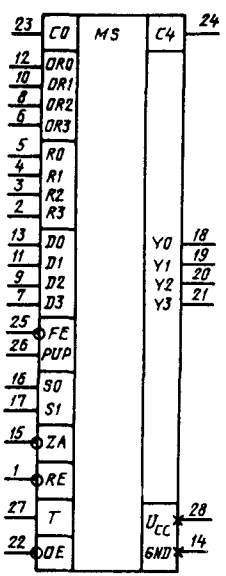


Рис. 13.12. Условное графическое обозначение КМ1804ВУ1

Таблица 13.38

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*RE*	Вход	Разрешение записи в регистр адреса
2	*R3*	Вход	Регистр адреса, 3-й разряд
3	*R2*	Вход	Регистр адреса, 2-й разряд
4	*R1*	Вход	Регистр адреса, 1-й разряд
5	*R0*	Вход	Регистр адреса, 0-и разряд
6	*OR3*	Вход	Маска, 3-й разряд
7	*D3*	Вход	Адрес, 3-й разряд
8	*OR2*	Вход	Маска, 2-й разряд
9	*D2*	Вход	Адрес, 2-й разряд
10	*OR1*	Вход	Маска, 1-й разряд
11	*D1*	Вход	Адрес, 1-й разряд
12	*OR0*	Вход	Маска, 0-й разряд
13	*D0*	Вход	Адрес, 0-й разряд
14	*GND*	—	Общий
15	*ZA*	Вход	Установка 0-го адреса
16	*S0*	Вход	Выбор адреса, 0-и разряд
17	*S1*	Вход	Выбор адреса, 1-й разряд
18	*Y0*	Выход	Адрес, 0-й разряд
19	*Y1*	Выход	Адрес, 1-й разряд
20	*Y2*	Выход	Адрес, 2-й разряд
21	*Y3*	Выход	Адрес, 3-й разряд
22	*OE*	Вход	Разрешение выходов адреса
23	*C0*	Вход	Перенос в счетчик микрокоманд
24	*C4*	Выход	Перенос счетчика микрокоманд
25	*FE*	Вход	Разрешение управления стеком
26	*PUP*	Вход	Управление стеком
27	*T*	Вход	Тактовый сигнал
28	U_{CC}	—	Напряжение питания

Таблица 13.39

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*T*	Вход	Тактовый сигнал
2	U_{CC}	—	Напряжение питания
3	*RE*	Вход	Разрешение записи в регистр адреса
4	*D3*	Вход	Адрес, 3-й разряд
5	*D2*	Вход	Адрес, 2-й разряд
6	*D1*	Вход	Адрес, 1-й разряд
7	*D0*	Вход	Адрес, 0-й разряд
8	*GND*	—	Общий
9	*ZA*	Вход	Установка 0-го адреса
10	*S0*	Вход	Выбор адреса, 0-й разряд
11	*S1*	Вход	Выбор адреса, 1-й разряд
12	*Y0*	Выход	Адрес, 0-й разряд
13	*Y1*	Выход	Адрес, 1-й разряд
14	*Y2*	Выход	Адрес, 2-й разряд
15	*Y3*	Выход	Адрес, 3-й разряд
16	*OE*	Вход	Разрешение выходов адреса
17	*C0*	Вход	Перенос в счетчик микрокоманд
18	*C4*	Выход	Перенос счетчика микрокоманд
19	*FE*	Вход	Разрешение управления стеком
20	*PUP*	Вход	Управление стеком

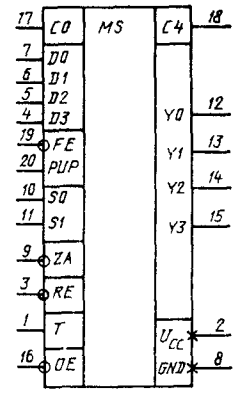


Рис. 13.13. Условное графическое обозначение КМ1804ВУ2

формация в РА может быть записана со входов регистра адреса (*R3—R0*), а в микросхемах КМ1804ВУ2 — с прямых входов адреса (*D3—D0*).

Счетчик микрокоманд (СМК) представляет собой 4-разрядный регистр, построенный на *D*-триггерах с динамической записью, и комбинационную схему сумматора. Запись информации в регистр СМК, поступающей с сумматора СМК, производится по положительному перепаду тактового сигнала *T*. Информация на сумматор поступает с выхода БВА и может быть модифицирована с помощью сигнала переноса С0.

Стек (СТ) представляет собой внутреннюю память секции управления адресом микрокоманды. Он состоит из накопителя емкостью 4×4 бит, указателя стека, схемы записи считывания и регистра состояния СМК. Информация в стек может быть записана из СМК микросхемы. Работа стека зависит от состояния входов *PUP* и *FE*, а также от тактового сигнала *T*.

Буферная схема адреса (БА) представляет собой четыре ТТЛШ-вентиля с тремя состоян

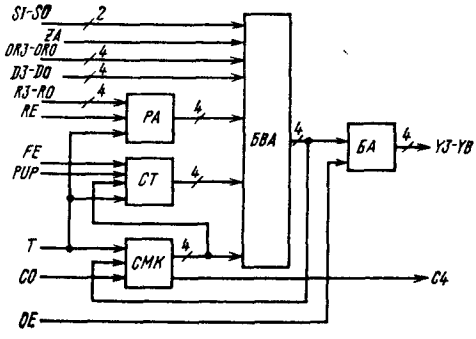


Рис. 13.14. Структурная схема КМ1804ВУ1

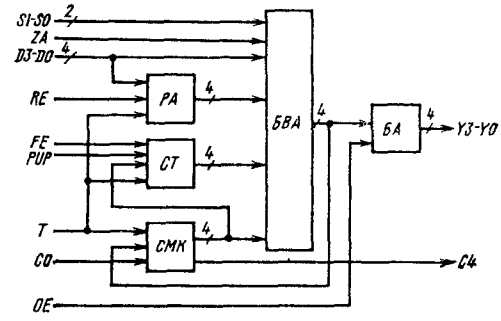


Рис. 13.15. Структурная схема КМ1804ВУ2

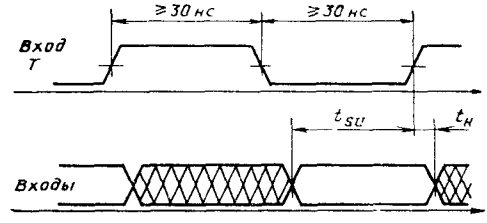


Рис. 13.16. Временна́я диаграмма входных сигналов КМ1804ВУ1 и КМ1804ВУ2. Значения параметров t_{SU} и t_H приведены в табл. 13.44

Таблица 13.40

Сигналы на входах			Адрес микрокоманды на выходах $Y3-Y0$
$OR3-OR0$	ZA	OE	
X	X	1	Состояние «отключено»
X	0	0	0000
1	1	0	1 ($Y_i = OR_i$)
0	1	0	Адрес микрокоманды, передаваемый БВА

Примечание. X состояние входа безразлично.

Таблица 13.42

Сигналы на входах		Состояние стека
RE	PUP	
1	X	Хранение и режим чтения
0	1	Увеличение указателя стека, запись информации
0	0	Уменьшение указателя стека, чтение информации

Примечание. X состояние входа безразлично

ями. Работой БА управляет вход разрешения выбора адреса OE.

Микросхемы предназначены для управления адресом микрокоманды в составе операционных блоков микро-ЭВМ. Адрес микрокоманды может быть сформирован либо внутренними блоками секции, либо передан непосредственно с входных шин.

Как указывалось выше, передачу адреса микрокоманды на выходные шины секции производит БВА. Работу БВА удобно рассматривать совместо с работой блока БА. Если на входе OE пирсутствует напряжение высокого уровня, то выходы $У3—У0$ находятся в высокоомном состоянии.

Если на вход OE подан логический 0, то БА передает на выходные шины $У3—У0$ адрес микрокоманды, определяемый БВА.

Наличие входа ZA в секции позволяет легко переходить к нулевому адресу. Если на входе ZA лог. 0, то выходы $У3—У0$ обнулены независимо от микрокоманды, передаваемой БВА.

Кроме перечисленных выше входов OE и ZA в микросхемах КМ1804ВУ1 есть входы маски $OR3—OR0$. Если на входах маски лог. 1, то на соответствующих выходах $У3—У0$ также присутствует лог. 1. В табл. 13.40 приведено описание работы входов OE, ZA и $OR3—OR0$. Как видно из таблицы, при наличии сигналов на входах OE — лог. 0, ZA — лог. 1, $OR3—OR0$ — лог. 0, на выходы $У3—У0$ передается информация, определяемая БВА.

Таблица 13.41

Сигналы на входах		Адрес микрокоманды, передаваемый БВА от источника
$S1$	$S0$	
0	0	Счетчик микрокоманд
0	1	Регистр адреса
1	0	Стек
1	1	Прямые входы адреса $D3—D0$

Таблица истинности БВА приведена в табл. 13.41. Так как БВА является комбинационной схемой, то его работа особых пояснений не требует.

Работа трех внутренних источников адреса микрокоманды (РА, СМК, СТ) не зависит друг от друга, поэтому рассмотрим работу каждого источника отдельно. Как уже указывалось, РА состоит из четырех D-триггеров. Если на входе RE лог. 0, то адрес микрокоманды записывается в РА в микросхемах КМ1804ВУ1 со входов $R3—R0$, а в микросхемах КМ1804ВУ2 — со входов $D3—D0$. Запись адреса микрокоманды происходит по положительному перепаду тактового сигнала T. Если же на вход RE подана лог. 1, то запись нового адреса микрокоманды в РА не происходит и в нем хранится последний записанный адрес микрокоманды.

Работа СМК зависит от состояния сигналов на входах $C0$ (вход переноса в СМК) и T (тактовый вход). Если на вход $C0$ подана лог. 1, то в регистр СМК по положительному фронту сигнала T запишется адрес микрокоманды, присутствующий в данный момент на выходе БВА, плюс 1. Если же на вход $C0$ подан лог. 0, то адрес микрокоманды в регистр СМК записывается не модифицированным.

Выходной сигнал переноса появится на выходе $C4$ в том случае, когда на вход $C0$, подана лог. 1 и на всех выходах $У3—У0$ тоже лог. 1. Чтобы организовать последовательное прибавление 1 к адресу микрокоманды, необходимо на входы $S0$, $S1$ подать лог. 0 (см. табл. 13. 41), а на вход $C0$ — лог. 1.

Стек микросхем организован по принципу памяти магазинного типа. Стек может работать в трех режимах: чтение без изменения состояния указателя стека (хранение), запись адреса микрокоманды после увеличения на 1 содержимого указателя стека и чтение адреса микрокоманды и уменьшение на 1 содержимого указателя стека.

В табл. 13.42 показаны состояния управляющих входов стека для трех режимов работы. Рассмотрим каждый режим работы стека более подробно.

Таблица 13.43

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5 0,45	$I_{OL}=12$ мА $I_{OL}=8$ мА	*Y3—Y0* *C4*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-1{,}0$ мА	Все выходы
Входной ток низкого уровня, мА	I_{IL}	—1,08 —0,72 —0,36	$U_{IL}=0{,}4$ В	*C0* *OE, PUP* и *D3—D0* (КМ1804ВУ2) Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	40 20	$U_{IH}=2{,}7$ В	*CO, PUP* и *D3—D0* (КМ1804ВУ2) Остальные входы
Максимальный входной ток высокого уровня, мА	$I_{IH\ max}$	1,0	$U_{IH}=5{,}5$ В	Все входы
Ток потребления, мА	I_{CC}	130	$U_{CC}=5{,}25$ В	—
Время задержки распространения сигнала, нс	t_P	102	$C_L=50$ пФ	От *T* до *Y, C4*

В режиме хранения содержимое указателя стека (указатель стека представляет собой двухразрядный реверсивный счетчик, построенный на *D*-триггерах с динамической записью) остается без изменения и на выходы *У3—У0* может быть прочитана информация из ячейки памяти, на которую указывает указатель стека. Наибольший интерес представляют режимы записи и чтения стека. В режиме записи адрес микрокоманды, сформированный в СМК, по положительному фронту тактового сигнала *T* записывается в регистр СМК. По этому же фронту сигнала *T* происходит увеличение содержимого указателя стека на 1, который указывает на слово в памяти, куда должна произойти запись.

Схема записи/считывания стека переводится внутренними сигналами в режим «Запись», и по отрицательному фронту сигнала *T* происходит запись адреса микрокоманды в выбранное слово памяти стека.

В режиме чтения по положительному фронту тактового сигнала *T* происходит уменьшение на 1 содержимого указателя стека и схема записи/считывания переводится в режим «Считывание».

После этого на входы *У3—У0* может быть выведен адрес микрокоманды, записанный в стек предпоследним

Таблица 13.44

Вход	Значения параметров (см. рис. 13.16)	
	Время установления t_{SU}, нс	Время удержания t_H, нс
RE	22	5
R3—R0	12	5
PUP	30	7
FE	30	5
C0	30	5
D3—D0	35	3
OR3—OR0	35	3
S0—S1	50	0
ZA	50	0

Примечание. Так как в микросхеме КМ1804ВУ2 входы *D3—D0* и *R3—R0* объединены, то при записи в РА необходимо пользоваться временами t_{SU} и t_H, приведенными в строке *R3—R0*.

Таблица 13.45

Вход	Значения t_P до выходов, нс	
	Y3—Y0	*C4*
D3—D0	17	30
S0, S1	30	48
OR3—OR0	17	30
C0	—	14
ZA	30	48
OE=0 (разрешение)	25	—
OE=1 (запрет)	25	—
(C_L=5 пФ)		
T (положительный перепад, *S1*=0, *S0*=1)	43	55
T (положительный перепад, *S1*=0, *S0*=0)	43	55
T (положительный перепад, *S1*=1, *S0*=0)	80	95

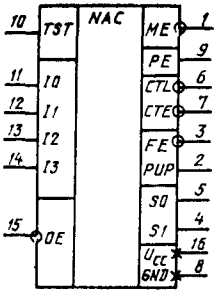


Рис. 13.17. Условное графическое обозначение КМ1804ВУ3

Таблица 13.46

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*ME*	Выход	Разрешение работы ПЛМ
2	*PUP*	Выход	Управление стеком
3	*FE*	Выход	Разрешение управления стеком
4	*S1*	Выход	Выбор адреса, 1-й разряд
5	*S0*	Выход	Выбор адреса, 0-й разряд
6	*CTL*	Выход	Разрешение загрузки счетчика
7	*CTE*	Выход	Разрешение счета
8	*GND*	—	Общий
9	*PE*	Выход	Разрешение регистра микрокоманд
10	*TST*	Вход	Признак ветвления
11	*I0*	Вход	Микрокоманда, 0-й разряд
12	*I1*	Вход	Микрокоманда, 1-й разряд
13	*I2*	Вход	Микрокоманда, 2-й разряд
14	*I3*	Вход	Микрокоманда, 3-й разряд
15	*OE*	Вход	Разрешение выходов
16	U_{CC}	—	Напряжение питания

В табл. 13.43 приведены основные электрические параметры микросхем. Типовые значения динамических параметров приведены в табл. 13.44 (времена подготовки и удержания сигнала на входах относительно положительного фронта тактового сигнала) и 13.45 (комбинационные задержки при $C_L = 50$ пФ).

13.6. Микросхема КМ1804ВУ3

Схема управления выбором следующего адреса КМ1804ВУ3, предназначенная для совместной работы с секциями управления адресом микрокоманд КМ1804ВУ1, КМ1804ВУ2 в составе устройств микропрограммного управления, представляет собой декодирующую матрицу, обеспечивающую выполнение 16 различных типов условных и безусловных операций выборки следующего адреса микрокоманды и изменяет управляющие сигналы в зависимости от состояния входа признака ветвления. Кроме сигналов управления секциями КМ1804ВУ1, КМ1804ВУ2 обеспечивает управление счетчиком команд, ПЛМ дешифратора команд и регистром микрокоманд.

Условное графическое обозначение микросхемы приведено на рис. 13.17, назначение выводов — в табл. 13.46, структурная схема показана на рис. 13.18.

Микросхема КМ1804ВУ3 содержит дешифратор (ДШ) на четыре входа и шестнадцать выходов, логические схемы опроса состояния входа признака ветвления и выходные буферные схемы на три состояния, работой которых управляет вход *OE*. Если на вход *OE* подано напряжение высокого уровня, то выходные буферные схемы находятся в состоянии «отключено». При низком уровне на входе *OE* выходные буферные схемы передают информацию, сформированную микросхемой.

Таблица 13.47

Сигналы на входах					Сигналы на выходах							
I3	*I2*	*I1*	*I0*	*TST*	*S1*	*S0*	*FE*	*PUP*	*CTL*	*CTE*	*ME*	*PE*
0	0	0	0	0	1	1	1	1	0	0	1	0
0	0	0	0	1	1	1	1	1	0	0	1	0
0	0	0	1	0	0	0	1	1	1	1	1	0
0	0	0	1	1	1	1	0	1	1	1	1	0
0	0	1	0	0	1	1	1	1	1	1	0	1
0	0	1	0	1	1	1	1	1	1	1	0	1
0	0	1	1	0	0	0	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	1	1	1	0
0	1	0	0	0	0	0	0	1	1	1	1	0
0	1	0	0	1	0	0	0	1	0	1	1	0
0	1	0	1	0	0	1	0	1	1	1	1	0
0	1	0	1	1	1	1	0	1	1	1	1	0
0	1	1	0	0	0	0	1	1	1	1	1	1
0	1	1	0	1	1	1	1	1	1	1	1	1
0	1	1	1	0	0	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1	1	1	1	0
1	0	0	0	0	1	0	1	0	1	0	1	0
1	0	0	0	1	0	0	0	0	1	1	1	0
1	0	0	1	0	1	1	1	1	1	0	1	0
1	0	0	1	1	0	0	1	1	1	1	1	0
1	0	1	0	0	0	0	1	0	1	1	1	0
1	0	1	0	1	1	0	0	0	1	1	1	0
1	0	1	1	0	0	0	1	0	1	1	1	0
1	0	1	1	1	1	1	0	0	1	1	1	0
1	1	0	0	0	0	0	1	1	0	1	1	0
1	1	0	0	1	0	0	1	1	0	1	1	0
1	1	0	1	0	1	0	1	0	1	1	1	0
1	1	0	1	1	0	0	0	0	1	1	1	0
1	1	1	0	0	0	0	1	1	1	1	1	0
1	1	1	0	1	0	0	1	1	1	1	1	0
1	1	1	1	0	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1	1	1	0

Таблица 13.48

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,45	$I_{OL}=16$ мА	Все выходы
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-2$ мА	Все выходы
Входной ток низкого уровня, мА	I_{IL}	−0,25	$U_{IL}=0{,}45$ В	Все входы
Входной ток высокого уровня, мкА	I_{IH}	25	$U_{IH}=2{,}7$ В	Все входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5{,}5$ В	Все входы
Ток потребления, мА	I_{CC}	115	$U_{CC}=5{,}25$ В	—
Время задержки распространения сигнала *, нс	t_P	50	$C_L=15$ пФ	От *I0—I3*, *TST* до выходов

* Типовое время задержки распространения сигнала от входа *OE* до выходов 30 нс.

Зависимость между входными и выходными сигналами приведена в табл. 13.47. Так как микросхема является чисто комбинационной, то временных ограничений на подачу входных сигналов не налагается.

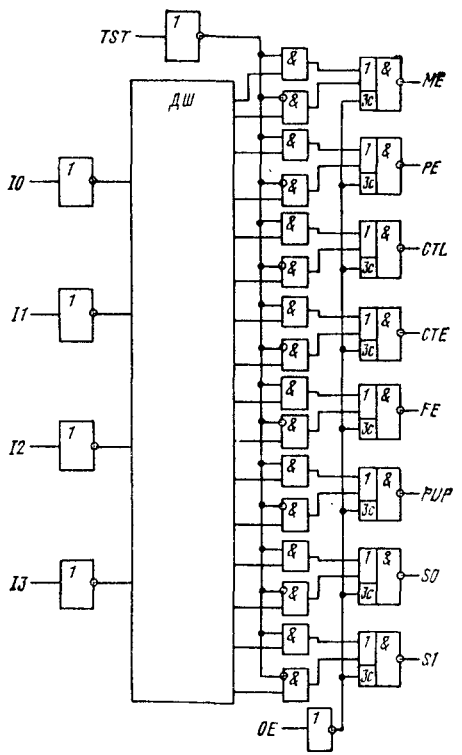


Рис. 13.18. Структурная схема КМ1804ВУ3

Основные электрические параметры микросхемы КМ1804ВУ3 приведены в табл. 13.48.

13.7. Микросхема КМ1804ВУ4

Микросхема КМ1804ВУ4 — 12-разрядная схема управления адресом микрокоманд, предназначена для формирования адреса ПЗУ микрокоманд емкостью до 4К слов в составе устройств микропрограммного управления, выполняет 16 микрокоманд, которые определяют один из пяти способов формирования адреса. Микросхема обеспечивает также:

получение следующего адреса наращиванием предыдущего на 1;

многократное повторение одного и того же адреса;

условный или безусловный переход к адресу, содержащемуся либо в одном из внутренних источников, либо находящемуся на адресном входе микросхемы;

условный или безусловный переход к подпрограмме;

организацию циклов.

Условное графическое обозначение микросхемы приведено на рис. 13.19, назначение выводов — в табл. 13.49, структурная схема показана на рис. 13.20. Временная диаграмма входных сигналов аналогична микросхемам КМ1804ВУ1 и КМ1804ВУ2 (см. рис. 13.16).

Микросхема КМ1804ВУ4 имеет 12-разрядный выход адреса (выходы *У11—У0*), входы управления, 12-разрядный вход адреса (входы *D11—D0*), который используется для ввода начального адреса подпрограммы или адреса перехода. Под действием внешних сигналов управления микросхема формирует последовательность адресов, которые с выходов микросхемы поступают на адресный вход микропрограммной памяти вычислительного устрой-

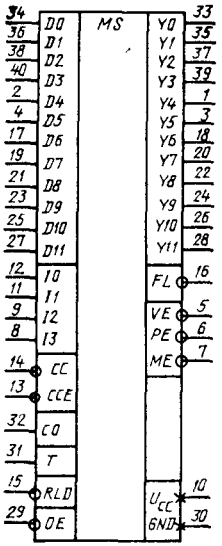


Рис. 13.19. Условное графическое обозначение КМ1804ВУ4

Таблица 13.49

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*Y4*	Выход	Адрес, 4-й разряд
2	*D4*	Вход	Адрес, 4-й разряд
3	*Y5*	Выход	Адрес, 5-й разряд
4	*D5*	Вход	Адрес, 5-й разряд
5	*VE*	Выход	Разрешение источника адреса
6	*PE*	Выход	Разрешение регистра микрокоманд
7	*ME*	Выход	Разрешение дешифратора микрокоманд
8	*I3*	Вход	Микрокоманда, 3-й разряд
9	*I2*	Вход	Микрокоманда, 2-й разряд
10	U_{CC}	—	Напряжение питания
11	*I1*	Вход	Микрокоманда, 1-й разряд
12	*I0*	Вход	Микрокоманда, 0-й разряд
13	*CCE*	Вход	Разрешение условия
14	*CC*	Вход	Условие
15	*RLD*	Вход	Разрешение записи в регистр адреса
16	*FL*	Выход	Сигнал «Стек заполнен»
17	*D6*	Вход	Адрес, 6-й разряд
18	*Y6*	Выход	Адрес, 6-й разряд
19	*D7*	Вход	Адрес, 7-й разряд
20	*Y7*	Выход	Адрес, 7-й разряд
21	*D8*	Вход	Адрес, 8-й разряд
22	*Y8*	Выход	Адрес, 8-й разряд
23	*D9*	Вход	Адрес, 9-й разряд
24	*Y9*	Выход	Адрес, 9-й разряд
25	*D10*	Вход	Адрес, 10-й разряд
26	*Y10*	Выход	Адрес, 10-й разряд
27	*D11*	Вход	Адрес, 11-й разряд
28	*Y11*	Выход	Адрес, 11-й разряд
29	*OE*	Вход	Разрешение выходов адреса
30	*GND*	—	Общий
31	*T*	Вход	Тактовый сигнал
32	*C0*	Вход	Перенос в счетчик адреса
33	*Y0*	Выход	Адрес, 0-й разряд
34	*D0*	Вход	Адрес, 0-й разряд
35	*Y1*	Выход	Адрес, 1-й разряд
36	*D1*	Вход	Адрес, 1-й разряд
37	*Y2*	Выход	Адрес, 2-й разряд
38	*D2*	Вход	Адрес, 2-й разряд
39	*Y3*	Выход	Адрес, 3-й разряд
40	*D3*	Вход	Адрес, 3-й разряд

ства. Последовательности адресов будет каждый раз отвечать последовательность микрокоманд, выбираемых из микропрограммной памяти.

Микросхема содержит регистр адреса, счетчик адреса, стек глубиной пять слов, коммутатор адреса. Все внутренние регистры микросхемы срабатывают по положительному фронту синхросигнала, поступающего на тактовый вход микросхемы.

Адресные выходы *У11—У0* микросхемы являются выходами на три состояния, что позволяет выполнять автоматическую проверку вычислительного устройства. Для этого выходы *У11—У0* переводятся в состояние «выключено» (*OE*=1), после чего можно выполнять тестовую последовательность микрокоманд с помощью прямого доступа к адресной шине микропрограммной памяти.

Устройство управления (УУ) представляет собой комбинационную схему, имеющую семь входов. Оно преобразует внешние управляющие сигналы (*I3—I0, CC, CCE*) и внутренний сигнал с ФПН в набор управляющих сигналов для блоков микросхемы. Кроме того, *УУ* вырабатывает три сигнала (*PE, ME, VE*), с помощью которых осуществляется подключение к адресной шине одного из трех внешних источников адреса — либо регистра микрокоманд, либо дешифратора команд, либо регистра прерывания.

Для каждой микрокоманды вырабатывается только один сигнал разрешения внешнего источника. Чаще всего — это сигнал разреше-

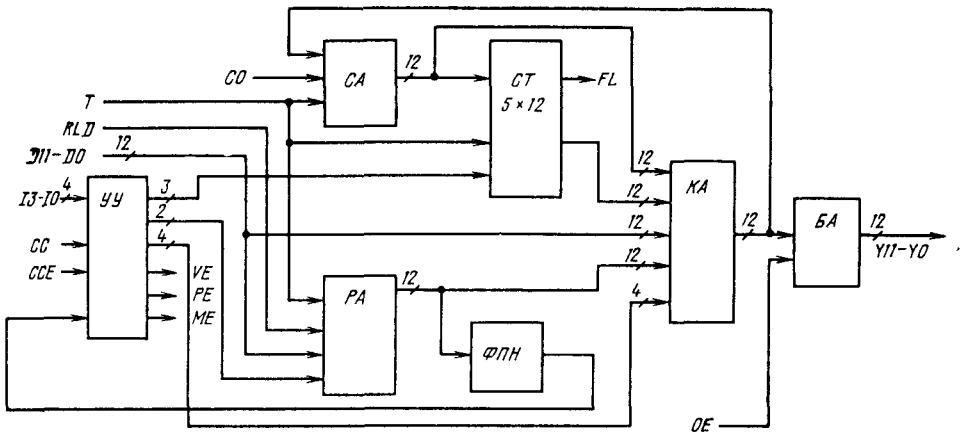


Рис. 13.20. Структурная схема КМ1804ВУ4

ния регистра микрокоманд (табл. 13.50). Выходы двух других внешних источников адреса в этом случае должны находиться в состоянии «выключено».

Сигнал разрешения подается напряжением низкого уровня.

Регистр адреса (РА) состоит из 12 триггеров D-типа. При наличии сигнала разрешения ($RLD=0$) в РА записывается информация с адресного входа вне зависимости от микрокоманды. Если сигнал разрешения записи отсутствует, то в зависимости от выполняемой микрокоманды РА используется либо для записи и хранения адреса или числа циклов, принимаемых от внешнего источника по шине D, либо в качестве счетчика циклов, содержимое которого с приходом положительного фронта синхросигнала уменьшается на 1 вплоть до обнуления счетчика

Если в РА загружено число N, то при соответствующей микрокоманде цикл будет выполнен $N+1$ раз. Равенство 0 содержимого РА служит сигналом для выполнения условных переходов (см табл. 13.50). Переключение РА в тот или иной режим работы происходит под действием внутренних управляющих сигналов, поступающих с УУ.

Формирователь признака нуля (ФПН) вырабатывает внутренний управляющий сигнал, когда содержимое РА становится равным 0.

Счетчик адресов (СА) состоит из регистра микрокоманд и схемы приращения. Каждый текущий адрес с выхода КА поступает через схему приращения в регистр СА для записи. Регистр микрокоманд построен на 12 триггерах D-типа. Адрес с выхода регистра поступает на вход КА и вход стека.

Схема приращения СА имеет вход переноса CO. Если на этот вход подано напряжение низкого уровня, то адрес с выхода КА через схему приращения поступает в регистр СА без изменений Если на вход CO подано напряжение высокого уровня, то адрес с выхода КА, проходя через схему приращения, поступает в регистр СА увеличенным на 1. Таким образом, будут выполняться микрокоманды, расположенные в микропрограммной памяти друг за другом по нарастающим адресам.

При выполнении нулевой микрокоманды происходит обнуление СА (если $CO=0$).

Стек (СТ) — память, устроенная по принципу «последним записан — первым прочитан», предназначен для хранения адреса возврата при выполнении подпрограмм. Стек имеет глубину пять 12-разрядных слов и состоит из указателя стека, дешифратора, накопителя и схемы записи/считывания.

Указатель стека представляет собой реверсивный счетчик. Изменение информации в нем происходит по положительному фронту тактового сигнала.

Дешифратор преобразует сигналы с указателя стека для определения одного из регистров накопителя.

Схема записи/считывания обеспечивает необходимую коммутацию для передачи информации либо в накопитель стека при записи, либо из накопителя при считывании. На выходе стека можно прочесть информацию, записанную в него последней.

В зависимости от выполняемой микрокоманды возможны следующие четыре режима работы стека:

очистка стека; указатель стека переходит в нулевое положение. Чтение из стека при этом не имеет смысла;

хранение; состояние указателя стека неизменно, на выходе стека можно читать информацию, записанную в него последней;

запись в стек; при последовательной записи в стек состояние указателя стека изменяется по следующему закону: 0—1—2—3—4—5. При переходе указателя стека в состояние «5» на выходе FL микросхемы появляется сигнал «Стек заполнен» (напряжение низкого уровня). При записи в заполненный стек со-

Таблица 13.50

Входы I_3, I_2, I_1, I_0	Обозначение	Микрокоманда	Влияние содержимого РА на микрокоманду	Состояние РА	Условие не выполняется ($CCE=0$ и $CC=1$)		Условие выполняется ($CCE=1$ или $CC=0$)		Состояние выходов		
					Состояние Y	Состояние стека	Состояние Y	Состояние стека	VE	PE	ME
0000	*JZ*	Переход к нулевому адресу	Не влияет	Хранение	0	Очистка	0	Очистка	1	0	1
0001	*CJS*	Условный переход к подпрограмме по адресу из регистра микрокоманд	Не влияет	Хранение	*CA*	Хранение	*D*	Запись	1	0	1
0010	*JMAP*	Переход к адресу из дешифратора команд	Не влияет	Хранение	*D*	Хранение	*D*	Хранение	1	1	0
0011	*CJP*	Условный переход к адресу из регистра микрокоманд	Не влияет	Хранение	*CA*	Хранение	*D*	Хранение	1	0	1
0100	*PUSH*	Запись в стек и условная запись в РА (счетчик циклов)	Не влияет	Хранение, если $CCE=0$ и $CC=1$; запись, если $CCE=1$ или $CC=0$	*CA*	Запись	*CA*	Запись	1	0	1
0101	*JSRP*	Переход к одной из двух подпрограмм: по адресу либо из РА, либо из регистра микрокоманд	Не влияет	Хранение	*PA*	Запись	*D*	Запись	1	0	1
0110	*CJV*	Условный переход к адресу из внешнего источника	Не влияет	Хранение	*CA*	Хранение	*D*	Хранение	0	1	1
0111	*JRP*	Переход к адресу, условно выбираемому либо из РА, либо из регистра микрокоманд	Не влияет	Хранение	*PA*	Хранение	*D*	Хранение	1	0	1
1000	*RFCT*	Повторение цикла, если счетчик (РА) не равен 0	РА $\neq 0$	Вычитание 1	*CT*	Хранение	*CT*	Хранение	1	0	1
			РА $= 0$	Хранение	*CA*	Считывание	*CA*	Считывание	1	0	1
1001	*RPCT*	Повторение адреса из регистра микрокоманд, если счетчик (РА) не равен 0	РА$\neq 0$	Вычитание 1	*D*	Хранение	*D*	Хранение	1	0	1
			РА $= 0$	Хранение	*CA*	Хранение	*CA*	Хранение	1	0	1
1010	*CRTN*	Условный возврат из подпрограммы	Не влияет	Хранение	*CA*	Хранение	*CT*	Считывание	1	0	1
1011	*CJPP*	Условный переход к адресу из регистра микрокоманд и считывание из стека	Не влияет	Хранение	*CA*	Хранение	*D*	Считывание	1	0	1
1100	*LDCT*	Запись в РА (счетчик циклов) и продолжение работы	Не влияет	Запись	*CA*	Хранение	*CA*	Хранение	1	0	1

Входы I3, I2, I1, I0	Обозначение	Микрокоманда	Влияние содержимого РА на микрокоманду	Состояние РА	Условие не выполняется (CCE=0 и CC=1)		Условие выполняется (CCE=1 или CC=0)		Состояние выходов		
					Состояние У	Состояние стека	Состояние У	Состояние стека	VF	PE	ME
1101	LOOP	Условное прекращение цикла	Не влияет	Хранение	CT	Хранение	CA	Считывание	1	0	1
1110	CONT	Продолжение работы	Не влияет	Хранение	CA	Хранение	CA	Хранение	1	0	1
1111	TWB	Ветвление на три направления	PA≠0	Вычитание 1	CT	Хранение	CA	Считывание	1	0	1
			PA=0	Хранение	D	Считывание	CA	Считывание	1	0	1

стояние указателя стека не изменяется и происходит перезапись информации в вершине стека;

считывание из стека; состояние указателя стека изменяется по следующему закону: 5—4—3—2—1—0. Считывание из стека выполняется для того, чтобы читать на выходе стека информацию, записанную ранее. При этом последовательность чтения слов накопителя стека соответствует последовательному изменению состояния указателя стека.

Коммутатор адреса (КА) представляет собой четырехвходовый 12-разрядный мультиплексор, которым управляют четыре внутренних сигнала с УУ. Из четырех поступивших на его входы адресов (со входа адреса *D*, с регистра адреса, со стека, со счетчика адреса) КА выбирает один адрес, который с его выхода поступает на вход СА и буферную схему.

Буферная схема адреса (БА) состоит из 12 (по числу разрядов) вентилей на три состояния. Сигнал с входа *OE* микросхемы уп-

Таблица 13.51

Параметр	Обозначение	Значения параметров [макс (мин)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=12$ мА $I_{OL}=8$ мА	Y11—Y0 FL, VE, PE, ME
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-1{,}6$ мА	Все выходы
Входной ток низкого уровня, мА	I_{IL}	—2,14 —1,31 —0,87 —0,72 —0,54	$U_{IL}=0{,}5$ В	T CC D11—D0 I3—I0, RLD, OE CCE, C0
Входной ток высокого уровня, мкА	I_{IH}	100 80 50 40 30	$U_{IH}=2{,}7$ В	T D11—D0 CC I3—I0, RLD, OE CCE, C0
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5{,}5$ В	Все входы
Ток потребления, мА	I_{CC}	344	$U_{CC}=5{,}25$ В	—
Время задержки распространения сигнала, нс	t_P	70 125	$C_L=50$ пФ	От I3—I0 до Y От T до Y

Таблица 13.52

Вход	Значения параметров, нс (см рис 13 16)	
	t_{SU}	t_H
D_i (запись в РА)	24	6
D_i (запись в СА)	58	4
I3—I0	104	0
CC	80	0
CCE	80	0
C0	46	5
RLD	36	6

Таблица 13.53

Вход	Значения t_P до выходов, нс		
	Y_i	*PE, VE, ME*	*FL*
D_i	20	—	—
I3—I0	70	51	—
CC	43	—	—
CCE	45	—	—
*T** (*I3—I0*=1000,	100	—	60
1001, 1111)	125	—	60
T (остальные микрокоманды)	55	—	60
OE (разрешение/запрет)	35 30**	—	—

* Берется более короткое время, если на предыдущей микрокоманде содержимое регистра адреса не изменяется или уменьшается на 1

** C_L=5 пФ

равляет БА. Если на вход *OE* подано напряжение низкого уровня, то на выходе адреса микросхемы *Y* появляется адрес микрокоманды, выбранный коммутатором адреса. Если на вход *OE* подано напряжение высокого уровня, то выход адреса *Y* переходит в состояние «выключено».

Микросхема позволяет реализовать 16 микрокоманд управления последовательностью микропрограммных адресов. Описание этих микрокоманд, их обозначение и название приведены в табл. 13.50. Шесть микрокоманд являются безусловными, а остальные — условными. Выполнение условных микрокоманд зависит от значения внешнего сигнала, поступающего на вход *CC* микросхемы. Считается, что условие не выполняется, если *CC*=1 и *CCE*=0. В противном случае (*CC*=0 или *CCE*=1) условие выполняется. Подав на вход *CCE* напряжение высокого уровня, можно условную микрокоманду превратить в безусловную (т. е. независимо от сигнала на входе *CC* будет выполняться операция, соответствующая выполнению условия). Действие трех микрокоманд зависит от содержимого РА, которое уменьшается, пока не станет равным 0 Эти микрокоманды используются для организации циклов.

В табл. 13.51 приведены основные электрические параметры микросхемы КМ1804ВУ4 Типовые значения динамических параметров даны в табл. 13.52 (времена подготовки и удержания сигнала на входах относительно положительного фронта тактового сигнала) и 13.53 (времена задержки распространения сигнала при C_L=50 пФ).

13.8. Микросхема КМ1804ВН1

Микросхема КМ1804ВН1 — 8-разрядная микропрограммируемая наращиваемая схема векторного приоритетного прерывания, производит приоритетную обработку запросов прерывания, поступающих по восьми шинам от различных устройств. Предназначена для применения в составе устройств обработки прерываний центральных процессоров микро-ЭВМ.

Микросхема имеет восемь входов запроса прерывания (прерывания могут быть импульсными или уровневыми), встроенный регистр маски, встроенный регистр состояния, векторный выход.

Условное графическое обозначение микросхемы приведено на рис. 13.21, назначение выводов — в табл. 13.54, структурная схема показана на рис 13.22, временные диаграммы входных сигналов — на рис. 13.23.

Все регистры и триггеры микросхемы КМ1804ВН1 синхронизируются положительным фронтом сигнала, поступающего на вход *C*. Формирователь тактового сигнала (ФТ) инвертирует сигнал, поступающий на вход *C* микросхемы и передает его на внутренние блоки.

Восьмиразрядный регистр прерывания (РП) может регистрировать как уровневые, так и импульсные запросы, поступающие на входы прерывания *INR7—INR0* Если на вход *COMO* микросхемы подано напряжение низкого уровня, то вентили-«защелки» регистра прерывания действуют как «перехватчики» отрицательных импульсов на входе регистра. Если на вход *COMO* подано напряжение высокого уровня, то вентили-«защелки» отключены и запросом прерывания будет служить напряжение низкого уровня на одном из входов *INR7—INR0*.

Схема очистки регистра прерывания (СО) вырабатывает восемь индивидуальных сигналов для очистки разрядов регистра прерывания и вентилей-«защелок», расположенных на его входах.

Трехразрядный регистр вектора (РВ) служит для записи и хранения двоично-кодированного вектора прерывания, который затем используется для очистки регистра прерывания

Очистка регистра прерывания разрешена, если триггер разрешения очистки регистра

Таблица 13.54

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*INR3*	Вход	Прерывание, 3-й разряд
2	*MK3*	Вход выход	Маска, 3-й разряд
3	*FL*	Выход	Флаг
4	*CR0*	Вход	Перенос из предыдущей группы
5	*EWRSA*	Вход	Разрешение записи состояния
6	*DEINR*	Вход	Запрет прерывания
7	*DES*	Выход	Последовательный запрет
8	*DEP*	Выход	Параллельный запрет
9	*RQINR*	Выход	Запрос прерывания
10	U_{cc}	—	Напряжение питания
11	*SA2*	Вход выход	Состояние, 2-й разряд
12	*SA1*	Вход выход	Состояние, 1-й разряд
13	*SA0*	Вход выход	Состояние, 0-й разряд
14	*OF*	Выход	Переполнение
15	*CR2*	Выход	Перенос в следующую группу
16	*VEC2*	Выход	Вектор, 2-й разряд
17	*VEC1*	Выход	Вектор, 1-й разряд
18	*VEC0*	Выход	Вектор, 0-й разряд
19	*MK7*	Вход выход	Маска, 7-й разряд
20	*INR7*	Вход	Прерывание, 7-й разряд
21	*MK6*	Вход выход	Маска, 6-й разряд
22	*INR6*	Вход	Прерывание, 6-й разряд
23	*MK5*	Вход выход	Маска, 5-й разряд
24	*INR5*	Вход	Прерывание, 5-й разряд
25	*MK4*	Вход выход	Маска, 4-й разряд
26	*INR4*	Вход	Прерывание, 4-й разряд
27	*COMO*	Вход	Управление режимом
28	*INS0*	Вход	Микрокоманда, 0-й разряд
29	*C*	Вход	Тактовый сигнал
30	*GND*	—	Общий
31	*INS1*	Вход	Микрокоманда, 1-й разряд
32	*INS2*	Вход	Микрокоманда, 2-й разряд
33	*INS3*	Вход	Микрокоманда, 3-й разряд
34	*EINS*	Вход	Разрешение микрокоманды
35	*INR0*	Вход	Прерывание, 0-й разряд
36	*MK0*	Вход выход	Маска, 0-й разряд
37	*INR1*	Вход	Прерывание, 1-й разряд
38	*MK1*	Вход выход	Маска, 1-й разряд
39	*INR2*	Вход	Прерывание, 2-й разряд
40	*MK2*	Вход выход	Маска, 2-й разряд

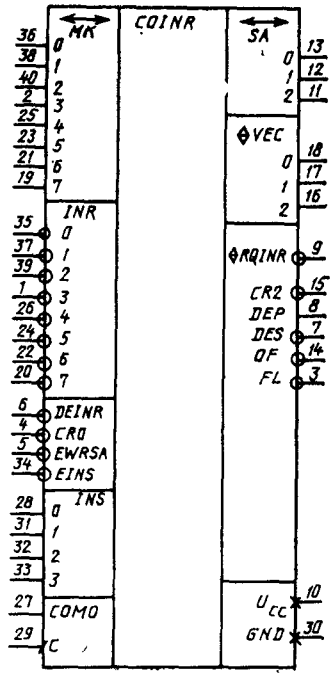


Рис. 13.21. Условное графическое обозначение КМ1804ВН1

прерывания (ТО) установлен. Установка ТО происходит при выполнении микрокоманды «Чтение вектора».

Регистр маски (РМ) имеет восемь разрядов, соответствующих разрядам регистра прерывания. Двунаправленные выводы *MK7—MK0* служат для загрузки и чтения регистра маски. Предусмотрены микрокоманды установки и очистки всего регистра маски и отдельных его разрядов.

Буферные схемы маски (БМ) выполнены по схеме с тремя состояниями и предназначены для выдачи содержимого РМ на выходы *MK7—MK0*.

Каждый из восьми разрядов устройства маскирования (УМ) представляет собой вентиль 2И—НЕ. На входы устройства маскирования поступают сигналы с выходов соответствующих разрядов регистров прерывания и маски.

Детектор прерывания (ДП) обнаруживает любой незамаскированный запрос прерывания на выходах устройства маскирования.

Шифратор приоритета (ШП) формирует двоично-кодированный вектор прерывания, указывающий незамаскированный запрос прерывания с высшим приоритетом. Двоичное значение вектора прерывания равно порядковому номеру входа *INR7—INR0*, принятого к обработке в качестве источника запроса прерывания.

Буферные схемы вектора (БВ) выдают значения вектора прерывания на выводы *VEC2—VEC0* при выполнении микрокоманды

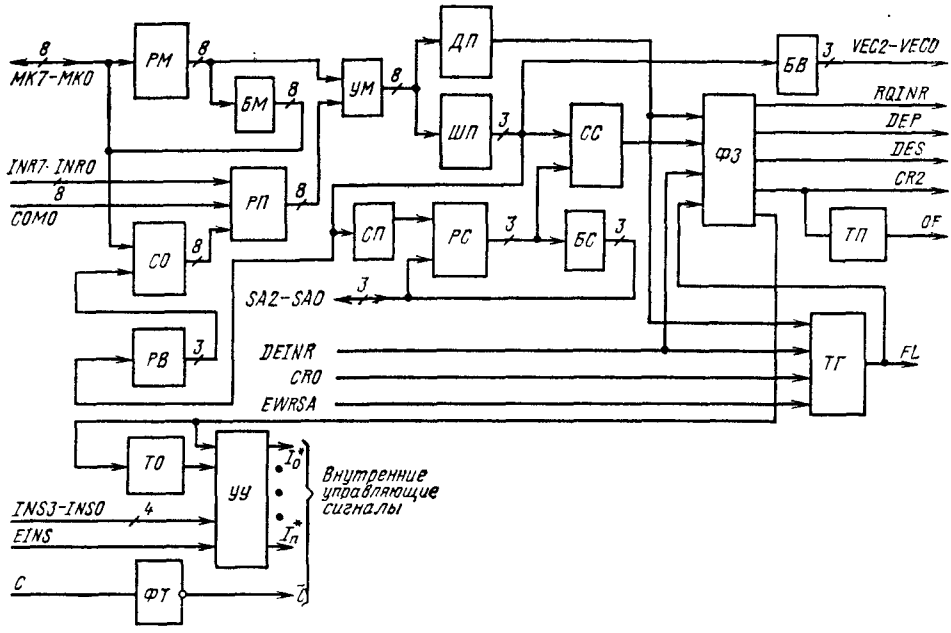
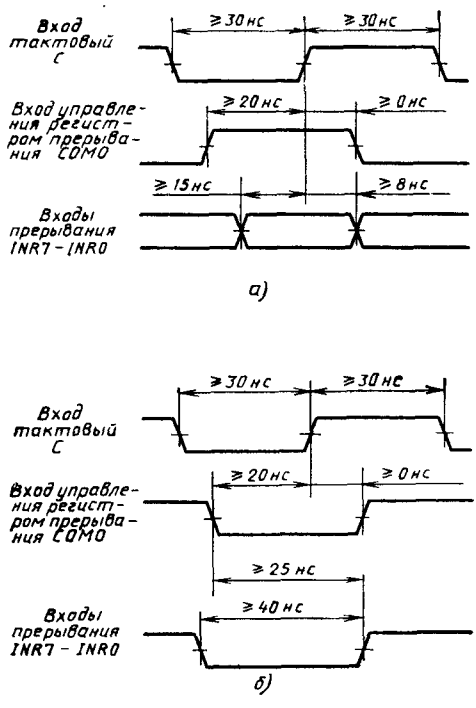


Рис. 13.22. Структурная схема КМ1804ВН1



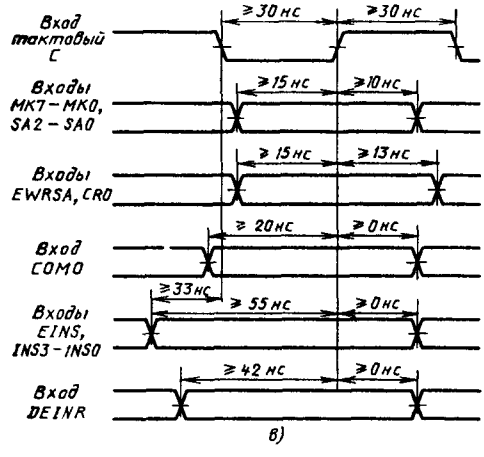


Рис. 13.23. Временна́я диаграмма входных сигналов КМ1804ВН1:

а — режим приема уровневого запроса; *б* — режим приема импульсного запроса; *в* — входные сигналы по другим входам для обоих режимов

«Чтение вектора». На остальных микрокомандах буферные схемы переводятся в состояние «выключено».

Регистр состояния (РС) определяет самый низкий приоритет, при котором запрос прерывания будет разрешен. Двунаправленные выводы *SA2—SA0* служат для загрузки и чтения регистра состояния.

Буферные схемы регистра состояния (БС) выполнены с тремя состояниями и предназначены для выдачи содержимого РС на выходы *SA2—SA0*. При выполнении микрокоманды «Загрузка регистра состояния» буферные схемы переводятся в состояние «выключено» и происходит загрузка регистра состояния со входов *SA2—SA0*.

Во время выполнения микрокоманды «Чтение вектора» схема приращения (СП) наращивает на 1 текущее значение вектора прерывания и результат загружается в регистр состояния.

Схема сравнения (СС) сигнализирует о том, что вектор прерывания больше или равен содержимому регистра состояния.

Формирователь запроса (ФЗ) содержит триггер разрешения запроса прерывания и логику, необходимую для формирования выходных сигналов *RQINR, DEP, DES, CR2*. Сигнал на выходе *RQINR* (открытый коллектор) показывает, что запрос на прерывание принят и прошел приоритетную обработку. Сигналы на выходах *DEP, DES, CR2* используются при построении многоуровневых систем прерывания.

Триггер переполнения (ТП) устанавливается в состояние 1 после считывания вектора прерывания самого высокого приоритета. Сигнал переполнения с выхода *OF* используется для запрещения прерывания и указывает на переполнение регистра состояния.

Триггер разрешения младшей группы (ТГ) используется при объединении микросхем в систему обработки прерываний. В такой системе будет очищен только один триггер. Он будет указывать микросхему, имеющую самый низкий разрешенный уровень запроса приоритетного прерывания. Выходом ТГ является вывод *FL* микросхемы.

Загрузка ТГ осуществляется со входа *EWRSA* (при выполнении микрокоманды «Загрузка регистра состояния») или со входа *CR0* (при выполнении микрокоманды «Общая очистка»). Триггер устанавливается в определенное состояние при выполнении микрокоманды «Чтение вектора».

Управление микросхемой осуществляется 4-битовым полем микрокоманды (*INS3—INS0*), поступающим на вход устройства управления (УУ). Микрокоманда выполняется, если на вход разрешения микрокоманды *EINS* подано напряжение низкого уровня и не выполняется при *EINS*=1. Выполняемые микросхемой микрокоманды приведены в табл. 13.55.

Кодом микрокоманды «Общая очистка» является 0000. Если в процессе формирования последовательности микрокоманд регистр микрокоманды устройства управления центрального процессора будет обнулен, то на следующем цикле микросхема выполнит микрокоманду «Общая очистка». При этом произойдет обнуление регистра состояния. В триггер разрешения младшей группы будет загружена информация со входа *CR0*. Выход *CR2* при выполнении микрокоманды будет иметь высокий уровень. Триггер разрешения запроса прерывания перейдет в состояние, разрешающее выход запроса прерывания (*RQINR*). После выполнения микрокоманды «Общая очистка» система прерывания отреагирует на запрос любого приоритета

Таблица 13.55

Код микрокоманды				Микрокоманда
INS3	*INS2*	*INS1*	*INS0*	
0	0	0	0	Общая очистка
0	0	0	1	Очистка регистра прерывания
0	0	1	0	Очистка регистра прерывания сигналами с шины маски
0	0	1	1	Очистка регистра прерывания под управлением регистра маски
0	1	0	0	Очистка регистра прерывания под управлением регистра вектора
0	1	0	1	Чтение вектора
0	1	1	0	Чтение регистра состояния
0	1	1	1	Чтение регистра маски
1	0	0	0	Установка регистра маски
1	0	0	1	Загрузка регистра состояния
1	0	1	0	Поразрядная очистка регистра маски
1	0	1	1	Поразрядная установка регистра маски
1	1	0	0	Очистка регистра маски
1	1	0	1	Запрет запроса прерывания
1	1	1	0	Загрузка регистра маски
1	1	1	1	Разрешение запроса прерывания

Выполнение микрокоманды «Очистка регистра прерывания» приводит к обнулению регистра прерывания и вентилей-«защелок».

При выполнении микрокоманды «Очистка регистра прерывания сигналами с шины маски» происходит обнуление тех разрядов регистра прерывания и вентилей-«защелок», которым соответствует напряжение высокого уровня на выводах маски *MK7—MK0*.

Таблица 13.56

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=12$ мА	Все выходы
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-1$ мА	Все выходы
Входной ток низкого уровня, мА	I_{IL}	—2,0	$U_{IL}=0,4$ В	*DEINR*
		—1,08		*EINS*
		—0,4		*COMO*
		—0,15		*MK7—MK0*
		—0,1		*SA2—SA0*
		—0,8		Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	150	$U_{IH}=2,7$ В	*MK7—MK0*
		100		*SA2—SA0*
		60		*DEINR, EINS*
		40		*CR0, EWRSA*
		20		Остальные входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5,5$ В	Все входы
Ток потребления, мА	I_{CC}	305	$U_{CC}=5,25$ В	—
Время задержки распространения сигнала, нс	t_P	52	$C_L=50$ пФ	От *DEINR* до *RQINR*
		56		От *EINS* до *CR2*
		97		От *C* до *RQINR*

Выполнение микрокоманды «Очистка регистра прерывания под управлением регистра маски» приводит к обнулению тех разрядов регистра прерывания и вентилей-«защелок», которым соответствуют разряды регистра маски, содержащие 1. Выводы маски *MK7—MK0* в это время являются выходами регистра маски.

При выполнении микрокоманды «Очистка регистра прерывания под управлением регистра вектора» происходит обнуление тех разрядов регистра прерывания и вентиля-«защелки», которым соответствует вектор прерывания, находящийся в регистре вектора.

Микрокоманда «Чтение вектора» позволяет читать значение вектора прерывания, указывающего запрос высшего приоритета на выходах *VEC2—VEC0*. При выполнении этой микрокоманды в регистр состояния автоматически загружается значение «вектор плюс 1», в регистр вектора загружается значение вектора, триггер разрешения очистки регистра прерывания устанавливается в 1. Если после этого выполнить микрокоманду «Очистка регистра прерывания под управлением регистра вектора», то разряды регистра прерывания и вентиль-«защелка», соответствующие вектору, будут обнулены.

Таблица 13.57

Вход	Значение t_P до выходов, нс					
	MK	*SA*	*VEC*	*RQINR*	*DES*	*CR2*
EINS	52	60	65	—	—	56
INS	52	60	65	—	—	56
DEINR	—	—	45	52	20	30

Микрокоманда «Чтение регистра состояния» позволяет читать содержимое регистра состояния на выходах *SA2—SA0*.

Микрокоманда «Чтение регистра маски» позволяет читать содержимое регистра маски на выводах *MK7—MK0*.

При выполнении микрокоманды «Установка регистра маски» происходит установка в 1 всех разрядов регистра маски. В результате все прерывания будут запрещены.

Микрокоманда «Загрузка регистра состояния» позволяет в регистр состояния загружать информацию с выводов *SA2—SA0*, а в триггер разрешения младшей группы — информацию со входа *EWRSA*.

Выполнение микрокоманды «Поразрядная очистка регистра маски» приводит к обнулению тех разрядов регистра маски, которым соответствует напряжение высокого уровня на выводах маски *MK7—MK0*. Те разряды, которым соответствует напряжение низкого уровня на выводах *MK7—MK0*, остаются без изменений.

При выполнении микрокоманды «Поразрядная установка регистра маски» происходит установка в 1 тех разрядов регистра маски, которым соответствует напряжение высокого уровня на выводах маски *MK7—MK0*. Те разряды, которым соответствует напряжение низкого уровня на выводах *MK7—MK0*, остаются без изменений.

Выполнение микрокоманды «Очистка регистра маски» приводит к обнулению всех раз-

Таблица 13.58

Источник сигнала	Значения t_P от положительного перепада сигнала на входе C до выходов, нс						
	VEC	RQINR	DEP	DES	CR2	OF	FL
Регистр прерывания	76	97	67	67	80	—	—
Регистр маски	76	97	67	67	80	—	—
Регистр состояния	67	88	63	63	70	—	—
Триггер разрешения младшей группы	—	—	48	52	—	—	38
Триггер разрешения запроса прерывания	—	62	—	—	—	—	—
Триггер переполнения	—	—	—	—	—	35	—

рядов регистра маски. В результате все прерывания будут размаскированы.

При выполнении микрокоманды «Запрет запроса прерывания» происходит обнуление триггера разрешения запроса прерывания, в результате чего выход запроса прерывания будет запрещен.

Микрокоманда «Загрузка регистра маски» позволяет загружать в регистр маски информацию с выводов *МК7—МК0*.

Выполнение микрокоманды «Разрешение запроса прерывания» вызывает установку в 1 триггера разрешения запроса прерывания, в результате чего выход запроса прерывания будет разрешен.

В табл. 13.56 приведены основные электрические параметры микросхемы КМ1804ВН1. Типовые значения динамических параметров даны в табл. 13.57 (комбинационные задержки распространения сигнала) и 13.58 (задержки распространения сигнала от такта *C* до выходов) при $C_L = 50$ пФ.

13.9. Микросхема КМ1804ВР3

Микросхема КМ1804ВР3 представляет собой управляемый шифратор восьми входов на три выхода и предназначена для совместной работы с микросхемами КМ1804ВН1 в составе многовходовых устройств обработки прерываний. Одна микросхема КМ1804ВР3 обеспечивает прием и кодирование сигналов для восьми микросхем КМ1804ВН1 (устройство обработки прерываний до 64 входов). Для более сложного устройства требуется применение нескольких микросхем КМ1804ВР3.

Таблица 13.59

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	D4	Вход	Прерывание, 4-й разряд
2	D5	Вход	Прерывание, 5-й разряд
3	D6	Вход	Прерывание, 6-й разряд
4	D7	Вход	Прерывание, 7-й разряд
5	EEX1	Вход	Разрешение прерывания
6	Z2	Выход	Вектор, 2-й разряд
7	Z1	Выход	Вектор, 1-й разряд
8	Z0	Выход	Вектор, 0-й разряд
9	EZ4	Вход	Разрешение вектора, 4-й разряд
10	GND	—	Общий
11	EZ3	Вход	Разрешение вектора, 3-й разряд
12	EZ1	Вход	Разрешение вектора, 1-й разряд
13	EZ2	Вход	Разрешение вектора, 2-й разряд
14	EZ5	Вход	Разрешение вектора, 5-й разряд
15	D1	Вход	Прерывание, 1-й разряд
16	D2	Вход	Прерывание, 2-й разряд
17	D3	Вход	Прерывание, 3-й разряд
18	D0	Вход	Прерывание, 0-й разряд
19	EEX2	Выход	Разрешение прерывания с низшим приоритетом
20	U_{CC}	–	Напряжение питания

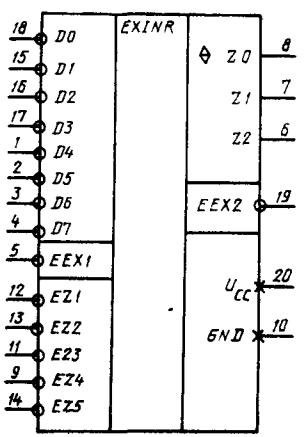


Рис. 13.24. Условное графическое обозначение КМ1804ВР3

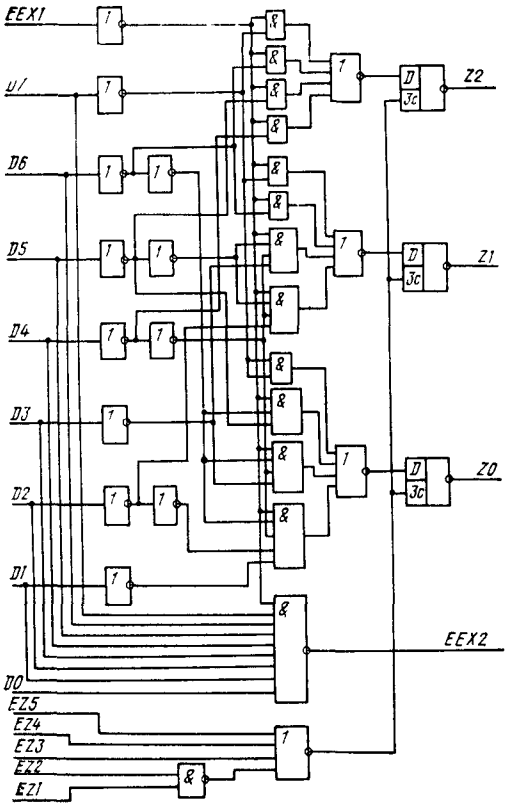


Рис. 13.25. Структурная схема КМ1804ВР3

Условное графическое обозначение микросхемы приведено на рис. 13.24, назначение выводов — в табл. 13.59, структурная схема показана на рис. 13.25.

Таблица 13.60

Сигналы на входах									Сигналы на выходах			
EEX1	*D0*	*D1*	*D2*	*D3*	*D4*	*D5*	*D6*	*D7*	*Z0*	*Z1*	*Z2*	*EEX2*
1	X	X	X	X	X	X	X	X	0	0	0	1
0	1	1	1	1	1	1	1	1	0	0	0	0
0	X	X	X	X	X	X	X	0	1	1	1	1
0	X	X	X	X	X	X	0	1	0	1	1	1
0	X	X	X	X	X	0	1	1	1	0	1	1
0	X	X	X	X	0	1	1	1	0	0	1	1
0	X	X	X	0	1	1	1	1	1	1	0	1
0	X	X	0	1	1	1	1	1	0	1	0	1
0	X	0	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	0	0	0	1

Примечание. *X* — состояние входа безразлично.

Таблица 13.61

Входы					Выходы		
EZ1	*EZ2*	*EZ3*	*EZ4*	*EZ5*	*Z0*	*Z1*	*Z2*
1	1	0	0	0	Разрешено		
0	X	X	X	X	Z	Z	Z
X	0	X	X	X	Z	Z	Z
X	X	1	X	X	Z	Z	Z
X	X	X	1	X	Z	Z	Z
X	X	X	X	1	Z	Z	Z

Примечание. *X* — состояние входа безразлично; *Z* состояние «выключено».

Микросхема КМ1804ВР3 обеспечивает кодирование восьми входных сигналов *D7—D0* и выдачу соответствующего двоичного кода на три выхода *Z2—Z0*.

Таблица 13.62

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5 0,45	$I_{OL}=12$ мА $I_{OL}=8$ мА	*Z2, Z1, Z0* *EEX2*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-1$ мА $I_{OH}=-0{,}44$ мА	*Z2, Z1, Z0* *EEX2*
Входной ток низкого уровня, мА	I_{IL}	—0,8 —0,4	$U_{IL}=0{,}4$ В	*D7—D0* Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	40 20	$U_{IH}=2{,}7$ В	*D7—D0* Остальные входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5{,}5$ В	Все входы
Ток потребления, мА	I_{CC}	24	$U_{CC}=5{,}25$ В	—
Время задержки распространения сигнала, нс	t_P	31 48	$C_L=50$ пФ	От *D* до *Z* От *D* до *EEX2*

Таблица 13.63

Измеряемая цепь	Значения t_p, нс					
	$^*t_{PLH}$	$^*t_{PHL}$	$^*t_{PZH}$	$^*t_{PZL}$	$^{**}t_{PHZ}$	$^{**}t_{PLZ}$
От *EEX1* до *EEX2*	19	46	—	—	—	—
От *EEX1* до *Z2—Z0*	22	27	—	—	—	—
От *EZ1, EZ2* до *Z2—Z0*	—	—	42	43	34	34
От *EZ3—EZ5* до *Z2—Z0*	—	—	36	35	30	31

* C_L=50 пФ
** C_L=5 пФ.

Работа дешифратора управляется входом *EEX1*. При высоком уровне на входе *EEX1* работа запрещена и на выходы *Z0—Z2* подается напряжение низкого уровня. Для разрешения работы шифратора на вход *EEX1* должно быть подано напряжение низкого уровня. При этом на выходы *Z0—Z2* выдается трехразрядный двоичный код, соответствующий тому разряду входных сигналов *D7—D0*, на который поступает напряжение низкого уровня. Выход *EEX2* схемы предназначен для выдачи сигнала низкого уровня при наличии сигнала разрешения шифратора (*EEX1*=0) и отсутствии сигнала низкого уровня на входах *D7—D0*. Это позволяет использовать данный выход для разрешения работы схемы с низшим приоритетом при построении многоразрядных устройств обработки прерывания. Работа шифратора поясняется табл. 13 60.

Выходы шифратора подключены к выходам *Z0—Z2* схемы через буферные схемы с тремя состояннями Управление буферами осуществляется с помощью пяти входов разрешения *Z*-выходов (*EZ1—EZ5*). Буферные схемы переводятся в состояние «выключено» при подаче сигнала низкого уровня на любой из входов *EZ1, EZ2* или при подаче сигнала высокого уровня на любой из входов *EZ3, EZ4* или *EZ5*. Если на входы *EZ1, EZ2* подан сигнал высокого уровня, а на входы *EZ3, EZ4, EZ5* — низкого, то буферы выдают сигналы шифратора на выходы *Z0—Z2* Работа буферов поясняется табл. 13 61

Микросхема является чисто комбинационной, поэтому на подачу входных сигналов никаких временных ограничений не налагается.

В табл 13.62 приведены основные электрические параметры микросхемы КМ1804ВР3. Типовые значения динамических параметров даны в табл 13.63

13.10. Микросхема КМ1804ВА1

Микросхема КМ1804ВА1 — 4-разрядный канальный приемопередатчик, предназначен для подключения внутренних устройств микро-ЭВМ к общей шине (каналу). Она обеспечивает двунаправленную передачу данных и неограниченное наращивание разрядности. Микросхема имеет двухпортовый вход передатчика, выходы на канал с нагрузочной способностью 100 мА, выполненные по схеме с открытым коллектором, пороговые напряжения приемника по входу $U_{T\,L}$=1,5 В, $U_{T\,H}$=2,4 В, выходы приемника с тремя состояниями.

Условное графическое обозначение микросхемы приведено на рис. 13.26, назначение выводов — в табл. 13.64, структурная схема показана на рис. 13.27, временная диаграмма входных сигналов — на рис. 13 28.

Микросхема КМ1804ВА1 предназначена для применения в составе микропроцессорных систем в качестве буферного регистрового устройства, осуществляющего функцию двунаправленного интерфейса.

Микросхема содержит четыре *D*-триггера, срабатывающих по положительному фронту тактового сигнала (регистр *D*), к каждому из которых подключен двухвходовый мультиплексор. Выходы *D*-триггеров через буферные каскады с открытым коллектором подключены к двунаправленным выводам *B3—B0*. Перечисленные блоки образуют 4-разрядный двухвходовый передатчик с тактируемым регистром и выходами с открытым коллектором на общую шину. Двунаправленные выводы *B3—B0* подключены также к входу приемника, содержащему четыре входных буферных каска-

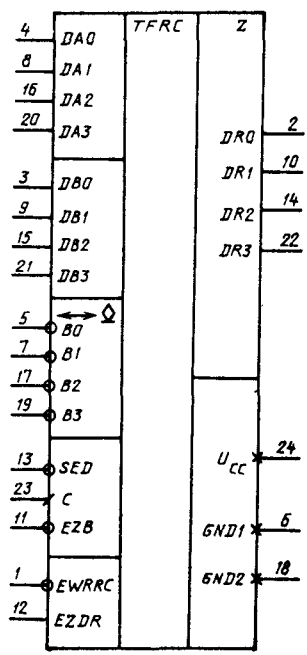


Рис. 13.26. Условное графическое обозначение КМ1804ВА1

Таблица 13.64

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*EWRRC*	Вход	Разрешение записи в регистр приемника
2	*DR0*	Выход	Данные *R*, 0-й разряд
3	*DB0*	Вход	Данные *B*, 0-й разряд
4	*DA0*	Вход	Данные *A*, 0-й разряд
5	*B0*	Вход/выход	Двунаправленный вывод шины, 0-й разряд
6	*GND1*	—	Общий
7	*B1*	Вход/выход	Двунаправленный вывод шины, 1-й разряд
8	*DA1*	Вход	Данные *A*, 1-й разряд
9	*DB1*	Вход	Данные *B*, 1-й разряд
10	*DR1*	Выход	Данные *R*, 1-й разряд
11	*EZB*	Вход	Разрешение выхода шины
12	*EZDR*	Вход	Разрешение выходов данных *R*
13	*SED*	Вход	Выбор входных данных
14	*DR2*	Выход	Данные *R*, 2-й разряд
15	*DB2*	Вход	Данные *B*, 2-й разряд
16	*DA2*	Вход	Данные *A*, 2-й разряд
17	*B2*	Вход/выход	Двунаправленный вывод шины, 2-й разряд
18	*GND2*	—	Общий
19	*B3*	Вход/выход	Двунаправленный вывод шины, 3-й разряд
20	*DA3*	Вход	Данные *A*, 3-й разряд
21	*DB3*	Вход	Данные *B*, 3-й разряд
22	*DR3*	Выход	Данные *R*, 3-й разряд
23	*C*	Вход	Тактовый сигнал
24	U_{cc}	—	Напряжение питания

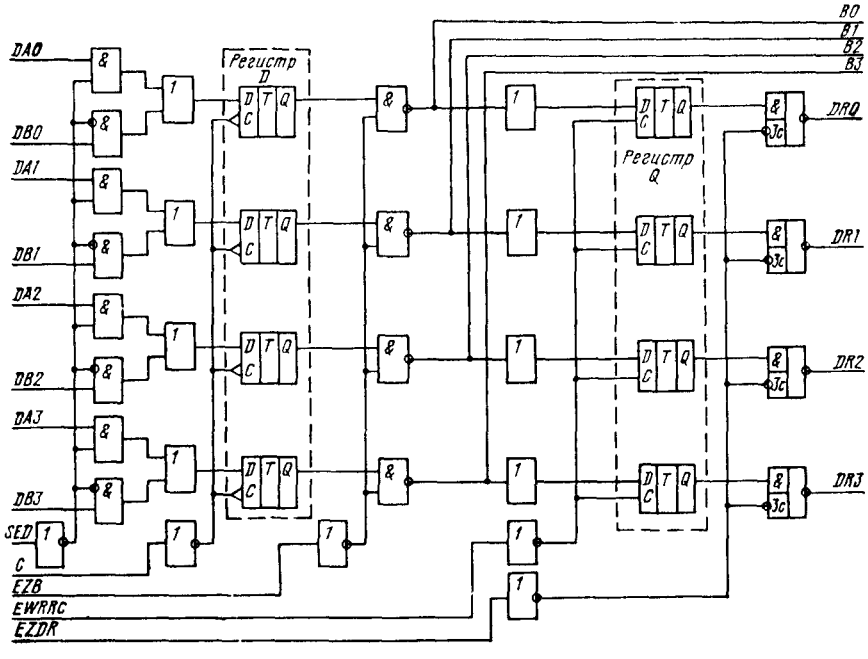


Рис. 13.27. Структурная схема КМ1804ВА1

Таблица 13.65

Сигналы на входах							Состояние регистров		Сигналы на выходах		Выполняемая функция
SED	DA_i	DB_i	*C*	*EZB*	*EWRRC*	*EZDR*	D_i	Q_i	B_i	DR_i	
X	*X*	*X*	*X*	1	*X*	*X*	*X*	*X*	1	*X*	Отключение выходов передатчика
X	*X*	*X*	*X*	*X*	*X*	1	*X*	*X*	*X*	*Z*	Отключение выходов приемника
X	*X*	*X*	*X*	1	0	0	*X*	0	0	1	Отключение выходов передатчика и пересылка данных со входов *B* на выходы *DR*
X	*X*	*X*	*X*	1	0	0	*X*	1	1	0	То же
X	*X*	*X*	*X*	*X*	1	*X*	*X*	*NC*	*X*	*X*	«Защелкивание» данных в регистре приемника
0	0	*X*	↑	*X*	*X*	*X*	0	*X*	*X*	*X*	Загрузка регистра передатчика
0	1	*X*	↑	*X*	*X*	*X*	1	*X*	*X*	*X*	То же
1	*X*	0	↑	*X*	*X*	*X*	0	*X*	*X*	*X*	»
1	*X*	1	↑	*X*	*X*	*X*	1	*X*	*X*	*X*	»
X	*X*	*X*	0	*X*	*X*	*X*	*NC*	*X*	*X*	*X*	Хранение данных в регистре передатчика
X	*X*	*X*	1	*X*	*X*	*X*	*NC*	*X*	*X*	*X*	То же
X	*X*	*X*	*X*	0	*X*	*X*	0	*X*	1	*X*	Выдача содержимого регистра передатчика на шины *B*
X	*X*	*X*	*X*	0	*X*	*X*	1	*X*	0	*X*	То же

Примечание. *NC* — без изменений; *X* — безразлично: 0 или 1; *Z* — состояние «отключено», ↑ — положительный перепад; i=0, 1, 2, 3.

Таблица 13.66

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Выводы микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,8 0,5 0,5	I_{OL}=100 мА I_{OL}=40 мА I_{OL}=12 мА	*B3—B0* *B3—B0* *DR3—DR0*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	I_{OH}=—1 мА	*DR3—DR0*
Выходной ток высокого (низкого) уровня в состоянии «выключено», мкА	I_{OZH}	200 100	U_{OH}=4,5 В, U_{CC}=5,25 В U_{OH}=4,5 В, U_{CC}=0	*B3—B0* *B3—B0*
	I_{OZL}	—50	U_{OL}=0,4 В, U_{CC}=5,25 В	*B3—B0*
Входной ток низкого уровня, мА	I_{IL}	—0,36	U_{IL}=0,4 В	Все входы, кроме *B3—B0*
Входной ток высокого уровня, мкА	I_{IH}	20	U_{IH}=2,7 В	То же
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	0,1	U_{IH}=5,5 В	»
Ток потребления, мА	I_{CC}	105	U_{CC}=5,25 В	—
Время задержки распространения сигнала, нс	t_P^*	36 23 42 42	C_L=50 пФ	От *C* до *B3—B0* От *EZB* до *B3—B0* От *B3—B0* до *DR3—DR0* От *EWRRC* до *DR3—DR0*

* Типовое значение времени задержки распространения сигнала от входа *EZDR* до выходов *DR3—DR0* равно 25 нс.

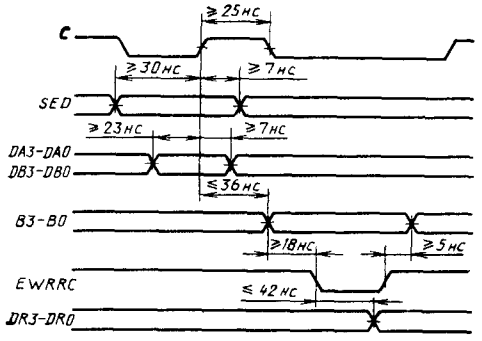


Рис. 13.28. Временна́я диаграмма входных сигналов КМ1804ВА1

да, подключенных ко входам *D*-триггеров типа «защелка» (регистр *Q*). Выходные сигналы триггеров через буферные схемы с тремя состояниями передаются на выходы приемника *DR3—DR0*.

Работа микросхемы осуществляется следующим образом. В зависимости от состояния входа *SED* сигналы с одного из входов передатчика (*DA3—DA0* или *DB3—DB0*) передаются на входы *D*-триггеров регистра передатчика. С приходом положительного фронта тактового сигнала *C* эти сигналы записываются в регистр *D* и через буферные каскады с открытым коллектором передаются на двунаправленные выводы *B3—B0* (при $EZB=0$). Если на вход *EZB* подан сигнал лог. 1, то буферные каскады не нагружают шину. Сигналы с двунаправленных выводов *B3—B0* при $EWRRC=0$ передаются на выходы приемника *DR3—DR0*, которые представляют собой выходы на три состояния, управляемые уровнем сигнала *EZDR*. При установлении на входе *EWRRC* лог. 1 эти сигналы запоминаются триггерами-«защелками» и хранятся в течение всего времени, пока $EWRRC=1$.

Таблица истинности микросхемы приведена в табл. 13.65. Необходимо отметить, что входные сигналы передатчика *DA3—DA0*, *DB3—DB0* инвертируются выходными буферами при передаче на шину *B3—B0*. Аналогично передаются сигналы на выходы *DR3—DR0*. В целом, если рассматривать цепь от входов передатчика до выходов приемника, данные передаются в неинвертированном виде.

Электрические схемы входов, выходов и входов/выходов приведены на рис. 13.29, основные электрические параметры микросхемы — в табл. 13.66.

13.11. Микросхема КМ1804ВА2

Микросхема КМ1804ВА2 — 4-разрядный наращиваемый канальный приемопередатчик, предназначен для подключения внутренних устройств микро-ЭВМ к общей шине (каналу). Она обеспечивает двунаправленную передачу данных, контроль четности и неограниченное наращивание разрядности. В отличие от КМ1804ВА1 микросхема имеет однопортовый вход передатчика, пороговые напряжения приемника по входу $U_{TL}=1{,}1$ В, $U_{TH}=1{,}9$ В и внутреннюю схему контроля четности.

Условное графическое обозначение микросхемы приведено на рис. 13.30, назначение выводов — в табл. 13.67, структурная схема показана на рис. 13.31, временна́я диаграмма входных сигналов — на рис. 13.32.

Как и КМ1804ВА1, микросхема КМ1804ВА2 предназначена для применения в составе микропроцессорных систем в качестве буферного регистрового устройства, осуществляющего функцию двунаправленного интерфейса. В отличие от КМ1804ВА1 микросхема КМ1804ВА2 содержит две 4-разрядные схемы генерации бита контроля четности, которые в зависимости от режима работы приемопередатчика (передача или прием), определяемого состоянием входа *EZB*, по отдельности подключаются к выходу *M2*. При этом в режиме «Передача» ($EZB=0$) на выход *M2* передается сумма по модулю 2 входных сигналов регистра передатчика, а в режиме «прием» ($EZB=1$) — сумма по модулю 2 выходных сигналов приемника.

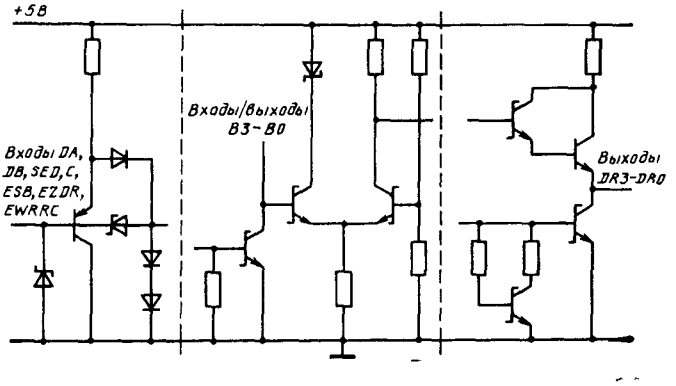


Рис. 13.29. Электрические схемы входов, выходов и входов/выходов микросхемы КМ1804ВА1

Таблица 13.67

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	EWRRC	Вход	Разрешение записи в регистр приемника
2	DR0	Выход	Данные *R*, 0-й разряд
3	DA0	Вход	Данные *A*, 0-й разряд
4	B0	Вход/выход	Двунаправленный вывод шины, 0-й разряд
5	GND1	—	Общий
6	B1	Вход/выход	Двунаправленный вывод шины, 1-й разряд
7	DA1	Вход	Данные *A*, 1-й разряд
8	DR1	Выход	Данные *R*, 1-й разряд
9	EZB	Вход	Разрешение выхода шины
10	M2	Выход	Признак четности
11	EZDR	Вход	Разрешение выходов данных *R*
12	DR2	Выход	Данные *R*, 2-й разряд
13	DA2	Вход	Данные *A*, 2-й разряд
14	B2	Вход/выход	Двунаправленный вывод шины, 2-й разряд
15	GND2	—	Общий
16	B3	Вход/выход	Двунаправленный вывод шины, 3-й разряд
17	DA3	Вход	Данные *A*, 3-й разряд
18	DR3	Выход	Данные *R*, 3-й разряд
19	C	Вход	Тактовый сигнал
20	U_{CC}	—	Напряжение питания

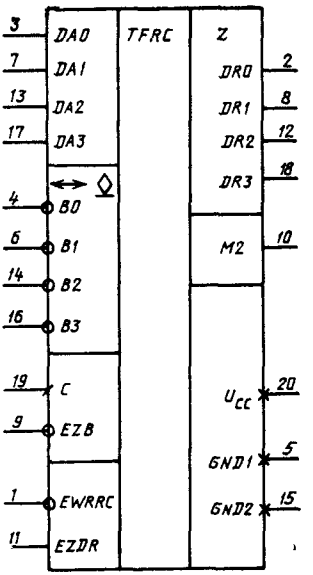


Рис. 13.30. Условное графическое обозначение КМ1804ВА2

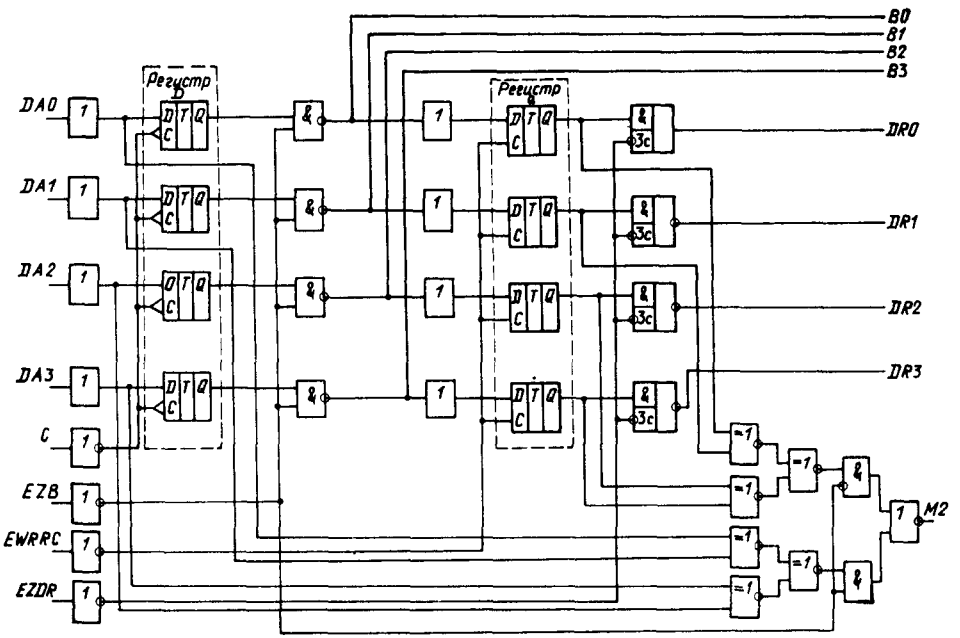


Рис. 13.31. Структурная схема КМ1804ВА2

Таблица 13.68

Сигналы на входах					Состояние регистров		Сигналы на выходах		Выполняемая функция
DA_i	C	EZB	$EWRRC$	$EZDR$	D_i	Q_i	B_i	DR_i	
X	X	1	X	X	X	X	1	X	Отключение выходов передатчика
X	X	X	X	1	X	X	X	Z	Отключение выходов приемника
X	X	1	0	0	X	0	0	1	Отключение выходов передатчика и пересылка данных со входов *B* на выходы *DR*
X	X	1	0	0	X	1	1	0	То же
X	X	X	1	X	X	NC	X	X	«Защелкивание» данных в регистре приемника
0	↑	X	X	X	0	X	X	X	Загрузка регистра передатчика
1	↑	X	X	X	1	X	X	X	То же
X	0	X	X	X	NC	X	X	X	Хранение данных в регистре передатчика
X	1	X	X	X	NC	X	X	X	То же
X	X	0	X	X	0	X	1	X	Выдача содержимого регистра передатчика на шины *B*
X	X	0	X	X	1	X	0	X	То же

Примечание. *NC* — без изменений; *X* — безразлично 0 или 1; *Z* — состояние «отключено». ↑ — положительный перепад; i=0, 1, 2, 3

Таблица 13.69

Параметры	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,8	I_{OL}=100 мА	*B3—B0*
		0,5	I_{OL}=40 мА	*B3—B0*
			I_{OL}=12 мА	*DR3—DR0, M2*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	I_{OH}=—1 мА	*DR3—DR0*
			I_{OH}=—0,66 мА	*M2*
Выходной ток высокого (низкого) уровня в состоянии «выключено», мкА	I_{OZH}	200	U_{OH}=4,5 В, U_{CC}=5,25 В	*B3—B0*
		100	U_{OH}=4,5 В, U_{CC}=0	*B3—B0*
	I_{OZL}	—50	U_{OL}=0,4 В, U_{CC}=5,25 В	*B3—B0*
Входной ток низкого уровня, мА	I_{IL}	—0,36	U_{IL}=0,4 В	Все входы, кроме *B3—B0*
Входной ток высокого уровня, мкА	I_{IH}	20	U_{IH}=2,7 В	То же
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	0,1	U_{IH}=5,5 В	»
Ток потребления, мА	I_{CC}	120	U_{CC}=5,25 В	—
Время задержки распространения сигнала, нс	t_P^*	36	C_L=50 пФ	От *C* до *B3—B0*
		23		От *EZB* до *B3—B0*
		42		От *B, EWRRC* до *DR*
		44		От *B, DA* до *M2*

* Типовое значение времени задержки распространения сигнала от входа *EZDR* до выходов *DR3—DR0* равно 25 нс.

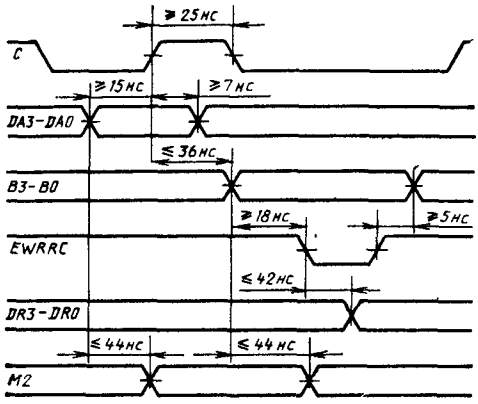


Рис. 13.32. Временная диаграмма входных сигналов КМ1804ВА2

Таблица истинности микросхемы КМ1804ВА2 приведена в табл. 13.68. Электрические схемы входов, выходов и входов/выходов аналогичны КМ1804ВА1 (см. рис. 13.29). В табл. 13.69 приведены параметры микросхемы.

13.12. Микросхема КМ1804ВА3

Микросхема КМ1804ВА3 — 4-разрядный канальный приемопередатчик с интерфейсной логикой. Она выполняет те же функции, что и КМ1804ВА2, однако в отличие от нее имеет двухпортовый вход передатчика, нагрузочную способность канальных выходов 48 мА при низком уровне и 15 мА при высоком, ТТЛШ-выходы приемника, пороговые напряжения приемника по входу $U_{TL}=0{,}7$ В, $U_{TH}=2$ В.

Условное графическое обозначение микросхемы приведено на рис. 13.33, назначение выводов — в табл. 13.70, структурная схема показана на рис. 13.34, временная диаграмма входных сигналов — на рис. 13.35.

Микросхема КМ1804ВА3 работает аналогично КМ1804ВА1 и КМ1804ВА2 в соответствии с табл. 13.71. Электрические схемы входов, выходов и входов/выходов приведены на рис. 13.36, основные электрические параметры микросхемы — в табл. 13.72.

13.13. Микросхема КМ1804ИР3

Микросхема КМ1804ИР3 — 8-разрядный параллельный двунаправленный регистр, предназначен для использования в качестве параллельного, наращиваемого по разрядности дву-

Таблица 13.70

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	EWRRC	Вход	Разрешение записи в регистр приемника
2	DR0	Выход	Данные *R*, 0-й разряд
3	DB0	Вход	Данные *B*, 0-й разряд
4	DA0	Вход	Данные *A*, 0-й разряд
5	B0	Вход/выход	Двунаправленный вывод шины, 0-й разряд
6	GND1	—	Общий
7	B1	Вход/выход	Двунаправленный вывод шины, 1-й разряд
8	DA1	Вход	Данные *A*, 1-й разряд
9	DB1	Вход	Данные *B*, 1-й разряд
10	DR1	Выход	Данные *R*, 1-й разряд
11	EZB	Вход	Разрешение выхода шины
12	M2	Выход	Признак четности
13	SED	Вход	Выбор входных данных
14	DR2	Выход	Данные *R*, 2-й разряд
15	DB2	Вход	Данные *B*, 2-й разряд
16	DA2	Вход	Данные *A*, 2-й разряд
17	B2	Вход/выход	Двунаправленный вывод шины, 2-й разряд
18	GND2	—	Общий
19	B3	Вход/выход	Двунаправленный вывод шины, 3-й разряд
20	DA3	Вход	Данные *A*, 3-й разряд
21	DB3	Вход	Данные *B*, 3-й разряд
22	DR3	Выход	Данные *R*, 3-й разряд
23	C	Вход	Тактовый сигнал
24	U_{CC}	—	Напряжение питания

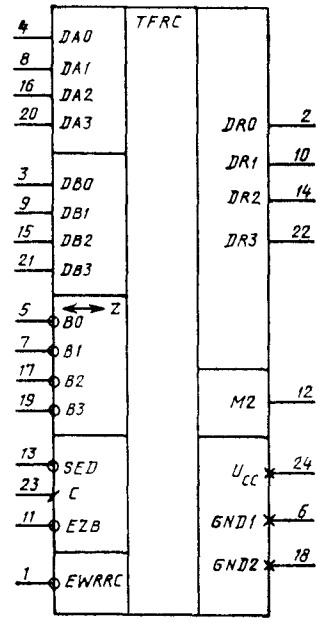


Рис. 13.33. Условное графическое обозначение КМ1804ВА3

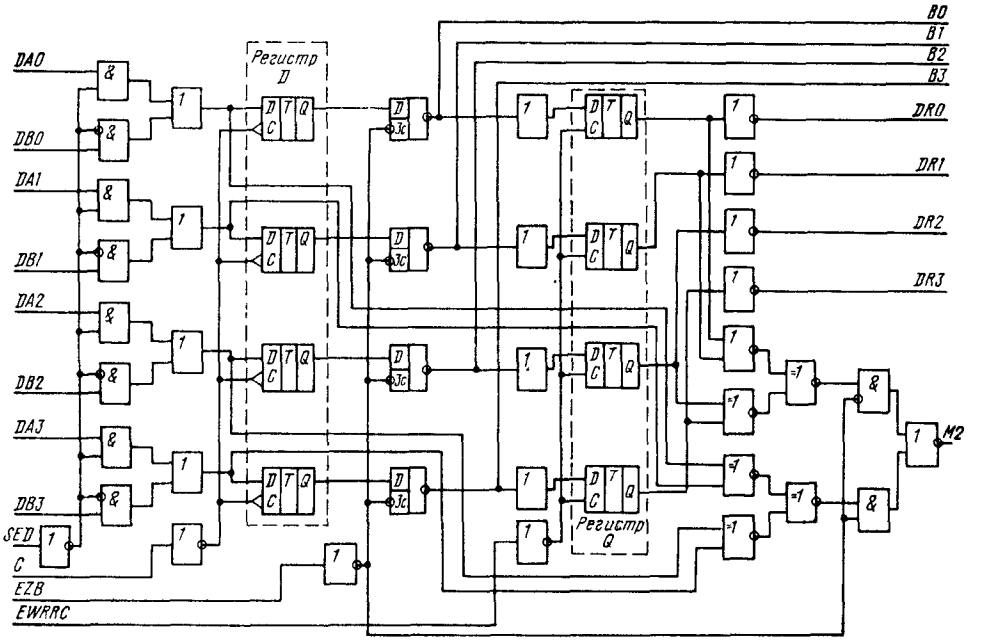


Рис. 13.34. Структурная схема КМ1804ВА3

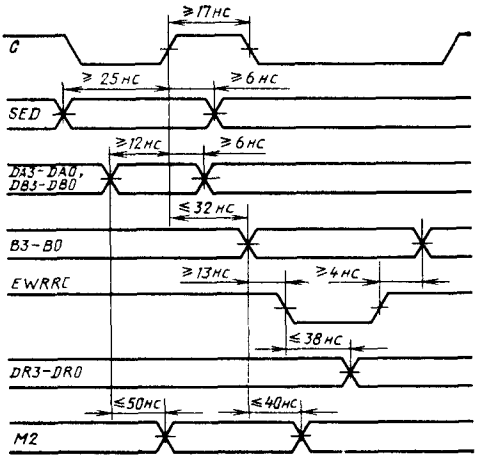


Рис. 13.35. Временная диаграмма входных сигналов КМ1804ВА3

Рис. 13.36. Электрические схемы входов, выходов и входов/выходов микросхемы КМ1804ВА3

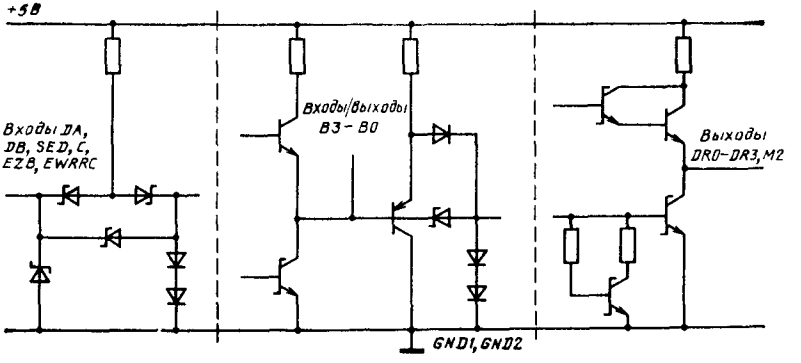


Таблица 13.71

Сигналы на входах						Состояние регистров		Сигналы на выводах		Выполняемая функция
SED	DA_i	DB_i	*C*	*EZB*	*EWRRC*	D_i	Q_i	B_i	DR_i	
X	*X*	*X*	*X*	1	*X*	*X*	*X*	*Z*	*X*	Отключение выходов передатчика
X	*X*	*X*	*X*	1	0	*X*	0	0	1	Отключение выходов передатчика и пересылка данных со входов *B* на выходы *DR*
X	*X*	*X*	*X*	1	0	*X*	1	1	0	То же
X	*X*	*X*	*X*	*X*	1	*X*	*NC*	*X*	$\overline{Q}_i$	«Защелкивание» данных в регистре приемника
0	0	*X*	↑	*X*	*X*	0	*X*	*X*	*X*	Загрузка регистра передатчика
0	1	*X*	↑	*X*	*X*	1	*X*	*X*	*X*	То же
1	*X*	0	↑	*X*	*X*	0	*X*	*X*	*X*	»
1	*X*	1	↑	*X*	*X*	1	*X*	*X*	*X*	»
X	*X*	*X*	0	*X*	*X*	*NC*	*X*	*X*	*X*	Хранение данных в регистре передатчика
X	*X*	*X*	1	*X*	*X*	*NC*	*X*	*X*	*X*	То же
X	*X*	*X*	*X*	0	*X*	0	*X*	1	*X*	Выдача содержимого регистра передатчика на шины *B*
X	*X*	*X*	*X*	0	*X*	1	*X*	0	*X*	То же

Примечание. *NC* — без изменений; *X* — безразлично: 0 или 1; *Z* — состояние «отключено»; ↑ — положительный перепад; i=0, 1, 2, 3.

Таблица 13.72

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	I_{OL}=48 мА	*B3—B0*
			I_{OL}=12 мА	*DR3—DR0, M2*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	I_{OH}=—15 мА	*B3—B0*
			I_{OH}=—1 мА	*DR3—DR0*
			I_{OH}=—0,66 мА	*M2*
Входной ток низкого уровня, мА	I_{IL}	—0,2	U_{IL}=0,4 В	*B3—B0*
		—0,72		*EWRRC, EZB*
		—0,36		Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	50	U_{IH}=2,7 В	*B3—B0*
		20		Остальные входы
Максимальный входной ток высокого уровня, мкА	$I_{IH\,max}$	100	U_{IH}=4,5 В	*B3—B0*
			U_{IH}=5,5 В	Остальные входы
Ток потребления, мА	I_{CC}	110	U_{CC}=5,25 В	—
Время задержки распространения сигнала, нс	t_P*	32	C_L=50 пФ	От *C* до *B3—B0*
		38		От *B, EWRRC* до *DR*
		40		От *B, EWRRC* до *M2*
		50		От *DA, DB* до *M2*

* Типовое значение времени задержки распространения сигнала от входа *EZB* до выходов *B3—B0* равно 23 нс.

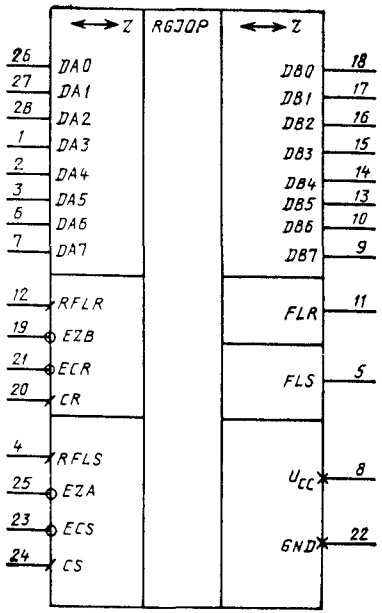


Рис. 13.37. Условное графическое обозначение КМ1804ИР3

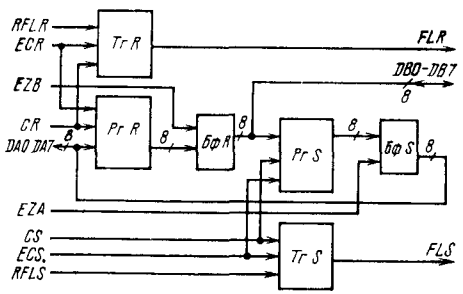


Рис. 13.38. Структурная схема КМ1804ИР3

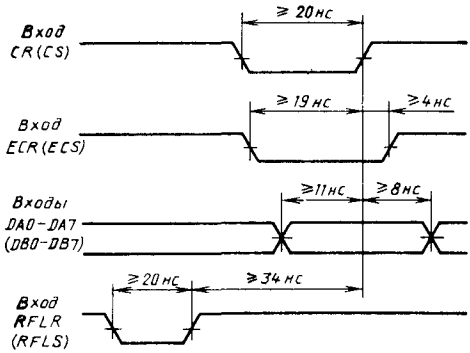


Рис. 13.39. Временна́я диаграмма входных сигналов КМ1804ИР3

Таблица 13.73

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*DA3*	Вход/выход	Двунаправленный вывод данных *A*, 3-й разряд
2	*DA4*	Вход/выход	Двуиаправленный вывод даиных *A*, 4-й разряд
3	*DA5*	Вход/выход	Двунаправленный вывод данных *A*, 5-й разряд
4	*RFLS*	Вход	Очистка триггера *S*
5	*FLS*	Выход	Флаг триггера *S*
6	*DA6*	Вход/выход	Двуиаправленный вывод даиных *A*, 6-й разряд
7	*DA7*	Вход/выход	Двунаправлениый вывод данных *A*, 7-й разряд
8	U_{CC}	—	Напряжение питания
9	*DB7*	Вход/выход	Двунаправлеиный вывод данных *B*, 7-й разряд
10	*DB6*	Вход/выход	Двуиаправлеииый вывод даиных, *B*, 6-й разряд
11	*FLR*	Выход	Флаг триггера *R*
12	*RFLR*	Вход	Очистка триггера *R*
13	*DB5*	Вход/выход	Двунаправленный вывод данных *B*, 5-й разряд
14	*DB4*	Вход/выход	Двунаправлениый вывод даиных *B*, 4-й разряд
15	*DB3*	Вход/выход	Двунаправленный вывод даиных *B*, 3-й разряд
16	*DB2*	Вход/выход	Двунаправленный вывод данных *B*, 2-й разряд
17	*DB1*	Вход/выход	Двунаправленный вывод даиных *B*, 1-й разряд
18	*DB0*	Вход/выход	Двунаправлеиный вывод даиных *B*, 0-й разряд
19	*EZB*	Вход	Разрешеиие выходов даиных *B*
20	*CR*	Вход	Тактовый сигнал регистра *R*
21	*ECR*	Вход	Разрешение тактового сигнала регистра *R*
22	*GND*	—	Общий
23	*ECS*	Вход	Разрешеиие тактового сигиала регистра *S*
24	*CS*	Вход	Тактовый сигнал регистра *S*
25	*EZA*	Вход	Разрешение выходов данных *A*

Окончание табл 13.73

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
26	*DA0*	Вход/выход	Двунаправленный вывод данных *A*, 0-й разряд
27	*DA1*	Вход/выход	Двунаправленный вывод данных *A*, 1-й разряд
28	*DA2*	Вход/выход	Двунаправленный вывод данных *A*, 2-й разряд

Таблица 13.74

Сигналы на входах			Состояние Рг. R_i	Выполняемая функция
DA_i	*ECR*	*CR*		
0	0	↑	0	Запись данных
1	0	↑	1	То же
X	1	*X*	*NC*	Хранение

Примечание. *X* — состояние входа безразлично; *NC* — без изменений; ↑ — положительный перепад.

Таблица 13.75

Сигналы на входах			Состояние Тг. *R*	Выполняемая функция
RFLR	*ECR*	*CR*		
↑	*X*	*X*	0	Очистка флага
X, ↓	0	↑	1	Установка флага
X, ↓	1	*X*	*NC*	Хранение

Примечание. *X* — состояние входа безразлично; *NC* — без изменений; ↑ — положительный перепад; ↓ — отрицательный перепад.

Таблица 13.76

Сигналы на входе *EZB*	Состояние Рг. R_i	Сигналы на выходах DB_i	Выполняемая функция
1	*X*	*Z*	Отключение буферных схем
0	0	0	Выдача информации на выходы
0	1	1	То же

Примечание. *X* — состояние входа безразлично; *Z* — состояние «выключено».

Таблица 13.77

Сигналы на входах			Состояние Рг. S_i	Выполняемая функция
DB_i	*ECS*	*CS*		
0	0	↑	0	Запись данных
1	0	↑	1	То же
X	1	*X*	*NC*	Хранение

Примечание. *X* — состояние входа безразлично; *NC* — без изменений; ↑ — положительный перепад.

Таблица 13.78

Сигналы на входах			Состояние Тг. *S*	Выполняемая функция
RFLS	*ECS*	*CS*		
↑	*X*	*X*	0	Очистка флага
X, ↓	0	↑	1	Установка флага
X, ↓	1	*X*	*NC*	Хранение

Примечание. *X* — состояние входа безразлично; *NC* — без изменений; ↑ — положительный перепад; ↓ — отрицательный перепад.

Таблица 13.79

Сигналы на входе *EZA*	Состояние Рг. S_i	Сигналы на выходах DA_i	Выполняемая функция
1	*X*	*Z*	Отключение буферных схем
0	0	0	Выдача информации на выходы
0	1	1	То же

Примечание. *X* — состояние входа безразлично; *Z* — состояние «выключено».

направленного порта ввода/вывода данных в составе цифровых вычислительных устройств. Она имеет два 8-разрядных параллельных регистра, включенных встречно-параллельно между входами данных, отдельное управление регистрами (тактирование, флаги, очистка флагов), выходы с тремя состояниями.

Условное графическое обозначение микросхемы приведено на рис. 13.37, назначение выводов — в табл. 13.73, структурная схема показана на рис. 13.38, временная диаграмма входных сигналов — на рис. 13.39.

Микросхема КМ1804ИР3 состоит из двух регистров, включенных через буферные схемы с тремя состояниями между двумя двунаправленными 8-разрядными шинами *DA0—DA7*, *DB0—DB7*. Один из регистров (Рг. *R*) служит для передачи информации с шин *DA0—DA7*

Таблица 13.80

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=16$ мА $I_{OL}=12$ мА	*DA0—DA7, DB0—DB7* *FLR, FLS*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-2$ мА $I_{OH}=-1$ мА	*DA0—DA7, DB0—DB7* *FLR, FLS*
Входной ток низкого уровня, мА	I_{IL}	—0,25 —2,0 —0,36	$U_{IL}=0,5$ В	*DA0—DA7, DB0—DB7* *RFLR, RFLS* Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	70 100 20	$U_{IH}=2,7$ В	*DA0—DA7, DB0—DB7* *RFLR, RFLS* Остальные входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5,5$ В	Все входы
Ток потребления, мА	I_{CC}	275	$U_{CC}=5,25$ В	—
Время задержки распространения сигнала, нс	t_P^*	26 20 22	$C_L=50$ пФ	От *CR* до *DB0—DB7*. От *CS* до *DA0—DA7* От *CR* до *FLR*. От *CS* до *FLS* От *RFLR* до *FLR* От *RFLS* до *FLS*

* Типовое значение времени задержки распространения сигнала от входа *EZA* (*EZB*) до выходов *DA0—DA7* (*DB0—DB7*) равно 27 нс.

на шины *DB0—DB7*, другой регистр (Рг. *S*) передает информацию в другом направлении (с шин *DB0—DB7* на шины *DA0—DA7*). Каждый из регистров имеет отдельные входы тактового сигнала (*CR, CS*), разрешения записи (*ECR, ECS*), а также отдельный флаговый триггер (Тг. *R*, Тг. *S*), который устанавливается в состояние 1 при записи данных в соответствующий регистр.

Для пересылки информации с шин *DA0—DA7* на шины *DB0—DB7* выходные буферные схемы (Бф. *S*) должны быть переведены в состояние «отключено» путем подачи на вход *EZA* напряжения высокого уровня.

На вход *ECR* должно быть подано напряжение низкого уровня, а флаговый триггер (Тг. *R*) необходимо предварительно очистить подачей на вход *RFLR* положительного перепада сигнала.

Информация со входов *DA0—DA7* запишется в регистр Рг. *R* по положительному фронту тактового сигнала *CR*. После подачи сигнала низкого уровня на вход *EZB* информация с выходов регистра Рг. *R* через буферные схемы Бф. *R* передается на выходы *DB0—DB7*. Одновременно с записью информации в регистр Рг. *R* триггер Тг. *R* устанавливается в состояние лог. 1 и на выходе *FLR* появляется сигнал высокого уровня. При подаче сигнала высокого уровня на вход *ECR* регистр Рг. *R* переводится в режим хранения данных.

Функционирование регистра Рг. *R* и триггера Тг. *R* поясняется табл. 13.74, 13.75. Функционирование выходных буферных схем Бф. *R* осуществляется в соответствии с табл. 13.76.

Для передачи информации с шин *DB0—DB7* на шины *DA0—DA7* выходные буферные схемы Бф. *R* переводятся в состояние «отключено» путем подачи сигнала высокого уровня на вход *EZB*. Функционирование Рг. *S*, Тг. *S*, Бф. *S* происходит аналогично Рг. *R*, Тг. *R*, Бф. *R* в соответствии с табл. 13.77—13.79.

Основные электрические параметры микросхемы приведены в табл. 13.80.

13.14. Микросхема КМ1804ГГ1

Микросхема КМ1804ГГ1 — системный тактовый генератор, предназначен для применения в составе блоков синхронизации центральных процессоров микро-ЭВМ и других вычислительных устройств в качестве задающего тактового генератора. Микросхема имеет стабилизированный с помощью внешнего кварцевого резонатора генератор опорной частоты от 1 до 30 МГц, микропрограммируемую длительность цикла тактовых импульсов от 3 до 10 периодов опорной частоты, состояния «работа», «останов», «ожидание», «шаговый режим»

Условное графическое обозначение микросхемы приведено на рис. 13.40, назначение выводов — в табл. 13.81, структурная схема показана на рис. 13.41.

Опорный генератор микросхемы КМ1804ГГ1 представляет собой инвертирующий усилитель,

Таблица 13.81

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*GND*	—	Общий
2	*RA*	Вход	Сигнал «Готов»
3-5	*CO1—CO3*	Входы	Управление длительностью микроцикла
6	*C1*	Выход	Тактовый сигнал, фаза 1
7	*C2*	Выход	Тактовый сигнал, фаза 2
8	*C3*	Выход	Тактовый сигнал, фаза 3
9	*C4*	Выход	Тактовый сигнал, фаза 4
10, 11	*COSC, COSO*	Входы	Управление шаговым режимом
12	*OVGN*	—	Общий генератора опорной частоты
13	*+5VGN*	—	Напряжение питания генератора опорной частоты
14	*F*	Выход	Опорная частота
15	*FC2*	—	Для подключения кварцевого резонатора
16	*FC1*	Вход	Для подключения кварцевого резонатора
17	*COS*	Вход	Управление состоянием выходов в режиме «Останов»
18	*HLT*	Вход	Сигнал «Останов»
19	*ST*	Вход	Сигнал «Пуск»
20	*WI*	Выход	Сигнал «Ожидание»
21	*RQWI*	Вход	Сигнал «Запрос ожидания»
22	*SR*	Вход	Первоначальная установка
23	*EWI*	Вход	Сигнал «Разрешение ожидания»
24	U_{CC}	—	Напряжение питания

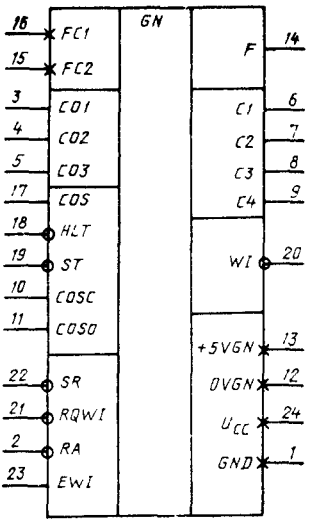


Рис. 13.40. Условное графическое обозначение КМ1804ГГ1

который с помощью минимального числа внешних элементов может быть использован как кварцевый генератор, *LC*-генератор или в качестве буфера для внешнего источника тактового сигнала. Типовые схемы включения для этих случаев приведены на рис. 13.42. Выходной сигнал этого генератора поступает на регистр тактового генератора и выходной буфер выхода *F*. Внешние элементы подключаются к выводам *FC1, FC2*. Опорный генератор работает с максимальной частотой 30 МГц.

Регистр управления длительностью микроцикла (3-разрядный) предназначен для приема

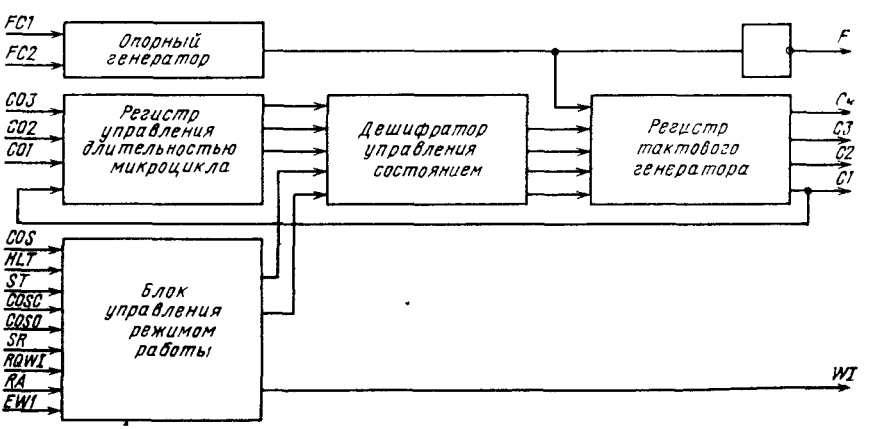


Рис. 13.41. Структурная схема КМ1804ГГ1

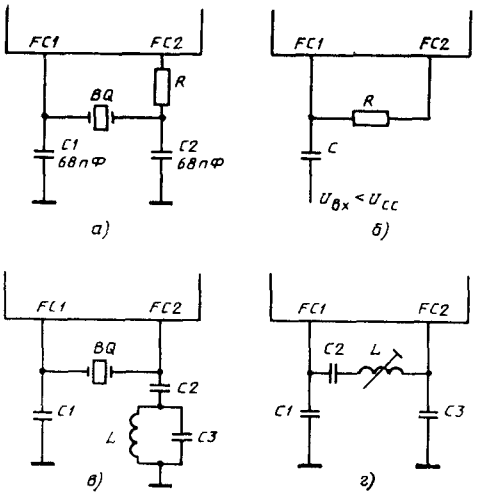


Рис. 13.42. Схемы включения КМ1804ГГ1 для различных режимов:

а — на основной частоте кварца ($R=0$ для $f=6\div20$ МГц; $R=X_{C_2}=1/2\pi f C_2$ для $f=1\div6$ МГц); *б* — с внешним генератором ($R=4{,}7$ кОм; $C=0{,}01$ мкФ); *в* — на 3-й гармонике кварца для $f\geqslant20$ МГц ($C1=68$ пФ; $C2>1000$ пФ; $C3=82$ пФ; $L=1150/f^2$ мкГн); *г* — с *LC*-генератором ($f=1/2\pi\sqrt{LC}$, $C1=C3=C$. $X_{C_2}\ll X_L$)

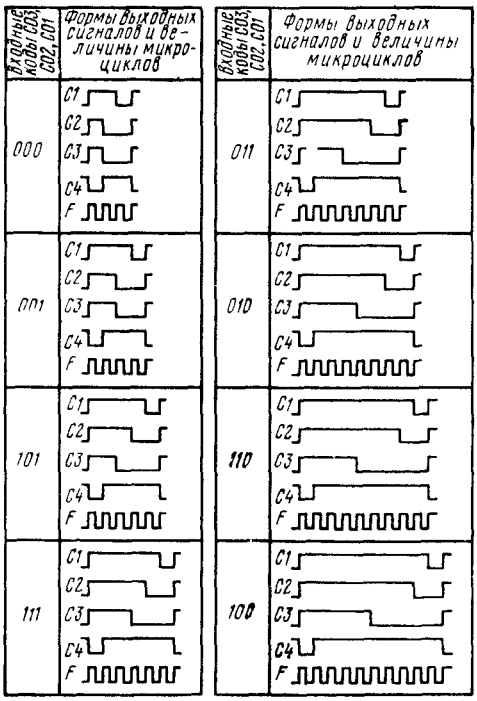


Рис. 13.43. Диаграммы состояния тактовых выходов КМ1804ГГ1

Таблица 13.82

Вход *COS*	Состояние выходов			
	C4	*C3*	*C2*	*C1*
1	0	1	1	1
0	1	0	0	0

и хранения кода управления длительностью микроцикла (*CO1—CO3*).

Запись в регистр осуществляется в конце микроцикла выходных фаз, когда на выходе *C1* присутствует сигнал низкого уровня. При переходе сигнала на выходе *C1* на высокий уровень регистр переходит в режим хранения.

Дешифратор управления состоянием предназначен для формирования управляющих сигналов для регистра тактового генератора. Регистр тактового генератора предназначен для формирования четырех фаз выходных тактовых сигналов *C1—C4*. Диаграммы, показывающие состояние тактовых выходов *C1—C4* в зависимости от состояния входных управляющих сигналов *CO1—CO3*, приведены на рис. 13.43.

Блок управления служит для формирования сигналов управления работой микросхемы. Режимы работы задаются девятью входными сигналами *SR, COS, HLT, ST, COSC, COSO, RQWI, EWI, RA*. Выход *WI* характеризует режим работы схемы.

Вход *SR* предназначен для первоначального запуска схемы после включения питания. При подаче на вход *SR* лог. 0 все тактовые выходы работают в соответствии с рис. 13.43 независимо от состояния входов *HLT, COSC, COSO, RQWI, RA*.

Вход COS предназначен для управления состояниями тактовых выходов в режиме «Останов». При переводе схемы в режим «Останов» тактовые выходы *C1—C4* остановятся в одном из двух состояний определяемых логическим сигналом на входе *COS* (табл. 13.82).

Входы *HLT* и *ST* служат для установки режимов работы (табл. 13.83).

Для перевода схемы в режим «Останов» необходимо на вход *ST* подать сигнал высокого уровня, а на вход *HLT* — низкого уровня. При этом, если сигнал *HLT* пришел не в последнем периоде опорной частоты в микроцикле выходных фаз, то тактовые выходы *C1—C4* заканчивают текущий микроцикл и останавливаются в состоянии, определяемом табл 13 82 Если сигнал *HLT* пришел в последнем периоде опорной частоты в микроцикле

Таблица 13.83

Вход *HLT*	Вход *ST*	Режим работы
0	1	Останов
1	0	Работа

выходных фаз, то схема отработает следующий микроцикл и перейдет в режим «останов». Для перевода схемы в рабочий режим необходимо на вход *HLT* подать сигнал высокого уровня, а на вход *ST* — низкого уровня.

Входы *COSC* и *COSO* предназначены для организации пошаговой работы в режиме «Останов». Нормальное положение входов *COSC* и *COSO* в режиме «Останов»: *COSC*=0, *COSO*=1. При подаче на вход *COSC* сигнала высокого уровня, а на вход *COSO* — низкого уровня схема отработает на выходах *C1—C4* один микроцикл и остановится. Для организации следующего микроцикла необходимо на входы *COSC* и *COSO* подать те же сигналы, предварительно вернув их в нормальное положение.

Входы *RQWI, EWI, RA* служат для управления схемой в режиме «Работа». В нормальном состоянии на входы *RQWI, EWI, RA* поданы сигналы высокого уровня. При поступлении запроса ожидания (*RQWI*=0), а затем (не менее чем через один период опорного сигнала *F*) сигнала разрешения ожидания (*EWI*=0) тактовые выходы *C1—C4* останавливаются в том состоянии, в каком их застал сигнал *EWI* При поступлении сигнала *RA*=0 схема закончит прерванный цикл и продолжит работу.

Выход *WI* предназначен для индикации режима «Работа» (*WI*=1) или «Ожидание» (*WI*=0).

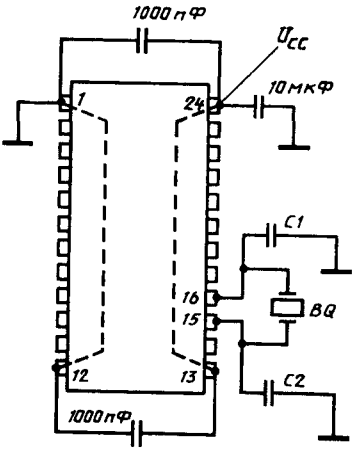


Рис. 13.44. Рекомендуемая схема включения КМ1804ГГ1

На рис. 13.44 приведена рекомендуемая схема подключения питания, земли и кварцевого резонатора. В табл. 13.84 приведены основные электрические параметры микросхемы. Типовые значения динамических параметров представлены в табл. 13.85.

Таблица 13.84

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	I_{OL}=16 мА	*F*
			I_{OL}=12 мА	*C1—C4, WI*
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	I_{OH}=—1,0 мА	Все выходы
Входной ток низкого уровня, мА	I_{IL}	—0,4	U_{IL}=0,5 В	*RA, SR, CO1—CO3*
		—0,8		*FC1, RQWI*
		—1,0		*COSC, COSO, HLT, ST*
		—1,2		*EWI*
		—1,5		*COS*
Входной ток высокого уровня, мкА	I_{IH}	20	U_{IH}=2,7 В	*RA, SR, CO1—CO3*
		50		*RQWI*
		70		*EWI*
		—500*		*COSC, COSO, HLT, ST*
		500		*FC1*
		—750*		*COS*
Максимальный входной ток высокого уровня, мкА	$I_{IH\,max}$	0,1	U_{IH}=5,5 В	*RA, SR, CO1—CO3*
		1,0	U_{IH}=5,5 В	*RQWI, EWI*
		0,1	$U_{IH}=U_{CC}$	*COSC, COSO, HLT, ST*
		1,0	$U_{IH}=U_{CC}$	*COS*
		1,0	U_{IH}=4 В	*FC1*
Ток потребления, мА	I_{CC}	120	U_{CC}=5,25 В	—
Время задержки распространения сигнала, нс	t_P	35	C_L=50 пФ	От *FC1* до *F*

* На входах *COSC, COSO, HLT, ST, COS* внутри схемы включен резистор между входом и шиной питания.

Таблица 13.85

Параметр	Значения параметров	
	мин.	макс
Время задержки распространения сигнала от входа *SR* до выхода *WI*, нс	—	23
Время установления сигнала, нс:		
на входах *CO1—CO3* относительно положительного фронта сигнала на выходе *C1*	5	—
на входах *EWI, RQWI, RA, SR, HLT, COSC, COSO* относительно положительного фронта сигнала на выходе *F*	20	—
на входе *COS* относительно положительного фронта сигнала на выходе *F*	25	—
Время сохранения сигнала, нс:		
на входах *EWI, RQWI, RA* относительно положительного фронта сигнала на выходе *F*	0	—
на входах *CO1—CO3* относительно положительного фронта сигнала на выходе *C1*	9	—
Длительность сигнала низкого уровня на входе *SR*, нс	15	—
Время задержки, нс:		
положительного фронта сигнала на выходах *C1—C4, WI* относительно положительного фронта сигнала на выходе *F*	0	5
отрицательного фронта сигнала на выходах *C1—C4, WI* относительно положительного фронта сигнала на выходе *F*	3	12
положительного фронта сигнала на выходе *C1* относительно положительного фронта сигнала на выходах *C2, C3*	0	2
положительного фронта сигнала на выходе *C1* относительно отрицательного фронта сигнала на выходе *C4*	4	10

13.15. Микросхема КМ1804ВУ5

Микросхема КМ1804ВУ5 — 4-разрядная секция управления адресом программной памяти, предназначена для применения в составе устройств управления адресом программной памяти центральных процессоров микро-ЭВМ и других быстродействующих вычислительных устройств. Микросхема может быть использована в качестве схемы управления адресом как основной памяти программ, так и памяти микропрограмм, выполняет 32 микрокоманды выбора адреса и содержит наращиваемый полный сумматор для вычисления адресов, 17-уровневый внутренний стек для вложения подпрограмм и отдельную схему приращения для счетчика команд.

Условное графическое обозначение микросхемы приведено на рис. 13.45, назначение выводов — в табл. 13.86, структурная схема показана на рис. 13.46, временная диаграмма входных сигналов — на рис. 13.47.

Микросхема КМ1804ВУ5 содержит следующие функциональные блоки (см. рис. 13.46): СА — счетчик адресов; РА — регистр адреса; СТ — стек; БС — блок сумматора; БА — буферные схемы адреса; КСА, КРА, КСТ, Км. А, Км. В — коммутаторы счетчика адресов, регистра адреса, стека, операндов *A* и *B* сумматора соответственно; УУ — устройство управления. Все регистры микросхемы срабатывают по положительному фронту тактового сигнала *C*.

Микросхема выполняет 32 микрокоманды (при $\overline{EINS}=0$). В табл. 13.87 приводятся результаты их выполнения. Микрокоманды можно разделить на пять групп: безусловные выборки, условные переходы к подпрограмме, условные возвраты из подпрограммы, смешанные микрокоманды.

Безусловные выборки (микрокоманды 1—9 в табл. 13.87).

Во время выполнения безусловных выборок счетчик адресов работает в режиме записи. Для микрокоманд с 1-й по 7-ю режим работы регистра адреса определяется сигналом со входа $\overline{EWRRG}$. Во время выполнения микрокоманд 8 и 9 в регистр адреса записывается информация соответственно либо из счетчика адресов, либо суммарная информация из регистра адреса и с входов адреса *D*.

Во время выполнения безусловных выборок стек работает в режиме хранения.

Условные переходы (микрокоманды 16—21 в табл. 13.87). Во время выполнения условных переходов происходит запись информации с выхода сумматора в счетчик адресов. К этой информации перед записью прибавляется 1, так как на входе *CRST0* младшей секции — обычно сигнал высокого уровня.

Режим работы регистра адреса определяется сигналом на входе $\overline{EWRRG}$, а стек работает в режиме хранения.

Условные переходы выполняются, если на входе *CC*-сигнал низкого уровня (условие выполнено). Если на входе *CC*-сигнал высокого уровня (условие не выполнено), то выполняет-

Таблица 13.86

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*INS0*	Вход	Микрокоманда, 0-й разряд
2	*FLMAX*	Выход	Флаг «Стек заполнен»
3	*FLMIN*	Выход	Флаг «Стек пуст»
4	*CRCT0*	Вход	Перенос в счетчик
5	*EZDY*	Вход	Разрешение выходов *DY*
6	*CRCT4*	Выход	Перенос счетчика
7	*CRSM0*	Вход	Перенос в сумматор
8	*DY0*	Выход	Данные, 0-й разряд
9	*DY1*	Выход	Данные, 1-й разряд
10	*DY2*	Выход	Данные, 2-й разряд
11	*DY3*	Выход	Данные, 3-й разряд
12	*CRG*	Выход	Генерация переноса сумматора
13	*CRSM4*	Выход	Перенос сумматора
14	*GND*	—	Общий
15	*C*	Вход	Тактовый сигнал
16	*CRP*	Выход	Распространение переноса сумматора
17	*D3*	Вход	Данные, 3-й разряд
18	*D2*	Вход	Данные, 2-й разряд
19	*D1*	Вход	Данные, 1-й разряд
20	*D0*	Вход	Данные, 0-й разряд
21	*EWRRG*	Вход	Разрешение записи в регистр
22	*EINS*	Вход	Разрешение микрокоманды
23	*CC*	Вход	Условие
24	*INS4*	Вход	Микрокоманда, 4-й разряд
25	*INS3*	Вход	Микрокоманда, 3-й разряд
26	*INS2*	Вход	Микрокоманда, 2-й разряд
27	*INS1*	Вход	Микрокоманда, 1-й разряд
28	U_{cc}	Вход	Напряжение питания

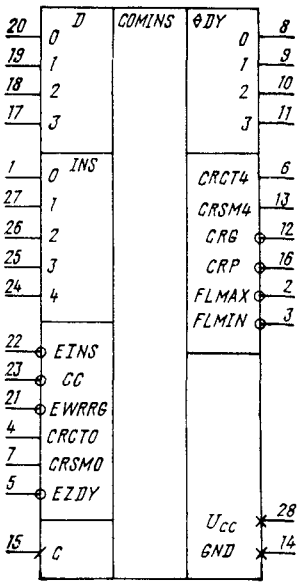


Рис. 13.45. Условное графическое обозначение КМ1804ВУ5

ся выборка счетчика адресов (микрокоманды 16—31).

Условные переходы к подпрограмме (микрокоманды 22—27 в табл. 13.87). В стек записывается информация из счетчика адресов, а в счетчик адресов записывается информация с выхода сумматора, увеличенная на 1.

Во время выполнения условных переходов к подпрограмме режим работы регистра адреса определяется сигналом на входе *EWRRG*.

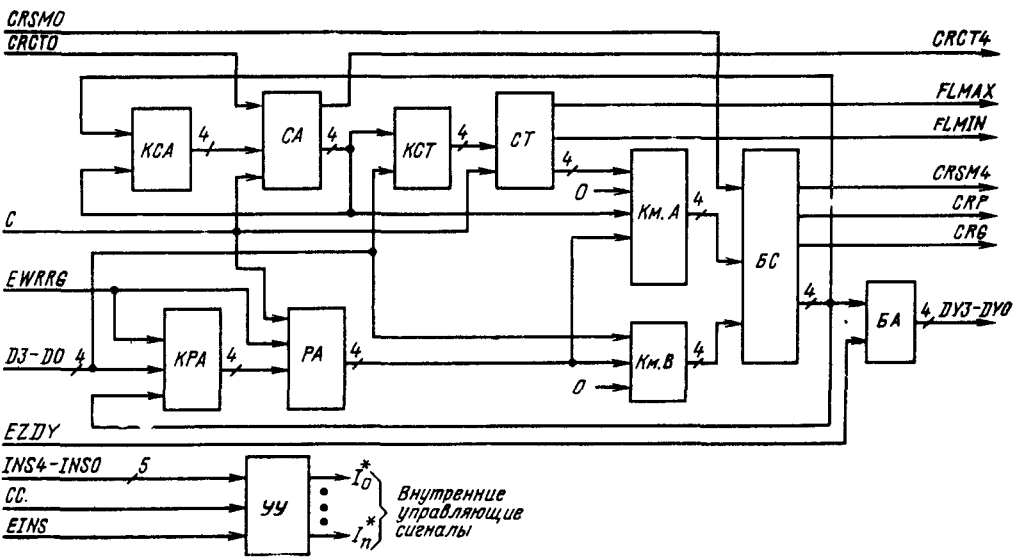


Рис. 13.46. Структурная схема КМ1804ВУ5

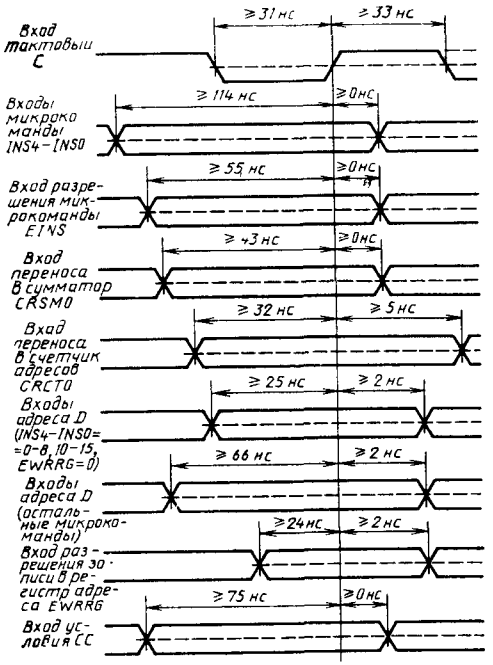


Рис. 13.47. Временна́я диаграмма входных сигналов КМ1804ВУ5

Условные переходы к подпрограмме выполняются, если на входе *CC*-сигнал низкого уровня. Если на входе *CC*-сигнал высокого уровня, то выполняется выборка счетчика адресов.

Условные возвраты на подпрограммы (микрокоманды 28 и 29 в табл. 13.87). В стеке происходит считывание информации, а информация с выхода сумматора, увеличенная на 1, записывается в счетчик адресов.

Режим работы регистра адреса определяется сигналом на входе *EWRRG*. Условные возвраты из подпрограммы выполняются, если на входе *CC*—сигнал низкого уровня. Если на входе *CC* — сигнал высокого уровня, то выполняется выборка счетчика адресов.

Смешанные микрокоманды (микрокоманды 0, 10—15, 30, 31 в табл. 13.87).

Микрокоманда 0 — «Очистка». На выходах адреса *DY* появляются сигналы низкого уровня. В счетчик адресов записывается либо 0, либо 1, в зависимости от сигнала на входе *CRCT0* младшей секции. Происходит очистка стека, а режим работы регистра адреса определяется сигналом на входе *EWRRG*.

Микрокоманда 10 — «Запись в регистр адреса». В регистр адреса записывается информация с входов адреса *D*. В счетчике адресов информация либо остается без изменений, либо увеличивается на 1, в зависимости от сигнала на входе *CRCT0*. Стек работает в режиме хранения.

Таблица 13.87

Номер микрокоманды	Сигналы на входах дешифратора микрокоманд						
	INS4	*INS3*	*INS2*	*INS1*	*INS0*	*CC*	*EINS*
—	X	X	X	X	X	X	1
0	0	0	0	0	0	X	0
1	0	0	0	0	1	X	0
2	0	0	0	1	0	X	0
3	0	0	0	1	1	X	0
4	0	0	1	0	0	X	0
5	0	0	1	0	1	X	0
6	0	0	1	1	0	X	0
7	0	0	1	1	1	X	0
8	0	1	0	0	0	X	0
9	0	1	0	0	1	X	0
10	0	1	0	1	0	X	0
11	0	1	0	1	1	X	0
12	0	1	1	0	0	X	0
13	0	1	1	0	1	X	0
14	0	1	1	1	0	X	0
15	0	1	1	1	1	X	0
16—31	1	X	X	X	X	1	0
16	1	0	0	0	0	0	0
17	1	0	0	0	1	0	0
18	1	0	0	1	0	0	0
19	1	0	0	1	1	0	0
20	1	0	1	0	0	0	0
21	1	0	1	0	1	0	0
22	1	0	1	1	0	0	0
23	1	0	1	1	1	0	0
24	1	1	0	0	0	0	0
25	1	1	0	0	1	0	0
26	1	1	0	1	0	0	0
27	1	1	0	1	1	0	0
28	1	1	1	0	0	0	0
29	1	1	1	0	1	0	0
30	1	1	1	1	0	0	0
31	1	1	1	1	1	0	0

Примечания. 1. При *EINS*=1 сигналы на выхо
2. На выходах *DY* состояние «выключено».
3. «—» — без изменений.

Микрокоманда	Сигналы на выходах адреса DY	Состояние после положительного перепада сигнала на входе C			Режим работы стека
		счетчика адресов CA	регистра адреса PA		
			$EWRRG=0$	$EWRRG=1$	
Запрещение микрокоманды	См. прим. 1	—	D	—	Хранение
Очистка	0	$0+RC0$	D	—	Очистка
Безусловные выборки:					
CA	CA	$CA+RC0$	D	—	Хранение
PA	PA	$CA+RC0$	D	—	Хранение
D	D	$CA+RC0$	D	—	Хранение
$PA+D$	$PA+D+AC0$	$CA+RC0$	D	—	Хранение
$CA+D$	$CA+D+AC0$	$CA+RC0$	D	—	Хранение
$CA+PA$	$CA+PA+AC0$	$CA+RC0$	D	—	Хранение
$CT+D$	$CT+D+AC0$	$CA+RC0$	D	—	Хранение
$CA\rightarrow PA$	CA	$CA+RC0$	CA	CA	Хранение
$PA+D\rightarrow PA$	$PA+D+AC0$	$CA+RC0$	$PA+D+$ $+AC0$	$PA+D+$ $+AC0$	Хранение
Смешанные микрокоманды:					
Запись в PA	CA	$CA+RC0$	D	D	Хранение
Запись CA в стек	CA	$CA+RC0$	D	—	Запись CA
Запись D в стек	CA	$CA+RC0$	D	—	Запись D
Считывание из стека	CT	$CA+RC0$	D	—	Считывание
Считывание из стека и выборка CA	CA	$CA+RC0$	D	—	Считывание
Хранение	CA	—	D	—	Хранение
Условные микрокоманды, $CC=1$:					
Выборка CA	CA	$CA+RC0$	D	—	Хранение
Условные переходы, $CC=0$:					
по PA	PA	$PA+RC0$	D	—	Хранение
по D	D	$D+RC0$	D	—	Хранение
по 0	0	$0+RC0$	D	—	Хранение
по $PA+D$	$PA+D+AC0$	$PA+D+AC0+RC0$	D	—	Хранение
по $CA+D$	$CA+D+AC0$	$CA+D+AC0+RC0$	D	—	Хранение
по $CA+PA$	$CA+PA+AC0$	$CA+PA+AC0+$ $+RC0$	D	—	Хранение
Условные переходы к подпрограмме, $CC=0$:					
по PA	PA	$PA+RC0$	D	—	Запись CA
по D	D	$D+RC0$	D	—	Запись CA
по 0	0	$0+RC0$	D	—	Запись CA
по $PA+D$	$PA+D+AC0$	$PA+D+AC0+RC0$	D	—	Запись CA
по $CA+D$	$CA+D+AC0$	$CA+D+AC0+RC0$	D	—	Запись CA
по $CA+PA$	$CA+PA+AC0$	$CA+PA+AC0+$ $+RC0$	D	—	Запись CA
Условные возвраты из подпрограммы, $CC=0$:					
по CT	CT	$CT+RC0$	D	—	Считывание
по $CT+D$	$CT+D+AC0$	$CT+D+AC0+RC0$	D	—	Считывание
Смешанные микрокоманды, $CC=0$:					
Условное хранение	CA	—	D	—	Хранение
Временное прекращение работы	См. прим. 2	—	D	—	Хранение

дах DY определяются сигналами на входах $INS4$—$INS0$ и CC так же, как и при $EINS=0$

4 X — состояние входа безразлично

5. $AC0$ — сигнал на входе $CRSM0$; $RC0$ — сигнал на входе $CRCT0$

Таблица 13.88

Параметр	Обозначение	Значения параметров [макс (мин)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=12$ мА	*FLMAX, FLMIN, CRP*
			$I_{OL}=16$ мА	Остальные выходы
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-1,2$ мА	*FLMAX, FLMIN, CRP*
			$I_{OH}=-1,6$ мА	Остальные выходы
Входной ток низкого уровня, мА	I_{IL}	—3,25	$U_{IL}=0,5$ В	*CRSM0*
		—2,31		*CRST0*
		—0,657		*CC*
		—0,36		*D3—D0*
		—0,702		Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	250	$U_{IH}=2,7$ В	*CRSM0*
		90		*CRST0*
		50		*CC*
		20		*D3—D0*
		40		Остальные входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5,5$ В	Все входы
Ток потребления, мА	I_{CC}	220	$U_{CC}=5,25$ В	—
Время задержки распространения сигнала, нс	t_P	49	$C_L=50$ пФ	От *D* до *DY*
		69		От *C* до *DY*

Микрокоманда 11 — «Запись в стек содержимого счетчика адресов». Она аналогична микрокоманде «Выборка счетчика адресов», за исключением того, что содержимое счетчика записывается в стек.

Микрокоманда 12 — «Запись в стек информации с входов адреса *D*». Она аналогична микрокоманде «Выборка счетчика адресов», за исключением того, что в стек записывается информация с входов адреса.

Микрокоманда 13 — «Считывание из стека». На выходы адреса *DY* поступает информация из вершины стека. Затем значение указателя стека уменьшается на 1.

Режим работы регистра адреса определяется сигналом на входе *EWRRG*. В счетчик адресов записывается информация с выхода сумматора, увеличенная на 1

Микрокоманда 14 — «Считывание из стека и чтение счетчика адресов». Она аналогична микрокоманде «Выборка счетчика адресов», за исключением того, что происходят считывание информации из стека и уменьшение на 1 значения указателя стека.

Микрокоманда 15 — «Хранение». На выходы адреса *DY* поступает информация из счетчика адресов Режим работы регистра адреса определяется сигналом на входе *EWRRG* Счетчик адресов и стек работают в режиме хранения

Микрокоманда 30 — «Условное хранение» Если на входе *CC* — сигнал низкого уровня, то микрокоманда 30 не отличается от микрокоманды 15 Если на входе *CC* — сигнал высокого уровня, то микрокоманда 30 совпадает с микрокомандой «Выборка счетчика адресов».

Микрокоманда 31 — «Временное прекращение работы» не отличается от микрокоманды 30, за исключением того, что выходы адре-

Таблица 13.89

Вход	Значения t_P до выходов, нс						
	DY3—DY0	*CRG, CRP*	*CRSM4*	*CRST4 (INS4=0)*	*CRST4 (INS4=1)*	*FLMAX*	*FLMIN*
INS4— INS0	81	67	77	80	91	69	—
CC	63	45	55	—	72	42	—
CRSM0	32	—	25	—	45	—	—
CRST0	—	—	—	22	22	—	—
C	69	53	61	43	78	55	55
D3—D0	49	33	40	—	59	—	—
EINS	—	—	—	—	—	40	—

Таблица 13.90

Измеряемая цепь	Значения t_P, нс	
	Разрешение (C_L=50 пФ)	Запрет (C_L=5 пФ)
От *EZDY* до *DY3—DY0*	27	26
От *CC* до *DY3—DY0*	55	37
От *INS4—INS0* до *DY3—DY0*	80	55

са переходят в состояние «выключено», если на входе *CC* — сигнал низкого уровня.

В табл. 13 88 приведены основные электрические параметры микросхемы, в табл. 13.89 — типовые значения динамических параметров при C_L=50 пФ, в табл. 13.90 — типовые значения времени задержки распространения сигнала при переключении выходов *DY3—DY0* в состояние «выключено» и обратно

13.16. Микросхема КМ1804ВЖ1

Микросхема КМ1804ВЖ1 — 16-разрядная схема обнаружения и коррекции ошибок, предназначена для работы в составе блоков оперативной памяти микро-ЭВМ. Она позволяет обнаруживать и исправлять ошибки, возникающие при записи и считывании данных из запоминающих устройств. Микросхема исправляет все однобитовые ошибки, обнаруживает все двойные, некоторые тройные ошибки, а также ошибки типа 00. .00, 11...11, допускает наращивание разрядности и побайтную работу, имеет встроенную диагностику для самоконтроля процессора, повышает надежность работы памяти более чем в 60 раз.

Условное графическое обозначение микросхемы приведено на рис. 13.48, назначение выводов — в табл. 13.91, структурная схема — на рис. 13 49, временная диаграмма работы — на рис. 13.50.

Микросхема КМ1804ВЖ1 имеет 16 двунаправленных выводов данных, 7 входов контрольных бит, 14 входов управления, 7 выходов признаков на три состояния, 2 выхода индикации типа ошибки и содержит в своем составе четыре 8-разрядных регистра данных, 7-разрядный регистр контрольных бит, 16-разрядный регистр режима диагностики, генератор контрольных бит, генератор признаков ошибки, схему обнаружения ошибки, дешифратор одиночной ошибки, схему коррекции ошибки, три 7-разрядных коммутатора (КА, КВ, КС), 7-разрядный буфер признаков ошибки (БПО) и устройство управления (УУ)

Система микрокоманд микросхемы обеспечивает девять режимов работы микросхемы, три из которых являются диагностическими, что упрощает контроль и выполнение микросхемой функций системной диагностики при работе микросхемы в аппаратуре пользователя. Микросхема может работать в режимах начальной установки, прямой передачи, генерации контрольных бит, обнаружения ошибки, коррекции ошибки, диагностики генерации контрольных бит, диагностики обнаружения ошибки, диагностики коррекции ошибки, внутреннего управления.

Данные по 16-разрядной двунаправленной шине данных *D15—D0* загружаются в регистры входных данных, байтов 0 и 1 (*РД0* и *РД1*) под управлением сигнала, поступающего со входа *EWRD* При высоком уровне сигнала на входе *EWRD* состояние регистров *РД0* и *РД1* соответствует сигналам, подаваемым на входы *D7—D0* и *D15—D0* соответственно. При низком уровне сигнала на входе *EWRD* сохраняется предшествующее состояние *РД0* и *РД1*.

Контрольные биты по 7-разрядной шине *DCO0—DCO6* загружаются в регистр контрольных бит (РКБ) под управлением сигнала, поступающего со входа *EWRD*. При высоком уровне сигнала на входе *EWRD* состояние РКБ соответствует сигналам, подаваемым на входы *DCO0—DCO6*, а при низком уровне сохраняется предшествующее состояние РКБ

В соответствии с модифицированным кодом Хэмминга генератор контрольных бит (ГКБ) вырабатывает контрольные биты под управлением сигнала, поступающего со входа *INS6*. При низком уровне сигнала на входе *INS6* ГКБ генерирует контрольные биты, а при высоком — осуществляется режим обнаружения и коррекции ошибки. В режиме генерации ГКБ генерирует контрольные биты (полностью для 16-разрядного формата данных, часть для 32- и 64-разрядных форматов) для данных, хранимых в *РД0* и *РД1*, и передает их на выходы *DCOY*

Генератор признаков ошибки (ГПО) генерирует признаки ошибки путем сравнения контрольных бит, считываемых с РКБ, с контрольными битами, сформированными ГКБ по данным, считанным с *РД0* и *РД1*. Если оба набора контрольных бит одинаковы, то ошибки нет, в противном случае либо данные, либо контрольные биты содержат ошибку. Биты признаков формируются схемой исключающее ИЛИ по двум наборам контрольных бит. При отсутствии ошибки все биты признаков ошибки будут находиться в состоянии 0 При наличии ошибки один или несколько бит ошибки будут находиться в состоянии 1

В результате дешифрации признаков ошибки определяется кратность ошибки, а при одиночной ошибке — положение неисправного бита в слове данных

Схема обнаружения ошибки (СОО) дешифрует биты признаков ошибки, вырабатываемые ГПО, под управлением сигнала, поступающего на вход *INS6* При высоком уровне сигнала на входе *INS6* на выходах *ER* и *ERM* индицируется тип ошибки. При отсутствии ошибки в данных и контрольных битах на выходах *ER* и *ERM* сохраняется сигнал высокого уровня. При наличии хотя бы одной ошибки на выходе *ER* устанавливается низкий уровень сигнала При наличии двух и более ошибок низкий уровень устанавливается и на выходе *ERM* При низком уровне сигнала на входе *INS6* (в режиме генерации) на выходах *ER* и *ERM* всегда устанавливается сигнал высокого уровня.

Дешифратор одиночной ошибки (ДОО) дешифрует биты признаков ошибки, вырабатываемые ГПО, под управлением сигналов, поступающих на входы управления *INS6* и *INS5*, а также внутреннего сигнала типа ошибки, определяет разряд данных, в котором допущена однократная ошибка, преобразуя 7-разрядный код признаков ошибки в 16-разрядный

код, который подается на СКО. Дешифрация осуществляется только при сигналах высокого уровня на входах *INS6* и *INS5* и отсутствии сигнала многократной ошибки (на выходе *ERM* — сигнал высокого уровня).

Схема коррекции ошибок (СКО) принимает с *РД0* и *РД1* 16-разрядный формат и с *ДОО* 16-разрядный дешифрированный код местоположения ошибки. При наличии одиночной ошибки СКО корректирует один неверный бит

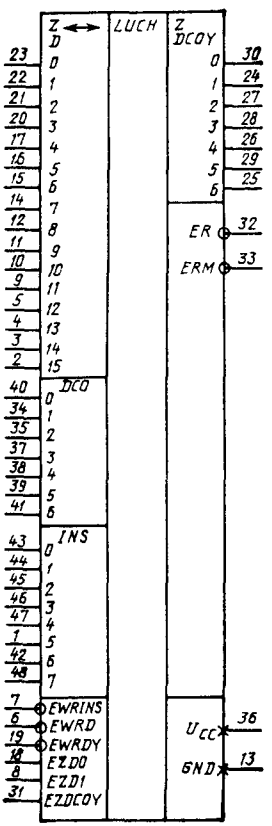


Рис. 13.48. Условное графическое обозначение КМ1804ВЖ1

Таблица 13.91

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*INS5*	Вход	Микрокоманда, 5-й разряд
2	*D15*	Вход/выход	Данные, 15-й разряд
3	*D14*	Вход/выход	Данные, 14-й разряд
4	*D13*	Вход/выход	Данные, 13-й разряд
5	*D12*	Вход/выход	Данные, 12-й разряд
6	*EWRD*	Вход	Разрешение записи входных данных
7	*EWRINS*	Вход	Разрешение записи микрокоманды
8	*EZD1*	Вход	Разрешение выходов данных, 1-й байт
9	*D11*	Вход/выход	Данные, 11-й разряд
10	*D10*	Вход/выход	Данные, 10-й разряд
11	*D9*	Вход/выход	Данные, 9-й разряд
12	*D8*	Вход/выход	Данные, 8-й разряд
13	*GND*	—	Общий
14	*D7*	Вход/выход	Данные, 7-й разряд
15	*D6*	Вход/выход	Данные, 6-й разряд
16	*D5*	Вход/выход	Данные, 5-й разряд
17	*D4*	Вход/выход	Данные, 4-й разряд
18	*EZD0*	Вход	Разрешение выходов данных, 0-й байт
19	*EWRDY*	Вход	Разрешение записи выходных данных
20	*D3*	Вход/выход	Данные, 3-й разряд
21	*D2*	Вход/выход	Данные, 2-й разряд
22	*D1*	Вход/выход	Данные, 1-й разряд
23	*D0*	Вход/выход	Данные, 0-й разряд
24	*DCOY1*	Выход	Контрольные данные, 1-й разряд
25	*DCOY6*	Выход	Контрольные данные, 6-й разряд
26	*DCOY4*	Выход	Контрольные данные, 4-й разряд
27	*DCOY2*	Выход	Контрольные данные, 2-й разрид
28	*DCOY3*	Выход	Контрольные данные, 3-й разряд
29	*DCOY5*	Выход	Контрольные данные, 5-й разряд
30	*DCOY0*	Выход	Контрольные данные, 0-й разряд
31	*EZDCOY*	Вход	Разрешение выходов контрольных данных
32	*ER*	Выход	Признак однократной ошибки
33	*ERM*	Выход	Признак многократной ошибки
34	*DCO1*	Вход	Контрольные данные, 1-й разряд
35	*DCO2*	Вход	Контрольные данные, 2-й разряд
36	U_{CC}	—	Напряжение питания
37	*DCO3*	Вход	Контрольные данные, 3-й разряд
38	*DCO4*	Вход	Контрольные данные, 4-й разряд
39	*DCO5*	Вход	Контрольные данные, 5-й разряд
40	*DCO0*	Вход	Контрольные данные, 0-й разряд
41	*DCO6*	Вход	Контрольные данные, 6-й разряд
42	*INS6*	Вход	Микрокоманда, 6-й разряд
43	*INS0*	Вход	Микрокоманда, 0-й разряд
44	*INS1*	Вход	Микрокоманда, 1-й разряд
45	*INS2*	Вход	Микрокоманда, 2-й разряд
46	*INS3*	Вход	Микрокоманда, 3-й разряд
47	*INS4*	Вход	Микрокоманда, 4-й разряд
48	*INS7*	Вход	Микрокоманда, 7-й разряд

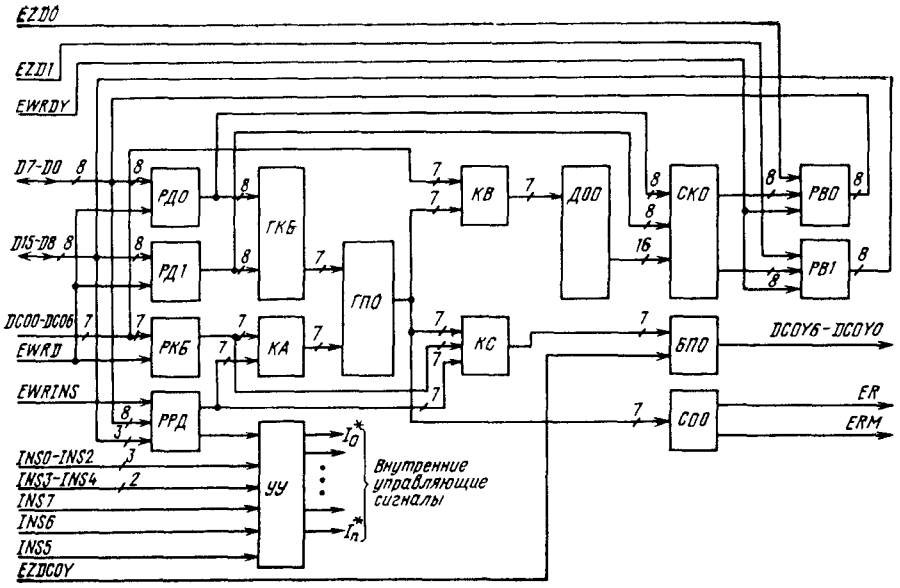


Рис. 13.49. Структурная схема КМ1804ВЖ1

данных путем инвертирования его значения. Скорректированные данные загружаются в регистры *РВ0* и *РВ1* и могут затем быть выданы на 16-разрядную двунаправленную шину данных *D15—D0*. При обнаружении одиночной ошибки в одном из контрольных бит СКО не проводит коррекцию контрольных бит. При необходимости коррекции контрольных бит следует установить режим генерации контрольных бит путем подачи сигналов низкого уровня на входы *INS3* и *INS6*.

Регистры выходных данных, байта 0 и 1 (*РВ0* и *РВ1*) используются для хранения результата операции коррекции данных и загружаются из СКО под управлением сигнала, поступающего с входа *EWRDY*. При высоком уровне сигнала на входе *EWRDY* *РВ0* и *РВ1* переводятся в состояние, соответствующее состоянию *РД0* и *РД1* в режиме прямой передачи, т. е. в состояние, соответствующее сигналам, снимаемым с СКО в режимах обнаружения и коррекции ошибки. При низком уровне сигнала на входе *EWRDY* *РВ0* и *РВ1* сохраняют предшествующее состояние. При наличии высокого уровня на входе *INS7* осуществляется прямая передача данных из *РД0* и *РД1* соответственно в *РВ0* и *РВ1*. При наличии сигналов низкого уровня на входах *INS7* и *INS6* состояние *РВ0* и *РВ1* не определяется. Выдача данных с *РВ0* и *РВ1* на 16-разрядную двунаправленную шину данных *D15—D0* управляется сигналами, поступающими на входы *EZD0* и *EZD1*, причем *РВ0* управляется сигналом, поступающим на вход *EZD0*, а *РВ1* — *EZD1*. При наличии сигнала низкого уровня на входе *EZD0* выходы регистра *РВ0* подключаются к двунаправленной шине данных, а при

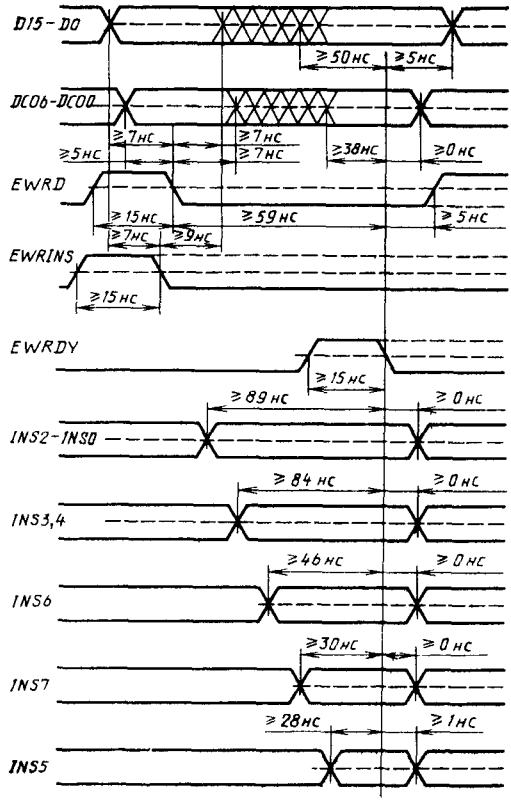


Рис. 13.50. Временна́я диаграмма работы КМ1804ВЖ1

Таблица 13.92

Входы			Код Хэмминга и выбранные байты данных
INS2	*INS1*	*INS0*	
0	0	0	Код 16/22
0	0	1	Режим внутреннего управления
0	1	0	Код 32/39, байты 0 и 1
0	1	1	Код 32/39, байты 2 и 3
1	0	0	Код 64/72, байты 0 и 1
1	0	1	Код 64/72, байты 2 и 3
1	1	0	Код 64/72, байты 4 и 5
1	1	1	Код 64/72, байты 6 и 7

наличии сигнала высокого уровня — отключаются. Подключение *PB1* осуществляется аналогично путем подачи сигнала соответствующего уровня на вход *EZD1*.

Регистр режима диагностики (РРД) загружается с 16-разрядной двунаправленной шины данных под управлением сигнала, поступающего со входа *EWRINS*. При наличии на входе *EWRINS* сигнала высокого уровня состояние РРД соответствует сигналам, подаваемым по шине данных *D15—D0*. При наличии сигнала низкого уровня на входе *EWRINS* состояние РРД не изменяется. РРД используется также для хранения контрольных бит, применяемых в диагностических режимах, и внутренних управляющих сигналов *INS0—INS5, INS7*, для управления и обеспечения контрольными битами в режимах диагностики.

Таблица 13.93

Входы		Режим работы микросхемы
INS4	*INS3*	
0	0	Режим не диагностический. Нормальная работа во всех режимах
0	1	Режим диагностической генерации. Содержимое РРД подставляется вместо нормально генерируемых контрольных бит. Нормальная работа в режимах обнаружения и коррекции ошибок
1	0	Режим диагностического обнаружения или коррекции ошибок. Содержимое РРД подставляется вместо контрольных бит, нормально считываемых из РКБ
1	1	Режим начальной установки. Выходы РД0, РД1 устанавливаются в нули (и удерживаются в этом режиме), и контрольные биты вырабатываются для данных, состоящих из нулей

Таблица 13.94

Режим работы	Диагностический режим[1]		Вход *INS6*	
	INS4	*INS3*	0	1
Нормальный	0	0	Генерация	Коррекция[2]
Диагностика генерации	0	1	Диагностика генерации	Коррекция[2]
Диагностика коррекции	1	0	Генерация	Диагностика коррекции[2]
Начальная установка	1	1	Начальная установка	Начальная установка
Прямая передача	При подаче на вход *INS7* сигнала 1 обеспечивается режим прямой передачи			

[1] При подаче на выходы *INS0—INS2* кода 001 код для сигналов *INS4* и *INS3* выбирается из РРД.
[2] Коррекция осуществляется при подаче на вход *INS5* сигнала 1, а при сигнале 0 осуществляется обнаружение.

Устройство управления (УУ) является комбинационной схемой и управляет режимом работы микросхемы. В режиме внутреннего управления сигналы управления считываются из РРД. Во всех остальных режимах сигналы управления считываются со входов *INS0—INS5, INS7* и преобразуются во внутренние сигналы управления I_0—I_n. Система команд управления режимом работы микросхемы приведена в табл. 13.92—13.94.

Управление выбором варианта кода Хэмминга и выбором обрабатываемых байтов данных осуществляется подачей на входы *INS0—INS2* уровней в соответствии с табл. 13.92. Три варианта кода Хэмминга имеют обозначения, приведенные в табл. 13.95.

Управление выбором режима работы микросхемы осуществляется подачей на входы *INS0—INS7* уровней в соответствии с табл. 13.93, 13.94. Использование диагностических режимов работы, задаваемых в соответствии с табл. 13.93, позволяет проверять правильность функционирования микросхемы в процессе работы в аппаратуре пользователя.

Таблица 13.95

Разрядность слова	Вариант кода Хэмминга		
	Код 16/22	Код 32/39	Код 64/72
Данные	16	32	64
Контрольные биты	6	7	8
Всего бит	22	39	72

Таблица 13.96

Параметр	Обозначение	Значения параметров [макс (мин)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=8$ мА	Все выходы
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-0,8$ мА	Все выходы
Входной ток низкого уровня, мА	I_{IL}	—0,41 —0,36	$U_{IL}=0,5$ В	*D0—D15* Остальные входы
Входной ток высокого уровня, мкА	I_{IH}	70 50	$U_{IH}=2,7$ В	*D0—D15* Остальные входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5,5$ В	Все входы
Ток потребления, мА	I_{CC}	400	$U_{CC}=5,25$ В	—
Время задержки распространения сигнала, нс	t_P	61 50 36 35	$C_L=50$ пФ	От *DC0* до *D* От *DC0* до *ERM* От *D* до *ER* (в режиме обнаружения) От *D* до *DCOY* (в режиме генерации)

В режиме начальной установки (при подаче сигналов высокого уровня на входы *INS3, INS4*) на всех выходах регистров *РД0* и *РД1* устанавливаются 0, а контрольные биты генерируются в соответствии с «нулевым» словом данных, причем на выходах *ER* и *ERM* устанавливается сигнал высокого уровня.

В режиме прямой передачи (при подаче сигнала высокого уровня на вход *INS7*) содержимое РКБ передается на БПО, а содержимое *РД1* и *РД0* — на *РВ0* и *РВ1* без изменения.

В режиме генерации контрольных бит (при подаче сигналов низкого уровня на входы *INS7, INS6, INS3*) контрольные биты вырабатываются в соответствии с содержимым *РД0, РД1* и выдаются через БПО на выходы *SC6—SC0*. Каждый контрольный бит вырабатывается как знак инверсии исключающее ИЛИ или исключающее ИЛИ для 8 из 16 разрядов данных для 16-разрядного формата и соответственно 16 из 32 и 32 из 64 — для 32 и 64-разрядных форматов данных

В режиме обнаружения ошибки, установленном при подаче сигналов низкого уровня на входы *INS7, INS4, INS5* и сигналов высокого уровня на вход *INS6*, сравниваются выработанные для содержимого *РД0, РД1* контрольные биты с содержимым РКБ и обнаруживаются все однократные ошибки, все двукрат-

Таблица 13.97

Вход	Значения t_P до выходов нс			
	DCOY0—DCOY6	*D0—D15*	*ER*	*ERM*
D0—D15	32	65	32	50
DCO0—DCO6 (код *INS2; INS1, INS0*=000, 011)	28	56	29	47
DCO0—DCO6 (код *INS2, INS1, INS0*=010, 100, 101, 110, 111)	28	45	29	34
INS6	35	63	36	55
INS5 (кроме режима внутреннего управления)	—	45	—	—
INS4, INS3 (кроме режима внутреннего управления)	50	78	59	75
INS7 (кроме режима внутреннего управления)	36	44	29	46
INS2, INS1, INS0	61	90	60	80
EWRD (при записи данных)	39	72	39	59
EWRDY (при записи данных)	—	31	—	—
EWRINS (при записи данных, кроме режима внутреннего управления)	45	78	45	65
EWRINS (при записи данных в режиме внутреннего управления)	67	96	66	86
D0—D15 (при записи в регистр диагностики в режиме внутреннего управления)	67	96	66	86

Таблица 13.98

Измеряемая цепь	Значения t_P, нс	
	Разрешение (C_L=50 пФ)	Запрет (C_L=5 пФ)
От *EZD0, EZD1* до *D0—D15*	30	30
От *EZDCOY* до *DCOY0—DCOY6*	30	30

ные ошибки и некоторые трехкратные ошибки; при этом на выходах *ER* и *ERM* индицируется тип ошибки.

Биты признаков ошибки дешифрируются, и если обнаружена ошибка, то определяется, относится ошибка к данным или контрольным битам. Если ошибка не обнаружена, то во всех битах признаков ошибок будут 0. В режиме обнаружения ошибки содержимое *РД0* и *РД1* передается соответственно на входы *РВ0* и *РВ1* без коррекции.

В режиме коррекции ошибки, устанавливаемом при подаче сигналов низкого уровня на входы *INS7, INS4* и сигналов высокого уровня на входы *INS6* и *INS5*, микросхема работает как и в режиме обнаружения, но при этом обеспечивается коррекция любых однократных ошибок до того, как данные с выходов *РД0* и *РД1* перейдут на входы *РВ0* и *РВ1*. При обнаружении многократной ошибки состояние выходов СКО является неопределенным. При обнаружении одиночной ошибки в контрольных битах автоматическая коррекция не проводится, причем для коррекции контрольных бит необходимо перевести микросхему в режим генерации контрольных бит.

В режиме диагностики генерации контрольных бит, устанавливаемом при подаче сигналов низкого уровня на входы *INS4, INS6, INS7* и сигналов высокого уровня на вход *INS3*, сгенерированные контрольные биты записываются в РРД и используются для диагностики режима генерации контрольных бит.

В режиме диагностики обнаружения ошибки, устанавливаемом при подаче сигналов низкого уровня на входы *INS7, INS3, INS5* и сигналов высокого уровня на вход *INS6*, в РРД записывается содержимое РКБ и используется для диагностического режима обнаружения ошибки.

В режиме диагностики коррекции одиночной ошибки, устанавливаемом при подаче сигналов низкого уровня на входы *INS7, INS3* и сигналов высокого уровня на входы *INS5, INS6*, в РРД записывается содержимое РКБ и используется для диагностики режима коррекции ошибки.

В режиме внутреннего управления, устанавливаемом при подаче сигналов низкого уровня на входы *INS1, INS2* и сигналов высокого уровня на вход *INS0*, управляющие сигналы *INS0—INS5, INS7* для УУ выбирают из РРД, а не с внешних шин управления.

В табл. 13.96 приведены основные электрические параметры микросхемы КМ1804ВЖ1. Типовые значения динамических параметров представлены в табл. 13.97 (комбинационные задержки при C_L=50 пФ) и 13.98 (времена задержки распространения сигнала для выходов с тремя состояниями).

13.17. Микросхема КМ1804ИР1

Микросхема КМ1804ИР1 — 4-разрядный параллельный регистр, предназначен для применения в составе центральных процессоров микро-ЭВМ и других вычислительных устройств в качестве универсального регистра (данных, адреса, команд, состояния и т. п).

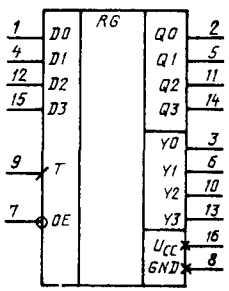


Рис. 13.51. Условное графическое обозначение КМ1804ИР1

Таблица 13.99

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*D0*	Вход	Данные, 0-й разряд
2	*Q0*	Выход	Данные *Q*, 0-й разряд
3	*Y0*	Выход	Данные *Y*, 0-й разряд
4	*D1*	Вход	Данные, 1-й разряд
5	*Q1*	Выход	Данные *Q*, 1-й разряд
6	*Y1*	Выход	Данные *Y*, 1-й разряд
7	*OE*	Вход	Разрешение выходов *Y*
8	*GND*	—	Общий
9	*T*	Вход	Тактовый сигнал
10	*Y2*	Выход	Данные *Y*, 2-й разряд
11	*Q2*	Выход	Данные *Q*, 2-й разряд
12	*D2*	Вход	Данные, 2-й разряд
13	*Y3*	Выход	Данные *Y*, 3-й разряд
14	*Q3*	Выход	Данные *Q*, 3-й разряд
15	*D3*	Вход	Данные, 3-й разряд
16	U_{CC}	—	Напряжение питания

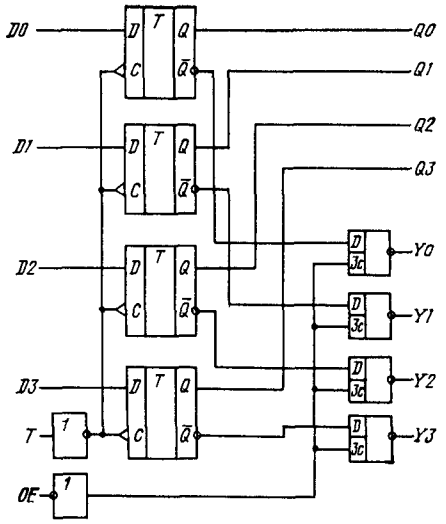


Рис. 13.52. Структурная схема КМ1804ИР1

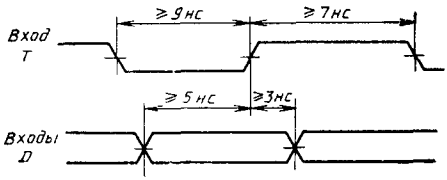


Рис. 13.53. Временна́я диаграмма работы КМ1804ИР1

Таблица 13.100

Сигналы на входах			Сигналы на выходах		Сигналы на входах			Сигналы на выходах	
OE	T	D_i	Q_i	Y_i	OE	T	D_i	Q_i	Y_i
1	0	X	NC	Z	0	↑	0	0	0
1	1	X	NC	Z	0	↑	1	1	1
1	↑	0	0	Z	0	0	X	NC	NC
1	↑	1	1	Z	0	1	X	NC	NC

Примечания: 1. При $OE=0$ $Y_i=Q_i$.
2. ↑ — положительный перепад; X — состояние входа безразлично; NC — без изменений; Z — состояние «выключено».

Допускает неограниченное наращивание разрядности.

Условное графическое обозначение микросхемы приведено на рис. 13.51, назначение выводов — в табл. 13.99, структурная схема показана на рис. 13.52, временна́я диаграмма работы — на рис. 13.53.

Микросхема КМ1804ИР1 содержит четыре динамических D-триггера, запись данных в которые происходит по положительному фронту сигнала на входе T. Выходы триггеров подключены к выводам $Q0$—$Q3$, а также через буферы с тремя состояниями к выводам $Y0$—$Y3$. Работа схемы осуществляется в соответствии с таблицей истинности (табл. 13.100).

Основные электрические параметры микросхемы приведены в табл. 13.101.

Таблица 13.101

Параметр	Обозначение	Значения параметров (макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=20$ мА	Все выходы
Выходное напряжение высокого уровня, В	U_{OH}	(2,5) (2,4)	$I_{OH}=-1$ мА $I_{OH}=-2$ мА	$Q0$—$Q3$ $Y0$—$Y3$
Входной ток низкого уровня, мА	I_{IL}	—2	$U_{IL}=0{,}5$ В	Все входы
Входной ток высокого уровня, мкА	I_{IH}	50	$U_{IH}=2{,}7$ В	Все входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5{,}5$ В	Все входы
Ток потребления, мА	I_{CC}	130	$U_{CC}=5{,}25$ В	—
Время задержки распространения сигнала, нс	t_P^*	21	$C_L=50$ пФ	От T до Q, Y

* Типовое значение времени задержки распространения сигнала от входа OE до выходов $Y0$—$Y3$ равно 19 нс при разрешении ($C_L=15$ пФ) и 10,5 нс при запрете ($C_L=5$ пФ).

13.18. Микросхема КМ1804ИР2

Микросхема КМ1804ИР2 — 8-разрядный параллельный регистр, предназначен для применения в составе центральных процессоров микро-ЭВМ и других вычислительных устройств в качестве универсального регистра (данных, адреса, команд, состояния и т. п.) Допускает неограниченное наращивание разрядности.

Условное графическое обозначение микросхемы приведено на рис. 13.54, назначение выводов — в табл. 13.102, структурная схема

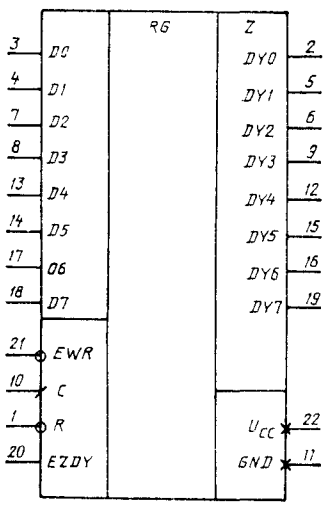


Рис 13.54. Условное графическое обозначение КМ1804ИР2

Таблица 13 102

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	R	Вход	Обнуление регистра
2	DY0	Выход	Данные, 0-й разряд
3	D0	Вход	Данные, 0-й разряд
4	D1	Вход	Данные, 1-й разряд
5	DY1	Выход	Данные, 1-й разряд
6	DY2	Выход	Данные, 2-й разряд
7	D2	Вход	Данные, 2-й разряд
8	D3	Вход	Данные, 3-й разряд
9	DY3	Выход	Данные, 3-й разряд
10	C	Вход	Тактовый сигнал
11	GND	—	Общий
12	DY4	Выход	Данные, 4-й разряд
13	D4	Вход	Данные, 4-й разряд
14	D5	Вход	Данные, 5-й разряд
15	DY5	Выход	Данные, 5-й разряд
16	DY6	Выход	Данные, 6-й разряд
17	D6	Вход	Данные, 6-й разряд
18	D7	Вход	Данные, 7-й разряд
19	DY7	Выход	Данные, 7-й разряд
20	EZDY	Вход	Разрешение выходов данных
21	EWR	Вход	Разрешение записи
22	U_{CC}	—	Напряжение питания

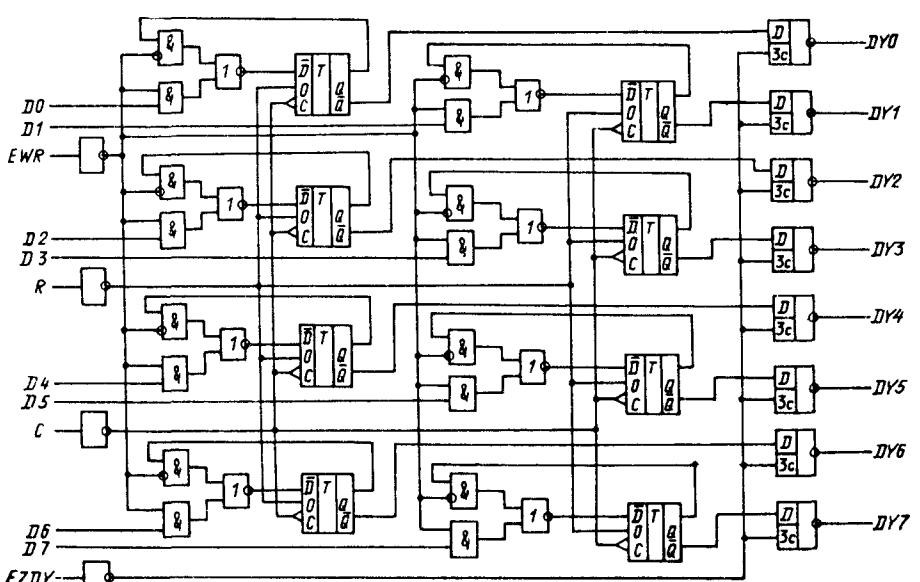


Рис 13 55. Структурная схема КМ1804ИР2

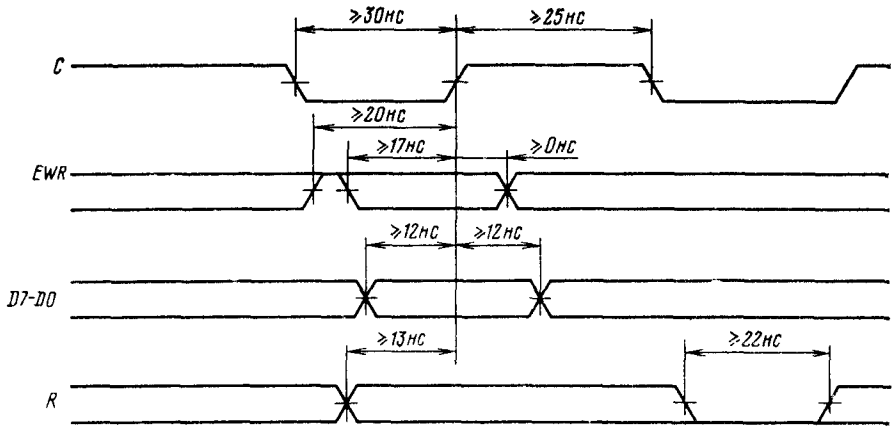


Рис. 13.56. Временна́я диаграмма работы КМ1804ИР2

показана на рис. 13.55, временна́я диаграмма работы — на рис. 13.56.

Микросхема КМ1804ИР2 имеет восемь входов данных *(D7—D0)*, вход обнуления регистра *(R)*, вход разрешения записи *(EWR)*, тактовый вход *(C)*, вход разрешения выходов *(EZDY)* и восемь выходов данных *(DY7—DY0)*. Микросхема позволяет: записывать информацию, хранить и регенерировать информацию, обнулять записанную информацию.

Синхронизация регистра осуществляется положительным фронтом сигнала, поступающего на тактовый вход *C*. Выходы данных *DY7—DY0* являются выходами на три состояния. Каждый из восьми разрядов регистра содержит два элемента И, элемент ИЛИ, триггер *D*-типа со входом обнуления и буферную схему с выходом на три состояния.

Кроме указанных элементов микросхема содержит буферные схемы: тактового сигнала, сигнала обнуления, сигнала разрешения записи и сигнала разрешения выходов.

Работа микросхемы осуществляется в соответствии с таблицей истинности (табл. 13.103). Запись информации в регистр производится параллельно со всех восьми входов данных *(D7—D0)* по положительному фронту тактового сигнала, подаваемого на тактовый вход *C*, при наличии сигнала низкого уровня на входе разрешения записи *EWR* и сигнала высокого уровня на входе обнуления *R*. Записанная информация передается параллельно на все выходы данных *(DY7—DY0)* при наличии сигнала низкого уровня на входе разрешения выходов *EZDY*.

Хранение и регенерация информации осуществляются при наличии сигнала высокого уровня на входе разрешения записи *EWR* и сигнала высокого уровня на входе обнуления *R*.

Обнуление информации производится путем подачи на вход обнуления *R* сигнала низкого уровня независимо от состояния на других входах микросхемы.

Перевод выводов данных *DY7—DY0* в третье состояние не изменяет записанной информации и осуществляется путем подачи на вход разрешения выходов *EZDY* сигнала высокого уровня.

Основные электрические параметры микросхемы приведены в табл. 13.104.

Таблица 13.103

Режим работы	Состояние входов					Состояние регистра		Состояние выходов *DY*
	EWR	*R*	*EZDY*	D_i	*C*	предыдущее	последующее	
Запись информации	0	1	1	1	↑	*X*	1	*Z*
	0	1	1	0	↑	*X*	0	*Z*
	0	1	0	1	↑	*X*	1	1
	0	1	0	0	↑	*X*	0	0
Хранение и регенерация информации	1	1	1	*X*	1	1	1	*Z*
	1	1	1	*X*	0	0	0	*Z*
	1	1	0	*X*	1	1	1	1
	1	1	0	*X*	0	0	0	0
Обнуление записанной информации	*X*	0	1	*X*	*X*	*X*	0	*Z*
	X	0	0	*X*	*X*	*X*	0	0

Примечание. *X* — безразлично: 0 или 1, *Z* — состояние «отключено»; ↑ — положительный перепад.

Таблица 13.104

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения	Вывод микросхемы
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$I_{OL}=8$ мА	Все выходы
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$I_{OH}=-1$ мА	Все выходы
Входной ток низкого уровня, мА	I_{IL}	—0,36	$U_{IL}=0,4$ В	Все входы
Входной ток высокого уровня, мкА	I_{IH}	20	$U_{IH}=2,7$ В	Все входы
Максимальный входной ток высокого уровня, мА	$I_{IH\,max}$	1,0	$U_{IH}=5,5$ В	Все входы
Ток потребления, мА	I_{CC}	37	$U_{CC}=5,25$ В	—
Время задержки распространения сигнала, нс	t_P^*	43 45	$C_L=50$ пФ	От R до DY От C до DY

* Типовое значение времени задержки распространения сигнала от входа $EZDY$ до выходов $DY0$—$DY7$ равно 30 нс при разрешении (C_L=50 пФ) и 39 нс при запрете (C_L=5 пФ).

13.19. Рекомендации по применению

В составе микропроцессорного комплекта серии КМ1804 имеется достаточный набор микросхем, предназначенных для построения основных узлов центральных процессоров микро-ЭВМ и других вычислительных устройств. Такие свойства микросхем серии, как высокое быстродействие, микропрограммное управление и разрядно-модульная организация позволяют разработчикам аппаратуры проектировать вычислительные устройства, системы обработки данных и системы управления весьма широкого класса.

На рис. 13.57—13.66 приведены типовые примеры применения микросхем серии КМ1804, иллюстрирующие основные принципы включения микросхем при построении многоразряд-

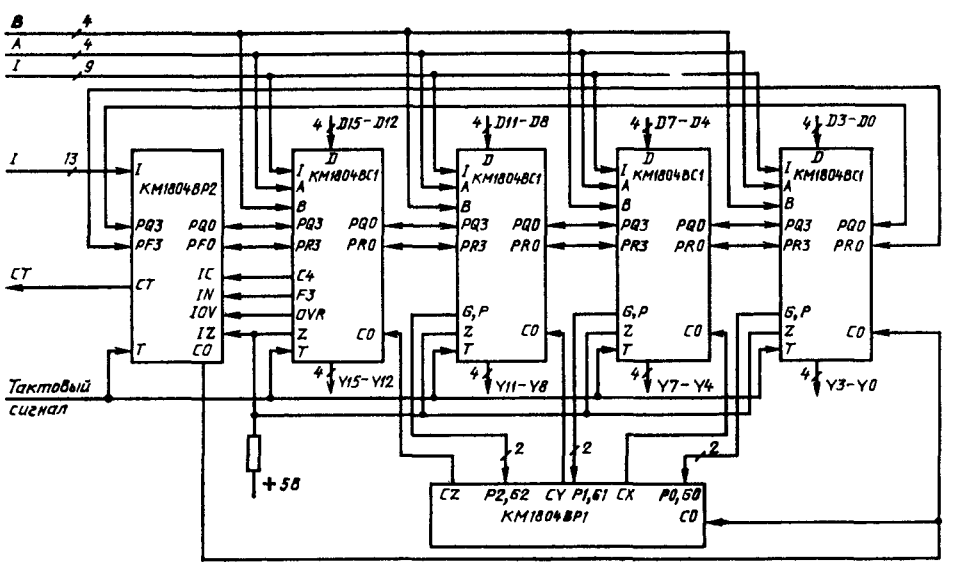


Рис. 13.57. Пример построения 16-разрядного вычислительного устройства на микросхеме КМ1804ВС1

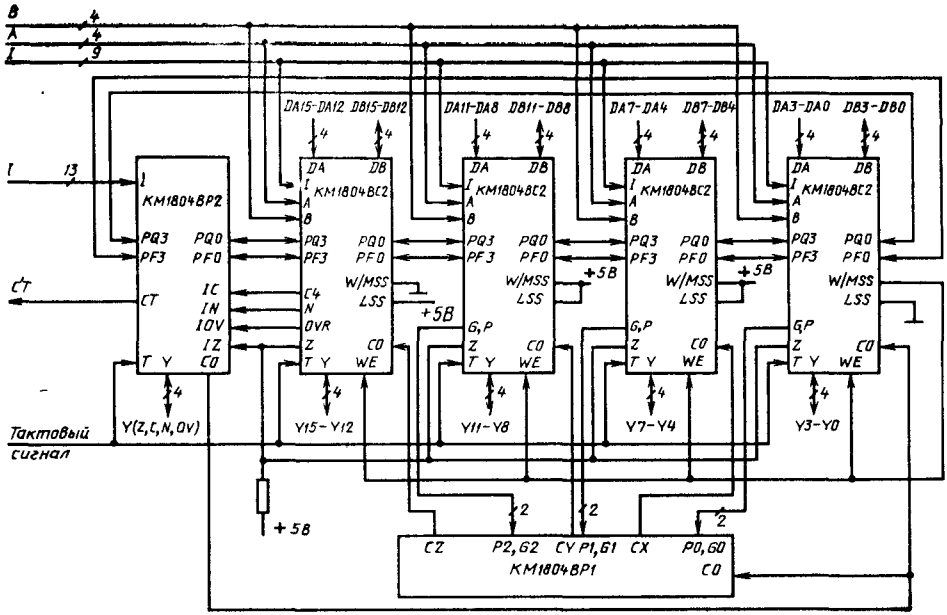


Рис. 13.58. Пример построения 16-разрядного вычислительного устройства на микросхеме КМ1804ВС2

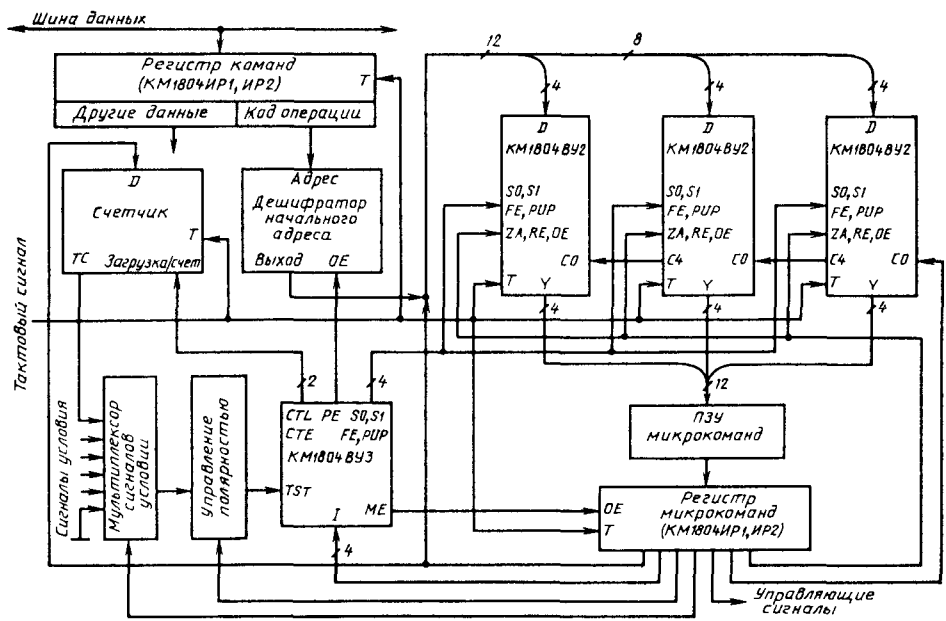


Рис. 13.59. Пример построения устройства микропрограммного управления на микросхемах КМ1804ВУ2 (КМ1804ВУ1), КМ1804ВУ3

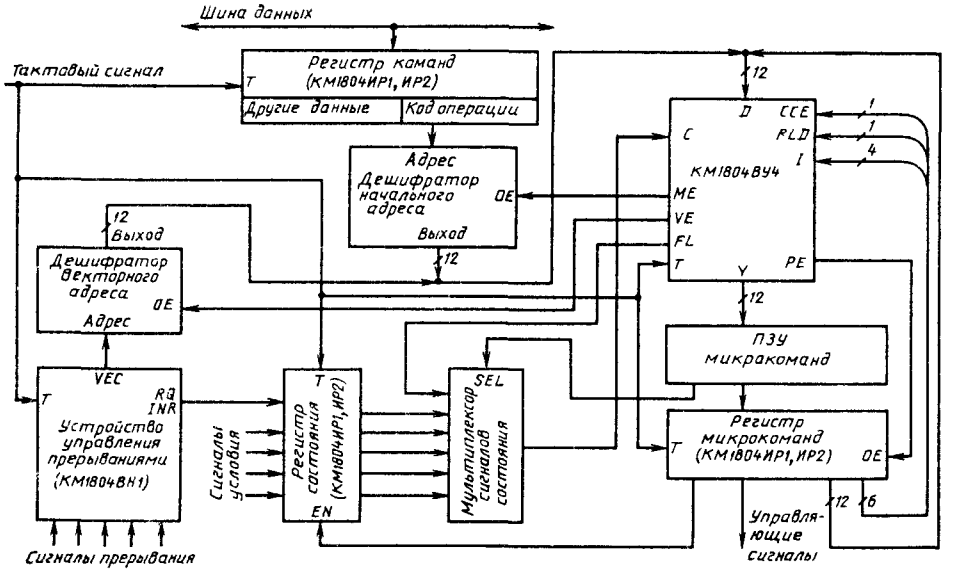


Рис. 13.60. Вариант применения КМ1804ВУ4 в устройстве микропрограммного управления

ных узлов вычислительных устройств. Не претендуя на всеобъемлющую полноту охвата огромного числа вариантов применения микросхем, приведенные типовые примеры, несомненно, облегчат разработчикам аппаратуры выбор и взаимное согласование конкретных типов микросхем.

Надежность микросхем в аппаратуре обеспечивается не только качеством самих микросхем, но и правильным их применением в соответствии с ГОСТ 18725—83.

Для предотвращения отказов, связанных с воздействием статического электричества, следует принимать меры, исключающие его воздействие на микросхемы. Необходимо обеспечивать непрерывный контакт оператора с «землей» с помощью специального антистатического браслета, использовать рабочее место, тару

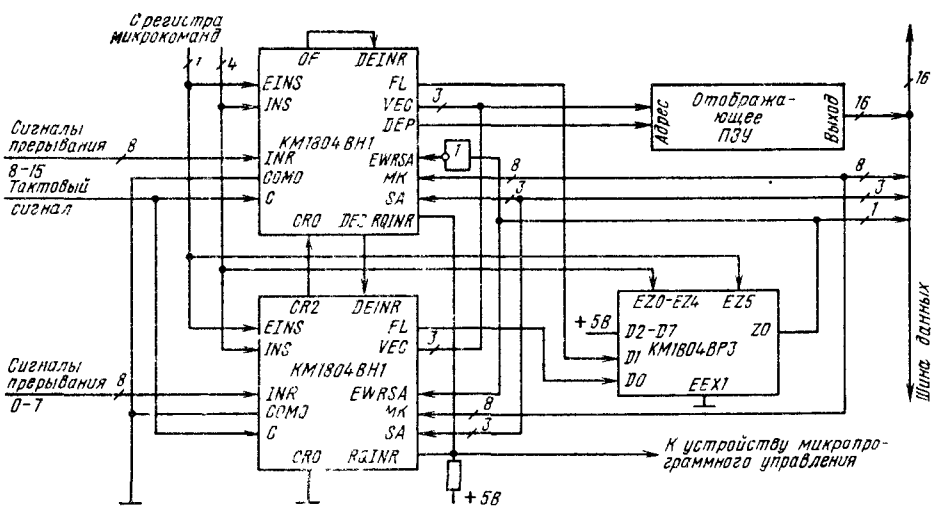


Рис. 13.61. Пример построения 16-разрядной схемы векторного приоритетного прерывания

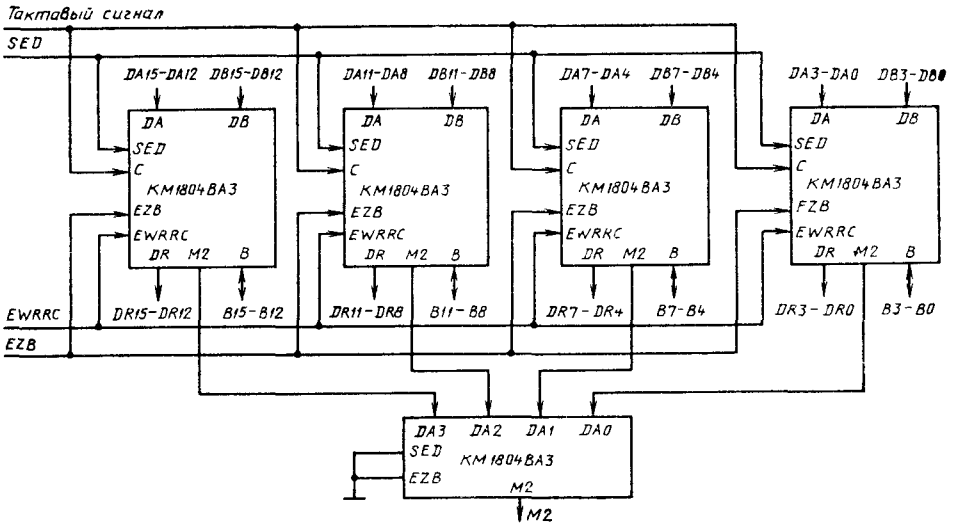


Рис. 13 62. Пример построения 16-разрядного канального приемопередатчика

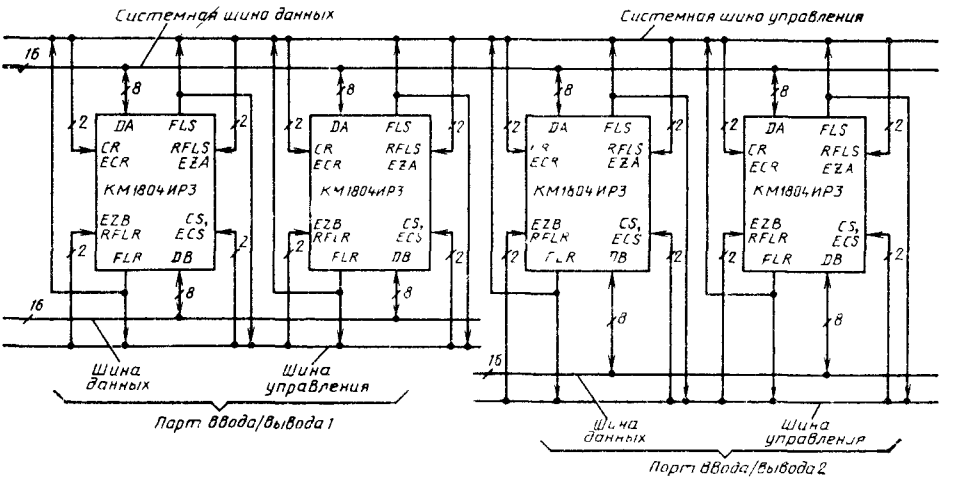


Рис. 13.63 Организация портов ввода/вывода

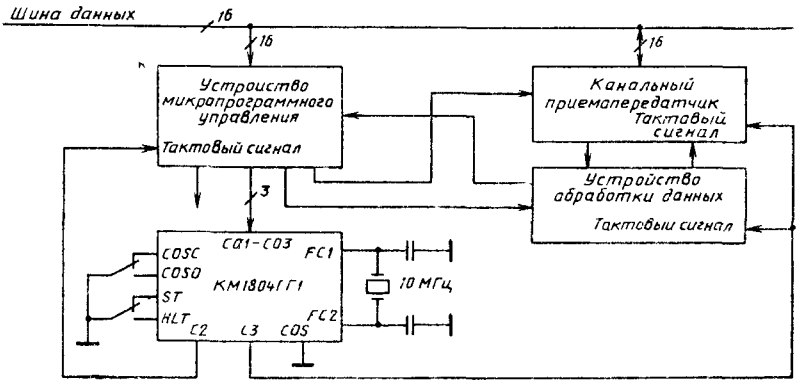


Рис. 13 64. Пример использования микросхемы КМ1804ГГ1

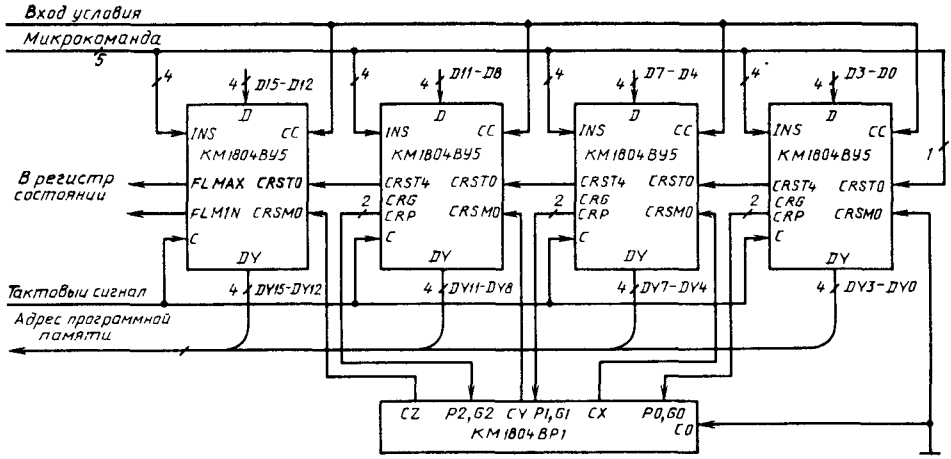


Рис. 13.65. Построение 16-разрядного блока управления адресом программной памяти

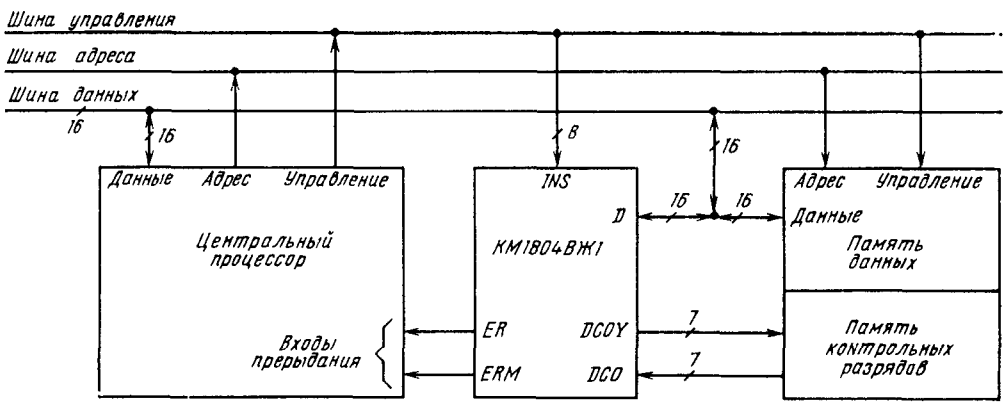


Рис. 13.66. Пример использования микросхемы КМ1804ВЖ1

н приспособления, выполненные из материалов с малым поверхностным сопротивлением, и т. д.

Крепление микросхем к печатной плате в аппаратуре осуществляется методом пайки выводов. Расстояние от корпуса до места пайки должно быть не менее 1 мм. При пайке необходимо обеспечивать отвод теплоты от корпуса микросхемы или ограничивать время пайки (2—3 с).

При ремонте аппаратуры замену микросхем необходимо проводить при отключенных источниках питания

Свободные неиспользуемые в аппаратуре входы, входы/выходы микросхем необходимо подключать к источнику постоянного напряжения 5±0,25 В через резистор сопротивлением 1 кОм. К одному резистору допускается подключать до 20 свободных входов. Объединение входов/выходов между собой не допускается.

При эксплуатации микросхем в составе аппаратуры следует обеспечивать такой тепловой режим, при котором температура корпуса или окружающей его среды не превышала бы 70 °С.

Должен быть обеспечен надежный контакт общего вывода микросхем с общей шиной на печатной плате. Для предотвращения высокочастотных наводок на микросхему рекомендуется подключать между выводом питания и общим выводом конденсатор емкостью не менее 200 пФ. Конденсатор должен быть размещен как можно ближе к микросхеме и соединен с нею проводниками минимальной длины.

Глава 14

Микропроцессорный комплект серии КА1808

Микросхемы серии КА1808 предназначены для построения встраиваемых микропроцессорных систем автоматического управления фотоаппаратурой и обеспечивают:

расчет экспонометрических величин с точностью до 1/8 экспонометрической ступени в диапазоне 22 ступеней освещенности;

отсчет выдержек от 1/1024 до 32 с;

работу в режиме «Автомат выдержки» (по введенным значениям освещенности, светосилы объектива, чувствительности фотоматериала и диафрагмы рассчитывается выдержка);

работу в режиме «Автомат диафрагмы», в котором вводится выдержка, а в остальном работа аналогична предыдущему режиму;

работу в программном режиме (пара «выдержка — диафрагма» выбирается по линейному закону до полного открытия диафрагмы с продолжением регулирования только по выдержке);

автоматический выбор выдержки с «репетитором» (освещенность измеряется через задиафрагмированный объектив);

непрерывный контроль напряжений питания.

В состав комплекта, изготавливаемого по И²Л- и ТТЛ-технологиям, входят четыре микросхемы (табл. 14.1).

Таблица 14.1

Тип микросхемы	Функциональное назначение	Тип корпуса
КА1808ВМ1	8-разрядный центральный процессорный элемент	4117.22-3
КА1808ИР1	8-разрядный аналого-цифровой преобразователь	4109.20-1
КА1808ВВ1	Синхронизация и управление	4109.20-1
КА1808ВУ1	Управление светодиодным индикатором	4117.22-3

Общие параметры МПК

Разрядность (для КА1808ВМ1 и КА1808ИР1)	8
Частота синхронизации . .	32 кГц
Напряжения питания . . .	1,5 В$^{+20\%}_{-5}$, 5,0 В$^{+10\%}_{-20}$
Ток потребления:	
КА1808ВМ1	20 мА
для остальных микросхем	10 мА

Системы, построенные на базе комплекта, могут эксплуатироваться как в стационарных, так и в подвижных (носимых) устройствах. В последнем случае благодаря незначительному потреблению питание осуществляется от малогабаритной батареи напряжением +5,0 В.

14.1. Микросхема КА1808ВМ1

Микросхема КА1808ВМ1 — центральный процессорный элемент (ЦПЭ) систем управления фотоаппаратурой, предназначен для приема, хранения, арифметико-логической обработки входной информации, выдачи данных и управляющих сигналов.

Условное графическое обозначение микросхемы приведено на рис. 14.1, назначение выводов — в табл. 14.2, структурная схема показана на рис. 14.2.

В состав ЦПЭ входят: программируемая логическая матрица (ПЛМ); блок модификации адреса (БМА); регистр адреса микрокоманды (РАМК); регистр кода освещенности (РО); мультиплексор входных данных (М); блок формирования сигналов управления (БФСУ); преобразователь кодов *x/y*; арифметико-логическое устройство (АЛУ); блок индикации (БИ); блок отработки (БО); счетчик (СТ); схема синхронизации (СС).

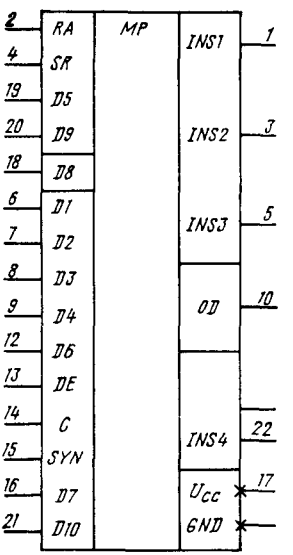


Рис. 14.1. Условное графическое обозначение КА1808ВМ1

Таблица 14.2

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*INS1*	Выход	Сигнал «Блокировка питания»
2	*RA*	Вход	Сигнал «Затвор открыт»
3	*INS2*	Выход	Сигнал управления устройством отработки диафрагмы
4	*SR*	Вход	Сигнал начальной установки
5	*INS3*	Выход	Сигнал управления устройством подъема зеркала
6	*D1*	Вход	Информация о чувствительности фотоматериала
7	*D2*	Вход	Информация о выдержке или диафрагме
8	*D3*	Вход	Информация о режимах работы
9	*D4*	Вход	Информация о светосиле объектива
10	*OD*	Выход	Рассчитанная информация
11	*GND*	—	Общий
12	*D6*	Вход	Информация об отработанной диафрагме
13	*DE*	Вход	Сигнал готовности устройства отработки диафрагмы
14	*C*	Вход	Стробирующий сигнал
15	*SYN*	Вход	Сигнал синхронизации
16	*D7*	Вход	Информация об освещенности, лампе вспышки и состоянии источника питания
17	U_{CC}	—	Напряжение питания
18	*D8*	Вход	Сигнал «Отключение индикации»
19	*D5*	Вход	Сигнал «Спуск затвора»
20	*D9*	Вход	Сигнал «Пленка перемотана»
21	*D10*	Вход	Сигнал «Экспонометрическая память»
22	*INS4*	Выход	Сигнал управления светодиодом

Микросхема может работать в трех основных режимах: расчета, отработки, задержки отработки на 2 и 10 с.

Управление работой ЦПЭ осуществляется с помощью управляющих сигналов и командных слов. Управляющие сигналы подаются по выводам *2, 4, 13, 18—21*. Функциональное назначение управляющих сигналов приведено в табл. 14.3. Командные слова подаются в последовательных кодах в соответствии с временной диаграммой, приведенной на рис. 14.3. Содержание команд приведено в табл. 14.4. Информационные слова также подаются в последовательных кодах.

Вся входная информация (за исключением освещенности) подается в кодах Грея, что обеспечивает высокую достоверность ввода информации при использовании механических наборников кодов.

На вывод *6* подается код фоточувствительности материала (табл. 14.5), на вывод *7* — код выдержки или диафрагмы (табл. 14.6 и 14.7 соответственно), на вывод *9* — код светосилы объектива (табл. 14.8).

Информация об освещенности представляется в коде 8-4-2-1 и подается на вывод *16* после поступления на этот вывод лог. 1 в восьмом разряде предыдущего слова (см. рис. 14.3 и табл. 14.4).

На рис. 14.4 приведены схемы входных и выходных каскадов микросхемы.

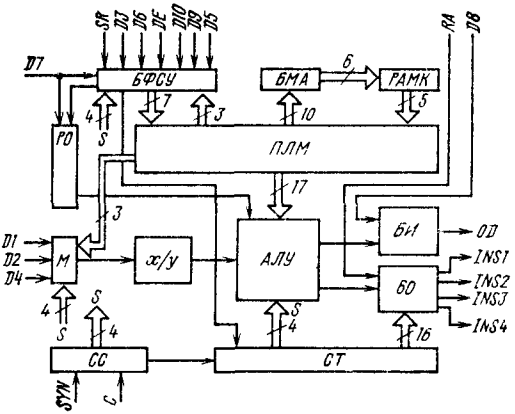


Рис. 14.2. Структурная схема КА1808ВМ1

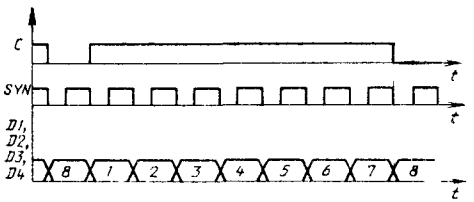


Рис. 14.3. Временна́я диаграмма подачи ко мандных слов в последовательном коде. Цифрами 1—8 обозначены разряды слов

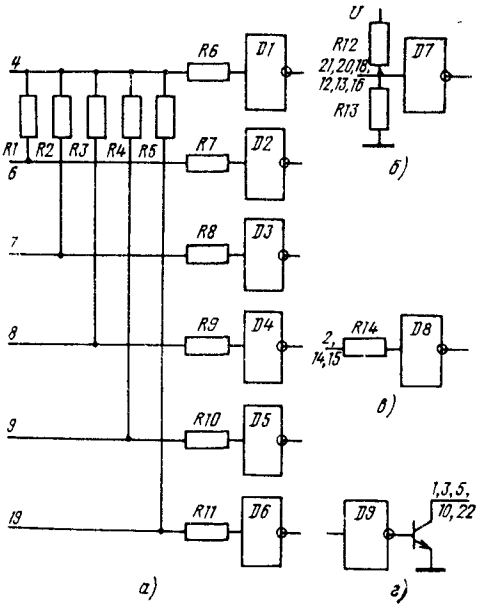


Рис. 14.4. Схемы входных и выходных каскадов КА1808ВМ1.

а — входов *SR*, *D1—D5*; *б* — входов *D6—D10*, *DE*; *в* — входов *RA*, *C*, *SYN*; *г* — выходов *INS1—INS4*, *OD*

Таблица 14.3

Вывод	Состояния входов	Выполняемая функция
2	1	Затвор открыт, начать отсчет выдержки
	0	Затвор закрыт
4	1	Начальная установка
	0	Разрешение ввода информации
20	1	Конец отработки выдержки, возвращение ЦПЭ в режим расчета
	0	Разрешен переход ЦПЭ в режим отработки
21	1	Хранение первого пришедшего значения освещенности «экспопамять»
	0	Обычная работа с вводом значения освещенности в каждом цикле расчета
19	1	Начало режима отработки (Пуск)
	0	Работа в режиме расчета
18	1	Запрет выдачи сигналов управления свечением на вывод *10*
	0	Разрешение индикации
13	1	Блок отработки диафрагмы к работе готов
	0	Блок отработки диафрагмы к работе не готов
	X	Запрет режима отработки

Примечания. 1. За уровень лог 1 здесь и в дальнейшем принят низкий уровень, т. е информация представлена в отрицательной логике.
2 *X* — состояние входа безразлично

Таблица 14.4

Вывод	Код команды	Описание команды
8	XXX1XXXX	Измерение освещенности через задиафрагмированный объектив «Репетитор»
	XXX0XXXX	Работа без «Репетитора»
	XXXXX00X	Режим без задержки спуска
	XXXXX01X	Задержка спуска на 2 с
	XXXXX11X	Задержка спуска на 10 с
	XXXX1XXX	Ручная установка диафрагмы
	XXXX0XXX	Автоматическая установка диафрагмы

Окончание табл. 14.4

Вывод	Код команды	Описание команды
7	XXXXXXX0	Режим «Автомат диафрагмы»
	XXXXXXX1	Режим «Автомат выдержки»
	00111100	Режим «Программный автомат»
	00000100	Режим «Выдержка от руки»
16	X1XXXXX0	Ручной режим лампы вспышки
	X0XXXXX0	Автоматизированная лампа вспышки (ЛВ)
	XX00XXX0	Работа без ЛВ
	XX01XXX0	Режим «Контроль питания»
	XX10XXX0	Работа с ЛВ при выдержке 1/60
	XX11XXX0	Работа с мощной ЛВ с выдержками, задаваемыми по выводу 7, но больше 1/60
	XXXXX1XX	Признак «питание системы ниже нормы» или блокировать ЦПЭ
	XXXXXXX1	Команда «Принять код освещенности, начиная со следующего такта»
	XXXXX0XX	Признак «питание в норме»

Примечания: 1. В графе «Код команды» последовательность разрядов дана слева направо
2 *X* — состояние входа безразлично.

Таблица 14.5

Чувствительность фотопленки в единицах ASA	Состояние разрядов кода чувствительности фотопленки							
	1	2	3	4	5	6	7	8
6	0	0	0	0	0	0	0	1
10	0	0	0	0	0	0	1	0
12	0	0	0	0	0	1	1	0
16	0	0	0	0	0	1	1	1
20	0	0	0	0	0	1	0	1
25	0	0	0	0	1	1	0	1
32	0	0	0	0	1	1	0	0
40	0	0	0	0	1	1	1	0
50	0	0	0	0	1	0	1	0
64	0	0	0	0	1	0	1	1
80	0	0	0	0	1	0	0	1
100	0	0	0	1	1	0	0	1
125	0	0	0	1	1	0	0	0
160	0	0	0	1	1	0	1	0
200	0	0	0	1	1	1	1	0
250	0	0	0	1	1	1	1	1
320	0	0	0	1	1	1	0	1
400	0	0	0	1	0	1	0	1
500	0	0	0	1	0	1	0	0
650	0	0	0	1	0	1	1	0
800	0	0	0	1	0	0	1	0
1000	0	0	0	1	0	0	1	1
1250	0	0	0	1	0	0	0	1
1600	0	0	1	1	0	0	0	1
2000	0	0	1	1	0	0	0	0
2500	0	0	1	1	0	0	1	0
3200	0	0	1	1	0	1	1	0
4000	0	0	1	1	0	1	1	1
5000	0	0	1	1	0	1	0	1
6400	0	0	1	1	1	1	0	1
8000	0	0	1	1	1	1	0	0
10 000	0	0	1	1	1	1	1	0
12 800	0	0	1	1	1	0	1	0

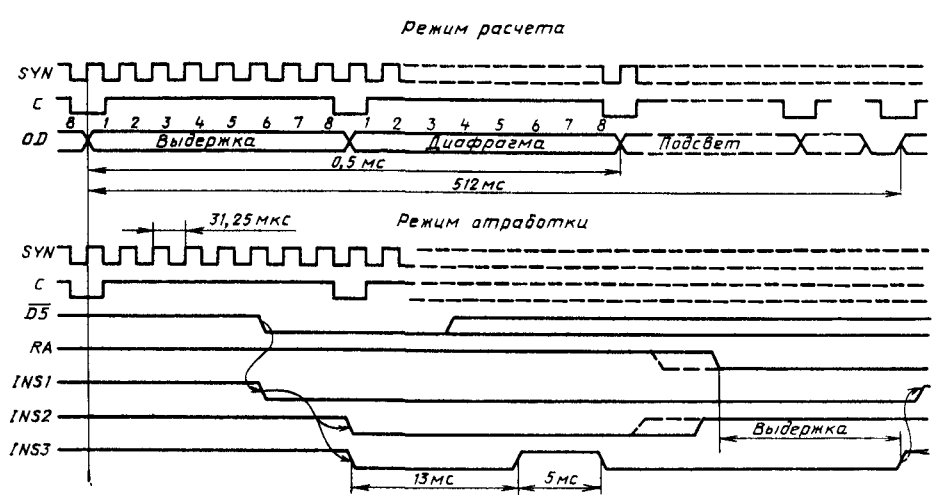


Рис. 14.5. Временная диаграмма работы КА1808ВМ1

Таблица 14.6

Время выдержки, с	Состояние разрядов кода выдержки								Время выдержки, с	Состояние разрядов кода выдержки							
	1	2	3	4	5	6	7	8		1	2	3	4	5	6	7	8
В	0	0	0	0	0	1	0	0	1/8	0	0	0	1	0	1	0	0
32	0	0	0	0	1	1	0	0	1/16	0	0	0	1	0	1	1	0
16	0	0	0	0	1	1	1	0	1/32	0	0	0	1	0	0	1	0
8	0	0	0	0	1	0	1	0	1/64	0	0	0	1	0	0	0	0
4	0	0	0	0	1	0	0	0	1/128	0	0	1	1	0	0	0	0
2	0	0	0	1	1	0	0	0	1/256	0	0	1	1	0	0	1	0
1	0	0	0	1	1	0	1	0	1/512	0	0	1	1	0	1	1	0
1/2	0	0	0	1	1	1	1	0	1/1024	0	0	1	1	0	1	0	0
1/4	0	0	0	1	1	1	0	0	П	0	0	1	1	1	1	0	0

Примечание. В—режим ручной отработки выдержки; П—программный режим работы

Таблица 14.7

Значение диафрагмы, отн. ед.	Состояние разрядов кода диафрагмы								Значение диафрагмы, отн. ед.	Состояние разрядов кода диафрагмы							
	1	2	3	4	5	6	7	8		1	2	3	4	5	6	7	8
1,2	0	0	0	0	0	1	0	1	5,6	0	0	0	1	0	1	0	1
1,4	0	0	0	0	1	1	0	1	6,7	0	0	0	1	0	1	1	1
1,8	0	0	0	0	1	1	1	1	8,0	0	0	0	1	0	0	1	1
2,0	0	0	0	0	1	0	1	1	9,5	0	0	0	1	0	0	0	1
2,5	0	0	0	0	1	0	0	1	11	0	0	1	1	0	0	0	1
2,8	0	0	0	1	1	0	0	1	13	0	0	1	1	0	0	1	1
3,5	0	0	0	1	1	0	1	1	16	0	0	1	1	0	1	1	1
4,0	0	0	0	1	1	1	1	1	19	0	0	1	1	0	1	0	1
4,5	0	0	0	1	1	1	0	1	22	0	0	1	1	1	1	0	1

Таблица 14.8

Значение светосилы объектива, отн. ед.	Состояние разрядов кода светосилы объектива								Значение светосилы объектива, отн. ед.	Состояние разрядов кода светосилы объектива							
	1	2	3	4	5	6	7	8		1	2	3	4	5	6	7	8
1,2	0	0	0	0	0	1	0	0	2,8	0	0	0	1	1	0	0	0
1,4	0	0	0	0	1	1	0	0	3,5	0	0	0	1	1	0	1	0
1,8	0	0	0	0	1	1	1	0	4,0	0	0	0	1	1	1	1	0
2,0	0	0	0	0	1	0	1	0	4,5	0	0	0	1	1	1	0	0
2,5	0	0	0	0	1	0	0	0	5,6	0	0	0	1	0	1	0	0

Таблица 14.9

Время выдержки, с	Состояние разрядов кода времени выдержки на выходе микросхемы								Время выдержки, с	Состояние разрядов кода времени выдержки на выходе микросхемы							
	1	2	3	4	5	6	7	8		1	2	3	4	5	6	7	8
32	0	0	0	0	0	1	0	0	1/8	0	0	0	0	0	1	1	0
16	0	0	0	1	0	1	0	0	1/16	0	0	0	1	0	1	1	0
8	0	0	0	0	1	1	0	0	1/32	0	0	0	0	1	1	1	0
4	0	0	0	1	1	1	0	0	1/64	0	0	0	1	1	1	1	0
2	0	0	0	0	0	0	1	0	1/128	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0	1/256	0	0	0	1	0	0	0	1
1/2	0	0	0	0	1	0	1	0	1/512	0	0	0	0	1	0	0	1
1/4	0	0	0	1	1	0	1	0	1/1024	0	0	0	1	1	0	0	1

Таблица 14.10

Значение диафрагмы, отн. ед.*	Состояние разрядов кода диафрагмы на выходе микросхемы						Значение диафрагмы, отн. ед.	Состояние разрядов кода диафрагмы на выходе микросхемы						Значение диафрагмы, отн. ед	Состояние разрядов кода диафрагмы на выходе микросхемы					
	3	4	5	6	7	8		3	4	5	6	7	8		3	4	5	6	7	8
1,2	1	1	0	0	0	0	3,5	1	0	0	1	0	0	9,5	1	1	1	1	0	0
1,4	0	0	1	0	0	0	4,0	0	1	0	1	0	0	11	0	0	0	0	1	0
1,8	1	0	1	0	0	0	4,5	1	1	0	1	0	0	13	1	0	0	0	1	0
2,0	0	1	1	0	0	0	5,6	0	0	1	1	0	0	16	0	1	0	0	1	0
2,5	1	1	1	0	0	0	6,7	1	0	1	1	0	0	19	1	1	0	0	1	0
2,8	0	0	0	1	0	0	8,0	0	1	1	1	0	0	22	0	0	1	0	1	0

Примечание. Состояние первых двух разрядов кода безразлично

Таблица 14.11

Параметр, режим измерения	Обозначение	Значения параметров [макс (мин)]
Выходное напряжение низкого уровня, В, при $U_{CC}=1{,}5$ В $\pm^{20}_{5}\%$, $U_{IH1}=1{,}1$ В, $U_{IH2}=2{,}3$ В, $I_{OL}=100$ мкА, $U_{IL}=0{,}5$ В	U_{OL}	0,4
Ток потребления, мА, при $U_{CC}=1{,}5$ В $^{+20}_{-5}\%$	I_{CC}	22
Входной ток низкого уровня, мкА:	I_{IL}	
для выводов *2, 12, 13, 16, 18, 20, 21*:		
при $U_{CC}=1{,}5$ В+20 %, $U_{IL}=0{,}4$ В		|−100|
при $U_{CC}=1{,}5$ В−5 %, $U_{IL}=0{,}4$ В		(|−10|)
для вывода *4* при $U_{CC}=1{,}5$ В+20%, $U_{IL}=0{,}4$ В		100
для выводов *6—9, 19* при $U_{CC}=1{,}5$ В+20 %, $U_{IL}=0{,}4$ В, $U_{IH}=2{,}4$ В		|−300|
для выводов *14, 15* при $U_{CC}=1{,}5$ В+20 %, $U_{IL}=0{,}4$ В		10
Выходной ток высокого уровня, мкА, при $U_{CC}=1{,}5$ В $^{+20}_{-5}\%$, $U_{IH1}=1{,}1$ В, $U_{IH2}=2{,}3$ В, $U_{IL}=0{,}5$ В	I_{OH}	10
Входной ток высокого уровня, мкА:	I_{IH}	
для выводов *2, 12, 13, 16, 18, 20, 21* при $U_{CC}=1{,}5$ В+20 %, $U_{IH}=1{,}2$ В		100
для вывода *4*		500
для выводов *6—9, 19* при $U_{CC}=1{,}5$ В − 5%, $U_{IH}=2{,}4$ В		150
для вывода *14*		100
для вывода *15* при $U_{CC}=1{,}5$ В−5 %, $U_{IH}=1{,}2$ В		500
Ток утечки на выходе, мкА, при $U_{CC}=1{,}5$ В $^{+20}_{-5}\%$, $U_{IH}=1{,}1$ В, $U_{IH2}=2{,}3$ В, $U_{IL}=0{,}5$ В, $U_{OH}=5{,}5$ В	I_{LO}	250

Временна́я диаграмма функционирования ЦПЭ в режимах расчета и отработки приведена на рис. 14.5. Цифрами 1—8 на временно́й диаграмме обозначены разряды слова. Переключение выходов *INS2, INS3* из высокого уровня в низкий происходит только в разряде 8, а в режиме задержки спуска — через 2 или 10 с после выдачи низкого уровня на вывод *INS1*.

Кодирование информации, выдаваемой на выход, приведено в табл. 14.9 и 14.10. После выдачи лог. 1 в разряде 8 выдается 8-разрядное слово выдержки, а через два такта — 6-разрядное слово диафрагмы. В первом и втором тактах выдаются признаки «Выдержка от руки» и «Устройство отработки диафрагмы не готово» соответственно. Наличию признака соответствует уровень лог. 1.

Основные электрические параметры микросхемы КА1808ВМ1 приведены в табл. 14.11.

14.2. Микросхема КА1808ИР1

Микросхема КА1808ИР1 — аналого-цифровой преобразователь системы управления фотоаппаратурой, предназначен для преобразования аналогового сигнала (напряжения) по одному из двух входов в цифровой последовательный код, получения стабилизированного напряжения для схем с инжекционным питанием и передачи специальных признаков «Готовность лампы вспышки», «Тип лампы вспышки», «Питание ниже нормы», «Контроль питания».

Условное графическое обозначение микросхемы приведено на рис. 14.6, назначение выводов — в табл. 14.12, структурная схема показана на рис. 14.7.

В состав АЦП входят: схема начальных установок и контроля питания (СНКП); аналоговый ключ (АК); аналоговый интегратор

Таблица 14.12

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 2	*NC1, NC2*	Входы	Коррекция интегратора
3	*DR1*	Выход	Интегратор
4	*V1*	Вход	Интегратор
5	U_{CC}	—	Напряжение питания
6	U_0	Выход	Стабилизированное напряжение
7, 11	*V2, V3*	Входы	Аналоговый сигнал
8	*DR2*	Выход	Аналоговый сигнал
9	*PSB3*	Выход	Контроль опорного напряжения
10	*GND*	—	Общий
12	*V4*	Вход	Сигнал от лампы вспышки
13	*D*	Выход	Информация
14	*SYN1*	Вход	Сигнал синхронизации
15	*SYN2*	Вход	Стробирующий сигнал
16	*PSB1*	Вход	Коррекция схемы начальных установок и контроля питания
17	*PSB2*	Вход	Сигнал «Контроль питания»
18	*PSB4*	Выход	Усилитель
19	*V5*	Вход	Усилитель

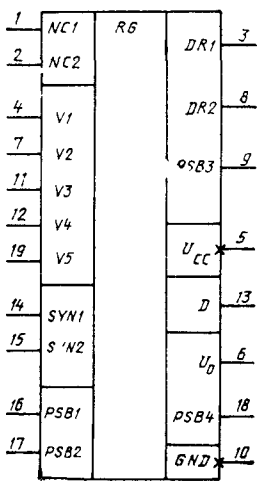


Рис. 14.6. Условное графическое обозначение КА1808ИР1

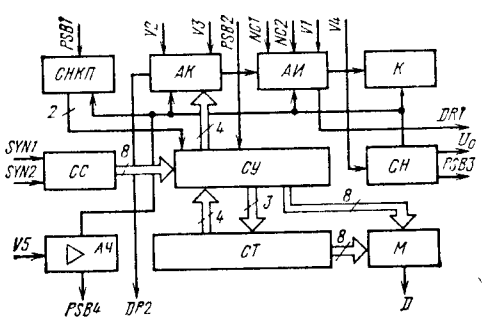


Рис. 14.7. Структурная схема КА1808ИР1

(АИ); компаратор (К); схема синхронизации (СС); схема управления (СУ); стабилизатор напряжения (СН); аналоговый усилитель (АУ); 8-разрядный счетчик (СТ); выходной мультиплексор (М).

Для аналого-цифрового преобразования используется метод двухшагового интегрирования, обладающий достаточно высокой точностью преобразования.

Временна́я диаграмма работы микросхемы приведена на рис. 14.8. Цикл преобразования составляет 22 мс, время заряда емкости 11 мс, время формирования цифрового эквивалента зависит от уровня входного напряжения (на временно́й диаграмме зависимость показана штриховой линией по выводам *DR1, DR2*.

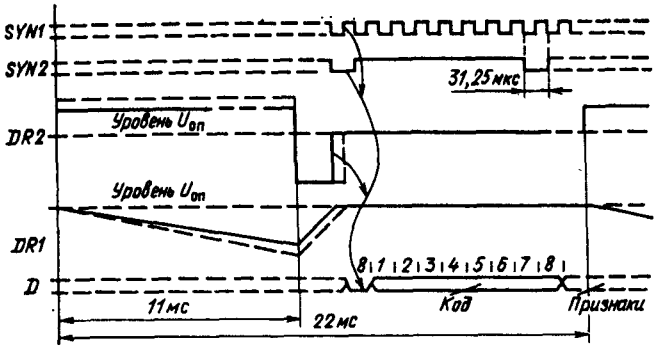


Рис. 14.8. Временна́я диаграмма работы КА1808ИР1. Цифрами 1—8 обозначены разряды слов

Таблица 14.13

Параметр, режим измерения	Обозначение	Значения параметров [макс. (мин.)]
Выходное напряжение, В:	U_O	
для вывода *12*:		
при $U_{CC}=5$ В+10%, $I_O=-0{,}5$ мА		1,5
при $U_{CC}=5$ В—20%, $I_O=-0{,}5$ мА		(1,2)
для вывода *18*:		
при $U_{CC}=5$ В+10%, $I_{IH}=2{,}3$ В		0,4
при $U_{CC}=5$ В—20%, $U_{IL}=0{,}5$ В		(1,2)
для вывода *6* при $U_{CC}=5$ В+10%, $I_O=-25$ мА		1,8 (1,425)
для вывода *9* при $U_{CC}=5$ В$^{+10}_{-20}$%, $I_O=-0{,}1$ мА		1,4 (1,1)
Выходное напряжение низкого уровня, В, при $U_{CC}=5$ В$^{+10}_{-20}$%, $U_{IL}=0{,}5$ В, $U_{IH}=1{,}1$ В, $I_{OL}=0{,}1$ мА	U_{OL}	0,4
Входной ток низкого уровня, мкА, при $U_{CC}=5$ В$^{+10}_{-20}$%, $U_{IH}=1{,}1$ В, $U_{IL}=0{,}4$ В:	I_{IL}	
для вывода *11*		|—1000|
для выводов *15, 16*		|—500|
для вывода *14*		10
для вывода *17*		|—5000|
для вывода *19*		|—100|
для вывода *7*		|—10|
Входной ток высокого уровня, мкА:	I_{IH}	
для вывода *7* при $U_{CC}=5$ В$^{+10}_{-20}$%, $U_{IH1}=1{,}2$ В, $U_{IH2}=1{,}1$ В		|—5|
для вывода *11*		|—500|
для вывода *15*		|—250|
для вывода *14* при $U_{CC}=5$ В$^{+10}_{-20}$%, $U_{IH}=1{,}2$ В		(10)
для выводов *16, 19*		100
для вывода *17* при $U_{CC}=5$ В$^{+10}_{-20}$%, $U_{IH}=2{,}4$ В		|—2000|
Выходной ток высокого уровня, мкА, при $U_{CC}=5$ В$^{+10}_{-20}$%, $U_{IH}=1{,}1$ В, $U_{IL}=0{,}5$ В, $U_{OH}=2{,}4$ В	I_{OH}	10
Ток потребления, мА, при $U_{CC}=5$ В$^{+10}_{-20}$%	I_{CC}	10
Ток утечки на выходе, мкА, при $U_{CC}=5$ В$^{+10}_{-20}$%, $U_{OH}=5{,}5$ В, $U_{IH}=1{,}1$ В, $U_{IL}=0{,}5$ В	I_{LO}	250

После окончания процесса формирования на выход *13* в разряде 8 выдается уровень, сигнализирующий, что, начиная со следующего такта, идет код аналогового сигнала. Минимальный код АЦП 00000110, максимальный 10110010.

Диапазон обрабатываемых напряжений по входу *7* 0—1,3 В, по входу *11* 0—1,5 В. По входу *7* большему напряжению соответствует больший код (наклон передаточной характеристики регулируется внешними резисторами). По входу *11* большему напряжению соответствует меньший код (наклон передаточной характеристики 72 мВ/ступень).

Выбор входа осуществляется по входу *12* путем подключения к нему резистора. Без резистора постоянно подключен вход *7*. Признаки, вырабатываемые АЦП, соответствуют признакам, принимаемым ЦПЭ по выводу *16* (см. табл. 14.4).

Основные электрические параметры микросхемы приведены в табл. 14.13.

Таблица 14.14

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*DR3*	Выход	Управление электромагнитом спуска механизма
2	*DR1*	Выход	Управление электромагнитом отработки выдержки
3, 5, 8, 19	*V1—V4*	Входы	Управление режимами
4	*STR*	Выход	Сигнал «Начальная установка»
6	*DR4*	Выход	Сигнал «Затвор открыт»
7	*V5*	Вход	Сигнал «Блокировка питания»
9	*CLR1*	Вход	Подключение резистора коррекции генератора
10, 20	*GND*	—	Общий
11	*CLR3*	Вход	Подключение резистора коррекции схемы
12	*CLR2*	Вход	Подключение конденсатора генератора
13	*DR5*	Выход	Сигнал «Блокировка питания»
14	U_1	Вход	Информационное питание
15	*CLC*	Выход	Сигнал синхронизации
16	U_{CC}	—	Напряжение питания
17	*DR6*	Выход	Управление светодиодом
18	*DR2*	Выход	Управление электромагнитом обработки диафрагмы

14.3. Микросхема КА1808ВВ1

Микросхема КА1808ВВ1 — интерфейсный элемент (ИЭ) систем управления фотоаппаратурой, предназначен для выработки синхросигнала и формирования сигналов управления.

Условное графическое обозначение микросхемы приведено на рис. 14.9, назначение выводов — в табл. 14.14, структурная схема показана на рис. 14.10.

В состав ИЭ входят: генератор управления светодиодом *GN1;* дешифратор *DC;* схема управления *CO1;* схема управления *CO2;* схема задания тока нагрузки *STU;* генератор синхросигнала *GN2*.

Работа схем *DC, CO1, CO2* поясняется табл. 14.15.

Частота генератора *GN1* изменяется от 2 до 15 Гц при изменении напряжения питания от 3,0 до 6,0 В (при подключенном конденсаторе емкостью 30,0 мкФ к выводу *12*).

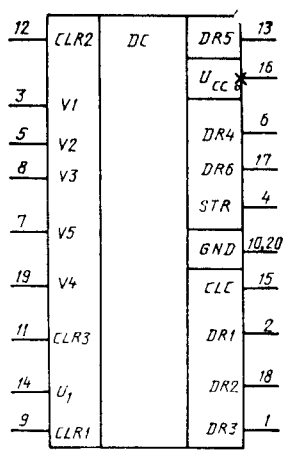


Рис. 14.9. Условное графическое обозначение микросхемы КА1808ВВ1

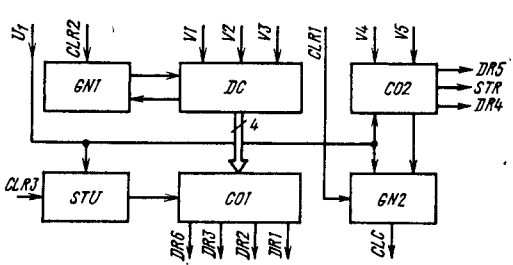


Рис. 14.10. Структурная схема КА1808ВВ1

Схема задания тока нагрузки позволяет при изменении сопротивления резистора (подключенного между выводами *10* и *11*) от 5 до 50 кОм изменять токи нагрузки по выводам *2, 17, 18* в пределах 6—26 мА.

Генератор *GN2* изменяет частоту от 15 до 110 кГц при изменении сопротивления резистора (подключенного между выводами *9* и *14*) от 1 МОм до 50 кОм.

Основные электрические параметры микросхемы приведены в табл. 14.16.

Таблица 14.15

Состояние входов					Состояние выходов					
3	*5*	*7*	*8*	*19*	*1*	*2*	*13*	*17*	*18*	*6*
1	0	X	X	X	0	1	H	H	0	H
0	0	X	X	X	1	0	H	H	0	H
0	1	X	X	X	1	0	H	H	1	H
1	1	X	X	X	1	1	H	H	1	H
0	X	X	X	X	H	0	H	H	H	H
0	X	X	X	X	H	1	H	H	H	H
X	X	0	X	X	H	H	0	H	H	H
X	X	1	X	X	H	H	1	H	H	H
X	0	1	0	X	H	H	H	П	0	H
X	0	X	1	X	H	H	H	1	0	H
X	1	X	0	X	H	H	H	0	1	H
X	1	X	1	X	H	H	H	1	1	H

Продолжение рис. 14.15

Состояние входов					Состояние выходов					
3	*5*	*7*	*8*	*19*	*1*	*2*	*13*	*17*	*18*	*6*
X	0	X	X	X	H	H	H	H	0	H
X	1	X	X	X	H	H	H	H	1	H
X	X	X	X	0	H	H	H	H	H	1
X	X	X	X	1	H	H	H	H	H	0

Примечания: 1. *X* — состояние входа безразлично: H — состояние выхода неопределенное; *П* — режим появления импульсов на выводе *17*.

2. На выводе *15* во всех режимах имеются импульсы синхронизации. После окончания первого импульса на выводе *15* на выводе *4* устанавливается напряжение высокого уровня.

Таблица 14.16

Параметр, режим измерения	Обозначение	Значения параметров [макс. (мин.)]
Выходное напряжение низкого уровня, В:	U_{OL}	
для вывода *4* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $I_{OL}=-100$ мкА, $U_I=0$ В		0,4
для вывода *6* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}42$ В, $I_{OL}=1{,}0$ мА, $U_{IH}=3{,}4$ В		0,4
для вывода *13* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}42$ В, $U_{IL}=0{,}5$ В		0,4
для вывода *1* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}42$ В, $U_{IL}=0{,}5$ В, $U_{IH}=1{,}1$ В, $I_{OL}=10$ мА		0,4
для вывода *17* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}42$ В, $I_{OL}=10$ мА, $U_{IL}=0{,}5$ В		1,2
для выводов *2, 18* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}42$ В, $U_{IL}=0{,}5$ В, $I_{OL}=10$ мА		1,2
Выходное напряжение высокого уровня, В:	U_{OH}	
для вывода *4* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}8$ В, $I_{OH}=-100$ мкА		2,4
для вывода *15* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $I_{OH}=-2{,}0$ мА		1,2
Выходной ток высокого уровня, мкА:	I_{OH}	
для выводов *6, 13* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}8$ В, $U_{IL}=0{,}5$ В, $U_{OH}=2{,}4$ В		10
для выводов *1, 2, 17, 18* при $U_{CC}=5$ В$^{+10}_{-20}$ %, $U_I=1{,}8$ В, $U_{OH}=2{,}4$ В		50
Ток потребления, мА, при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}8$ В	I_{CC}	10
Входной ток низкого уровня, мкА, при $U_{CC}=5{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}8$ В, $U_{IL}=0{,}4$ В:	I_{IL}	
для выводов *3, 5, 7, 8*		|—100|
для вывода *19*		20
Входной ток низкого уровня, мкА, для выводов *3, 5, 7, 8* при $U_{CC}=4{,}0$ В$^{+10}_{-20}$ %, $U_I=1{,}42$ В, $U_{IL}=0{,}4$ В	I_{IL}	|—10|
Входной ток высокого уровня, мкА:	I_{IH}	
для выводов *3, 5, 7, 8* при $U_{CC}=5{,}0$ В$^{+10}_{-20}$%, $U_I=1{,}8$ В, $U_{IH}=1{,}2$ В		100
для вывода *19* при $U_{IH}=5{,}0$ В		100
Входной ток, мА, при $U_{CC}=5{,}5$ В, $U_I=1{,}8$ В	I_I	2,0

Таблица 14.17

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*ICO*	Вход	Коррекция
2	*F2 (1)*	Выход	1-й разряд магистрали
3	*F2 (2)*	Выход	2-й разряд магистрали
4	*F2 (3)*	Выход	3-й разряд магистрали
5	*F2 (4)*	Выход	4-й разряд магистрали
6	*F2 (5)*	Выход	5-й разряд магистрали
7	*F2 (6)*	Выход	6-й разряд магистрали
8	*F2 (7)*	Выход	7-й разряд магистрали
9	*CH*	Вход	Контроль напряжения
10	*D*	Вход	Информация и управление емкостью свечения
11	U_{CC1}	—	Напряжение питания
12	*C*	Вход	Сигнал синхронизации
13	*SR*	Вход	Информационное питание
14	U_{CC2}	—	Напряжение питания
15	*GND*	—	Общий
16	*F1 (1)*	Выход	1-й разряд магистрали
17	*F1 (7)*	Выход	7-й разряд магистрали
18	*F1 (6)*	Выход	6-й разряд магистрали
19	*F1 (5)*	Выход	5-й разряд магистрали
20	*F1 (4)*	Выход	4-й разряд магистрали
21	*F1 (3)*	Выход	3-й разряд магистрали
22	*F1 (2)*	Выход	2-й разряд магистрали

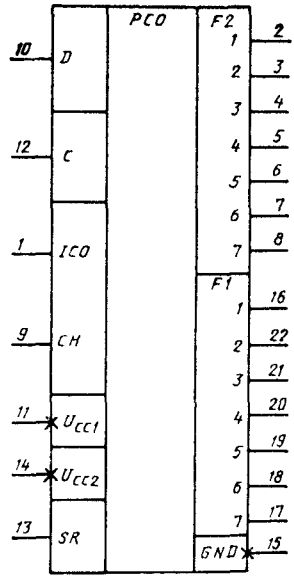


Рис. 14.11. Условное графическое обозначение КА1808ВУ1

14.4. Микросхема КА1808ВУ1

Микросхема КА1808ВУ1 — интерфейсный элемент систем управления фотоаппаратурой (ЭУ), предназначен для управления светодиодным индикатором в динамическом режиме.

Условное графическое обозначение микросхемы приведено на рис. 14.11, назначение выводов — в табл. 14.17, структурная схема показана на рис. 14.12.

В состав ЭУ входят: схема синхронизации *CO1*; схема управления *CO2;* буферный регистр *RG;* программируемая логическая матрица *PLM*; группа анодных ключей *SWA*; группа катодных ключей *SW*.

Управление работой ЭУ осуществляется информацией, поступающей в последовательных кодах на вывод *10*. Форма представления и содержание информации аналогичны выдаваемой по выводу *10* ЦПЭ.

Выходные магистрали *F1* и *F2* функционируют в соответствии с временной диаграммой, приведенной на рис. 14.13.

Выводы *2—8* образуют 7-разрядную магистраль, на которую выдается код очередного

Таблица 14.18

Символ	Код символа на выводах микросхемы						
	2	3	4	5	6	7	8
0	1	0	0	0	0	0	0
1	1	1	1	1	0	0	1
2	0	1	0	0	1	0	0
3	0	1	1	0	0	0	0
4	0	0	1	1	0	0	1
5	0	0	1	0	0	1	0
6	0	0	0	0	0	1	0
7	1	0	1	1	0	0	0
8	0	0	0	0	0	0	0
9	0	0	1	0	0	0	0
"	1	0	1	1	1	0	1
—	1	1	0	0	0	1	1
L	1	0	0	0	1	1	1
b	0	0	0	0	0	1	1
F	0	0	0	1	1	1	0
E	0	0	0	0	1	1	0
˙	1	1	1	0	1	1	1
M	0	0	0	1	0	0	0

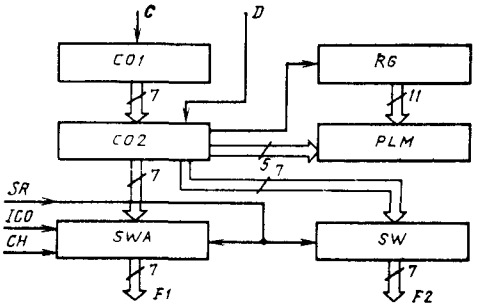


Рис. 14.12. Структурная схема КА1808ВУ1

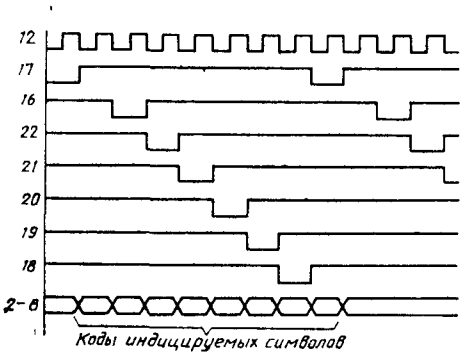


Рис. 14.13. Временна́я диаграмма работы КА1808ВУ1. Цифрами обозначены выводы микросхемы

индицируемого символа. Коды символов приведены в табл. 14.18.

Импульсы, выдаваемые на магистраль *F2*, последовательно подаются на катоды сегментов, реализуя динамический режим индикатора.

Основные электрические параметры микросхемы приведены в табл. 14.19.

Таблица 14.19

Параметр, режим измерения	Обозначение	Значения параметров [макс. (мин.)]
Входной ток высокого уровня, мкА:	I_{IH}	
для входа *SR* (вывод *13*) при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В		100
для входа *C* (вывод *12*) при U_{CC1}=4—4,5 В, U_{CC2}=4—5,5 В, U_{IC}=1,2 В		100
Входной ток низкого уровня, мкА:	I_{IL}	
для входа *D* (вывод *10*) при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В, U_{ID}=0 В		|—100|
для входа *C* (вывод *12*) при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В, U_{IC}=0 В		(|—10|)
для входа *SR* (вывод *13*) при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=0 В		|—100|
Ток потребления, мА, при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В, U_{IC}=1,2 В, U_{ID}=0 В:	I_{CC}	
для входа *U1* (вывод *11*)		2
для входа *U2* (вывод *14*)		4
Выходное напряжение низкого уровня, В, для выходов магистрали *F1* при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В, I_O=8,7 мА, U_{IC}=1,2 В, U_{ID}=1,2 В	U_{OL}	0,4
Ток утечки высокого уровня на выходе, мкА, для выходов магистрали *F1*:	I_{LOH}	
при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=0 В, U_O=4—5,5 В		50
при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В, U_{IC}=1,2 В		50
Ток утечки низкого уровня мкА, для выходов магистрали *F2*:	I_{LOL}	
при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В, U_{IC}=1,2 В, U_O=1,0 В		|—50|
при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В, U_{IC}=0,4 В, U_O=1,0 В		|—50|
Выходной ток высокого уровня, мА, для выходов магистрали *F2* при U_{CC1}=4—5,5 В, U_{CC2}=4—5,5 В, U_{SR}=1,425—1,8 В, U_{IC}=0,4 В, U_{ID}=0,4 В, U_O=1,0 В, R_{ICO}=1 кОм+1%	I_{OH}	(|1—1,2|)

14.5. Рекомендации по применению

На рис. 14.14 приведена функциональная схема контроллера для управления зеркальной фотокамерой высшего класса. В состав контроллера входят: микросхемы КА1808ВМ1, КА1808ИР1, КА1808ВВ1, КА1808ВУ1; наборники кодов *Д1—Д4;* светодиодный индикатор (СДИ); лампа-вспышка (ЛВ); фотоприемное устройство (ФПУ); устройство отработки диафрагмы (УОД); электромагниты *ЭМ1—ЭМ3;* светодиод *VD2;* электронный ключ на транзисторе *VT;* переключатели *S1—S6;* резисторы *R1—R11;* конденсаторы *C1—C5.*

Наборники кодов выполнены на базе малогабаритных многопозиционных переключателей и предназначены для ввода информации в ЦПЭ. Число позиций переключателей соответствует числу слов вводимой информации.

Возможный вариант реализации 4-разрядного наборника кодов *(Д2)* и принцип ввода информации показаны на рис. 14.15. Состояние переключателя в *Д2* соответствует коду 0110, подаваемую на вход ЦПЭ.

Наборник кодов *Д1* совмещен с выключателем источника питания. Светодиодный индикатор предназначен для индикации условий экспозиции. Он выполнен на 7-сегментных элементах и содержит: четыре разряда для индикации выдержки; два разряда, разделенные запятой, для индикации диафрагмы и символ «М».

Лампа-вспышка предназначена для освещения объекта съемки и должна формировать; сигнал готовности ЛВ. При этом по выводу *12* микросхемы КА1808ИР1 должен протекать ток в соответствии с табл. 14.13;

напряжение, пропорциональное диафрагме, в автоматическом режиме и уровень 0В в ручном режиме работы ЛВ. Напряжение подается на вывод *11* микросхемы КА1808ИР1.

Фотоприемное устройство предназначено для получения напряжения, пропорционального двоичному логарифму освещенности. Напряжение подается на вывод *7* микросхемы КА1808ИР1. Резисторы *R3, R4* позволяют регулировать наклон передаточной характеристики АЦП. Типовое сопротивление резисторов: $R3 = 4{,}7$ кОм, $R4 = 1{,}8$ кОм.

Устройство отработки диафрагмы предназначено для передачи информации о величине диафрагмы в ЦПЭ. Возможная организация УОД приведена на рис. 14.16.

При изменении отверстия объектива от максимального к минимальному контактная щетка *2* движется по гребенке *1* и на выводе *12* ЦПЭ возникают импульсы. Число импульсов пропорционально отработанной диафрагме. Электромагнит *ЭМ2* фиксирует диафрагму по сигналу из ЦПЭ. Если УОД готово к работе, то контактная щетка находится в верхнем положении.

Электромагниты предназначены для управления исполнительными механизмами: *ЭМ1* осуществляет спуск механизма подъема зеркала и 1-й шторки затвора фотокамеры; *ЭМ2* управляет механизмом УОД; *ЭМ3* управляет 2-й шторкой затвора фотокамеры.

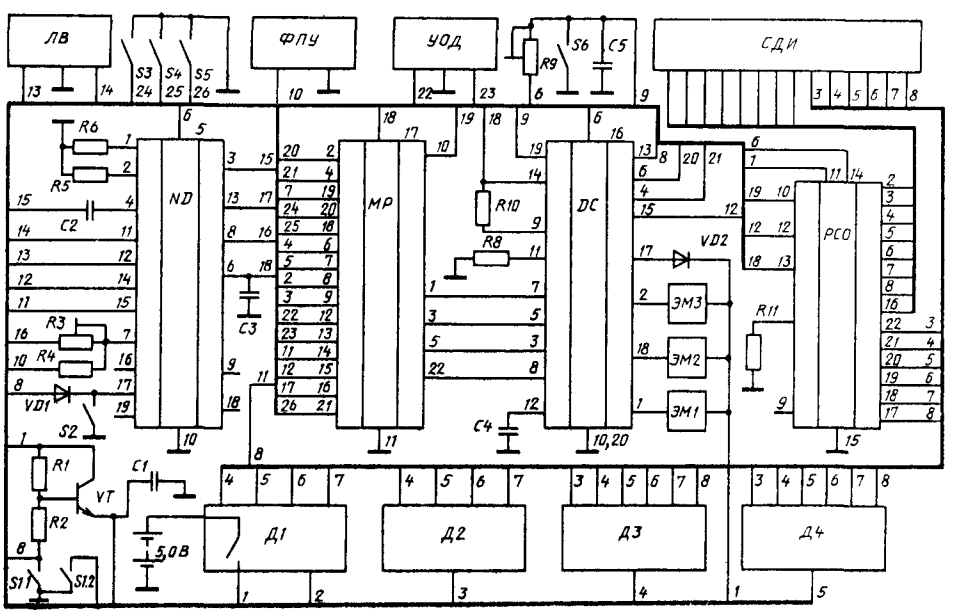


Рис. 14.14. Функциональная схема контроллера для управления зеркальной фотокамерой высшего класса

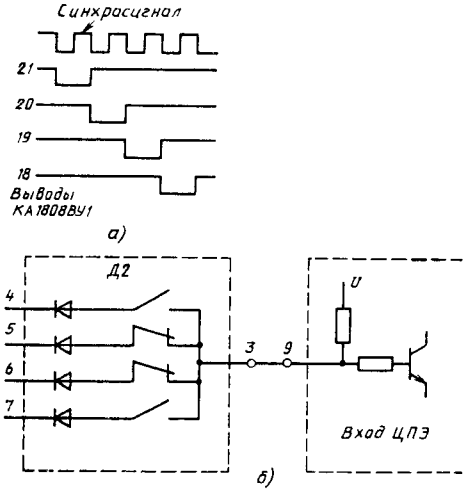


Рис. 14.15. Схемы реализации 4-разрядного наборника кодов (*а*) и принципа ввода информации (*б*)

Светодиод *VD2* предназначен для индикации в режимах «Автоспуск» и «Контроль питания».

Электронный ключ выполнен на транзисторе *VT*, резисторах *R1*, *R2*, диоде *VD1* и предназначен для подачи питания на микросхему при замыкании переключателя *S1* или *S2* Резисторы обеспечивают работу транзистора в ключевом режиме.

Устройства *S1*—*S6* предназначены для управления и задания режимов работы контрол-

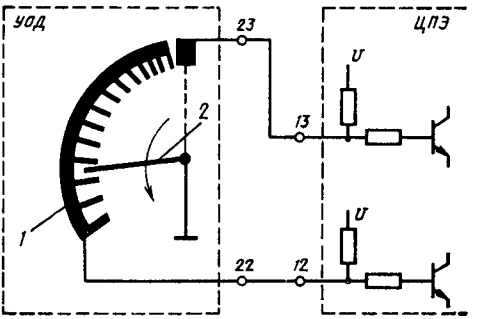


Рис. 14.16. Схема возможной организации устройства автоматической отработки диафрагмы

лера: *S1* при малом утапливании подает питание на контроллер, а при полном — переводит его в режим отработки; *S2* задает режим «Контроль питания»; *S3* — передает в ЦПЭ состояние затвора (если затвор взведен — он разомкнут). При замыкании *S5* ЦПЭ запоминает последнее значение освещенности, и до тех пор, пока он замкнут, расчет условий экспозиции производится на основании последнего значения освещенности; *S6* — размыкается, когда зеркало поднято. Цепочка *R9*, *C5* определяет время, через которое должен начаться отсчет выдержки, и таким образом синхронизирует работу затвора и таймера. Значения *R9* и *C5* зависят от быстродействия исполнительного механизма затвора и выбираются в соответствии с техническими условиями на микросхемы

Глава 15

Микропроцессорный комплект серии К1809

В состав МПК не входит микросхема центрального процессорного элемента, поэтому этот комплект не имеет самостоятельного применения. Выполненные по *n*-МДП-технологии высокой степени интеграции микросхемы дополняют МПК серии К1801, придавая ему новые качества, необходимые для эффективного применения в средствах цифровой автоматики и вычислительной техники.

Состав микросхем серии К1809 приведен в табл. 15.1.

Статические и динамические параметры микросхем серии К1809 при $U_{CC} = +5$ В$\pm 5\%$ приведены в табл. 15.2.

Таблица 15.1

Тип микросхем	Функциональное назначение	Тип корпуса
К1809ВВ1	Устройство ввода/вывода	244.48-11
К1809ВВ2	Системный адаптер последовательного канала	413.48-3
КМ1509КП1	Цифровой матричный коммутатор	244.48-11

Таблица 15.2

Параметр	Обозначение	Значения параметров		Режим измерения
		мин	макс.	
Напряжение низкого уровня на входе, В	U_{IL}	—	0,8	
Напряжение высокого уровня на входе, В	U_{IH}	2,0	—	
Напряжение низкого уровня на выходе, В:	U_{OI}			
К1809ВВ1		0,4	—	$I_{OL} \leqslant 3{,}2$ мА, $C_H \leqslant 100$ пФ (для выводов *8—15, 19, 30, 34*); $C_H \leqslant 50$ пФ (для остальных выводов)
К1809ВВ2		0,4	—	$I_{OL} \leqslant 1{,}6$ мА, $C_H \leqslant 50$ пФ (для выводов *11, 15, 21, 35—39, 46, 47*); $I_{OL} \leqslant 3{,}2$ мА, $C_H \leqslant 100$ пФ (для остальных выводов)
КМ1509КП1		0,4	—	$I_{OL} \leqslant 4{,}8$ мА, $C_H \leqslant 100$ пФ
Напряжение высокого уровня на выходе, В	U_{OH}	2,4	—	$I_{OH} \leqslant 0{,}08$ мА, $T=25$ °С
Ток потребления, мА:	I_{CC}			
К1809ВВ1, К1809ВВ2		—	120	
КМ1509КП1		—	160	
Период следования тактовых импульсов, нс:	T_{CLC}			
К1809ВВ1, К1809ВВ2		190	5000	
КМ1509КП1		100	5000	
Время настройки одного канала КМ1509КП1, нс	T_H	—	100	
Время задержки коммутируемого сигнала КМ1509КП1, нс	τ_d	—	50	

15.1. Микросхема К1809ВВ1

Микросхема К1809ВВ1 — быстродействующая многоцелевая БИС, имеющая перестраиваемую структуру и предназначенная для построения цифровых устройств ввода/вывода для микро-ЭВМ широкого применения.

Условное графическое обозначение микросхемы приведено на рис. 15.1, назначение выводов — в табл. 15.3, структурная схема показана на рис. 15.2.

Микросхема содержит:

1. Канальные регистры *А, С, Д*, имеющие непосредственную связь с внешними шинами данных и образующие каналы ввода/вывода. Число 8-разрядных параллельных каналов ввода/вывода 2.

Регистры *А* и *Д* являются регистрами параллельных входов/выходов, причем *А* может работать в качестве регистра прерываний. Регистр *А* имеет для информационного обмена двойной доступ: со стороны МП по шине *AD* и со стороны объекта по шине *D1*. Направление обмена по шине *D1* задается пятым разрядом регистра *Р*. Если шина является выходной, то на ее контактах отображается код, записанный в регистр *А*, а сигнал *STB1* имеет активный (низкий) уровень, пока код в регистре *А* остается неизменным.

Когда производится запись со стороны МП в регистр *А*, на выводе *STB1* появляется импульс высокого уровня.

Если шина *D1* входная, то при переходе сигнала *STB1* из пассивного состояния в активное производится перепись информации с выводов шины *D1* в регистр *А*.

Регистр *Д* (как и регистр *А*) имеет двойной доступ — по шине *AD* со стороны МП и по шине *D2* со стороны внешнего объекта, если шина *D2* седьмым разрядом регистра *Р* подключена к регистру *Д*. Если же шина *D2* подключена к регистру *С*, а не к регистру *Д*, то последний доступен только со стороны МП. Обмен информации по шине *D2* с регистром *Д*

Таблица 15.3

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—5	*A4—A0*	Входы	5-разрядная адресная шина. Низкий уровень сигнала соответствует лог. 1, высокий — лог. 0 в коде адреса
6	*OPA*	Вход	Сигнал «Обмен». Устанавливается низким уровнем для обмена данными по шине *AD7—AD0*. В момент перехода уровня сигнала с высокого на низкий воспринимается адрес с шины *A5—A1*
7	*CLC*	Вход	Тактовые импульсы с частотой 5 МГц
8—15	*AD7—AD0*	Вход/выход	8-разрядная шина записи/чтения данных. Низкий уровень сигнала соответствует лог. 1, высокий — лог. 0 в коде данных
16	*STB2*	Вход/выход	Стробирующий сигнал для синхронизации обмена информацией с внешними объектами. Является входным, когда шина *D2* входная. При низком уровне сигнала разрешает ввод информации по шине *D2*. Является выходным, когда шина *D2* выходная, и представляет собой импульс высокого уровня в момент смены информации на шине *D2*
17, 18, 21—23, 26—28	*D2(0)—D2(7)*	Вход/выход	8-разрядная шина ввода/вывода данных для обмена информацией с внешними объектами. Низкий уровень сигнала соответствует лог. 1, высокий — лог. 0 в коде данных
19	*CM*	Выход	Сигнал сравнения, имеющий низкий уровень при совпадении содержимого счетчика/сдвигателя с содержимым регистра уставки
29	*CLR*	Вход	Сигнал «Начальная установка». При поступлении на этот вход сигнала низкого уровня происходит сброс внутренних регистров
30	*D4 INTE*	Выход	Выход счетчика сдвигателя или сигнал «Предоставление прерывания»
31	*SH/CLR*	Вход	Сигнал «Начальная установка счетчика» или сигнал сдвига Установка счетчика в нулевое состояние или сдвиг содержимого регистра сдвига на один разряд вправо производятся по перепаду уровня сигнала от высокого к низкому
33	*D3*	Вход	Информационный вход счетчика/сдвигателя. Изменение уровня сигнала от высокого к низкому увеличивает код регистра на 1
32	*E(D3)*	Вход	Управление входом данных счетчика-сдвигателя
34	*INTRQ*	Выход	Сигнал «Запрос на прерывание». Транзистор с открытым стоком открывается при наличии запроса прерывания
35—42	*D1(7)—D1(0)*	Вход/выход	8-разрядная шина ввода/вывода данных для обмена информацией с внешними объектами Низкий уровень сигнала соответствует лог. 1, высокий — лог. 0 в коде данных
43	*STB1*	Вход/выход	Стробирующий сигнал для синхронизации обмена информацией с внешними объектами. Является входным, когда шина *D1* входная, и при низком уровне разрешает ввод информации по шине *D1* Является выходным, когда шина *D1* выходная, и представляет собой импульс высокого уровня в момент смены информации по шине *D1*
20	*STB3/INTE*	Вход	Сигнал «Строб-3». При низком уровне обеспечивается обмен между счетчиком/сдвигателем и его буферным устройством. Сигнал «Предоставление прерывания», при низком уровне которого обеспечивается считывание вектора прерывания
24	*BS*	–	Подложка
25	*GND*	–	Общий

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
48	U_{CC}	—	Напряжение питания
44	*R*	Вход	Сигнал «Чтение». Низкий уровень сигнала обеспечивает при наличии сигналов *OPA* и *CS* выдачу микросхемой на шину *AD* информации из регистра, адресованного по шине *A*
45	*W*	Вход	Сигнал «Запись». Низкий уровень сигнала на этом входе обеспечивает при наличии сигналов *OPA* и *CS* прием микросхемой по шине *AD* информации в регистр, адресованный по шине *A*
46	*ASWD*	Выход	Сигнал «Ответ». Транзистор с открытым стоком открывается при обмене информацией по шине *AD*
47	*CS*	Вход	Сигнал «Выборка» микросхемы. Низкий уровень сигнала означает, что микросхема должна реагировать на сигналы *R* или *W*

осуществляется точно так же, как обмен по шине *D1* с регистром *A*.

Регистр *C* предназначен для образования последовательных каналов ввода/вывода и может представлять собой либо счетчик, работающий на сложение, либо регистр сдвига вправо (из старших разрядов в младшие). Режим использования регистра *C* задается третьим разрядом регистра *P*.

Взаимодействие регистра *C* с внешними объектами осуществляется с использованием сигналов: *DB* — входные данные последовательного канала; *E(DB)* — управление входными данными; *SH/CLR* — начальная установка регистра *C* или сдвиг; *CM* — состояние сравнения; *D4/INTE* — выходные данные последовательного канала.

Вспомогательный счетчик *CT* предназначен для отсчета восьми сдвигов информации в регистре *C* и формирования импульса переписи кода из регистра *C* в регистр *Б* или из регистра *Б* в регистр *C*.

2. Служебные регистры *Б*, *У*, *P*, обеспечивающие каналыным регистрам необходимые режимы работы.

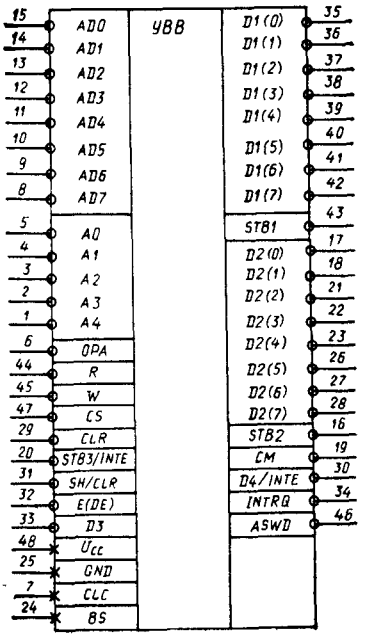


Рис. 15.1. Условное графическое обозначение К1809ВВ1

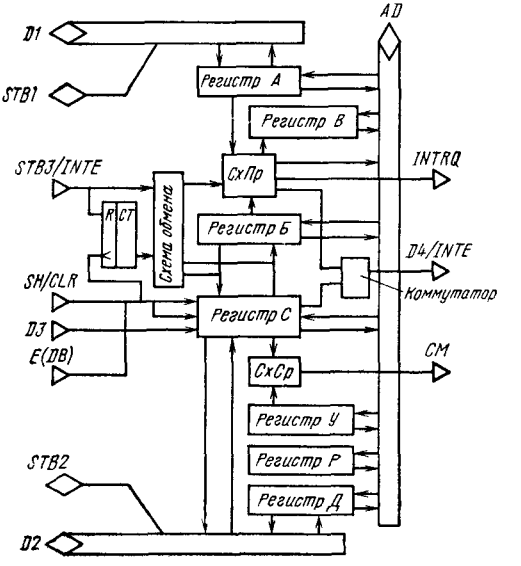


Рис. 15.2. Структурная схема К1809ВВ1

Таблица 15.4

Объект установки режима	Разряд регистра *P*	Установленный режим при записи кода информации в регистр *P*	
		0	1
Шина *D2* и вывод *STB2*	7	Приданы регистру *Д*	Приданы регистру *C*. Нет записи на *Д(2)*
	6	Входные	Выходные. Запись на *Д(2)* возможна при Рг. *P(7)*=0
Шина *D1* и вывод *STB1*	5	Входные	Выходные. Возможна запись на *Д(1)*
Регистр *C*	4	Вход *Д(3)* регистра *C* закрыт	Вход *Д(3)* регистра *C* открыт сигналом *E(D3)*
	3	Счетчик	Сдвигатель
Вывод *SH/CLR*		Начальная установка регистра *C*	Сдвиг
Обмен регистров *C* и *Б* *	2	По сигналу *STB3*	По счетчику *CT*
	1	Из регистра *C* в регистр *Б*	Из регистра *Б* в регистр *C*
	0	Есть обмен	Нет обмена
Регистр *Б*		Буферная схема регистра *C*	Регистр маски
Вывод *STB3/INTE*		*STB3*	*INTE*
Вывод *D4/INTE*		*D4*	*INTE*
Вывод *INTERQ*		При обмене регистров *C* и *Б* по счетчику *CT*	По наличию незамаскированных прерываний

* Обмен регистров *Б* и *C* не происходит при одновременном выполнении условий: *C(3)*=0, *C(2)*=1, *C(1)*=1, *C(0)*=0.

Регистр *Б* может использоваться как регистр маски в сочетании со схемой прерываний СхПр, если регистр *A* служит регистром прерываний, и как буферный регистр обмена с регистром *C*, если последний служит преобразователем параллельного кода в последовательный либо последовательного кода в параллельный.

Регистр *У* используется как регистр уставки, которая с помощью схемы сравнения СхСр непрерывно сравнивается с содержимым регистра *C*.

Регистр *P* является регистром режимов и обеспечивает программное изменение внутренней конфигурации и задание режимов работы микросхемы.

3. Векторный регистр *B*; код вектора записывается в регистр *Б* со стороны МП программой начальной установки системы.

Регистр *B* необходим для хранения вектора прерывания.

4. Внешние двунаправленные 8-разрядные шины данных *D1*, *D2* и однонаправленные одноразрядные шины *D3*, *D4* для информационной связи канальных регистров с объектом.

5. Интерфейсная шина адреса/данных *AD* для обмена информацией с МП.

6. Входы и выходы для управляющих сигналов.

7. Вспомогательные схемы для обеспечения функционирования микросхемы.

Для обмена информацией с МП микросхема подключается к магистрали стандартного межмодульного интерфейса. При этом используются следующие сигнальные линии интерфейса: *AD7—AD0*, *OPA*, *R*, *W*, *ASWD*, *INTRQ*, *INTE*.

Временные диаграммы обмена сигналами с МП приведены на рис. 15.3.

Микросхема имеет 8-разрядную структуру с расчетом на подключение к правому (младшему) байту разрядной сетки МП. Возможно подключение микросхемы и к левому байту разрядной сетки, а также работа машинными словами путем использования двух микросхем,

Таблица 15.5

Объект адресации	Операции		Код адреса на выводах микросхемы				
	Запись	Считывание	*A5* (логическое сложение)	*A4* (логическое умножение)	*A3*	*A2*	*A1*
Регистр *A*	Обычная	Обычное	1	1	0	0	0
	С логическим умножением	Сквозь маску	0	1			
	С логическим сложением	Со сбросом	1	0			
		Обычное	0	0			
Регистр *B*	Обычная		1	1	1	0	0
	С логическим умножением		0	1			
	С логическим сложением	Со сбросом	1	0			
		Обычное	0	0			
Регистр *C*	Обычная		1	1	0	0	1
		Со сбросом *CT*	0	1			
		Обычное	1	0			
			0	0			
			1	1	1	0	1
			0	1			
Регистр *У*	Со сбросом регистра *C*		1	0			
Регистр *B*	Обычная		0	0			
			1	1	0	1	0
Стробы	Нет записи		0	1			
			1	0			
Регистр *P*	Обычная	Обычное	0	0			
Регистр *Д*			1	1	1	1	0
	С логическим умножением		0	1			
	С логическим сложением	Со сбросом	1	0			
		Обычное	0	0			
Шина *D1*	Импульсная, со сбросом регистра *A*		1	1	0	1	1
			0	1			
			1	0			
			0	0			
Шина *D2*	Импульсная, со сбросом регистра *Д*	Обычное	1	1	1	1	1
			0	1			
			1	0			
			0	0			

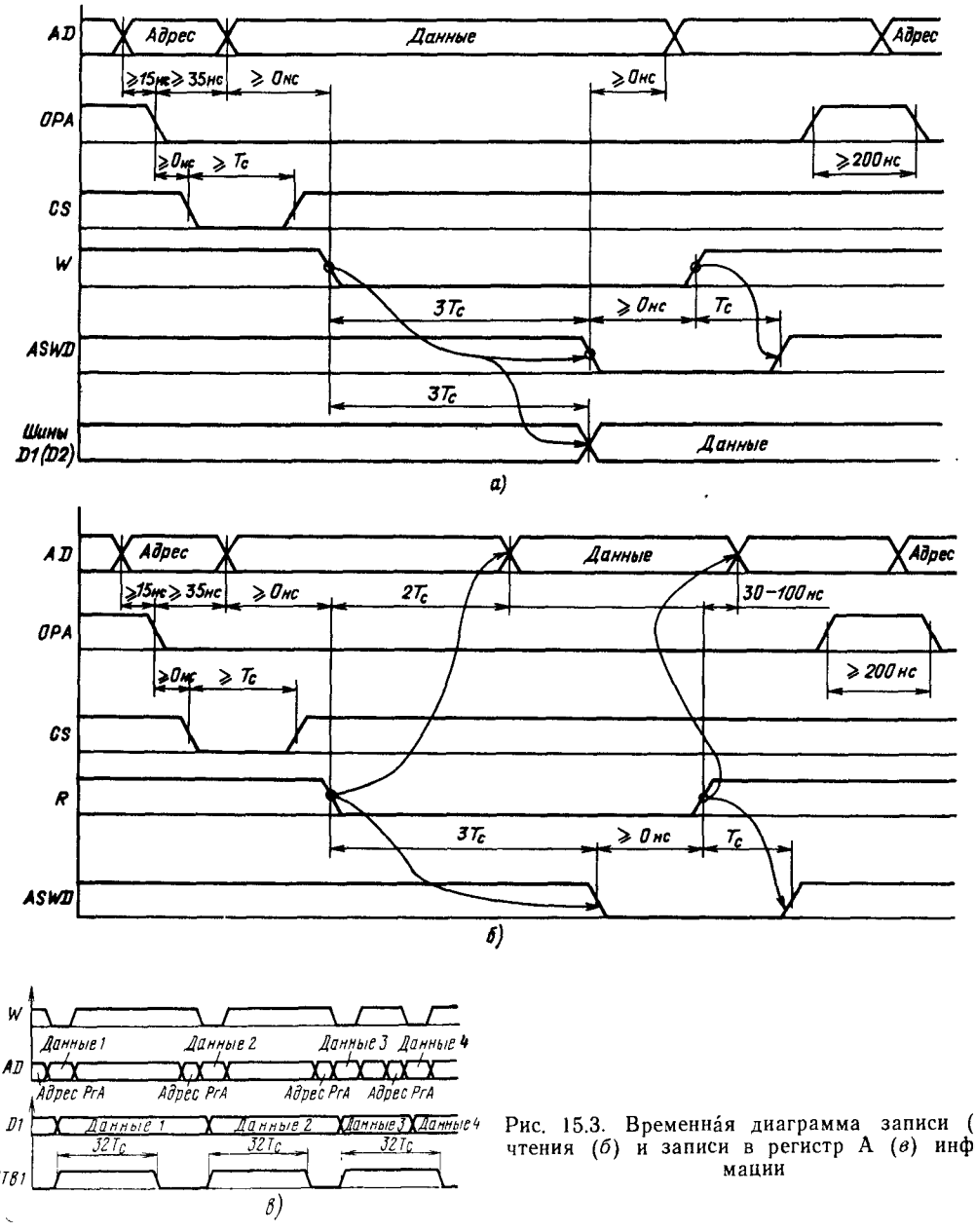


Рис. 15.3. Временна́я диаграмма записи (*а*), чтения (*б*) и записи в регистр А (*в*) информации

подключенных к разным байтам, но получающих общий (один и тот же) сигнал выборки.

Микросхема воспринимает и дешифрует разряды адреса 5—1. Разряды 15—13 (признак обращения к УВВ) и 12—6 (адрес микросхемы в системе) дешифруются по фронту сигнала *OPA* внешним по отношению к микросхеме дешифратором, который выдает индивидуальные сигналы выборки *CS* всем микросхемам.

Режимы работы микросхем устанавливаются регистром режимов согласно табл. 15.4.

Все регистры микросхемы, а также шины *D1, D2* и входы стробирующих сигналов имеют самостоятельные адреса для программного обращения к ним со стороны МП по шине *AD* при выполнении операций чтения и записи. Адреса и выполняемые по ним операции приведены в табл. 15.5.

Чтобы записать в какой-либо регистр (или на внешнюю шину) микросхемы информацию из МП, необходимо в соответствии с диаграммой на рис. 15.3, *а* подать сигналы управления *OPA, CS, W*, адрес регистра (шины) по табл. 15.5 и информацию. По фронту сигнала с задержкой *3T* микросхема выдает сигнал *ASWD*. Снимается сигнал *ASWD* по срезу сигнала *W* с задержкой *T*, т. е. длительность сигнала *ASWD* зависит от длительности *W*. Одновременно с выдачей сигнала *ASWD* записываемая информация устанавливается на внешней шине (если, конечно, запись производится на выходную шину или в регистр, связанный с выходной шиной).

Чтобы прочитать в МП информацию из какого-либо регистра (или с внешней шины) микросхемы, необходимо в соответствии с диаграммой на рис. 15.3, *б* подать сигналы управления *OPA, CS, R*, адрес регистра (шины) по табл. 15.5. По фронту сигнала *R* с задержкой *2T* информация из регистра (с внешней шины) устанавливается на линиях *AD*, а сигнал *ASWD* — через время *T* после установления информации. Снимается информация с линий *AD* по срезу сигнала *R*, а сигнал *ASWD* — с задержкой на время *T* после среза сигнала *R*.

Регистры *А, Б* и *Д* помимо обычной записи и считывания допускают запись информации со стороны МП с выполнением логического сложения или умножения и считывание из них информации с одновременным обнулением регистра. Обнуление при считывании не приводит к потере информации, поступающей в регистр со стороны внешней шины в момент считывания.

Регистры *С, У, В, Р* допускают со стороны МП только запись (без логических операций сложения и умножения) и считывание (без обнуления). Имеется возможность обнулять регистр *С* в момент записи информации в регистр *У*. Это достигается установкой признака логического сложения, равного 1, и признака логического умножения, равного 0, в коде адреса регистра *У*.

Использование микросхемы в системе прерывания обеспечивается при PrP(5) = 0 и PrP(0) = 1. При этом регистр *А* становится регистром прерываний, воспринимаемых в моменты их появления на выводах шины *DI*, а регистр *Б* - регистром маски. Маскирование осуществляется единицами в разрядах регистра *Б*. Начальной установкой регистр *Б* приводится в состояние 11111111, маскирующее все прерывания.

Если в регистре *А* появляются незамаскированные сигналы прерывания, то вырабатывается сигнал *INTRQ*. Теперь при поступлении сигналов *INTE* и *W* снимается сигнал *INTRQ*, а на шину *AD* выдается вектор прерывания из регистра *В*.

Выходной сигнал схемы сравнения используется для деления частоты, организации таймерных режимов, задержек, для поиска заданных кодов в преобразуемых битовых последовательностях и т. д.

15.2. Микросхема К1809ВВ2

Микросхема К1809ВВ2 — системный адаптор синхронного последовательного канала (СПК), предназначен для организации последовательного канала ввода/вывода и расширения функциональных возможностей процессорных систем. Микросхема может быть использована в качестве одного из элементов ввода/вывода одноплатных или многоплатных ЭВМ высокого быстродействия.

Последовательный канал имеет три линии: 16-разрядную шину данных, шину синхронизации и шину арбитра, замкнутую в кольцо.

Условное графическое обозначение микросхемы приведено на рис. 15.4, назначение выводов — в табл. 15.6, структурная схема показана на рис. 15.5.

Микросхема содержит: блок последовательного интерфейса, блок параллельного интерфейса, схему запуска процессора после включения питания.

В блок последовательного интерфейса входят: схема управления последовательным каналом; регистр состояния канала (РСК); регистр последовательного канала (РПК); регистр синхроимпульсов (РСИ); счетчик номера последовательного канала (Сч. *N*); счетчик синхроимпульсов (Сч. *С*); схема присвоения номера; схема арбитра последовательного канала; триггер начала диалога (ТНД); триггер режима синхронизации (ТА1); схемы-формирователи импульсов (Ф); схемы сравнения (СхСр).

В блок параллельного интерфейса входят: схема параллельного пассивного интерфейса; схема векторного прерывания; системный регистр платы (СРП); дешифратор последовательного канала (ДШПК); буферный регистр адреса (РА); дешифратор внешних устройств (ДШВУ).

Регистр состояния канала (РСК) 7-разрядный, используется при идентификации состояния канала. Разряды 2--7 РСК доступны только по чтению.

Регистр последовательного канала (РПК) — 8-разрядный сдвиговый; сдвиг осуществляется синхроимпульсом от младших разрядов к старшим. Обращение к регистру происходит по адресу A030.

Регистр синхроимпульсов (РСИ) — 8-разрядный регистр-счетчик синхроимпульсов. В РСИ записывается необходимая частота для передачи информации по адресу A032.

Счетчик номера (Сч. *N*) — 4-разрядный регистр номера последовательного канала. Установка номера происходит в режиме присвоения номеров. Счетчик синхроимпульсов (Сч. *С*) — 3-разрядный, считает число синхроимпульсов при передаче информации. Сброс счетчика происходит в режиме подготовки к передаче адреса.

Триггер начала диалога (ТНД): его установка и сброс происходят при записи по адресу A026 нулевого разряда шины адрес/данные.

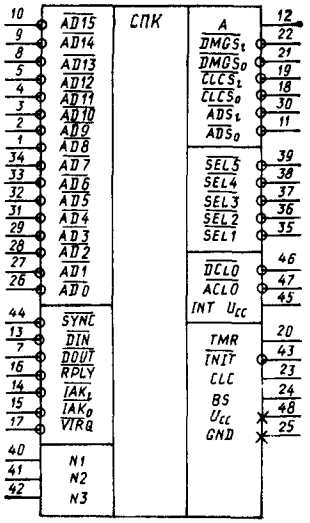


Рис. 15.4. Условное графическое обозначение К1809ВВ2

Таблица 15.6

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—5, 8—10, 26—29, 31—34	$\overline{AD0}$—$\overline{AD15}$	Вход/выход	16-разрядная шина приема адреса и приема/передачи данных
7	$\overline{DOUT}$	Вход	Запись данных
11	$\overline{ADS_0}$	Выход	Шина данных последовательного канала
12	A	Вход	Арбитр последовательного канала
13	$\overline{DIN}$	Вход	Чтение данных
14	$\overline{IAK_1}$	Вход	Разрешение прерывания
15	$\overline{IAK_0}$	Выход	Разрешение прерывания
16	$\overline{RPLY}$	Вход/выход	Ответ устройства
17	$\overline{VIRQ}$	Выход	Запрос на векторное прерывание
18	$\overline{CLCS_0}$	Выход	Синхроимпульс последовательного канала
19	$\overline{CLCS_1}$	Вход	Синхроимпульс последовательного канала
20	TMR	Вход	Таймер последовательного канала
21	$\overline{DMGS_0}$	Выход	Предоставление последовательного канала
22	$\overline{DMGS_1}$	Вход	Предоставление последовательного канала
23	CLC	Вход	Сигнал запуска
24	BS	—	Подложка
25	GND	—	Общий
30	$\overline{ADS_1}$	Вход	Шина данных последовательного канала
35—39	$\overline{SEL1}$—$\overline{SEL5}$	Выходы	Дешифратор ввода вывода
40—42	$N1$—$N3$	Входы	Настройка
43	$\overline{INIT}$	Вход	Сброс разрядов регистра управления
44	$\overline{SYNC}$	Вход	Синхронизация обмена
45	$INTU_{CC}$	Вход	Включение питания
46	$\overline{DCLO}$	Выход	Авария источника питания
47	$\overline{ACLO}$	Выход	Авария сетевого питания
48	U_{CC}	—	Напряжение питания

Системный регистр платы (СРП) — 16-разрядный регистр с фиксированным адресом 170440_8. Режимы начального пуска задаются с помощью выводов *1—3*, которые соединены с разрядами 15—13 СРП. Содержимое СРП может быть изменено программными средствами.

Дешифратор последовательного канала — комбинационная схема, дешифрующая адреса регистров и триггеров СПК (табл. 15.7). Дешифратор внешних устройств осуществляет дешифрацию адресов устройств, находящихся на плате микро-ЭВМ. Дешифратор формирует пять сигналов выборки для внешних устройств ($\overline{SEL1}$—$\overline{SEL5}$). Максимальная длительность импульса на выводах $\overline{SEL1}$—$\overline{SEL5}$ равна 200 нс на частоте 5 МГц

Для запуска микропроцессора к выводу $INT\ U_{CC}$ подключен конденсатор, на котором организована временная задержка τ, необходимая при включении питания (несколько миллисекунд). Установленные сигналы $\overline{DCLO}$ и $\overline{ACLO}$ не снимаются до выключения питания. Схема арбитра введена для организации кольца арбитра последовательного канала.

Существует шесть режимов работы СПК: присвоения номеров, подготовки к передаче адреса, ожидания требования на захват канала, передачи адреса, передачи информации, передачи управления по диалогу.

Режим присвоения номера начинается с момента поступления сигнала начальной установки $INIT$ и проводится автоматически. В этом режиме устройства, объединенные по по-

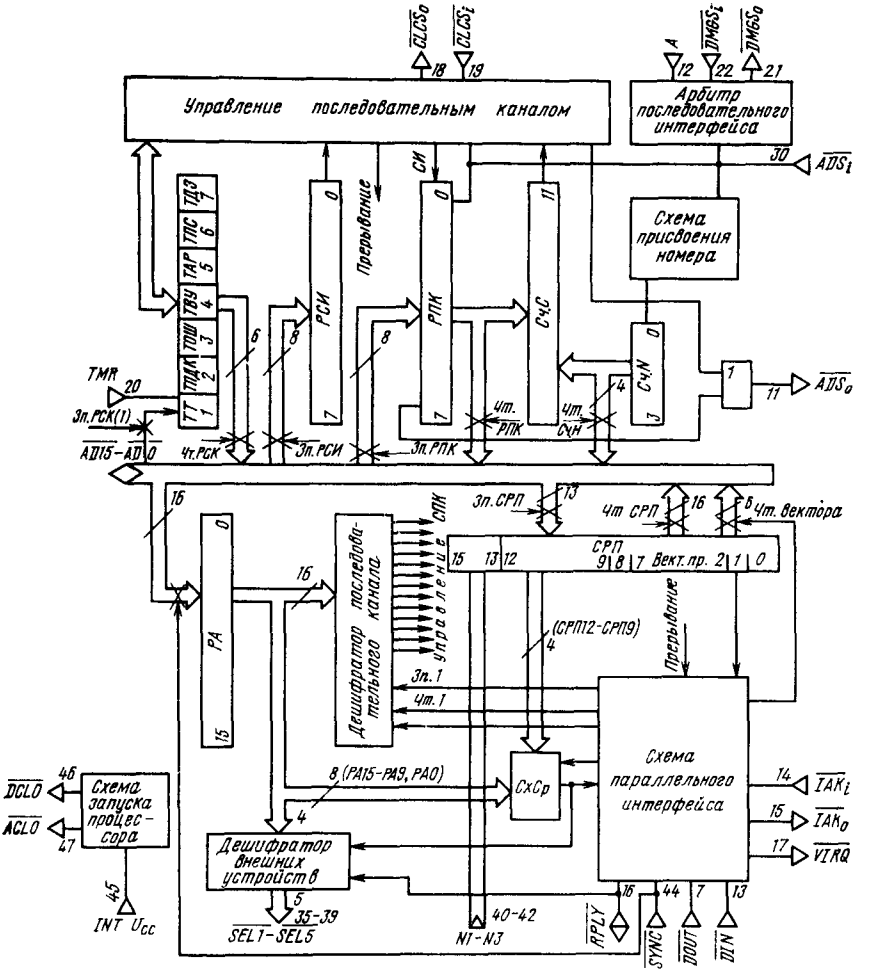


Рис. 15.5. Структурная схема К1809ВВ2

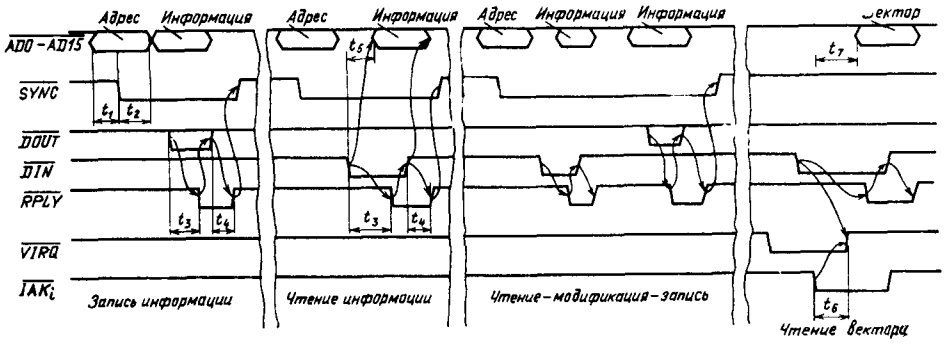


Рис. 15.6. Диаграмма обмена синхронного последовательного канала с микропроцессором

Таблица 15.7

Разряды адреса 15, 14, 13	Разряды адреса 8, 7, 6, 5, 4, 3, 2, 1, 0	Запись	Чтение	Выполняемая функция
1 1 1	1 0 0 0 1 0 0 0 0	1	0	ТАР (А020), отказ передатчика от канала
		0	1	
1 1 1	1 0 0 0 1 0 0 1 0	0	1	Чт. Сч. *N* (А022), чтение номера последовательного канала
1 1 1	1 0 0 0 1 0 1 0 0	1	0	Зп. РСК(1) (А024), запись в ТТ
		0	1	Чт. РСК (А024), чтение регистра состояния канала
1 1 1	1 0 0 0 1 0 1 1 0	1	0	Зп. ТНД (А026), сообщение о диалоге приемнику
1 1 1	1 0 0 0 1 1 0 0 0	1	0	Зп. РПК (А030), передача информации приемнику
		0	1	Чт. РПК (А030), прием информации приемником
1 1 1	1 0 0 0 1 1 0 1 0	1	0	Зп. РгСИ (А032), установка частоты передачи данных
		0	1	ТА1 (А032), установка максимальной частоты передачи
1 1 1	1 0 0 0 1 1 1 0 0	1	0	ТПС (А034), приемник сообщает передатчику о
		0	1	готовности принять управление в режиме диалога
1 1 1	1 0 0 0 1 1 1 1 0	1	0	ТПДК, требование на захват канала
		0	1	
1 1 1	0 0 1 *X X X X X* 0	1	0	*SEL1*, 1-й выход дешифратора внешних устройств
1 1 1	0 1 0 *X X X X X* 0	1	0	*SEL2*, 2-й выход дешифратора внешних устройств
		0	1	
1 1 1	0 1 1 *X X X X X* 0	1	0	*SEL3*, 3-й выход дешифратора внешних устройств
		0	1	
1 1 1	1 0 0 0 0 *X X X* 0	1	0	*SEL4*, 4-й выход дешифратора внешних устройств
		0	1	
1 1 1	0 0 0 *X X X X X* 0	1	0	*SEL5*, 5-й выход дешифратора внешних устройств
		0	1	

Примечания 1. Разряды адреса 12—9 содержат информацию о номере платы.
2 *X* — произвольная информация.

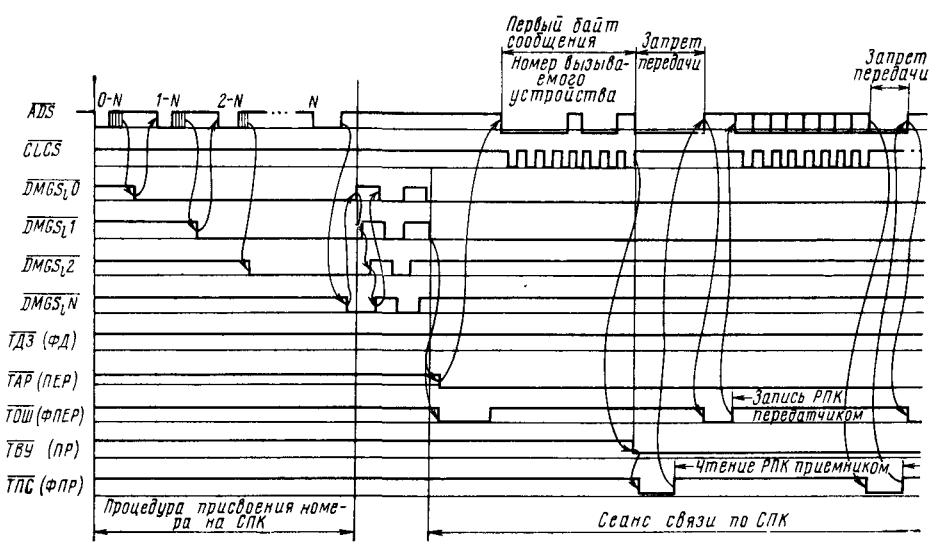


Рис. 15.7. Временна́я диаграмма

следовательному интерфейсу, последовательно захватывают магистраль, начиная с первого устройства, у которого на вход *A* подан сигнал высокого уровня (у остальных устройств в системе на этом входе — сигнал низкого уровня). Устройства, захватывая магистраль, выдают импульс на шину $\overline{ADS}$. Получив этот импульс, все устройства, которые еще не приняли сигнал управления шиной, прибавляют 1 в счетчик номера. Таким образом будут пронумерованы все устройства, работающие на последовательной магистрали.

Режим подготовки к передаче адреса начинается после окончания передачи по каналу (устройство, захватившее канал, отказывается от дальнейшей передачи) или после режима присвоения номера. По шине $\overline{DMGS}$ проходят два последовательных переключения сигнала из высокого уровня в низкий, подготовляющие устройства к режиму передачи адреса. По второму переключению в случае, если устройством было поставлено требование на захват канала (обращение по адресу A036) и было разрешено прерывание, то формируется сигнал запроса на векторное прерывание $\overline{VIRQ}$

Следующим режимом является режим передачи адреса. Реакцией на получение прерывания (получение разрешения работы по последовательной магистрали) является последовательная запись в РПК номера вызываемого устройства (адрес РПК — A030).

Содержание счетчика номера определяет номер микро-ЭВМ, причем старшие разряды байта при передаче номера должны быть равны 1. Номер должен иметь вид 1111*XXXX*, где *XXXX* — номер вызываемого устройства.

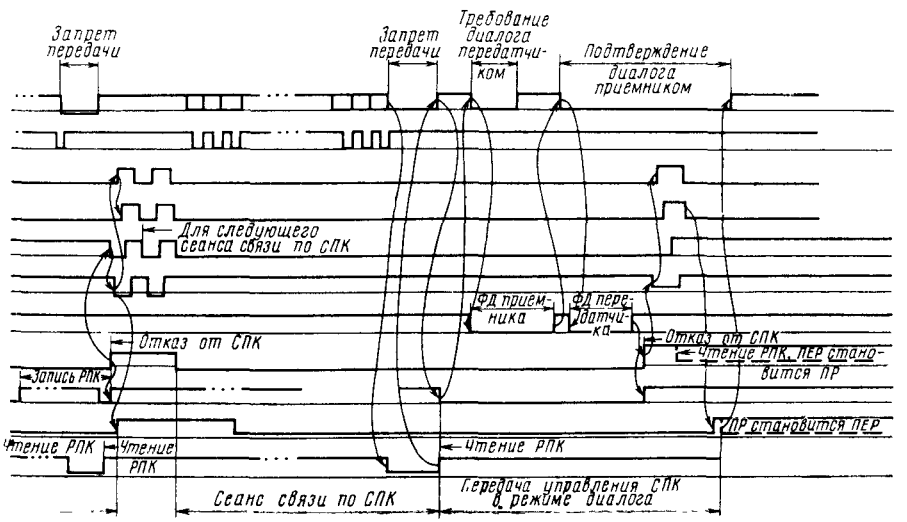
Запись информации в РПК является сигналом начала передачи информации на линию $\overline{ADS}$ и синхроимпульсов на линию $\overline{CLCS}$. После передачи восьмого синхроимпульса переполняется Сч. *C* в передающем и принимающем устройстве. Принимающие устройства в этом случае зануляют линию $\overline{ADS}$. Устройство, в котором номер вызываемого устройства совпал с собственным номером в Сч. *N*, вырабатывает прерывание; при этом линия $\overline{ADS}$ занулена принимающим устройством до тех пор, пока не будет обработано прерывание и не произойдет чтение РПК. После снятия зануления с линии $\overline{ADS}$ возникает прерывание в передающем устройстве. Это указывает на разрешение передачи следующего байта.

Режим передачи информации проходит так же, как и режим передачи номера, с тем исключением, что линия $\overline{ADS}$ зануляется ведущим и ведомым устройствами.

По окончании передачи последнего байта информации и снятия приемником зануления с линии $\overline{ADS}$ передатчик может либо отказаться от дальнейшей работы по последовательной магистрали обращением по адресу A020, либо передать управление магистралью приемнику (режим диалога).

В режиме передачи управления по диалогу передатчик формирует импульс на линию $\overline{ADS}$ (импульс требования диалога) последовательной записью 1, 0 по адресу A026.

Для организации приема управления приемник устанавливает триггер прямого доступа к каналу в 1 (обращение по адресу A036) и сообщает передатчику о готовности взять управление магистралью обращением по адресу A034, что вызывает зануление шины в передатчике. Далее передатчик отказывается от канала обращением по адресу A020 и чтением РПК, становясь приемником. Бывший приемник после отказа бывшего передатчика



работы К1809ВВ2

от канала становится передатчиком. Начинается режим передачи информации.

На рис. 15.6 и 15.7 показаны временные диаграммы работы микросхемы. Указанные на диаграммах времена должны быть в пределах: $t_1 \geqslant 0$ нс, $t_2 \geqslant 20$ нс, 400 нс $< t_3 <$ 700 нс, 400 нс $< t_4 <$ 700 нс, 300 нс $< t_5 <$ 600 нс, $0 < t_6 <$ 200 нс, 300 нс $< t_7 <$ 600 нс.

15.3. Микросхема КМ1509КП1

Микросхема КМ1509КП1 — цифровой матричный коммутатор с полем коммутации 16×16, предназначен для использования в цифровых вычислительных устройствах, системах связи и радиоэлектронной аппаратуре широкого применения. Возможно соединение каждого выхода микросхемы с любым входом; при этом один выход может быть соединен не более чем с одним входом.

Использование $N \times M$ микросхем позволяет строить коммутационное поле на 16 $N \times 16$ M точек коммутации.

Условное графическое изображение микросхемы приведено на рис. 15.8, назначение выводов — в табл. 15.8, структурная схема показана на рис. 15.9.

В состав микросхемы входят следующие функциональные узлы: матрица ячеек памяти (ЯП) с ключами размером 16×16; дешифраторы адресов входов (ДВх) и выходов (ДВых) коммутатора; буферные входные регистры (БВ); устройства выходные (УВ); блоки логические (БЛ), реализующие режимы выборки кристалла при настройке и установлении режимов синхронной и асинхронной передачи коммутируемых сигналов.

Микросхема работает в двух основных фазах: настройки (установления соединений) и передачи информации.

Для установления соединения i-го входа с j-м выходом коммутатора необходимо на входы дешифратора выходов ДВых подать код адреса A_0 j-го выхода, а на входы дешифратора входов ДВх — код адреса $A1$ i-го входа одновременно с сигналом разрешения записи $STB(W)=1$. Для установления соединений всех 16 каналов требуется 16 тактов.

Во время настройки вход CS выборки кристалла должен быть в единичном состоянии. При работе коммутатора в составе коммутационного поля может возникнуть ситуация, когда к данному выходу не подключен ни один из входов данной микросхемы. Тогда на вход CS подается лог. 0 и независимо от кода $A_1(i)$ выбранный выход перейдет в 3-е (высокоомное) состояние, которое запоминается в ЯП дополнительного, 17-го столбца матрицы коммутатора. Вход CS используется для объединения отдельных коммутаторов в коммутационное поле. Возможные состояния входов $STB(M)$, CS, A_1, A_0 и соответствующие состояния коммутатора приведены в табл. 15.9.

Передача информации в микросхеме может осуществляться в двух режимах: асинхронном ($V=0$) и синхронном ($V=1$).

В синхронном режиме информация, поступающая на входы коммутатора $B1$ через

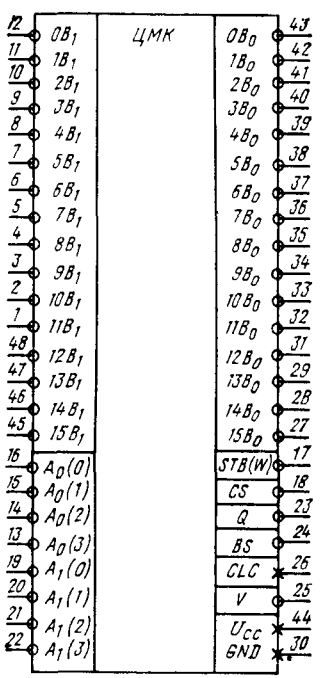


Таблица 15.8

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
16—13	$A_0(0)$—$A_0(3)$	Входы	Адреса выходов
19—22	$A_1(0)$—$A_1(3)$	Входы	Адреса входов
43—31, 29—27	$0B_0$—$15B_0$	Выходы	Коммутируемые выводы
12—1, 48—45	$0B_1$—$15B_1$	Входы	Коммутируемые выводы
18	CS	Вход	Выбор кристалла
17	$STB(W)$	Вход	Сигнал разрешения записи
23	Q	Вход	Сигнал перевода выходов в высокоомное состояние
24	BS	—	Подложка
26	CLC	Вход	Тактовый сигнал для синхронной передачи
25	V	Вход	Сигнал синхронной передачи информации
44	U_{CC}	—	Напряжение питания
30	GND	—	Общий

Рис. 15.8. Условное графическое обозначение КМ1509КП1

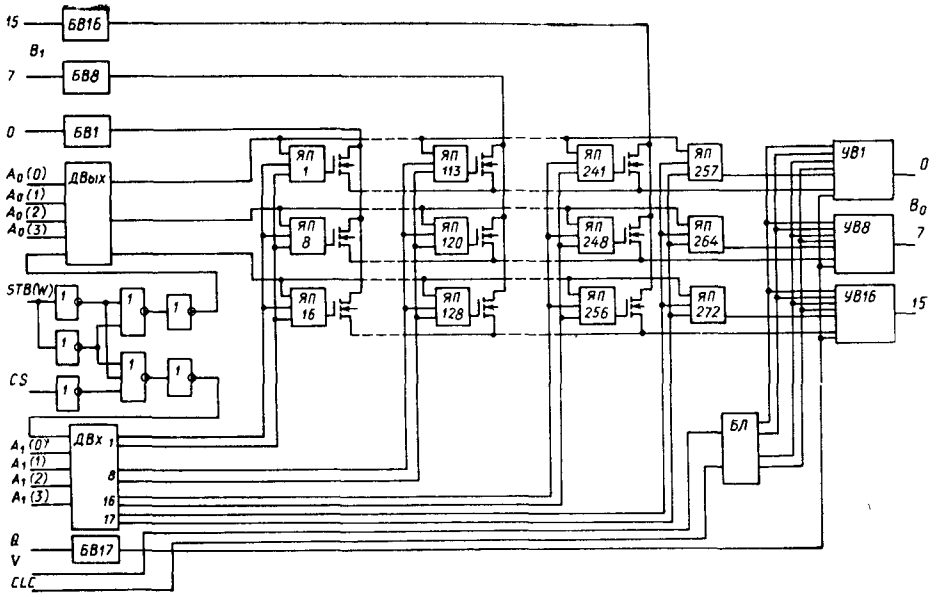


Рис. 15.9. Структурная схема КМ1509КП1

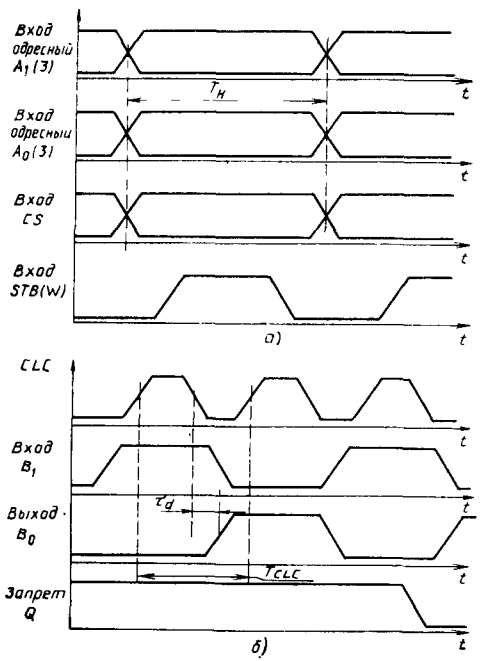


Рис. 15.10. Временные диаграммы работы микросхемы для различных режимов:

а — установления соединений; *б* — передачи информации

замкнутые ключи матрицы, непосредственно передается на выходы *B0* коммутатора.

В синхронном режиме при $CLC=1$ происходят запись входных сигналов в одноразрядный регистр сдвига и выдача информации на выходные шины коммутатора через такт при $CLC=1$. В обоих режимах возможен перевод всех выходов коммутатора в высокоомное состояние при $Q=0$.

Временные диаграммы работы микросхемы приведены на рис. 15.10

Таблица 15.9

STB (W)	CS	A1	A0	Результат операции	B0
1	1	*i*	*j*	Устанавливается соединение *i*-го входа с *j*-м выходом	*B1*
1	0	*X*	*j*	*j*-й выход устанавливается в высокоомное состояние	∞
0	1	*X*	*X*	Установления соединений в коммутаторе не происходит. Адресные входы заблокированы	—
0	0	*X*	*X*		

Примечание. *X* состояние входа безразлично; ∞ высокоомное состояние выхода.

Глава 16

Микропроцессорный комплект серии КМ1810

Комплект микросхем серии КМ1810 с 16-разрядной организацией предназначен для построения средств вычислительной техники различного назначения: от одноплатных управляющих микро-ЭВМ до мультипроцессорных высокопроизводительных систем.

Широкие возможности МПК обеспечиваются как совершенством архитектуры центрального процессорного элемента, так и набором функций, выполняемых всеми микросхемами, входящими в комплект.

Состав МПК серии КМ1810 приведен в табл. 16.1, основные электрические параметры даны в табл. 16.2.

Таблица 16.1

Тип микросхемы	Функциональное назначение	Тип корпуса	Технология
КМ1810ВМ86	Однокристальный 16-разрядный микропроцессор	2123 40-6	n-МДП
КР1810ВН59А	Программируемый контроллер прерываний	2121.28-5	n-МДП
КР1810ВБ89	Арбитр системной шины	2140 20-2	ТТЛШ
КР1810ГФ84	Генератор тактовых сигналов	2104 18-5	ТТЛШ
КР1810ВГ88	Системный контроллер	2140 20-2	ТТЛШ

Таблица 16.2

Параметр	Обозначение	Значения параметров [макс. (мин.)]
Напряжение питания, В	U_{CC}	(4,75) 5,25
Входное напряжение низкого уровня [1], В	U_{IL}	0,8
Входное напряжение высокого уровня [1], В	U_{IH}	(2,0)
Выходное напряжение высокого уровня [1], В	U_{OH}	(2,4)
Выходное напряжение низкого уровня [1], В	U_{OL}	0,45
Выходной ток высокого уровня [1], мА	I_{OH}	—0,4
Выходной ток низкого уровня [1], мА	I_{OL}	2,0
Ток утечки на входах, мкА	I_{LI}	±10
Ток утечки на входах/выходах, мкА	I_{OZ}	±10
Емкость нагрузки [1], пФ	C_L	100
Входная емкость, пФ	C_I	15
Емкость входа/выхода, пФ	$C_{I/O}$	15

[1] Значения статических параметров, отличающиеся от указанных, приведены в таблицах параметров конкретных микросхем.

16.1. Микросхема КМ1810ВМ86

Микросхема КМ1810ВМ86 представляет собой однокристальный высокопроизводительный 16-разрядный микропроцессор с фиксированной системой команд. Она предназначена для использования в качестве центрального процессорного устройства при построении средств вычислительной техники — от простейших одноплатных микро-ЭВМ до высокопроизводительных мультипроцессорных систем.

Микропроцессор обладает высоким быстродействием (до $2{,}5 \cdot 10^6$ операций/с типа *RR* при тактовой частоте 5 МГц), обеспечивает возможность прямой адресации памяти объемом до 1М байта, 65536 устройств ввода и 65536 устройств вывода. Для вычисления адресов операндов, размещенных в памяти, используется 24 режима адресации. Микропроцессор имеет векторную структуру прерывания и обеспечивает обработку до 256 запросов прерывания трех типов: внешних, внутренних и программных.

Архитектурной особенностью микропроцессора КМ1810ВМ86 является наличие аппаратно-программных средств, позволяющих упростить построение мультипроцессорных систем на его основе. Эти средства обеспечивают синхронизацию работы нескольких независимых (выполняющих собственные потоки команд) процессоров, имеющих общие ресурсы, а также синхронизацию параллельной работы микропроцессора и сопроцессоров (специализированных процессоров, аппаратно реализующих команды сложных процедур). Микропроцессор КМ1810ВМ86 характеризуется двумя режимами работы — минимальным и максимальным, которые отличаются способом формирования сигналов обмена и соответственно возможностями реализуемых систем.

Условное графическое обозначение микросхемы приведено на рис. 16.1, назначение выводов, используемых как для минимального, так и максимального режимов работы, — в табл. 16.3, назначение выводов, используемых только в минимальном режиме или только в максимальном режиме, в табл. 16.4, структурная схема показана на рис. 16.2.

Структура микропроцессора КМ1810ВМ86 ориентирована на параллельное выполнение функций выборки и команд; состоит из устройства сопряжения канала (УСК), устройства

Таблица 16.3

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 20	GND	—	Общий
2—16, 39	A/D0—A/D15	Вход/выход[1]	Канал адреса/данных
17	NMI	Вход	Немаскируемый запрос прерывания
18	INT	Вход	Маскируемый запрос прерывания
19	C	Вход	Тактовый сигнал
21	SR	Вход	Сигнал «Установка»
22	RDY	Вход	Сигнал «Готовность»
23	$\overline{TEST}$	Вход	Сигнал «Проверка»
32	$\overline{RD}$	Выход[1]	Сигнал «Чтение»
33	MN/$\overline{MX}$	Вход	Режим минимального/максимального включения
34	$\overline{BHE}$/SA7	Выход[1]	Разрешение передачи по старшей половине канала данных D15—D8/сигнал состояния
35—38	A19/SA6; A18/SA5; A17/SA4; A16/SA3	Выходы[1]	Канал адреса/сигналы состояния
40	U_{CC}	—	Напряжение питания +5 В

[1] С тремя состояниями.

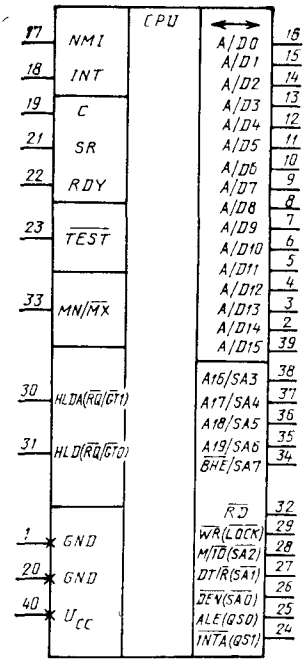


Рис. 16.1. Условное графическое обозначение КМ1810ВМ86

Таблица 16.4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
	Режим минимального включения микросхемы		
24	$\overline{INTA}$	Выход	Подтверждение прерывания
25	ALE	Выход	Стробирующий сигнал адреса
26	$\overline{DEN}$	Выход[1]	Разрешение передачи данных
27	DT/$\overline{R}$	Выход[1]	Выдача/прием данных
28	M/$\overline{IO}$	Выход[1]	Память/внешнее устройство
29	$\overline{WR}$	Выход[1]	Запись
30	HLDA	Выход	Подтверждение захвата
31	HLD	Вход	Захват
	Режим максимального включения микросхемы		
24, 25	QS1, QS0	Выходы	Сигналы состояния очереди команд
26—28	$\overline{SA0}$—$\overline{SA2}$	Выходы[1]	Сигналы состояния цикла канала
29	$\overline{LOCK}$	Выход	Канал занят
30, 31	$\overline{RQ}$/$\overline{GT1}$, $\overline{RQ}$/$\overline{GT0}$	Вход/выход	Запрос/разрешение доступа к магистрали

[1] С тремя состояниями.

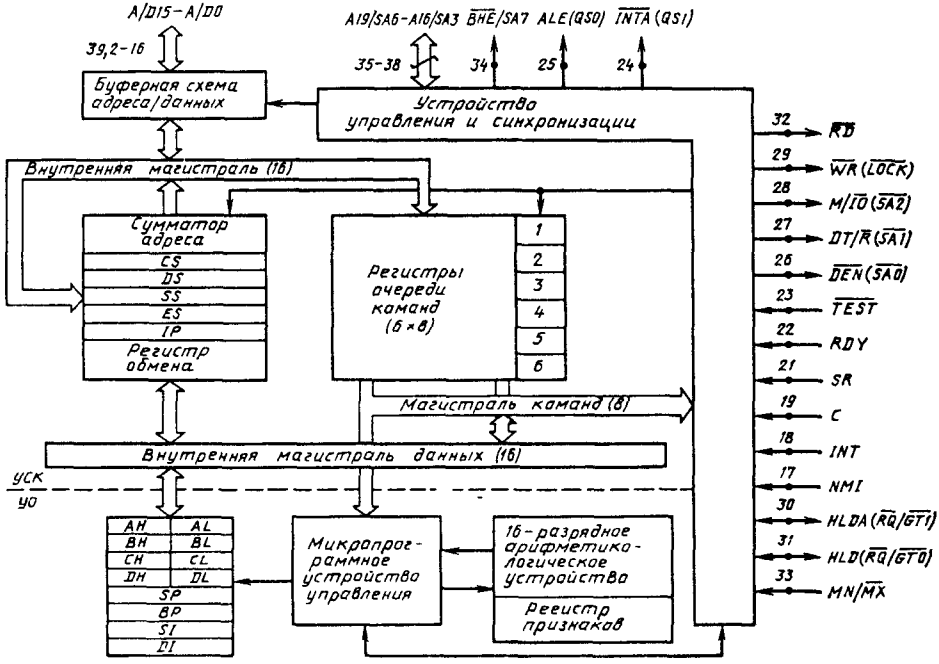


Рис. 16.2. Структурная схема микропроцессора КМ1810ВМ86

обработки (УО) и устройства управления и синхронизации.

Устройство сопряжения канала предназначено для: формирования физического адреса памяти, выборки команд из памяти и записи их в очередь команд, чтения операндов команд из памяти или регистров ввода/вывода, записи результатов выполнения команд в память или регистры ввода/вывода.

В УСК входят: шесть 8-разрядных регистров очереди команд; четыре 16-разрядных сегментных регистра; 16-разрядный регистр адреса (указателя) команды; 16-разрядный регистр обмена; 16-разрядный сумматор адреса.

Устройство обработки предназначено для выполнения операций по обработке данных. Команды, выбранные из памяти и записанные в регистры очереди команд УСК, по запросам от УО поступают через 8-разрядную магистраль команд на микропрограммное устройство управления, которое декодирует команды и вырабатывает соответствующую последовательность микрокоманд, управляющую процессом выполнения текущей операции. УО не имеет непосредственной связи с внешней магистралью системы и обменивается данными через регистр обмена с УСК.

В устройство обработки входят: 16-разрядное арифметико-логическое устройство, восемь 16-разрядных регистров общего назначения, 16-разрядный регистр признаков состояния микропроцессора.

Программно-доступными функциональными частями микропроцессора являются регистры общего назначения, сегментные регистры, регистр адреса (указателя) команд и регистр признаков (рис. 16.3).

Регистры общего назначения используются для хранения операндов и результатов выполнения команд и делятся на две группы: регистры данных, индексные регистры и указатели.

В группу регистров данных входят: регистр аккумулятора *AX;* регистр указателя базы данных *BX*, регистр счетчика циклов *CX*, регистр данных *DX*.

В группу индексных регистров и регистров указателей входят: регистр указателя стека *SP*, регистр указателя базы стека *BP*, регистр индекса источника *SI*, регистр индекса приемника *DI*.

Старшие и младшие восемь разрядов группы регистров данных могут быть адресованы раздельно. Они образуют набор 8-разрядных регистров общего назначения *(AH, AL, BH, BL, CH, CL, DH, DL)*, причем регистрам *AH, BH, CH, DH* соответствуют старшие восемь разрядов, а регистрам *AL, BL, CL, DL* — младшие восемь разрядов группы регистров данных.

Сегментные регистры используются для организации сегментной адресации памяти и предназначены для хранения базовых адресов текущих сегментов памяти. В КМ1810ВМ86 имеется четыре 16-разрядных сегментных ре-

гистра: кода *CS*, данных *DS*, стека *SS*, дополнительного сегмента *ES*.

Разряды регистра признаков содержат признаки состояния микропроцессора, которые разделены на две группы: признаки результата и признаки управления.

В группу признаков результата входят:

признак переполнения *OF*, указывающий на переполнение в случае выполнения операций над целыми числами;

признак знака *SF*, указывающий на знак результата;

признак нуля *ZF*, указывающий на равенство нулю результата;

признак вспомогательного переноса *AF*, указывающий на перенос из третьего разряда или на заем в третий разряд результата при выполнении арифметических операций;

признак четности *PF*, указывающий на четное число единиц в младшем байте результата;

признак переноса *CF*, указывающий на перенос из старшего разряда или на заем в старший разряд результата.

В группу признаков управления входят:

признак направления *DF*, указывающий направление обработки строк данных;

признак разрешения прерывания *IF*, разрешающий или запрещающий максируемые прерывания;

признак пошагового режима *TF*, управляющий пошаговыми прерываниями.

Распределение признаков по разрядам регистра признаков показано на рис. 16.3.

Микропроцессор обеспечивает формирование 20-разрядного адреса для адресации ячейки внешней памяти. Память организована как

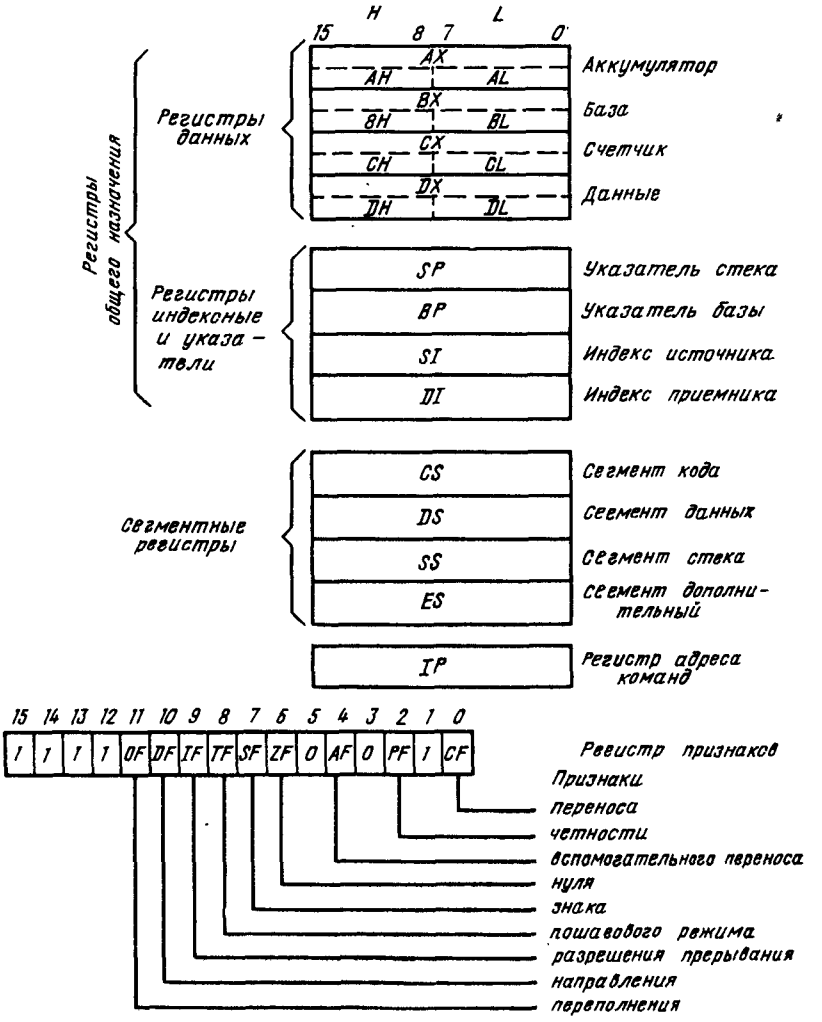


Рис. 16.3. Программно-доступные регистры микропроцессора

Таблица 16.5

Тип прерывания	Номер вектора прерывания	Приоритет прерывания	Время вызова процедуры (в тактах)
Прерывание по ошибке деления	0	1	50
Пошаговое прерывание	1	4	50
Немаскируемое прерывание	2	2	50
Прерывание по точкам разрыва (по команде *INT3*)	3	1	52
Прерывание по переполнению (по команде *INT0*)	4	1	53
Прерывания, определяемые пользователем (по команде *INT N__PROC*)	5—31	1	51
Маскируемые прерывания	32—255	3	61

линейная последовательность в 1М байт с адресами от 00000Н до FFFFFH. Структурными единицами памяти являются: ячейка, слово, двойное слово и сегмент.

Ячейка памяти — минимальная адресуемая единица памяти, используемая для запоминания 8-разрядных данных (байта данных).

Слово памяти — две последовательные ячейки памяти, которые используются для запоминания 16-разрядных данных (слова данных), причем младшие восемь разрядов всегда хранятся в ячейке памяти с меньшим адресом, а старшие — с бо́льшим. При адресации 16-разрядных данных указывается адрес первой ячейки слова памяти. Слово памяти может располагаться в памяти как по четному, так и нечетному адресу. Чтение (запись) данных из слова памяти по четному адресу осуществляется за одно обращение к памяти, а по нечетному — за два обращения.

Двойное слово памяти — четыре последовательные ячейки памяти или два последовательных слова памяти, которые используются для запоминания 32-разрядных данных. При адресации 32-разрядных данных указывается адрес первой ячейки двойного слова памяти. Двойное слово памяти также может иметь четный или нечетный адрес.

Для достижения максимальной производительности слова и двойные слова данных должны размещаться в памяти по четным адресам.

Программы, написанные для микропроцессора КМ1810ВМ86 «рассматривают» 1М байт памяти как группу сегментов, определяемых конкретным применением.

Сегмент памяти — участок памяти, емкость которого может изменяться от 16 до 65536 байт; начинается с адреса, кратного 10Н. Каждому сегменту соответствует непрерывная и отдельно адресуемая область памяти.

Сегменты могут следовать друг за другом непрерывно, с интервалом или могут перекрываться. Максимальное количество следующих непрерывно друг за другом сегментов емкостью 16 байт равно 65536, а емкостью 65536 байт равно 16. Программный сегмент может быть настроен на адрес любой ячейки сегмента, на адрес любого слова сегмента.

Микропроцессор позволяет независимо адресовать четыре программных сегмента в памяти, называемых текущими сегментами команд, данных, стека и текущим дополнительным сегментом.

Сегментирование памяти совместно с позиционно-независимыми командами передачи управления позволяет создавать динамически перемещаемые программные модули.

Физически область памяти для КМ1810ВМ86 организуется как два банка памяти по 512К байт: старший банк *(D15—D8)* и младший банк *(D7—D0)*. Для адресации ячеек памяти в каждом банке используются разряды *A19—A1* канала адреса микропроцессора. Байт данных с четным адресом пересылается по линиям *D7—D0* канала данных, а байт данных с нечетным адресом — по линиям *D15—D8* канала данных. Микропроцессор вырабатывает сигналы $\overline{BHE}$ и *A0*, используемые для выбора соответствующего банка памяти.

Младший банк, содержащий четно адресуемые байты, выбирается при $A0=0$. Старший банк, содержащий нечетно адресуемые байты, выбирается при $\overline{BHE}=0$.

Команды всегда выбираются из памяти как слова, независимо от четности или нечетности адреса, по которому производится чтение команды.

Микропроцессор позволяет обрабатывать 256 типов прерываний с номерами от 0 до 255, которые делятся на внешние аппаратные, внутренние аппаратные и программные. Запросы на внешние прерывания формируются внешними по отношению к микропроцессору устройствами. Запросы на внутренние прерывания формируются при выполнении определенных команд или по некоторым условиям при выполнении команд. По любому прерыванию управление передается программе (процедуре) обслуживания прерывания посредством вектора прерывания, выбираемого из таблицы векторов прерывания, располагаемой в памяти. Номер вектора прерывания и приоритет для всех типов прерывания приведены в табл. 16.5.

Запросы на внешние прерывания воспринимаются и обрабатываются после выполнения текущей команды. Внешние прерывания поступают на микропроцессор по двум внешним выводам *(INT* и *NMI)* и делятся на маскируемые и немаскируемые.

Запросы на маскируемые прерывания от внешних устройств обычно поступают на вхо-

ды контроллера прерываний КР1810ВН59А, который формирует сигнал запроса прерывания *INT* маскируемого прерывания с наибольшим приоритетом. Обработка маскируемого прерывания зависит от значения признака разрешения прерывания *IF*. Управление признаком *IF* осуществляется командой *CLI*, запрещающей прерывания, и командой *STI*, разрешающей прерывания. Если прерывания разрешены и пришел запрос на маскируемое прерывание, то после его распознавания микропроцессор формирует сигнал подтверждения прерывания $\overline{INTA}$ для контроллера прерываний. Контроллер прерываний в ответ на этот сигнал выдает байт данных, который определяет номер прерывания в пределах от 0 до 255.

Немаскируемый запрос прерывания поступает по входу *NMI* микропроцессора и обычно используется для прерывания работы микропроцессора при «катастрофических» событиях, таких как пропадание питания, обнаружение ошибки памяти и т. д. Обработка немаскируемого прерывания не зависит от значения признака *IF*, сигнал $\overline{INTA}$ не вырабатывается, а номер вектора прерывания формируется внутри микропроцессора.

Обработка внутренних прерываний не зависит от значения признака разрешения прерывания, и номер вектора прерывания формируется внутри микросхемы.

Внутренние аппаратные прерывания делятся на прерывание по ошибке деления и пошаговые прерывания.

Прерывание по ошибке деления происходит во время выполнения команд деления *DIV*, *IDIV*, если результат деления превышает максимально допустимую величину или в случае деления на нуль.

Выработка пошагового прерывания зависит от состояния признака пошагового режима *TF*. Если $TF=1$, то пошаговое прерывание генерируется после выполнения каждой текущей команды или пары текущих команд, первой из которых является команда изменения содержимого сегментного регистра. Пошаговые прерывания обычно используются в программах отладки.

Программные прерывания делятся на прерывания по точкам разрыва, прерывания, определяемые пользователем, и прерывания по переполнению. Обработка программных прерываний не зависит от значения признака разрешения прерывания.

Прерывание по точкам разрыва генерируется по однобайтовой команде *INT3*. Точка разрыва в общем случае представляет собой любое место в программе, где нормальное ее выполнение приостанавливается для выполнения некоторых специальных действий. Обычно данное прерывание используется в программных средствах отладки.

Прерывание по переполнению генерируется по однобайтовой команде *INT0* и зависит от значения признака переполнения *OF*. Если $OF=1$, то по команде *INT0* выполняется переход на процедуру обслуживания прерывания, если $OF=0$, то прерывания не происходит. Прерывание по переполнению может быть использовано для обнаружения переполнений при выполнении операций над целыми числами.

В случае прерываний, определяемых пользователем, номер прерывания задается вторым байтом кода команды *INT*. Данный вид прерывания может быть использован для вызова системных процедур и (или) процедур пользователя в любом месте программы.

Микропроцессор КМ1810ВМ86 допускает разработку на его основе мультипроцессорных систем, так как в нем заложена возможность синхронизации работы нескольких процессоров. В мультипроцессорных системах, выполненных на основе КМ1810ВМ86, возможно использование процессоров двух типов: независимых и подчиненных (сопроцессоров). Независимый процессор выполняет свой собственный поток команд. Сопроцессор отличается от независимого тем, что следит за выполнением потока команд центральным процессором, идентифицирует в этом потоке свои команды и выполняет их и таким образом расширяет набор команд центрального процессора.

Для обеспечения возможности разделения системного канала при работе нескольких процессоров КМ1810ВМ86 по команде *LOCK* вырабатывает сигнал блокировки канала $\overline{LOCK}$, который запрещает другим процессорам пользоваться системным каналом на время выполнения команды, следующей за командой *LOCK*. Данная команда совместно с командой *XCHG* может быть использована для координации доступа к совместно используемым ресурсам через «семафор» — программно-управляемый признак в памяти.

Микропроцессор КМ1810ВМ86 может быть синхронизирован по отношению к внешним событиям с помощью команды *WAIT* и входного сигнала $\overline{TEST}$.

В систему команд КМ1810ВМ86 входит команда *ESC* (расширение), которая представляет другому процессору (сопроцессору) возможность получения команд и данных из программы, выполняемой микропроцессором. Команда *ESC* совместно с командой *WAIT* используется для организации параллельных процессов (программ) в мультипроцессорной системе.

Отличительной особенностью КМ1810ВМ86 является возможность аппаратной перестройки внутренней структуры схемы управления и синхронизации. Выбор режима функционирования этой схемы предоставляет разработчику системы возможность выбора подмножества выходных управляющих сигналов в соответствии со степенью сложности проектируемой микропроцессорной системы. Системная «настройка» обеспечивается специальным выводом выбора режима $MN/\overline{MX}$.

Минимальный режим (вывод *MN/MX* подключен к шине питания) ориентирован на применение микропроцессора в однопроцессорных

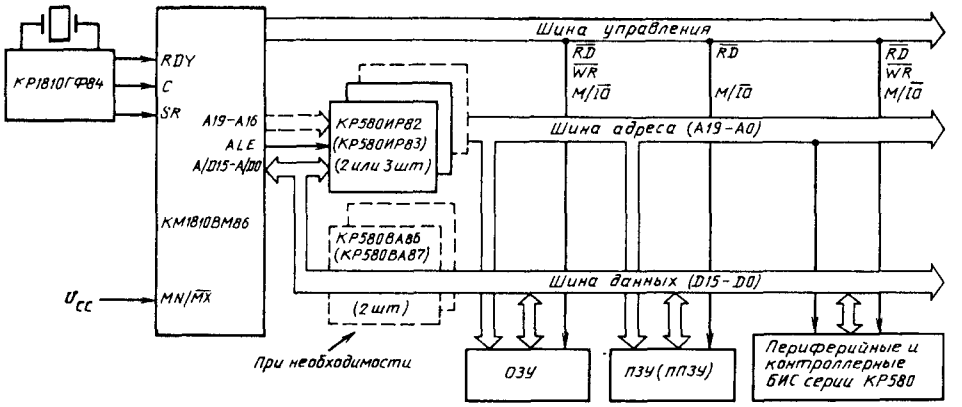


Рис. 16.4. Структурная схема системы на базе микропроцессора КМ1810ВМ86 в режиме минимального включения микросхемы

системах, содержащих небольшое число устройств. В этом режиме микропроцессор непосредственно вырабатывает сигналы управления циклами канала $DT/\overline{R}$, $\overline{DEN}$, ALE, $M/\overline{IO}$, $\overline{RD}$, $\overline{WR}$, $\overline{INTA}$ в соответствующей временной последовательности, а также обеспечивает простой доступ к системному каналу по запросу от контроллера прямого доступа к памяти типа КР580ВТ57, используя сигналы $HLD/HLDA$

Система минимальной сложности, как показано на рис. 16.4, состоит из КМ1810ВМ86, генератора тактовых импульсов КР1810ГФ84, двух (трех) буферных регистров КР580ИР82, обеспечивающих фиксацию 16-разрядного (20-разрядного) адреса. Подключение шины данных системы к выходам канала данных микропроцессора выполняется специальными схемами двунаправленных шинных формирователей КР580ВА86. Если нагрузка по току и емкостная нагрузка не превышают нагрузочной способности выходных каскадов микропроцессора, то возможно непосредственное подключение его канала данных на шину данных системы.

Максимальный режим (вывод $MN/\overline{MX}$ подключен к шине «Общий») ориентирован на применение микропроцессора в сложных одно- и многопроцессорных системах. В системах максимальной конфигурации (рис. 16.5) функции управления каналом берет на себя системный контроллер КР1810ВГ88, который декодирует три сигнала состояния $\overline{SA0}$—$\overline{SA2}$, поступающие из микропроцессора, и выдает рас-

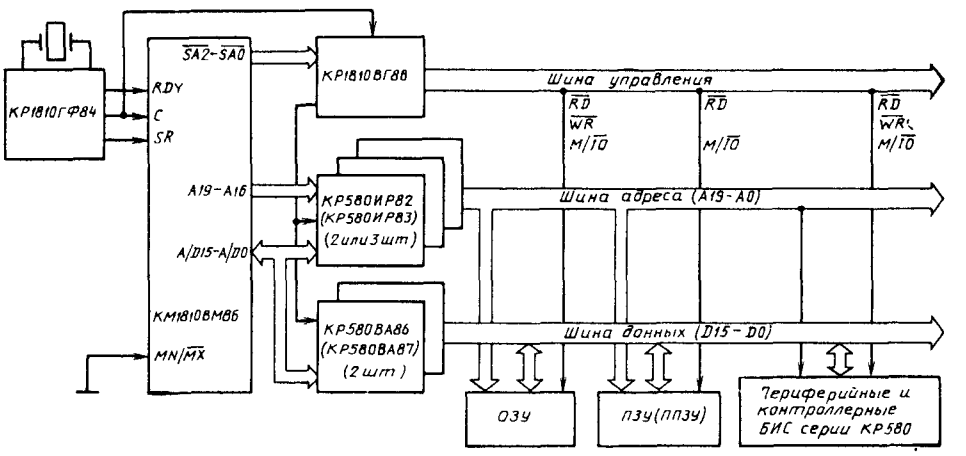


Рис 16.5. Структурная схема системы на базе микропроцессора КМ1810ВМ86 в режиме максимального включения микросхемы

ширенный набор сигналов управления для остальной части системы. Пять выходных сигналов используются для координации совместной работы с другими процессорами в мультипроцессорной системе.

Для пользователя действия, выполняемые микропроцессором, представляют собой последовательность циклов канала по обмену информацией с памятью или периферийными устройствами. Каждый цикл канала микропроцессора состоит, как минимум, из четырех машинных тактов *T1—T4*. В такте *T1* на канал адреса/данных всегда выдается адресная информация. В этом же такте вырабатывается сигнал *ALE*, который позволяет идентифицировать начало цикла канала и используется как стробирующий для занесения адресной информации во внешний регистр адреса.

В такте *T2* производится переключение направления работы канала адреса/данных. Передача данных по каналу происходит в тактах *T3* и *T4*. Длительность цикла канала может быть удлинена использованием управляющего сигнала *RDY*. Этот сигнал позволяет разработчику синхронизировать скорость работы внешней памяти со скоростью работы микропроцессора введением в цикл канала между тактами *T3* и *T4* дополнительных тактов ожидания T_{W1}. В течение тактов ожидания данные на канале остаются неизменными. Между тактом *T4* текущего цикла и тактом *T1* следующего цикла канала процессор может вводить дополнительные «холостые» такты, предназначенные для выполнения внутренних действий. Моменты введения этих тактов и их число зависят от состояния очереди команд и выполняемой команды в *УО*.

Все типы циклов канала могут быть объединены в два базовых цикла: цикл чтения и цикл записи. Пример базового цикла канала для минимального режима приведен на рис. 16.6.

Цикл чтения начинается с выработки сигнала *ALE*. Этот сигнал используется для занесения адресной информации на внешний регистр адреса. В такте *T2* канал *A/D* переключается в высокоомное состояние, вырабатывается сигнал $\overline{RD}$, который используется для чтения адресуемого устройства. Для управления шинными формирователями, обеспечивающими развязку канала адреса/данных микропроцессора от системного канала данных, используются сигналы $DT/\overline{R}$ и $\overline{DEN}$.

Цикл записи (как и цикл чтения) начинается с выдачи сигнала *ALE* и адреса на канал адреса. В такте *T2* непосредственно за выдачей адреса на канал *A/D* выдаются данные для записи в адресуемое устройство. Эта информация остается истинной на канале данных до окончания такта *T4* Сигнал $\overline{WR}$ вырабатывается в начале такта *T2* и остается в этом состоянии до начала такта *T4*.

Использование четырехтактового цикла обмена информацией позволяет микропроцессору при тактовой частоте 5 МГц работать без введения тактов ожидания со схемами памяти с длительностью цикла обращения от 500 до 800 нс и временем выборки от 300 до 400 нс.

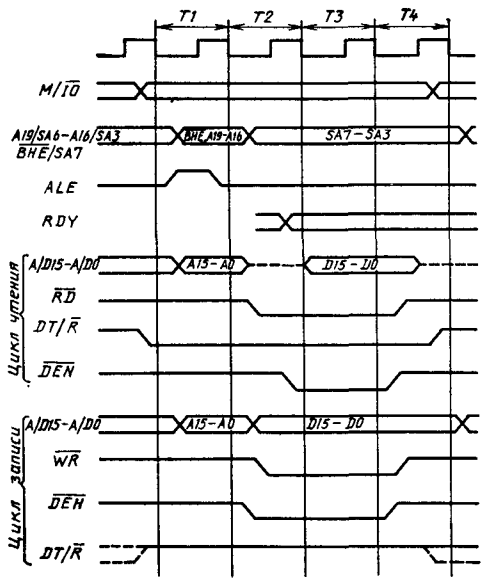


Рис. 16.6. Цикл канала для режима минимального включения микропроцессора

Начальная установка и запуск микропроцессора осуществляются по сигналу *SR*. Для правильной установки в начальное состояние микропроцессора сигнал *SR* должен подаваться на вход *SR* высоким уровнем — не менее четырех периодов тактовой частоты. По сигналу *SR* работа микропроцессора приостанавливается, и производится начальная установка регистра признаков *F*, регистра адреса (указателя) команд *IP*, сегментных регистров в соответствии с табл. 16.6, выходы канала адреса/данных переводятся в высокоомное состояние, выходы канала управления — в высокоомное или пассивное состояние.

По окончании сигнала *SR* пошаговые и маскируемые прерывания запрещены, и первая команда начинает выбираться из ячейки памяти с физическим адресом *FFFFOH*. Обычно первой командой является команда межсег-

Таблица 16.6

Назначение регистра	Содержимое регистра
Регистр признаков *F*	$F002_{16}$
Регистр адреса команды *IP*	0000_{16}
Регистр сегмента команд *CS*	$FFFF_{16}$
Регистр сегмента данных *DS*	0000_{16}
Регистр сегмента стека *SS*	0000_{16}
Регистр дополнительного сегмента *ES*	0000_{16}

ментного прямого перехода *JMP*, которая изменяет содержимое регистров *IP* и *CS* и таким образом определяет начальный адрес выполняемой программы.

Система команд микропроцессора содержит 135 машинных команд, которые могут быть разделены на шесть категорий: команды пересылки данных, арифметические команды, команды поразрядной обработки данных, строковые команды, команды передачи управления, команды управления микропроцессором.

Команды пересылки данных предназначены для пересылки содержимого операнда-источника на место операнда-приемника. Существует четыре группы команд пересылки данных: общего назначения, ввода/вывода, логического адреса, признаков.

Арифметические команды предназначены для выполнения основных арифметических операций (сложение, вычитание, умножение и деление) над порядковыми и целыми двоичными числами, над упакованными и распакованными двоично-десятичными числами, а также для преобразования форматов данных.

Команды поразрядной обработки данных предназначены для выполнения логических операций и операций линейного и циклического сдвигов (арифметических и логических) на один или *n* разрядов.

Команды обработки элементов строк данных предназначены для пересылки, сравнения, записи в память, загрузки в аккумулятор элементов строк данных. Команды обработки строк совместно с префиксом повторения позволяют организовать аппаратные циклы для обработки элементов строк длиной до 64К байт.

Команды передачи управления предназначены для организации перехода в программе. Существует четыре класса таких команд: безусловная передача управления, условная передача управления, управление циклами, команды прерываний.

Команды управления микропроцессором позволяют программно управлять его различными функциями и делятся на две группы: команды управления состоянием признаков, команды синхронизации работы микропроцессора с внешними событиями.

Система команд КМ1810ВМ86, упорядоченных по коду операции, приведена в табл 16.7, установка признаков состояния при выполнении команд — в табл. 16.8, набор машинных команд, упорядоченных по мнемокоду, показан в табл. 16.9.

Команды микропроцессора обеспечивают выполнение операций над одним или двумя операндами, и результат операции может записываться по адресу любого из операндов. В зависимости от типа команды операнды могут быть расположены в программно-доступных регистрах, непосредственно в коде команды, в памяти и регистрах ввода/вывода. Непосредственные данные могут быть типа байта или слова. Операнды в программно-доступных регистрах могут быть типа байта или слова, а для команд умножения и деления — типа двойного слова.

Операнды в памяти могут быть типа байта, слова, двойного слова, а в регистрах ввода/вывода — типа байта и слова.

Для указания операнда в программно доступных регистрах используются регистровая и неявная регистровая адресации. При регистровой адресации номер 8- или 16-разрядного регистра, содержащего операнд, указывается в поле *REG* кода команды. При регистровой неявной адресации номер регистра определяется неявно самим кодом команды.

Для указания операнда в коде команды используется непосредственная адресация.

Для указания операндов в памяти используется прямая, косвенная регистровая, стековая, строковая и табличная адресации. Адрес операнда в памяти состоит из двух 16-разрядных компонент: базы сегмента и смещения относительно базы сегмента, называемого исполнительным адресом (*EA*).

База сегмента хранится в сегментном регистре. Исполнительный адрес представляет собой расстояние в байтах от начала сегмента, содержащего операнд, до операнда и интерпретируется как порядковое число от 0 до 65535. Составными частями, используемыми при вычислении исполнительного адреса операнда, являются: смещение в команде (*DISP8*/16), содержимое базового регистра *BX* или *BP*, содержимое индексного регистра *SI* или *DI*. Способ и время вычисления исполнительного адреса определяются полями *MOD* и *R/M* кода команды и приведены в табл 16 10.

При прямой адресации исполнительным адресом операнда является смещение в команде.

При косвенной регистровой адресации в коде команды задается способ вычисления исполнительного адреса операнда. Имеются четыре типа косвенной регистровой адресации:

через содержимое базового или индексного регистра *BX, BP, SI, DI*;

через сумму содержимого базового или индексного регистра *BP/BX/SI/DI* и смещение в команде;

через сумму содержимого базового *BP/BX* и индексного *SI/DI* регистров;

через сумму содержимого базового *BP BX* и индексного *SI/DI* регистров и смещения в команде.

При стековой адресации исполнительный адрес операнда находится в регистре указателя стека *SP*, причем после чтения операнда из стека содержимое регистра указателя стека увеличивается на два, а перед записью операнда в стек содержимое регистра указателя стека уменьшается на два.

При строковой адресации исполнительный адрес операнда находится в регистре индекса источника *SI* и (или) регистре индекса приемника *DI*.

После обращения к операнду содержимое указанного регистра увеличивается или уменьшается в зависимости от значения признака направления *DF*. Данный вид адресации ис-

Таблица 16.7

КОД КОМАНДЫ				КОМАНДА
1-й байт		2-й байт	3-й, 4-й, 5-й, 6-й байты	
в коде *H*	в коде *B*			
00	00000000	MODREGR/M	[DISP8/16]	ADD R8/M8, REG8
01	00000001	MODREGR/M	[DISP8/16]	ADD R16/M16, REG16
02	00000010	MODREGR/M	[DISP8/16]	ADD REG8, R8/M8
03	00000011	MODREGR/M	[DISP8/16]	ADD REG16, R16/M16
04	00000100	DATA8		ADD AL, DATA8
05	00000101	DATA16		ADD AX, DATA16
06	00000110			PUSH ES
07	00000111			POP ES
08	00001000	MODREGR/M	[DISP8/16]	OR R8/M8, REG8
09	00001001	MODREGR/M	[DISP8/16]	OR R16/M16, REG16
0A	00001010	MODREGR/M	[DISP8/16]	OR REG8, R8/M8
0B	00001011	MODREGR/M	[DISP8/16]	OR REG16, R16/M16
0C	00001100	DATA8		OR AL, DATA8
0D	00001101	DATA16		OR AX, DATA16
0E	00001110			PUSH CS
0F	00001111			Не используется
10	00010000	MODREGR/M	[DISP8/16]	ADC R8/M8, REG8
11	00010001	MODREGR/M	[DISP8/16]	ADC R16/M16, REG16
12	00010010	MODREGR/M	[DISP8/16]	ADC REG8, R8/M8
13	00010011	MODREGR/M	[DISP8/16]	ADC REG16, R16/M16
14	00010100	DATA8		ADC AL, DATA8
15	00010101	DATA16		ADC AX, DATA16
16	00010110			PUSH SS
17	00010111			POP SS
18	00011000	MODREGR/M	[DISP8/16]	SBB R8/M8, REG8
19	00011001	MODREGR/M	[DISP8/16]	SBB R16/M16, REG16
1A	00011010	MODREGR/M	[DISP8/16]	SBB REG8, R8/M8
1B	00011011	MODREGR/M	[DISP8/16]	SBB REG16, R16/M16
1C	00011100	DATA8		SBB AL, DATA8
1D	00011101	DATA16		SBB AX, DATA16
1E	00011110			PUSH DS
1F	00011111			POP DS
20	00100000	MODREGR/M	[DISP8/16]	AND R8/M8, REG8
21	00100001	MODREGR/M	[DISP8/16]	AND R16/M16, REG16
22	00100010	MODREGR/M	[DISP8/16]	AND REG8, R8/M8
23	00100011	MODREGR/M	[DISP8/16]	AND REG16, R16/M16
24	00100100	DATA8		AND AL, DATA8
25	00100101	DATA16		AND AX, DATA16
26	00100110			ES: префикс замены сегмента
27	00100111			DAA
28	00101000	MODREGR/M	[DISP8/16]	SUB R8/M8, REG8
29	00101001	MODREGR/M	[DISP8/16]	SUB R16/M16, REG16
2A	00101010	MODREGR/M	[DISP8/16]	SUB REG8, R8/M8
2B	00101011	MODREGR/M	[DISP8/16]	SUB REG16, R16/M16
2C	00101100	DATA8		SUB AL, DATA8
2D	00101101	DATA16		SUB AX, DATA16
2E	00101110			CS: префикс замены сегмента
2F	00101111			DAS
30	00110000	MODREGR/M	[DISP8/16]	XOR R8/M8, REG8
31	00110001	MODREGR/M	[DISP8/16]	XOR R16/M16, REG16
32	00110010	MODREGR/M	[DISP8/16]	XOR REG8, R8/M8
33	00110011	MODREGR/M	[DISP8/16]	XOR REG16, R16/M16
34	00110100	DATA8		XOR AL, DATA8
35	00110101	DATA16		XOR AX, DATA16
36	00110110			SS: префикс замены сегмента
37	00110111			AAA
38	00111000	MODREGR/M	[DISP8/16]	CMP R8/M8, REG8
39	00111001	MODREGR/M	[DISP8/16]	CMP R16/M16, REG16

КОД КОМАНДЫ				КОМАНДА
1-й байт		2-й байт	3-й, 4-й, 5-й, 6-й байты	
в коде *H*	в коде *B*			
3A	00111010	MODREGR/M	[DISP8 16]	CMP REG8, R8/M8
3B	00111011	MODREGR/M	[DISP8/16]	CMP REG16, R16/M16
3C	00111100	DATA8		CMP AL, DATA8
3D	00111101	DATA16		CMP AX, DATA16
3E	00111110			DS: префикс замены сегмента
3F	00111111			AAS
40	01000000			INC AX
41	01000001			INC CX
42	01000010			INC DX
43	01000011			INC BX
44	01000100			INC SP
45	01000101			INC BP
46	01000110			INC SI
47	01000111			INC DI
48	01001000			DEC AX
49	01001001			DEC CX
4A	01001010			DEC DX
4B	01001011			DEC BX
4C	01001100			DEC SP
4D	01001101			DEC BP
4E	01001110			DEC SI
4F	01001111			DEC DI
50	01010000			PUSH AX
51	01010001			PUSH CX
52	01010010			PUSH DX
53	01010011			PUSH BX
54	01010100			PUSH SP
55	01010101			PUSH BP
56	01010110			PUSH SI
57	01010111			PUSH DI
58	01011000			POP AX
59	01011001			POP CX
5A	01011010			POP DX
5B	01011011			POP BX
5C	01011100			POP SP
5D	01011101			POP BP
5E	01011110			POP SI
5F	01011111			POP DI
60	—6F			Не используются
70	01110000	IP__INC8		JO SHORT__TAG
71	01110001	IP__INC8		JNO SHORT__TAG
72	01110010	IP__INC8		JB SHORT__TAG, (JNAE/JC)
73	01110011	IP__INC8		JNB SHORT__TAG (JAE/JNC)
74	01110100	IP__INC8		JE SHORT__TAG (JZ)
75	01110101	IP__INC8		JNE SHORT__TAG (JNZ)
76	01110110	IP__INC8		JBE SHORT__TAG (JNA)
77	01110111	IP__INC8		JNBE SHORT__TAG (JA)
78	01111000	IP__INC8		JS SHORT__TAG
79	01111001	IP__INC8		JNS SHORT__TAG
7A	01111010	IP__INC8		JP SHORT__TAG (IPE)

КОД КОМАНДЫ				КОМАНДА
1-й байт		2-й байт	3-й, 4-й, 5-й, 6-й байты	
в коде *H*	в коде *B*			
7B	01111011	IP__INC8		JNP SHORT__TAG (JPO)
7C	01111100	IP__INC8		JL SHORT__TAG (JNGE)
7D	01111101	IP__INC8		JNL SHORT__TAG (JGE)
7E	01111110	IP__INC8		JLE SHORT__TAG (JNG)
7F	01111111	IP__INC8		JNLE SHORT__TAG (JG)
80	10000000	MOD000R/M	[DISP8/16] DATA8	ADD R8/M8, DATA8
		MOD001R/M	[DISP8/16] DATA8	OR R8/M8, DATA8
		MOD010R/M	[DISP8/16] DATA8	ADC R8/M8, DATA8
		MOD011R/M	[DISP8/16] DATA8	SBB R8/M8, DATA8
		MOD100R/M	[DISP8/16] DATA8	AND R8/M8, DATA8
		MOD101R/M	[DISP8/16] DATA8	SUB R8/M8, DATA8
		MOD110R/M	[DISP8/16] DATA8	XOR R8/M8, DATA8
		MOD111R/M	[DISP8/16] DATA8	CMP R8/M8, DATA8
81	10000001	MOD000R/M	[DISP8/16] DATA16	ADD R16/M16, DATA16
		MOD001R/M	[DISP8/16] DATA16	OR R16/M16, DATA16
		MOD010R/M	[DISP8/16] DATA16	ADC R16/M16, DATA16
		MOD011R/M	[DISP8/16] DATA16	SBB R16/M16, DATA16
		MOD100R/M	[DISP8/16] DATA16	AND R16/M16, DATA16
		MOD101R/M	[DISP8/16] DATA16	SUB R16/M16, DATA16
		MOD110R/M	[DISP8/16] DATA16	XOR R16/M16, DATA16
		MOD111R/M	[DISP8/16] DATA16	CMP R16/M16, DATA16
82	10000010	MOD000R/M	[DISP8/16] DATA8	ADD R8/M8, DATA8
		MOD001R/M		Не используется
		MOD010R/M	[DISP8/16] DATA8	ADC R8/M8, DATA8
		MOD011R/M	[DISP8/16] DATA8	SBB R8/M8, DATA8
		MOD100R/M		Не используется
		MOD101R/M	[DISP8/16] DATA8	SUB R8/M8, DATA8
		MOD110R/M		Не используется
		MOD111R/M	[DISP8/16] DATA8	CMP R8/M8, DATA8
83	10000011	MOD000R/M	[DISP8/16] DATA__S	ADD R16/M16, DATA__S
		MOD001R/M		Не используется
		MOD010R/M	[DISP8/16] DATA__S	ADC R16/M16, DATA__S
		MOD011R/M	[DISP8/16] DATA__S	SBB R16/M16, DATA__S
		MOD100R/M		Не используется
		MOD101R/M	[DISP8/16] DATA__S	SUB R16/M16, DATA__S
		MOD110R/M		Не используется
		MOD111R/M	[DISP8/16] DATA__S	CMP R16/M16, DATA__S
84	10000100	MODREGR/M	[DISP8/16]	TEST R8/M8, REG8
85	10000101	MODREGR/M	[DISP8/16]	TEST R16/M16, REG16
86	10000110	MODREGR/M	[DISP8/16]	XCHG REG8, R8/M8
87	10000111	MODREGR/M	[DISP8/16]	XCHG REG16, R16/M16
88	10001000	MODREGR/M	[DISP8/16]	MOV R8/M8, REG8
89	10001001	MODREGR/M	[DISP8/16]	MOV R16/M16, REG16
8A	10001010	MODREGR/M	[DISP8/16]	MOV REG8, R8/M8
8B	10001011	MODREGR/M	[DISP8/16]	MOV REG16, R16/M16
8C	10001100	MOD0SRR/M	[DISP8/16]	MOV R16/M16, SR
8C	10001100	MOD100—111R/M		Не используются
8D	10001101	MODREGR/M	[DISP8/16]	LEA REG16, MEM
8E	10001110	MOD0SRR/M	[DISP8/16]	MOV SR, R16/M16
8E	10001110	MOD100—111R/M		Не используются
8F	10001111	MOD000R/M	[DISP8/16]	POP R16/M16
8F	10001111	MOD001—111R/M		Не используются

КОД КОМАНДЫ				КОМАНДА
1-й байт		2-й байт	3-й, 4-й, 5-й, 6-й байты	
в коде *H*	в коде *B*			
90	10010000			NOP (XCHG AX, AX)
91	10010001			XCHG AX, CX
92	10010010			XCHG AX, DX
93	10010011			XCHG AX, BX
94	10010100			XCHG AX, SP
95	10010101			XCHG AX, BP
96	10010110			XCHG AX, SI
97	10010111			XCHG AX, DI
98	10011000			CBW
99	10011001			CWD
9A	10011010	IP__NEW	CS__NEW	CALL FAR__PROC
9B	10011011			WAIT
9C	10011100			PUSHF
9D	10011101			POPF
9E	10011110			SAHF
9F	10011111			LAHF
A0	10100000	ADDR16		MOV AL, M8
A1	10100001	ADDR16		MOV AX, M16
A2	10100010	ADDR16		MOV M8, AL
A3	10100011	ADDR16		MOV M16, AL
A4	10100100			MOVS D__STR8, S__STR8 (MOVB)
A5	10100101			MOVS D__STR16, S__STR16 (MOVW)
A6	10100110			CMPS D__STR8, S__STR8 (CMPSB)
A7	10100111			CMPS, D__STR16, S__STR16 (CMPSW)
A8	10101000	DATA8		TEST AL, DATA8
A9	10101001	DATA16		TEST AX, DATA16
AA	10101010			STOS D__STR8 (STOSB)
AB	10101011			STOS D__STR16 (STOSW)
AC	10101100			LODS S__STR8 (LODSB)
AD	10101101			LODS S__STR16 (LODSW)
AE	10101110			SCAS D__STR8 (SCASB)
AF	10101111			SCAS D__STR16 (SCASW)
B0	10110000	DATA8		MOV AL, DATA8
B1	10110001	DATA8		MOV CL, DATA8
B2	10110010	DATA8		MOV DL, DATA8
B3	10111011	DATA8		MOV BL, DATA8
B4	10110100	DATA8		MOV AH, DATA8
B5	10110101	DATA8		MOV CH, DATA8
B6	10110110	DATA8		MOV DH, DATA8
B7	10110111	DATA8		MOV BH, DATA8
B8	10111000	DATA16		MOV AX, DATA16
B9	10111001	DATA16		MOV CX, DATA16
BA	10111010	DATA16		MOV DX, DATA16
BB	10111011	DATA16		MOV BX, DATA16
BC	10111100	DATA16		MOV SP, DATA16
BD	10111101	DATA16		MOV BP, DATA16
BE	10111110	DATA16		MOV SI, DATA16
BF	10111111	DATA16		MOV DI, DATA16

КОД КОМАНДЫ				КОМАНДА
1 й байт		2 й байт	3-й, 4-й, 5 й 6 й байты	
в коде *H*	в коде *B*			
C0				Не используется
C1				Не используется
C2	11000010	POP__VAL		RET POP__VAL (NEAR)
C3	11000011			RET (NEAR)
C4	11000100	MODREGR M	[DISP8 16]	LES REG16, M32
C5	11000101	MODREGR M	[DISP8 16]	LDS REG16, M32
C6	11000110	MOD000R/M	[DISP8 16] DATA8	MOV M8, DATA8
C6	11000110	MOD001—111R/M		Не используются
C7	11000111	MOD000R/M	[DISP8/16] DATA16	MOV M16, DATA16
C7	11000111	MOD001—111R/M		Не используются
C8				Не используется
C9				Не используется
CA	11001010	POP __VAL		RET POP__VAL (FAR)
CB	11001011			RET (FAR)
CC	11001100			INT N__PROC3
CD	11001101	N__PROC		INT N__PROC
CE	11001110			INTO
CF	11001111			IRET
D0	11010000	MOD000R/M	[DISP8 16]	ROL R8/M8, VAL1
		MOD001R/M	[DISP8 16]	ROR R8/M8, VAL1
		MOD010R/M	[DISP8 16]	RCL R8/M8, VAL1
		MOD011R M	[DISP8/16]	RCR R8/M8, VAL1
		MOD100R/M	[DISP8 16]	SAL R8/M8, VAL1 (SHL)
		MOD101R/M	[DISP8 16]	SHR R8/M8, VAL1
		MOD110R M		Не используется
		MOD111R/M	[DISP8 16]	SAR R8/M8, VAL1
D1	11010001	MOD000R/M	[DISP8 16]	ROL R16/M16, VAL1
		MOD001R/M	[DISP8 16]	ROR R16/M16, VAL1
		MOD010R/M	[DISP8/16]	RCL R16/M16, VAL1
		MOD011R M	[DISP8 16]	RCR R16/M16, VAL1
		MOD100R/M	[DISP8 16]	SAL R16/M16, VAL1 (SHL)
		MOD101R/M	[DISP8 16]	SHR R16/M16, VAL1
		MOD110R M		Не используется
		MOD111R/M	[DISP8 16]	SAR R16/M16, VAL1
D2	11010010	MOD000R/M	[DISP8 16]	ROL R8/M8, CL
		MOD001R/M	[DISP8 16]	ROR R8/M8, CL
		MOD010R/M	[DISP8 16]	RCL R8/M8, CL
		MOD011R/M	[DISP8 16]	RCR R8/M8, CL
		MOD100R/M	[DISP8 16]	SAL R8/M8, CL (SHL)
		MOD101R/M	[DISP8 16]	SHR R8/M8, CL
		MOD110R/M		Не используется
		MOD111R/M	[DISP8 16]	SAR R8/M8, CL
D3	11010011	MOD000R M	[DISP8 16]	ROL R16/M16, CL
		MOD001R/M	[DISP8 16]	ROR R16/M16, CL
		MOD010R/M	[DISP8 16]	RCL R16/M16, CL
		MOD011R/M	[DISP8 16]	RCR R16/M16, CL
		MOD100R/M	[DISP8 16]	SAL R16/M16, CL (SHL)
		MOD101R/M	[DISP8 16]	SHR R16/M16, CL
		MOD110R/M		Не используется
		MOD111R/M	[DISP8/16]	SAR R16/M16, CL
D4	11010100	00001010		AAM
D5	11010101	00001010		AAD
D6	11010110			Не используется

КОД КОМАНДЫ				КОМАНДА
1-й байт		2 й байт	3-й, 4-й, 5-й, 6-й байты	
в коде *H*	в коде *B*			
D7	11010111			XLAT SRC__TABLE (XLATB)
D8	11011000	MOD000R/M		
	11011xxx	MODYYYR/M	[DISP8 16]	ESC OPCODE, R/MEM
DF	11011111	MOD111R/M		
E0	11100000	IP__INC8		LOOPNE SHORT__TAG (LOOPNZ)
E1	11100001	IP__INC8		LOOPE SHORT__TAG (LOOPZ)
E2	11100010	IP__INC8		LOOP SHORT__TAG
E3	11100011	IP__INC8		JCXZ SHORT__TAG
E4	11100100	PORT		IN AL, PORT
E5	11100101	PORT		IN AX, PORT
E6	11100110	PORT		OUT AL, PORT
E7	11100111	PORT		OUT AX, PORT
E8	11101000	IP__INC16		CALL NEAR__PROC
E9	11101001	IP__INC16		JMP NEAR__TAG
EA	11101010	IP__NEW	CS__NEW	JMP FAR__TAG
EB	11101011	IP__INC8		JMP SHORT__TAG
EC	11101100			IN AL, DX
ED	11101101			IN AX, DX
EE	11101110			OUT AL, DX
EF	11101111			OUT AX, DX
F0	11110000			LOCK (префикс)
F1	11110001			Не используется
F2	11110010			REPNE (префикс) (REPNZ)
F3	11110011			REP (префикс) (REPE/REPZ)
F4	11110100			HLT
F5	11110101			CMC
F6	11110110	MOD000R/M	[DISP8/16] DATA8	TEST R8/M8, DATA8
		MOD001R/M		Не используется
		MOD010R/M	[DISP8 16]	NOT R8/M8
		MOD011R/M	[DISP8 16]	NEG R8/M8
		MOD100R/M	[DISP8 16]	MUL R8/M8
		MOD101R/M	[DISP8 16]	IMUL R8/M8,
		MOD110R/M	[DISP8 16]	DIV R8/M8
		MOD111R/M	[DISP8 16]	IDIV R8/M8
F7	11110111	MOD000R/M	[DISP8/16] DATA16	TEST R16/M16, DATA16
		MOD001R/M		Не используется
		MOD010R/M	[DISP8 16]	NOT R16/M16
		MOD011R/M	[DISP8 16]	NEG R16/M16
		MOD100R/M	[DISP8 16]	MUL R16/M16
		MOD101R/M	[DISP8 16]	IMUL R16/M16
		MOD110R/M	[DISP8 16]	DIV R16/M16
		MOD111R/M	[DISP8 16]	IDIV R16/M16
F8	11111000			CLC
F9	11111001			STC
FA	11111010			CLI
FB	11111011			STI
FC	11111100			CLD
FD	11111101			STD
FE	11111110	MOD000R/M	[DISP8 16]	INC R8/M8
		MOD001R/M	[DISP8 16]	DEC R8/M8
		MOD010—111R/M		Не используются

КОД КОМАНДЫ				КОМАНДА
1-й байт		2-й байт	3-й, 4-й, 5-й, 6-й байты	
в коде *H*	в коде *B*			
FF	11111111	MOD000R/M	[DISP8 16]	INC M16
		MOD001R/M	[DISP8 16]	DEC M16
		MOD010R/M	[DISP8/16]	CALL R16/M16 (NEAR)
		MOD011R/M	[DISP8 16]	CALL M32 (FAR)
		MOD100R/M	[DISP8 16]	JMP R16/M16 (NEAR)
		MOD101R/M	[DISP8/16]	JMP M32 (FAR)
		MOD110R/M	[DISP8/16]	PUSH M16
		MOD111R/M		Не используется

Перечень сокращений к табл. 16.7

1. Машинные команды:

AAA — коррекция результата сложения распакованных двоично-десятичных чисел;

AAD — преобразование двоично-десятичного числа в двоичное;

AAM — преобразование двоичного числа в двоично-десятичное;

AAS — коррекция результата вычитания распакованных двоично-десятичных чисел;

ADC — сложение с переносом;

ADD — сложение;

AND — логическая операция И;

CALL — вызов процедуры;

CBW — преобразование байта в слово;

CLC — установка признака переноса в 0;

CLD — установка признака направления в 0;

CLI — установка признака разрешения прерывания в 0;

CMC — инвертирование признака переноса;

CMP — сравнение двух операндов;

CMPS — сравнение элементов строк;

CMPSB — сравнение байтов строк;

CMPSW — сравнение слов строк;

CWD — преобразование слова в двойное слово;

DAA коррекция результата сложения упакованных двоично-десятичных чисел;

DAS — коррекция результата вычитания упакованных двоично-десятичных чисел;

DEC — декремент на 1;

DIV — деление порядковых чисел;

ESC — расширение;

HLT — останов;

IDIV — деление целых чисел;

IMUL — умножение целых чисел;

IN — ввод байта или слова;

INC — инкремент на 1;

INT — прерывание;

INTO — прерывание по переполнению;

IRET — возврат из прерывания;

JA — переход, если больше, для порядковых чисел;

JAE — переход, если больше или равно, для порядковых чисел;

JB — переход, если меньше, для порядковых чисел;

JBE — переход, если меньше или равно, для порядковых чисел;

JC — переход, если признак переноса равен 1;

JCXZ — переход, если содержимое регистра CX равно 0;

JE — переход, если равно;

JG — переход, если больше, для целых чисел;

JGE — переход, если больше или равно, для целых чисел;

JL — переход, если меньше, для целых чисел;

JLE — переход, если меньше или равно, для целых чисел;

JMP — безусловный переход;

JNA — переход, если не больше, для порядковых чисел;

JNAE — переход, если не больше и не равно, для порядковых чисел;

JNB — переход, если не меньше, для порядковых чисел;

JNBE — переход, если не меньше и не равно, для порядковых чисел;

JNC — переход, если признак переноса равен 0;

JNE — переход, если не равно;

JNG — переход, если не больше, для целых чисел;

JNGE — переход, если не больше или не равно, для целых чисел;

JNL — переход, если не меньше, для целых чисел;

JNLE — переход, если не меньше или не равно, для целых чисел;

JNO — переход, если признак переполнения равен 0;

JNP — переход, если признак четности равен 0;

JNS — переход, если признак знака равен 0;
JNZ — переход, если признак нуля равен 0;
JO — переход, если признак переполнения равен 1;
JP — переход, если признак четности равен 1,
JPE — переход, если четно;
JPO — переход, если не четно;
JS — переход, если признак знака равен 1;
JZ — переход, если признак 0 равен 1;
LAHF — загрузка признаков в регистр AH;
LDS — загрузка логического адреса в регистр DS и регистр общего назначения;
LEA — загрузка исполнительного адреса;
LES — загрузка логического адреса в регистр ES и регистр общего назначения;
LODS — загрузка элемента строки в аккумулятор;
LODSB — загрузка байта строки в регистр AL;
LODSW — загрузка слова строки в регистр AX;
LOOP — итеративный цикл;
LOOPE — цикл, пока равно;
LOOPNE — цикл, пока не равно;
LOOPNZ — цикл, пока не 0;
LOOPZ — цикл, пока 0;
MOV — пересылка;
MOVS — пересылка элемента строки;
MOVSB — пересылка байта строки;
MOVSW — пересылка слова строки;
MUL — умножение порядковых чисел;
NEG — формирование дополнительного кода;
NIL — нет операции;
NOP — холостая операция;
NOT — логическая операция НЕ;
OR — логическая операция ИЛИ;
OUT — вывод байта или слова;
POP — чтение слова из стека;
POPF — чтение из стека и запись в регистр признаков;
PUSH — запись слова в стек;
PUSHF — запись содержимого регистра признаков в стек;
RCL — сдвиг влево циклический через перенос;
RCR — сдвиг вправо циклический через перенос;
RET — возврат из процедуры;
ROL — сдвиг влево циклический;
ROR — сдвиг вправо циклический;
SAHF — запись содержимого регистра AH в регистр признаков;
SAL — сдвиг влево арифметический;
SAR — сдвиг вправо арифметический;
SBB — вычитание с заемом;
SCAS — сравнение элемента строки с содержимым аккумулятора;
SCASB — сравнение байта строки с содержимым регистра AL;
SCASW — сравнение слова строки с содержимым регистра AX;
SHL — сдвиг влево логический;
SHR — сдвиг вправо логический;
STC — установка признака переноса в 1;
STD — установка признака направления в 1;
STI — установка признака разрешения прерывания в 1;
STOS — запись элемента строки в память;
STOSB — запись байта строки в память;
STOSW — запись слова строки в память;
SUB — вычитание;
TEST — логическая операция И без изменения содержимого приемника;
WAIT — ожидание сигнала TEST;
XCHG — обмен;
XLAT — перекодирование;
XLATB — перекодирование байта;
XOR — логическая операция исключающее ИЛИ.

2. Префиксы команд:

LOCK — префикс блокировки;
REP — префикс повторения строковой операции;
REPE — префикс повторения строковой операции, пока равно;
REPNE — префикс повторения строковой операции, пока не равно;
REPNZ — префикс повторения строковой операции, пока не 0,
REPZ — префикс повторения строковой операции, пока 0;
SR — префикс замены сегмента.

3. Регистры и признаки:

AF — признак вспомогательного переноса;
AH — старшие восемь разрядов аккумулятора;
AL — младшие восемь разрядов аккумулятора;
AX — регистр аккумулятора;
BH — старшие восемь разрядов регистра базы данных;
BL — младшие восемь разрядов регистра базы данных;
BP — регистр указателя базы стека;
BX — регистр базы данных;
CF — признак переноса;
CH — старшие восемь разрядов регистра счетчика циклов;
CL — младшие восемь разрядов регистра счетчика циклов;
CS — регистр сегмента команд;
CX — регистр счетчика циклов;
DF — признак направления;
DH — старшие восемь разрядов регистра данных;
DI — регистр индекса приемника;
DL — младшие восемь разрядов регистра данных;

DS - регистр сегмента данных;
DX — регистр данных;
ES — регистр дополнительного сегмента;
F — регистр признаков;
IF — признак разрешения прерывания;
IP — регистр адреса (указателя) команд;
OF — признак переполнения;
PF — признак четности;
SF — признак знака;
SI — регистр индекса источника;
SP — регистр указателя стека;
SS — регистр сегмента стека;
TF — признак пошагового режима;
ZF — признак 0.

4. Поля кодов команд:

CS__NEW — поле нового значения регистра CS;

DATA8 16 — поле непосредственных данных;

DATA__S — поле непосредственных знаково-расширяемых до 16 бит данных;

DISP8/16 — поле смещения операнда в памяти;

IP__INC8/16 — поле позиционно-независимого смещения, которое прибавляется к содержимому регистра IP;

IP__NEW — поле нового значения регистра IP,

MOD поле, определяющее местонахождение и способ адресации операнда;

N__PROC — поле номера процедуры обслуживания прерывания;

XXX__YYY — поле кода операции для внешнего процессора;

POP__VAL — поле величины приращения содержимого регистра SP по команде RET;

PORT — поле постоянного адреса регистра ввода/вывода,

R/M — поле адреса регистра общего назначения или способа вычисления исполнительного адреса операнда,

REG — поле адреса регистра общего назначения,

SR - поле адреса сегментного регистра;

W — поле, определяющее тип операнда

5. Обозначение описаний операндов команд:

A обозначение аккумулятора AL или AX,

C — обозначение ссылки на команды;

D — обозначение числового выражения,

E — обозначение ссылки на элементарные или индексированные данные или обозначение регистра общего назначения;

M — обозначение ссылки на элементарные или индексированные данные,

R - обозначение регистра общего назначения,

X — обозначение ссылки на элементарные данные.

6. Описание операндов команд:

ACC — обозначение аккумулятора AL или AX;

COUNT — счетчик сдвигов;

DATA — числовое выражение, определяющее 8- или 16-битовые непосредственные данные;

DATA__S — числовое выражение определяющее 8-битовые знаково-расширяемые до 16 бит непосредственные данные;

DEST — операнд-приемник;

D__STR — ссылка на строку приемник;

FAR__PROC — ссылка на процедуру типа FAR;

FAR__TAG — ссылка на точку назначения типа FAR;

M — ссылка на элементарные или индексированные данные в памяти;

N__PROC — числовое выражение, определяющее номер процедуры обслуживания прерывания;

NEAR__PROC — позиционно-независимая ссылка на процедуру типа NEAR;

NEAR__TAG — позиционно-независимая ссылка на точку назначения типа NEAR;

OPCODE — числовое выражение, определяющее код операции для внешнего процессора,

POP__VAL — числовое выражение, определяющее значение приращения содержимого регистра SP по команде RET;

PORT — числовое выражение, определяющее постоянный адрес регистра ввода/вывода;

PORT__ADDR — адрес регистра ввода/вывода;

PROC — процедура,

R, REG — обозначения регистра общего назначения

SHORT__TAG — позиционно-независимая ссылка на точку назначения типа NEAR с расстоянием от —128 до +127;

SIMP__M — ссылка на элементарные данные,

SR — обозначение сегментного регистра,

SRC — операнд-источник;

S__STR — ссылка на строку-источник;

SRC TABLE — ссылка на таблицу-источник,

VAL1 — числовое выражение, значение которого равно 1.

7. Обозначение состояний признаков микропроцессора:

R — признак устанавливается по содержимому стека;

U — значение признака не определено;

X — признак устанавливается по результату выполнения операции;

0 — признак устанавливается в 0;

1 — признак устанавливается в 1;

— значение признака не изменяется.

Таблица 16.8

Обозначение команды		Состояние признаков микропроцессора								
		OF	DF	IF	TF	SF	ZF	AF	PF	CF
1		2	3	4	5	6	7	8	9	10
Команды микропроцессора										
AAA		U	—	—	—	U	U	X	U	X
AAD		U	—	—	—	X	X	U	X	U
AAM		U	—	—	—	X	X	U	X	U
AAS		U	—	—	—	U	U	X	U	X
ADC	DEST, SRC	X	—	—	—	X	X	X	X	X
ADD	DEST, SRC	X	—	—	—	X	X	X	X	X
AND	DEST, SRC	O	—	—	—	X	X	U	X	O
CALL	PROC	—	—	—	—	—	—	—	—	—
CBW		—	—	—	—	—	—	—	—	—
CLC		—	—	—	—	—	—	—	—	O
CLD		—	O	—	—	—	—	—	—	—
CLI		—	—	O	—	—	—	—	—	—
CMC		—	—	—	—	—	—	—	—	X
CMP	DEST, SRC	X	—	—	—	X	X	X	X	X
CMPS	D__STR, S__STR	X	—	—	—	X	X	X	X	X
CMPSB		X	—	—	—	X	X	X	X	X
CMPSW		X	—	—	—	X	X	X	X	X
CWD		—	—	—	—	—	—	—	—	
DAA		U	—	—	—	X	X	X	X	X
		U	—	—	—	X	X	X	X	X
DEC	DEST	X	—	—	—	X	X	X	X	—
DIV	SRC	U	—	—	—	U	U	U	U	U
ESC	OPCODE, SRC	—	—	—	—	—	—	—	—	—
HLT		—	—	—	—	—	—	—	—	—
IDIV	SRC	U	—	—	—	U	U	U	U	U
IMUL	SRC	X	—	—	—	U	U	U	U	X
IN	ACC, PORT__ADDR	—	—	—	—	—	—	—	—	—
INC	DEST	X	—	—	—	X	X	X	X	—
INT	N__PROC	—	—	O	O	—	—	—	—	—
INTO		—	—	O	O	—	—	—	—	—
IRET		R	R	R	R	R	R	R	R	R
JA	SHORT__TAG	—	—	—	—	—	—	—	—	—
JAE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JB	SHORT__TAG	—	—	—	—	—	—	—	—	—
JBE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JC	SHORT__TAG	—	—	—	—	—	—	—	—	—
JCXZ	SHORT__TAG	—	—	—	—	—	—	—	—	—
JE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JG	SHORT__TAG	—	—	—	—	—	—	—	—	—
JGE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JL	SHORT__TAG	—	—	—	—	—	—	—	—	—
JLE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JMP	TAG	—	—	—	—	—	—	—	—	—
JNA	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNAE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNB	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNBE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNC	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNG	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNGE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNL	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNLE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNO	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNP	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNS	SHORT__TAG	—	—	—	—	—	—	—	—	—
JNZ	SHORT__TAG	—	—	—	—	—	—	—	—	—
JO	SHORT__TAG	—	—	—	—	—	—	—	—	—

Обозначение команды		Состояние признаков микропроцессора								
		OF	DF	IF	TF	SF	ZF	AF	PF	CF
1		2	3	4	5	6	7	8	9	10
JP	SHORT__TAG	—	—	—	—	—	—	—	—	—
JPE	SHORT__TAG	—	—	—	—	—	—	—	—	—
JPO	SHORT__TAG	—	—	—	—	—	—	—	—	—
JS	SHORT__TAG	—	—	—	—	—	—	—	—	—
JZ	SHORT__TAG	—	—	—	—	—	—	—	—	—
LAHF		—	—	—	—	—	—	—	—	—
LDS	DEST, SRC	—	—	—	—	—	—	—	—	—
LEA	DEST, SRC	—	—	—	—	—	—	—	—	—
LES	DEST, SRC	—	—	—	—	—	—	—	—	—
LODS	S__STR	—	—	—	—	—	—	—	—	—
LODSB		—	—	—	—	—	—	—	—	—
LODSW		—	—	—	—	—	—	—	—	—
LOOP	SHORT__TAG	—	—	—	—	—	—	—	—	—
LOOPE	SHORT__TAG	—	—	—	—	—	—	—	—	—
LOOPNE	SHORT__TAG	—	—	—	—	—	—	—	—	—
LOOPNZ	SHORT__TAG	—	—	—	—	—	—	—	—	—
LOOPZ	SHORT__TAG	—	—	—	—	—	—	—	—	—
MOV	DEST, SRC	—	—	—	—	—	—	—	—	—
MOVS	D__STR, S__STR	—	—	—	—	—	—	—	—	—
MOVSB		—	—	—	—	—	—	—	—	—
MOVSW		—	—	—	—	—	—	—	—	—
MUL	SRC	X	—	—	—	U	U	U	U	X
NEG	DEST	X	—	—	—	X	X	X	X	X
NOP		—	—	—	—	—	—	—	—	—
NOT	DEST	—	—	—	—	—	—	—	—	—
OR	DEST, SRC	O	—	—	—	X	X	U	X	O
OUT	PORT,__ADDR, ACC	—	—	—	—	—	—	—	—	—
POP	DEST	—	—	—	—	—	—	—	—	—
POPF		R	R	R	R	R	R	R	R	R
PUSH	SRC	—	—	—	—	—	—	—	—	—
PUSHF		—	—	—	—	—	—	—	—	—
RCL	DEST, COUNT	X	—	—	—	—	—	—	—	X
RCR	DEST, COUNT	X	—	—	—	—	—	—	—	X
RET	[POP__VAL]	—	—	—	—	—	—	—	—	X
ROL	DEST, COUNT	X	—	—	—	—	—	—	—	X
ROR	DEST, COUNT	X	—	—	—	—	—	—	—	R
SAHF		—	—	—	—	R	R	R	R	X
SAL	DEST, COUNT	X	—	—	—	X	X	U	X	X
SAR	DEST, COUNT	X	—	—	—	X	X	U	X	X
SBB	DEST, SRC	X	—	—	—	X	X	X	X	X
SCAS	D__STR	X	—	—	—	X	X	X	X	X
SCASB		X	—	—	—	X	X	X	X	X
SCASW		X	—	—	—	X	X	X	X	X
SHL	DEST, COUNT	X	—	—	—	X	X	U	X	X
SHR	DEST, COUNT	X	—	—	—	X	X	U	X	X
STC		—	—	—	—	—	—	—	—	1
STD		—	1	—	—	—	—	—	—	—
STI		—	—	1	—	—	—	—	—	—
STOS	D__STR	—	—	—	—	—	—	—	—	—
STOSB		—	—	—	—	—	—	—	—	—
STOSW		—	—	—	—	—	—	—	—	—
SUB	DEST, SRC	X	—	—	—	X	X	X	X	X
TEST		O	—	—	—	X	X	U	X	O
WAIT		—	—	—	—	—	—	—	—	—
XCHG	DEST, SRC	—	—	—	—	—	—	—	—	—
XLAT	TABLE__SRC	—	—	—	—	—	—	—	—	—
XLATB		—	—	—	—	—	—	—	—	—
XOR	DEST, SRC	O	—	—	—	X	X	U	X	O

Обозначение команды	Состояние признаков микропроцессора								
	OF	DF	IF	TF	SF	ZF	AF	PF	CF
1	2	3	4	5	6	7	8	9	10
Префиксы команд									
LOCK	—	—	—	—	—	—	—	—	—
REP	—	—	—	—	—	—	—	—	—
REPE	—	—	—	—	—	—	—	—	—
REPNE	—	—	—	—	—	—	—	—	—
REPNZ	—	—	—	—	—	—	—	—	—
REPZ	—	—	—	—	—	—	—	—	—
SR	—	—	—	—	—	—	—	—	—
Прерывания									
INT	—	—	O	O	—	—	—	—	—
NMI	—	—	O	O	—	—	—	—	—
Ошибка деления	—	—	O	O	—	—	—	—	—
Пошаговые	—	—	O	O	—	—	—	—	—

Таблица 16.9

Обозначение команды		Код команды
		Машинные команды
AAA		00110111
AAD		11010101 00001010
AAM		00111111 11010100 00001010
AAS	M, REG	0001000W MODREGR/M DISP8/16
ADC	ACC, DATA	0001010W DATA8/16
	R/M, DATA	1000000W MOD010R/M [DISP8/16] DATA/16
	R16/M16, DATA___S	10000011 MOD010R/M [DISP8/16] DATA___S
ADD	REG, R/M	0000001W MODREGR/M [DISP8/16]
	M, REG	0000000W MODREGR/M [DISP8 16]
	ACC, DATA	0000010W DATA8/16
	R/M, DATA	1000000W MOD000R/M [DISP8/16] DATA/16
	R16/M16, DATA___S	10000011 MOD000R/M [DISP8/16] DATA___S
AND	REG, R/M	0010001W MODREG/M [DISP8/16]
	M, REG	0010000W MODREGR M [DISP8 16]
	ACC, DATA	0010010R DATA8/16
	R/M, DATA	1000000W MOD100R/M [DISP8/16] DATA/16
CALL	NEAR___PROC	11101000 IP___INC16
	R16/M16 (NEAR)	11111111 MOD010R/M [DISP8/16]
	FAR___PROC	10011001 IP___NEW CS___NEW
	M32 (FAR)	1111111 MOD011R M [DISP8/16]
CBW		10011000
CLC		11111000
CLD		11111110
CLI		11111010
CMC		11110101
CMP	REG, R/M	0011101W MODREGR/M [DISP8/16]
	M, REG	0011100W MODREGR/M [DISP8 16]
	ACC, DATA	0011110W DATA8/16
	R/M, DATA	1000000W MOD111R/M [DISP8/16] DATA/16
	R/M, DATA___S	10000011 MOD111R/M [DISP8 16] DATA___S

Обозначение команды		Код команды
CMPS	D_STR, S__STR	1010011W
CMPSB		10100110
CMPSW		10100111
CWD		10011001
DAA		00100111
DAS		00101111
DEC	REG16	01001REG
	R8/16	1111111W MOD001R/M [DISP8/16]
DIV	R/M	1111011W MOD110R/M [DISP8/16]
ESC	OPCODE, R/MEM	11011XXX MODYYYR/M [DISP8/16]
HLT		11110100
IDIV	R/M	1111011W MOD111R/M [DISP8/16]
IMUL	R/M	1111011W MOD101R/M [DISP8/16]
IN	ACC, PORT	1110010W PORT
	ACC, DX	1110110W
INC	REG16	01000REG
	R8/16	1111111W MOD000R/M [DISP8/16]
INT	N__PROC3	11001100
	N__PROC	11001101 N__PROC
INTO		11001110
IRET		11001111
JA	SHORT__TAG	01110111 IP__INC8
JAE	SHORT__TAG	01110011 IP__INC8
JB	SHORT__TAG	01110010 IP__INC8
JBE	SHORT__TAG	01110110 IP__INC8
JC	SHORT__TAG	01110010 IP__INC8
JCXZ	SHORT__TAG	11100011 IP__INC8
JE	SHORT__TAG	01110100 IP__INC8
JG	SHORT__TAG	01111111 IP__INC8
JGE	SHORT__TAG	01111101 IP__INC8
JL	SHORT__TAG	01111100 IP__INC8
JLE	SHORT__TAG	01111100 IP__INC8
JMP	SHORT__TAG	11101011 IP__INC8
	NEAR__TAG	11101001 IP__INC16
	R16/M16 (NEAR)	11111111 MOD100R/M [DISP8/16]
	FAR__TAG	11101010 IP__NEW CS__NEW
	M32 (FAR)	11111111 MOD101R/M [DISP8/16]
JNA	SHORT__TAG	01110110 IP__INC8
JNAE	SHORT__TAG	01110010 IP__INC8
JNB	SHORT__TAG	01110011 IP__INC8
JNBE	SHORT__TAG	01110111 IP__INC8
JNC	SHORT__TAG	01110011 IP__INC8
JNE	SHORT__TAG	01110101 IP__INC8
JNG	SHORT__TAG	01111110 IP__INC8
JNGE	SHORT__TAG	01111100 IP__INC8
JNL	SHORT__TAG	01111101 IP__INC8
JNLE	SHORT__TAG	01111111 IP__INC8
JNO	SHORT__TAG	01110001 IP__INC8
JNP	SHORT__TAG	01111011 IP__INC8
JNS	SHORT__TAG	01111001 IP__INC8
JNZ	SHORT__TAG	01110101 IP__INC8
JO	SHORT__TAG	01110000 IP__INC8
JP	SHORT__TAG	01111010 IP__INC8
JPE	SHORT__TAG	01111010 IP__INC8
JPO	SHORT__TAG	01111011 IP__INC8
JS	SHORT__TAG	01111000 IP__INC8
JZ	SHORT__TAG	01110100 IP__INC8
LAHF		10011111
LDS	REG16, M32	11000101 MODREGR/M DISP8/16
LEA	REG16, MEM	10001101 MODREGR/M DISP8/16
LES	REG16, M32	11000100 MODREGR/M DISP8/16

Обозначение команды		Код команды
LODS	S__STR	1010110W
LODSB		10101100
LODSW		10101101
LOOP	SHORT__TAG	11100010 IP__INC8
LOOPE	SHORT__TAG	11100001 IP__INC8
LOOPNE	SHORT__TAG	11100000 IP__INC8
LOOPNZ	SHORT__TAG	11100000 IP__INC8
LOOPZ	SHORT__TAG	11100001 IP__INC8
MOV	SIMP__M, ACC	1010001W DISP16
	ACC, SIMP__M	1010000W DISP16
	SR, R16/M16	10001110 MODOSRR/M [DISP8/16]
	R16/M16, SR	10001100 MODOSRR/M [DISP8/16]
	REG, R/M	1000101W MODREGR/M [DISP8/16]
	M, REG	1000100W MODREGR/M DISP8/16
	REG, DATA	1011WREG DATA8/16
	M, DATA	1100011W MOD000R/M DISP8/16 DATA8/16
MOVS	D__STR, S__STR	1010010W
MOVSB		10100100
MOVSW		10100101
MUL	R/M	1111011W MOD100R/M [DISP8/16]
NEG	R/M	1111011W MOD011R/M [DISP8/16]
NOP	(XCHG AX, AX)	10010000
NOT	R/M	1111011W MOD010R/M [DISP8/16]
OR	REG, R/M	0000101W MODREGR/M [DISP8/16]
	M, REG	0000100W MODREGR/M DISP8/16
	ACC, DATA	0000110W DATA8/16
	RM, DATA	1000000W MOD001D/M [DISP8/16] DATA8/16
OUT	PORT, ACC	1110011W PORT
	DX, ACC	1110111W
POP	REG16	01011REG
	M16	10001111 MOD000R/M DISP8/16
	SR	000SR111
POPF		10011101
PUSH	REG16	01010REG
	M16	11111111 MOD110R/M DISP8/16
	SR	000SR110
PUSHF		10011100
RCL	R/M, VAL1	1101000W MOD010R/M [DISP8/16]
	R/M, CL	1101001W MOD010R/M [DISP8/16]
RCR	R/M, VAL1	1101000W MOD011R/M [DISP8/16]
	R/M, CL	1101001W MOD011R/M [DISP8/16]
RET	(NEAR)	11000011
	POP__VAL (NEAR)	11000010 POP__VAL
RET	(FAR)	11001011
	POP__VAL (FAR)	11001010 POP__VAL
ROL	R/M, VAL1	1101000W MOD000R/M [DISP8/16]
	R/M, CL	1101001W MOD000R/M [DISP8/16]
ROR	R/M, VAL1	1101000W MOD001R/M [DISP8/16]
	R/M, CL	1101001W MOD001R/M [DISP8/16]
SAHF		10011110
SAL	R/M, VAL1	1101000W MOD100R/M [DISP8/16]
	R/M, CL	1101001W MOD100R/M [DISP8/16]
SAR	R/M, VAL1	1101000W MOD111R/M [DISP8/16]
	R/M, CL	1101001W MOD111R/M [DISP8/16]
SBB	REG, R/M	0001101W MODREGR/M [DISP8/16]
	M, REG	0001100W MODREGR/M DISP8/16
	ACC, DATA	0001110W DATA8/16
	R/M, DATA	1000000W MOD011R/M [DISP8/16] DATA8/16
	R16/M16, DATA__S	10000011 MOD011D/M [DISP8/16] DATA__S
SCAS	D__STR	1010111W

Обозначение команды		Код команды
SCASB		10101110
SCASW		10101111
SHL	R/M, VAL1	1101000W MOD100R/M [DISP8/16]
	R/M, CL	1101001W MOD100R/M [DISP8/16]
SHR	R/M, VAL1	1101000W MOD101R/M [DISP8/16]
	R/M, CL	1101001W MOD101R/M [DISP8/16]
STC		11111001
STD		11111101
STI		11111011
STOS	D__STR	1111101W
STOSB		11111010
STOSW		11111011
SUB	REG, R/M	0010101W MODREGR/M [DISP8/16]
	M, REG	0010100W MODREGR/M DISP8/16
	ACC, DATA	0010110W DATA8/16
	R/M, DATA	1000000W MOD101R/M [DISP8/16] DATA8/16
	R16/M16, DATA__S	10000011 MOD101R/M [DISP8/16] DATA__S
TEST	REG, R/M	1000010W MODREGR/M [DISP8/16]
	M, REG	1000010W MODREGR/M DISP8/16
	ACC, DATA	1010100W DATA8/16
	R/M, DATA	1111011W MOD000R/M [DISP8/16] DATA8/16
WAIT		00001001
XCHG	AX, REG16	10010REG
	REG16, AX	10010REG
	REG, R/M	1000011W MODREGR/M [DISP8/16]
	M, REG	1000011W MODREGR/M DISP8/16
XLAT	SRC__TABLE	11010111
XLATB		11010111
XOR	REG, R/M	0011001W MODREGR/M [DISP8/16]
	M, REG	0011000W MODREGR/M DISP8/16
	ACC, DATA	0011010W DATA8/16
	R/M, DATA	1000000W MOD110R/M [DISP8/16] DATA/16
Префиксы команд		
LOCK		11110000
REP		11110011
REPE		11110011
REPNE		11110010
REPNZ		11110010
REPZ		11110011
SR		001SR110

Таблица 16.10

Содержимое поля *R/M*	*MOD* = 00	Время вычисления *EA* (в тактах)	*MOD* = 01	Время вычисления *EA* (в тактах)	*MOD* = 10	Время вычисления *EA* (в тактах)
000	*(BX)+(SI)*	7	*(BX)+(SI)+DISP8*	11	*(BX)+(SI)+DISP16*	11
001	*(BX)+(DI)*	8	*(BX)+(DI)+DISP8*	12	*(BX)+(DI)+DISP16*	12
010	*(BP)+(SI)*	8	*(BP)+(SI)+DISP8*	12	*(BP)+(SI)+DISP16*	12
011	*(BP)+(DI)*	7	*(BP)+(DI)+DISP8*	11	*(BP)+(DI)+DISP16*	11
100	*(SI)*	5	*(SI)+DISP8*	9	*(SI)+DISP16*	9
101	*(DI)*	5	*(DI)+DISP8*	9	*(DI)+DISP16*	9
110	*DISP16*	6	*(BP)+DISP8*	9	*(BP)+DISP16*	9
111	*(BX)*	5	*(BX)+DISP8*	9	*(BX)+DISP16*	9

Таблица 16.11

Обозначение команды	Число тактов	Число обращений	Число байтов
Команды микропроцессора			
AAA	4	—	1
AAD	60		2
AAS	4		1
AAM	83	—	1
ADC RFG R	3	—	2
REG M	9+EA	1	2—4
M REG	16+EA	2	2—4
ACC DATA	4		2—3
R DATA	4		3—4
M DATA	17+EA	2	3—6
R16 DATA__S	4		3
M16 DATA__S	17+EA	2	3—5
ADD REG R	3	—	2
REG M	9+EA	1	2—4
M REG	16+EA	2	2—4
ACC DATA	4	—	2—3
R DATA	4	—	3—4
M DATA	17+EA	2	3—6
R16 DATA__S	4	—	3
M16 DATA__S	17+EA	2	3—5
AND REG R	3	—	2
REG M	9+EA	1	2—4
M REG	16+EA	2	2—4
ACC DATA	4	—	2—3
R DATA	4	—	3—4
M DATA	17+EA	2	3—6
CALL NEAR__PROC	19	1	3
R16 (NEAR)	16	1	2
M16 (NEAR)	21+EA	2	2—4
FAR__PROC	28	2	5
M32 (FAR)	37+EA	4	2—4
CBW	2	—	1
CLC	2		1
CLD	2		1
CLI	2		1
CMC	2	—	1
CMP REG R	3	—	2
RLG M	9+EA	1	2—4
M RFG	9+LA	1	2—4
ACC DATA	4		2—3
R DATA	4	—	3—4
M DATA	10+FA	1	3—6
R16 DATA__S	4	—	3
M16 DATA__S	10+EA	1	3—5
CMPS D STR S_ STR (CMPSB/CMPSW)	22	2	1
__(в аппаратном цикле)	9+22* N	2*N	1
CWD	5	—	1
DAA	4	—	1
DAS	4	—	1
DEC R16	2	—	1
R8	3	—	2
M	15+EA	2	2—4
DIV R8	80—90	—	2
R16	144—162	—	2
M8	(86—96)+EA	1	2—4
M16	(150—168)+EA	1	2—4
ESC OPCODE R	2	—	2
OPCODE MEM	8+FA	1	2—4
HLT	2	—	1
IDIV R8	101—112		2
R16	165—184		2
M8	(107—118)+EA	1	2—4
M16	(171—190)+EA	1	2—4
IMUL R8	80—98	—	2
R16	128—154	—	2
M8	(86—104)+EA	1	2—4
M16	(134—160)+EA	1	2—4
IN ACC PORT	10	1	2
ACC DX	8	1	1
INC R16	2	—	1
R8	3	—	2
M	15+EA	2	2—4
INT N_ PROC3	52	5	1
N PROC	51	5	2
IRET	24	3	1

Продолжение табл 16.11

Обозначение команды	Число тактов	Число обращений	Число байтов
INTO	53/4	5	1
JA SHORT__TAG (JAE JB JBE JC)	16/4	—	2
JCXZ SHORT_ TAG	18/6	—	2
JE SHORT__TAG (JG/JGE/JL/JLE)	16/4		2
JMP SHORT__TAG	15	—	2
NEAR__TAG	15		3
R16 (NEAR)	11		2
M16 (NEAR)	18+EA	1	2—4
FAR__TAG	15	—	5
M32 (FAR)	24+EA	2	2—4
JNA SHORT_ TAG (JNA/JNAE/JNB/JNBE/JNC/JNE/JNG/JNGE/JNL/JNLE/JNO/JNP/JNS/JNZ/JO/JP JPE/JPO/JS)	16/4		2
LAHF	4		1
LDS REG16 M32	16+EA	2	2—4
LEA REG16 MEM	2+EA	—	2—4
LES REG16 M32	16+EA	2	2—4
LODS S_ STR	12	1	1
LODSB	12	1	1
LODSW	12	1	1
LOOP SHORT__TAG	17/5		2
LOOPE SHORT__TAG	18/6		2
LOOPNE SHORT__TAG	19/5	—	2
LOOPNZ SHORT__TAG	19/5		2
LOOPZ SHORT__TAG	18/6		2
MOV SIMP__M ACC	10	1	3
ACC SIMP__M	10	1	3
SR R16	2	—	2
SR M16	8+EA	1	2—4
R16 SR	2		2
M16 SR	9+EA	1	2—4
REG R	2	—	2
REG M	8+EA	1	2—4
M REG	9+EA	1	2—4
REG DATA	4	—	2—3
M DATA	10+EA	1	3—6
MOVS D STR S STR (MOVSB MOVSW)	18	2	1
__ (в аппаратном цикле)	9+17* N	2*N	1
MUL R8	70—77	—	2
R16	118—133		2
M8	(76—83)+EA	1	2—4
M16	(124—139)+EA	1	2—4
NEG R	3		2
M	16+EA	2	2—4
NOP (XCHG AX AX)	3		1
NOT R	3	—	2
M	16+EA	2	2—4
OR REG R	3		2
REG M	9+EA	1	2—4
M REG	16+EA	2	2—4
ACC DATA	4	—	2—3
R DATA	4		3—4
M DATA	17+EA	2	3—6
OUT PORT ACC	10	1	2
DX ACC	8	1	1
POP REG16	8	1	1
M16	17+FA	2	2—4
SR	8	1	1
POPI	8	1	1
PUSH RFG16	11	1	1
M16	16+EA	2	2—4
SR	10	1	1
PUSHF	10	1	1
RCL R VALI	2	—	2
(RCR) M VALI	15+EA	2	2—4
R CL	8+4* N	—	2
M CL	20+LA+4* N	2	2—4
RET (NEAR)	8	1	1
RET POP VAL (NEAR)	12	1	3
RET (FAR)	18	2	1
RET POP__VAL (FAR)	17	2	3

Окончание табл. 16.11

Обозначение команды	Число тактов	Число обращений	Число байтов
ROL R, VALI	2	—	2
(ROR) M, VALI	15+EA	2	2—4
R, CL	8+4* N	—	2
M, CL	20+EA+4* N	2	2—4
SAHF	4	—	1
SAL R, VALI	2	—	2
(SAR) M, VALI	15+EA	2	2—4
R, CL	8+4* N	—	2
M, CL	20+EA+4* N	2	2—4
SBB REG, R	3	—	2
REG, M	9+EA	1	2—4
M, REG	16+EA	2	2—4
ACC, DATA	4	—	2—3
R, DATA	4	—	3—4
M, DATA	17+EA	2	3—6
R16, DATA__S	4	—	3
M16, DATA__S	17+EA	2	3—5
SCAS D_ STR (SCASB/SCASW)	15	1	1
— (в аппаратном цикле)	9+15* N	1*N	1
SHL R, VALI	2	—	2
(SHR) M, VALI	15+EA	2	2—4
R, CL	8+4* N	—	2
M, CL	20+EA+4* N	2	2—4
STC	2	—	1
STD	2	—	1
STI	2	—	1
STOS D_ STR (STOSB/STOSW)	11	1	1
— (в аппаратном цикле)	9+10* N	1*N	1
SUB REG, R	3	—	2
REG, M	9+EA	1	2—4
M, REG	16+EA	2	2—4
ACC, DATA	4	—	2—3
R, DATA	4	—	3—4
M, DATA	17+EA	2	3—6
R16, DATA__S	4	—	3
M16, DATA__S	17+EA	2	3—5
TEST REG, R	3	—	2
REG, M	9+EA	1	2—4
M, REG	9+EA	1	2—4
ACC, DATA	4	—	2—3
R, DATA	5	—	3—4
M, DATA	11+EA	1	3—6
WAIT	3+5* N	—	1
XCHG AX, REG16	3	—	1
REG16, AX	3	—	1
REG, R	4	—	2
REG, M	17+EA	2	2—4
M, REG	17+EA	2	2—4
XLAT SRC__TABLE (XLATB)	11	1	1
XOR REG, R	3	—	2
REG, M	9+EA	1	2—4
M, REG	16+EA	2	2—4
ACC, DATA	4	—	2—3
R, DATA	4	—	3—4
M, DATA	17+EA	2	3—6
Префиксы команд			
LOCK	2	—	1
REP (REPE/REPNE/REPNZ/REPZ)	2	—	1
SR	2	—	1
Прерывания			
Маскируемые (INT)	61	7	
Немаскируемые (NMI)	50	5	—
Пошаговые ((TF)·1)	50	5	—

пользуется только в командах обработки элементов строк данных.

При табличной адресации исполнительный адрес операнда определяется как сумма содержимого регистров *BX* и *AL*, причем после обращения к операнду содержимое регистра *AL* изменяется на содержимое памяти по исполнительному адресу. Данный вид адресации используется в команде *XLAT*.

Для указания операнда в регистрах ввода/вывода используется прямая и косвенная регистровая адресации.

Время выполнения команд КМ1810ВМ86 (в тактах) приведено в табл. 16.11. Время выполнения команды фиксировано только при регистровых и непосредственных операндах. Если операнд находится в памяти по исполнительному адресу, то время выполнения команды должно быть увеличено на время вычисления исполнительного адреса. В табл. 16.11 время вычисления исполнительного адреса записано как «+*EA*».

Если операнд типа «слово» находится в памяти по нечетному адресу, то время выполнения команды должно быть увеличено на четыре такта для каждого обращения к памяти за операндом.

Время выполнения команды в табл. 16.11 указано в предположении, что команда выбирается из очереди команд микропроцессора. В случае использования префикса замены сегмента время выполнения команды, перед которой стоял префикс замены, должно быть увеличено на два такта.

Электрические параметры микросхемы при $U_{CC}=+5{,}0$ В±5 % и температуре окружающей среды от —10 до +70 °С приведены в табл. 16.12.

Временные диаграммы соотношения входных и выходных управляющих, адресных, информационных и тактовых сигналов для минимального и максимального режимов работы микропроцессора приведены на рис. 16.7 и 16.8.

На рис. 16.7, *а* сигнал *RDY* анализируется в конце тактов *T2*, *T3*, T_{WI} для определения необходимости введения тактов T_{WI}. На рис. 16.7, *б* два цикла *INTA* следуют один за другим. Локальный канал адреса/данных микропроцессора находится в высокоомном состоянии во время обоих циклов *INTA*. Сигналы управления показаны для второго цикла *INTA*. Состояния выводов при останове: *SA7*, $\overline{DEN}$, $\overline{RD}$, $\overline{WR}$, $\overline{INTA}=U_{ON}$; $DT/\overline{R}$ — неопределенное.

На рис. 16.8, *а* сигнал *RDY* анализируется в конце тактов *T2*, *T3*, T_{WI} для определения необходимости введения тактов T_{WI}. Такту *T4* предшествует пассивное состояние сигналов $\overline{SA2}$—$\overline{SA0}$. На рис. 16.8, *б* каскадный адрес действителен между первым и вторым циклами $\overline{INTA}$. Два цикла $\overline{INTA}$ следуют один за другим. Локальный канал адреса/данных мик-

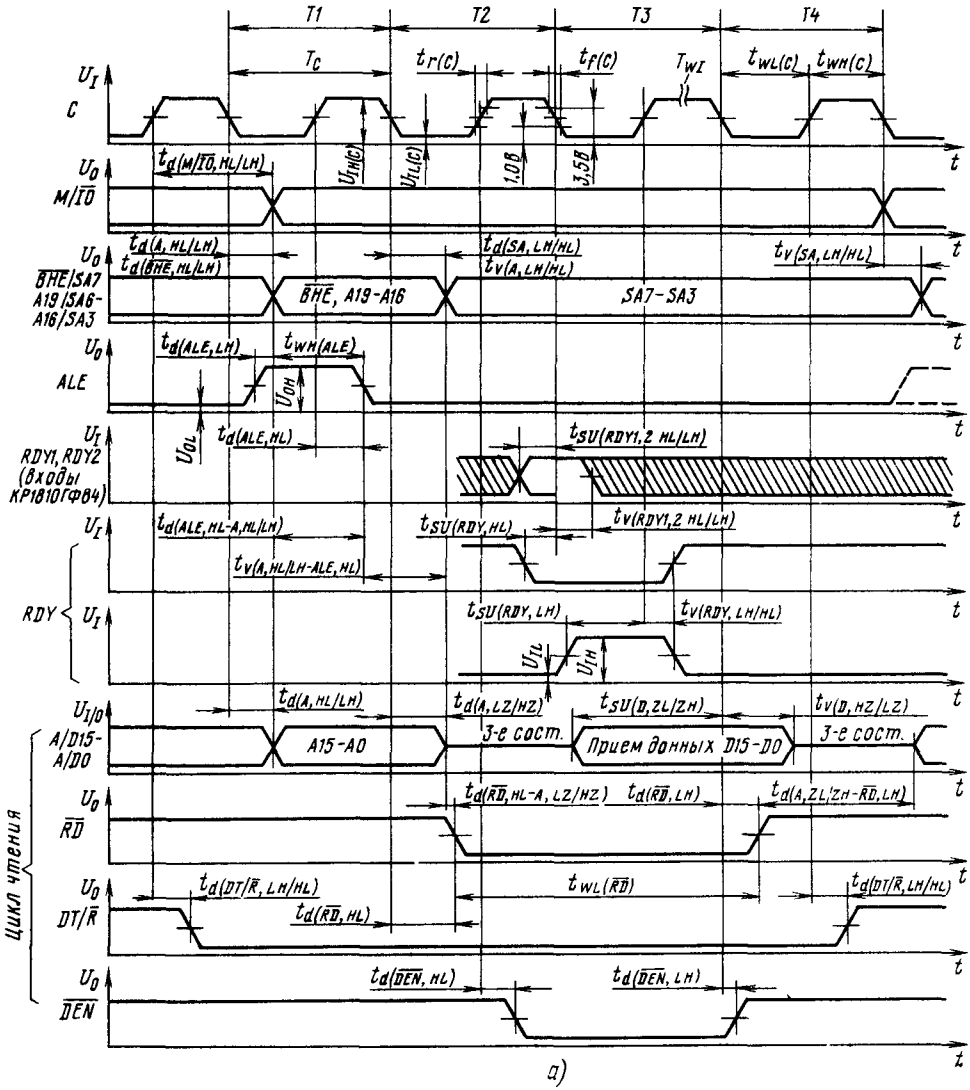
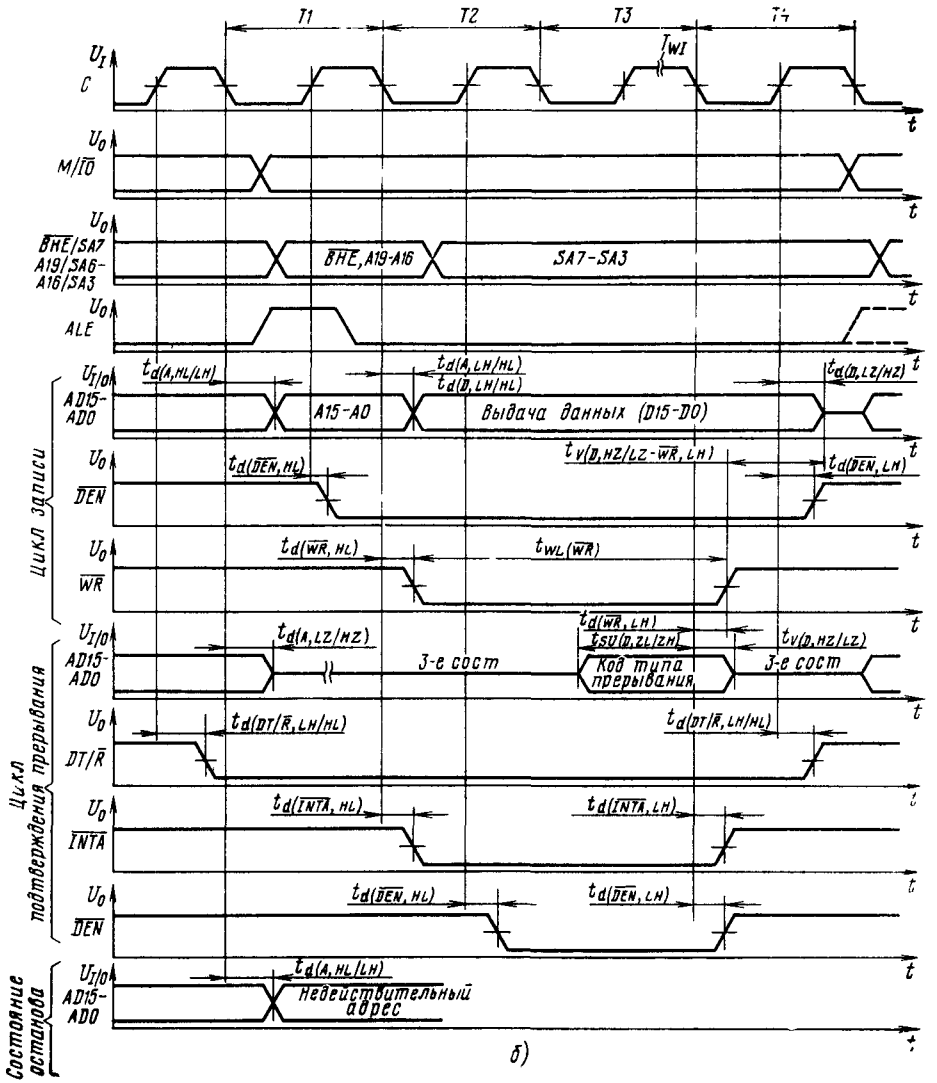


Рис. 16.7. Временные диаграммы сигналов для режима минимального включения



микропроцессора в циклах чтения (*а*), записи и подтверждения прерывания (*б*)

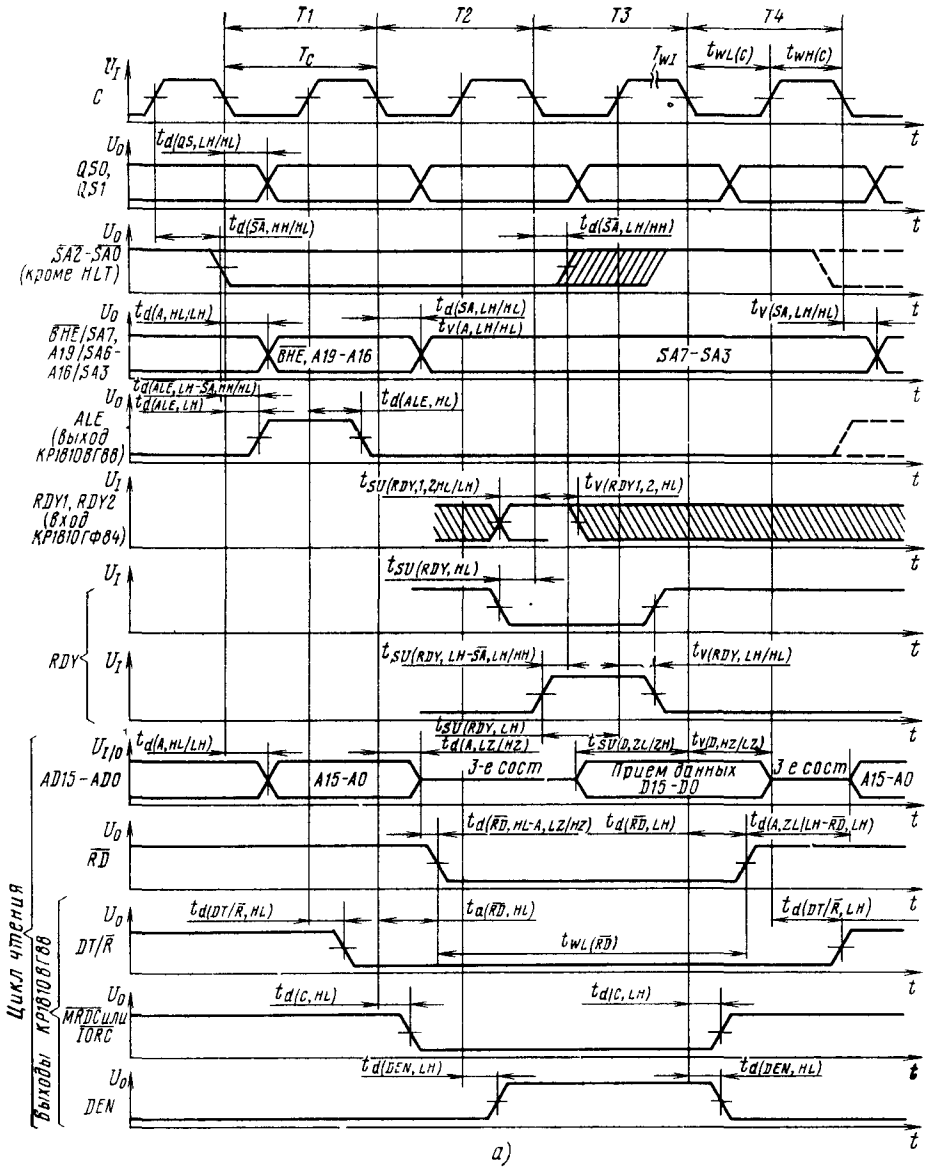
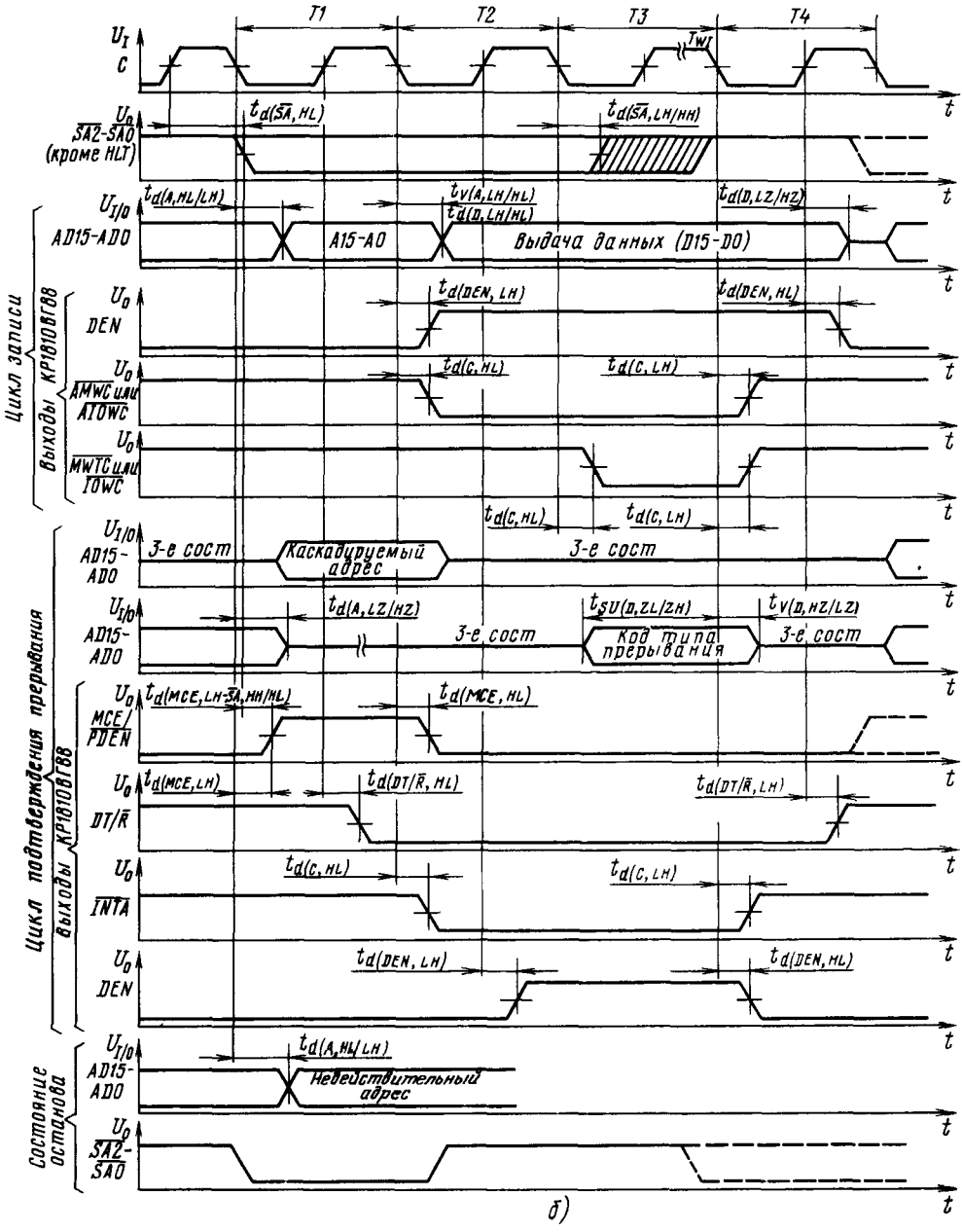


Рис. 16.8. Временные диаграммы сигналов для режима максимального включения



микропроцессора в циклах чтения (*а*), записи и подтверждения прерывания (*б*)

Таблица 16.12

Параметр	Обозначение	Значения параметров	
		мин.	макс.
1	2	3	4
Входное напряжение тактовых сигналов высокого уровня, В	$U_{IH\ (C)}$	3,9	$U_{CC}+1,0$
Входное напряжение тактовых сигналов низкого уровня, В	$U_{IL\ (C)}$	—0,5	0,6
Ток потребления, мА	I_{CC}	—	340
Период следования импульсов тактовых сигналов, нс	T_C	200	500
Длительность тактовых сигналов высокого уровня, нс	$t_{WH\ (C)}$	69	—
Длительность тактовых сигналов низкого уровня, нс	$t_{WL\ (C)}$	118	—
Время нарастания и спада импульсов тактовых сигналов, нс	$t_{r\ (C)}$	—	10
	$t_{f\ (C)}$	—	10
Время установления сигналов данных *D15—D0* в цикле приема, нс (см. прим. 1)	$t_{SU\ (D,\ ZL/ZH)}$	30	—
Время сохранения сигналов данных *D15—D0* в цикле приема, нс (см. прим. 1)	$t_{V\ (D,\ HZ/LZ)}$	10	—
Время установления сигналов *RDY1*, *RDY2* на входах КР1810ГФ84, нс (см. прим. 2)	$t_{SU\ (RDY1,\ 2)}$	35	—
Время сохранения сигналов *RDY1*, *RDY2* на входах КР1810ГФ84, нс (см. прим. 2)	$t_{V\ (RDY1,\ 2)}$	0	—
Время установления сигнала *RDY*, нс (см. прим. 1)	$t_{SU\ (RDY,\ LH)}$	118	—
Время сохранения сигнала *RDY*, нс (см. прим. 1)	$t_{V\ (RDY,\ LH/HL)}$	30	—
Время установления сигнала *RDY*, нс (см. прим. 1 и 3)	$t_{SU\ (RDY,\ HL)}$	—8	—
Время установления сигнала *RDY* в состоянии высокого уровня относительно перехода сигналов $\overline{SA2}$—$\overline{SA0}$ в пассивное состояние, нс (см. прим. 4)	$t_{SU\ (RDY,\ LH-\overline{SA})}$	—	110
Время нарастания входных сигналов (за исключением сигнала *C*), нс	t_{rI}	—	20
Время спада входных сигналов (за исключением сигнала *C*), нс	t_{fI}	—	12
Время задержки сигналов адреса *A19—A0*, $\overline{BHE}$, нс (см. прим. 1)	$t_{d\ (A,\ HL/LH)}$, $t_{d\ (\overline{BHE},\ HL/LH)}$	10	110
Время сохранения сигналов адреса *A19—A0*, $\overline{BHE}$, нс (см. прим. 1)	$t_{V\ (A,\ LH/HL)}$	10	—
Время задержки сигналов адреса *A19—A0* при переходе в высокоомное состояние, нс (см. прим. 1)	$t_{d\ (A,\ LZ/HZ)}$	$t_{V\ (A,\ LH/HL)}$	80
Длительность сигнала *ALE*, нс	$t_{WH\ (ALE)}$	$t_{WL\ (C)}-20$	—
Время задержки сигнала *ALE*, нс (см. прим. 1)	$t_{d\ (ALE,\ LH)}$	—	80
	$t_{d\ (ALE,\ HL)}$	—	85
Время сохранения сигналов адреса *A19—A0*, $\overline{BHE}$ относительно сигнала *ALE*, нс	$t_{V\ (A,\ HL/LH-ALE,\ HL)}$, $t_{V\ (\overline{BHE},\ HL/LH-ALE,\ HL)}$	$t_{WH\ (C)}-10$	—

Параметр	Обозначение	Значения параметров	
		мин.	макс.
1	2	3	4
Время задержки сигналов данных *D15—D0*, нс (см. прим. 1)	$t_{d\,(D,\ LH/HL)}$	10	110
Время задержки сигналов данных *D15—D0* в цикле выдачи, нс (см. прим. 1)	$t_{d\,(D,\ LZ/HZ)}$	10	—
Время сохранения сигналов данных *D15—D0* в цикле выдачи относительно сигнала $\overline{WR}$, нс	$t_{V\,(D,\ HZ/LZ-\overline{WR},\ LH)}$	t_{WCL}—30	—
Время задержки сигналов $M/\overline{IO}$, $DT/\overline{R}$, нс (см. прим. 1)	$t_{d\,(M/\overline{IO},\ LH/HL)}$, $t_{d\,(DT/\overline{R},\ LH/HL)}$	10	110
Время задержки сигнала $\overline{DEN}$, нс (см. прим. 1)	$t_{d\,(\overline{DEN},\ HL)}$, $t_{d\,(\overline{DEN},\ LH)}$	10	110
Время задержки сигнала $\overline{WR}$, $\overline{INTA}$, нс (см. прим. 1)	$t_{d\,(\overline{WR},\ HL/LH)}$, $t_{d\,(\overline{INTA},\ HL/LH)}$	10	110
Время задержки сигнала $\overline{RD}$ относительно перехода сигналов адреса *A15—A0* в высокоомное состояние, нс	$t_{d\,(\overline{RD},\ HL-A,\ LZ/HZ)}$	0	—
Время задержки сигнала $\overline{RD}$, нс (см. прим. 1)	$t_{d\,(\overline{RD},\ HL)}$	10	165
	$t_{d\,(\overline{RD},\ LH)}$	10	150
Время задержки выдачи сигналов следующего адреса *A15—A0* относительно окончания сигнала $\overline{RD}$, нс	$t_{d\,(A,\ ZL/ZH-\overline{RD},\ LH)}$	T_C—45	—
Длительность сигнала $\overline{RD}$, нс	$t_{WL\,(\overline{RD})}$	$2T_C$—75	—
Длительность сигнала $\overline{WR}$, нс	$t_{WL\,(\overline{WR})}$	$2T_C$—60	—
Время задержки переключения сигнала *ALE* относительно выдачи сигналов адреса *A15—A0*, нс	$t_{d\,(ALE,\ HL-A,\ HL/LH)}$	t_{WCL}—60	—
Время задержки сигналов *QS0*, *QS1*, нс (см. прим. 1 и 5)	$t_{d\,(QS,\ HH/HL)}$	10	110
Время задержки сигналов $\overline{SA0}$—$\overline{SA2}$ при переходе в активное состояние, нс (см. прим. 1 и 5)	$t_{d\,(\overline{SA},\ LH/HH)}$	10	110
Время задержки сигналов $\overline{SA0}$—$\overline{SA2}$ при переходе в пассивное состояние, нс (см. прим. 1 и 5)	$t_{d\,(\overline{SA},\ LH/HL)}$	10	130
Время задержки сигналов состояния *SA7—SA3*, нс (см. прим. 1 и 5)	$t_{d\,(SA,\ LH/HL)}$	10	110
Время сохранения сигналов состояния *SA7—SA3*, нс (см. прим. 1 и 5)	$t_{V\,(SA,\ LH/HL)}$	10	—
Время задержки сигнала *ALE* микросхемы КР1810ВГ88, нс (см. прим. 5)	$t_{d\,(ALE,\ LH/HL)}$	—	15
Время задержки сигнала *ALE* микросхемы КР1810ВГ88 относительно перехода сигналов $\overline{SA2}$—$\overline{SA0}$ в активное состояние, нс (см. прим. 5)	$t_{d\,(ALE,\ LH-SA,\ HH/HL)}$	—	15
Время задержки сигнала *MCE* микросхемы КР1810ВГ88 относительно перехода сигналов $\overline{SA2}$—$\overline{SA0}$ в активное состояние, нс (см. прим. 5)	$t_{d\,(MCE,\ LH-SA,\ HH/HL)}$	—	15

Окончание табл. 16.12

Параметр	Обозначение	Значения параметров	
		мин.	макс.
1	2	3	4
Время задержки сигнала *MCE* микросхемы КР1810ВГ88, нс (см. прим. 5)	$t_{d\ (MCE,\ LH/HL)}$	—	15
Время задержки сигнала $DT/\overline{R}$ микросхемы КР1810ВГ88, нс (см. прим. 5)	$t_{d\ (DT/\overline{R},\ HL)}$	—	50
	$t_{d\ (DT/\overline{R},\ LH)}$	—	30
Время задержки сигнала *DEN* микросхемы КР1810ВГ88, нс (см. прим. 5)	$t_{d\ (\overline{DEN},\ LH)}$	5	45
	$t_{d\ (\overline{DEN},\ HL)}$	10	45
Время задержки сигналов команд управления $\overline{MRDC}$, $\overline{MWTC}$, $\overline{IORC}$, $\overline{IOWC}$, $\overline{AMWC}$, $\overline{AIOWC}$, $\overline{INTA}$ микросхемы КР1810ВГ88, нс	$t_{d\ (C,\ HL/LH)}$	10	35
Время нарастания выходных сигналов, нс	t_{rO}	—	20
Время спада выходных сигналов, нс	t_{fO}	—	12

Примечания: 1. Значения параметров приведены относительно тактового сигнала.
2. Параметры входных сигналов КР1810ГФ84 приведены только для справок.
3. Сигнал *RDY* должен быть установлен в состояние низкого уровня в такте *T2* или в течение 8 нс после начала такта *T3*.
4. Данный параметр используется только в такте *T3* и тактах ожидания.
5. Параметр используется только в максимальном режиме работы.
6. Пояснения к буквенным обозначениям временных параметров приведены в примечаниях к табл. 3.8.

ропроцессора находится в высокоомном состоянии во время обоих циклов *INTA*. Сигналы управления показаны для второго цикла *INTA*.

16.2. Микросхема КР1810ВН59А

Микросхема КР1810ВН59А — программируемый контроллер прерывания (ПКП), предназначен для реализации прерываний в системах с приоритетами многих уровней. Она может применяться совместно с микросхемами серий КР580 или КМ1810.

Микросхема обслуживает до восьми запросов на прерывание микропроцессора, поступивших от внешних устройств, и позволяет расширять число обслуживаемых запросов до 64 путем каскадного соединения микросхем ПКП.

Микросхема может работать в нескольких режимах, которые устанавливаются программным путем.

Уровни приоритета входов запросов устанавливаются программным путем. Приоритеты, закрепленные за внешними устройствами, могут быть изменены в процессе выполнения программы.

Условное графическое обозначение микросхемы приведено на рис. 16.9, назначение выводов—в табл. 16.13, структурная схема показана на рис. 16.10.

Назначение узлов микросхемы КР1810ВН59А аналогично назначению соответствующих узлов КР580ВН59 (см. § 3.6).

Принцип работы ПКП КР1810ВН59А зависит от типа используемого микропроцессора. При работе с микропроцессором серии КР580 после получения от него сигнала $\overline{INTA}$ ПКП вырабатывает вектор прерывания, т. е. начальный адрес подпрограммы обслуживания того устройства, которое вызвало прерывание. Происходит это следующим образом. При получении сигнала $\overline{INTA}$ микросхема КР1810ВН59А посылает кодовую комбинацию 11001101 (т. е. код команды *CALL*) на 8-разрядную шину данных. Код команды *CALL* инициирует еще два сигнала $\overline{INTA}$, которые поступают на ПКП со стороны микропроцессора. Последние два сигнала позволяют микросхеме КР1810ВН59А выдать сформированный двухбайтовый адрес подпрограммы на шину данных: сначала младшие восемь разрядов адреса, затем старшие восемь разрядов адреса. Так завершается выдача трехбайтовой команды CALL микросхемой КР1810ВН59А на шину данных системы.

При работе с микропроцессором серия К1810 старший по уровню приоритета запрос, определяемый ПКП, инициирует сигнал *INT*, поступающий на микропроцессор. Процессор выдает два сигнала $\overline{INTA}$. В ответ на сигнал $\overline{INTA1}$ ПКП не выдает данных в микропроцессор, и буферная схема шины данных оста-

Таблица 16.13

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	$\overline{CS}$	Вход	Выбор микросхемы
2	$\overline{WR}$	Вход	Запись
3	$\overline{RD}$	Вход	Чтение
4—11	D7—D0	Вход/выход [1]	Канал данных
12, 13, 15	CAS2—CAS0	Вход/выход [1]	Шина каскадирования
14	GND		Общий
16	$\overline{MS}/\overline{SV}/\overline{DE}$	Вход/выход	Выбор ведомой микросхемы (разрешение данных)
17	INT	Выход	Прерывание
18—25	IRQ7—IRQ0	Вход	Запрос прерывания
26	$\overline{INTA}$	Вход	Подтверждение прерывания
27	A0	Вход	Адресный вход
28	U_{CC}	—	Напряжение питания

[1] Двунаправленный трехстабильный.

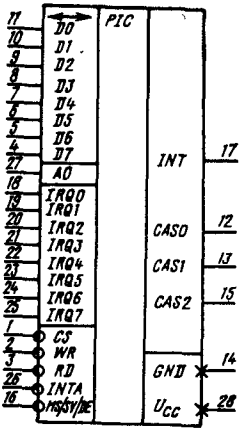


Рис. 16.9. Условное графическое обозначение КР1810ВН59А

ется в высокоомном состоянии. По сигналу $\overline{INTA2}$ ПКП посылает байт данных в процессор с кодом подтверждения запроса на прерывание. Чтобы запрос обслуживался, он должен сохраняться до прихода сигнала $\overline{INTA}$, иначе ПКП выдает вектор прерывания как бы для седьмого запроса, независимо от наличия этого запроса. Одна микросхема КР1810ВН59А управляет восемью уровнями прерывания и имеет внутренние возможности для расширения их до 64 путем соединения аналогичных микросхем с помощью специальной шины CAS2—CAS0.

При работе ПКП с микропроцессором серии КР580 назначение микросхемы ведущей или ведомой осуществляется подачей на вывод $\overline{MS}/\overline{SV}/\overline{DE}$ напряжения высокого или низкого уровня соответственно. При работе ПКП с микропроцессором серии К1810 назначение микросхемы ведущей или ведомой осуществляется программным путем.

Предварительно каждой ведомой микросхеме присваивается ее код (путем записи соответствующего командного слова), равный номеру входа IRQ ведущей микросхемы, с которым соединен вывод INT ведомой микросхемы. Если сигнал INT, поступивший на микропроцессор, выработан сигналом IRQ, поступившим на вход ведущей микросхемы, то формирование адреса подпрограммы обслуживания осуществляется этой же микросхемой аналогично тому, как это происходит при работе с одной микросхемой. Если же прерывание МП происходит по сигналу IRQ, поступившему на вход ведомой микросхемы, то формирование адреса подпрограммы обслуживания осуществляется следующим образом. При поступлении первого сигнала $\overline{INTA}$ ведущая микросхема выдает на шину данных код команды CALL только при работе с микропроцессором серии КР580, а на шину CAS2—CAS0 — код номера ведомой микросхемы. Поэтому с приходом остальных сигналов $\overline{INTA}$ код адреса подпрограммы обслуживания выдается на шину

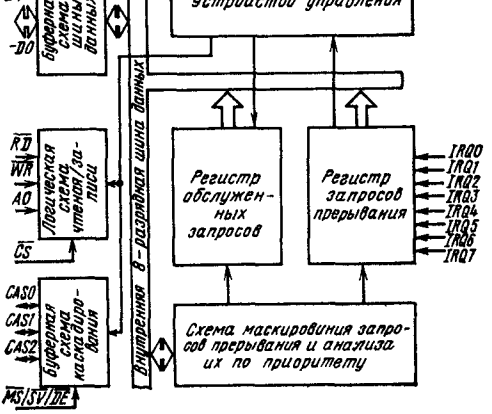


Рис. 16.10. Структурная схема КР1810ВН59А

Таблица 16.14

Вход микросхемы	Статус уровня приоритета	Вход микросхемы	Статус уровня приоритета
IRQ0	7 6 5 4 3 2 1 0	*IRQ4*	3 2 1 0 7 6 5 4
IRQ1	0 7 6 5 4 3 2 1	*IRQ5*	4 3 2 1 0 7 6 5
IRQ2	1 0 7 6 5 4 3 2	*IRQ6*	5 4 3 2 1 0 7 6
IRQ3	2 1 0 7 6 5 4 3	*IRQ7*	6 5 4 3 2 1 0 7

Примечание. Жирной цифрой 7 обозначено дно приоритетного кольца.

данных той ведомой микросхемой, запрограммированный номер которой совпал с кодом на шине *CAS2—CAS0*. Получая запросы от периферийных устройств, ПКП определяет, какое из них обладает наивысшим уровнем приоритета. При этом уровни приоритета входов *IRQ7—IRQ0* микросхемы заранее заданы и находятся всегда в строго определенном соотношении (статус уровней приоритета). Самым высоким уровнем приоритета обладает вход *IRQ* с обозначением 0 приоритетного кольца, а самым низким — вход *IRQ* с обозначением 7, называемым дном приоритетного кольца. Таким образом, задавая положение дна, можно однозначно определять уровень приоритета каждого входа микросхемы. Все возможные варианты статусов приведены в табл. 16.14.

Микросхема имеет несколько программных способов задания дна приоритетного кольца, применяемых в зависимости от системных требований.

Микросхема имеет регистр запросов (РЗПР) и регистр обслуженных запросов (РОЗПР). В РЗПР хранятся запросы от ожидающих обслуживания периферийных устройств. После выработки сигнала *INT* и получения последовательности сигналов $\overline{INTA}$ разряд РЗПР, соответствующий обслуживаемому запросу, устанавливается в нулевое состояние, а соответствующий разряд РОЗПР — в единичное состояние. Этот разряд РОЗПР блокирует обслуживание всех запросов, имеющих равный или более низкий по сравнению с ним уровень приоритета. Кроме того, запретить обслуживание запросов можно применением маскирования, что позволяет заблокировать любой из входов микросхемы, на который поступает *IRQ*. Однако устранить блокирующее влияние разрядов РОЗПР на обслуживание поступившего запроса можно либо путем сброса соответствующего запроса в РОЗПР, либо путем специального маскирования.

При обслуживании прерываний по опросу микропроцессор блокирует свой вход *INT*, так как в этом случае инициатором обслуживания является микропроцессор. Поэтому по сигналу $\overline{RD}$, поступившему после подачи команды «Обслуживание по результатам опроса», при наличии запросов на шину данных считывается код номера запроса, имеющий наивысший в данный момент уровень приоритета.

Установка микросхемы в исходное состояние и установка алгоритма обслуживания прерываний осуществляются с помощью двух типов слов команд, записываемых в ПКП: слов команд инициализации (СКИ) и слов команд операций (СКО).

Микросхема может выполнять следующий набор операций:

операции индивидуального маскирования — индивидуальное маскирование запросов, специальное маскирование обслуженных запросов;

операции установки статуса уровней приоритета — по установке исходного состояния; по обслуженному запросу, по указанию;

операции конца прерываний — обычный конец прерывания, специальный конец прерывания, автоматический конец прерывания;

операции чтения — чтение регистра запросов, чтение регистра обслуженных запросов, чтение регистра маски.

В процессе работы микросхем можно выделить следующие основные режимы: программирование, обслуживание по запросу, обслуживание по результатам опроса.

В режиме программирования запись слов команд микросхемы осуществляется при $\overline{CS}=0$ и $\overline{WR}=0$. Временная диаграмма работы микросхем показана на рис. 16.11, *а*. При подаче на шину данных соответствующего кода команды микросхема выполняет определенный алгоритм работы.

В режиме программирования чтение информации осуществляется при $\overline{CS}=0$ и $\overline{RD}=0$ (рис. 16.11, *б*).

В режиме обслуживания ($\overline{CS}=1$) микросхема выполняет команды подпрограммы обслуживания запросов. Временные диаграммы работы микросхемы показаны на рис. 16.12, *а*.

Режим работы микросхемы устанавливается путем ее программирования как устройства ввода/вывода с помощью программного обеспечения микропроцессорной системы.

В процессе работы ПКП можно изменять алгоритмы обслуживания прерываний. Это осуществляется с помощью системы команд, перечень которых приведен в табл. 16.15. Прежде всего микросхема должна быть установлена в исходное состояние. Для этого используется последовательность команд СКИ (рис. 16.13). Формат команд СКИ приведен на рис. 16.14.

По команде СКИ1 (признак $A0=0$, $D4=1$) микросхема выполняет следующие действия:

устанавливает в исходное состояние схему, чувствительную к перепаду уровней напряжения, по входам *IRQ7—IRQ0*;

очищает регистр маскирования запросов;

входу *IRQ7* присваивает уровень приоритета 7;

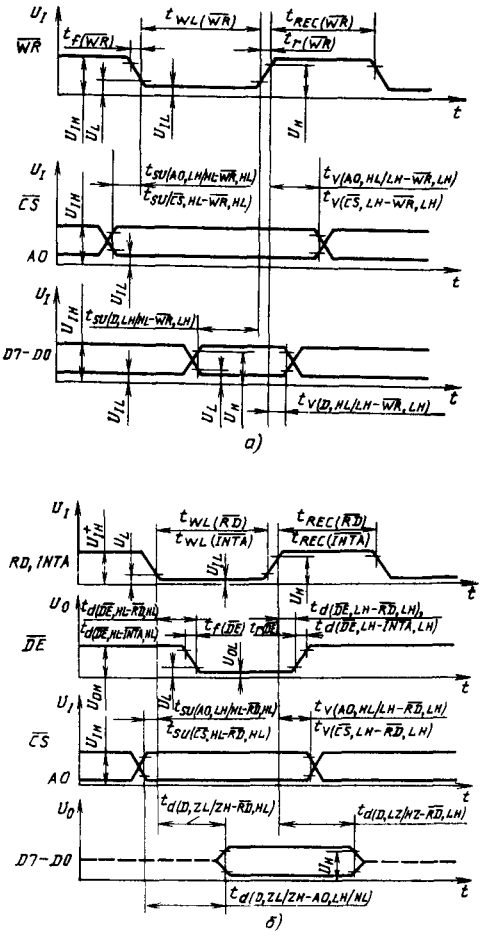


Рис. 16.11. Временные диаграммы работы КР1810ВН59А в режиме программирования и обслуживания по опросу при записи (*а*) и чтении (*б*)

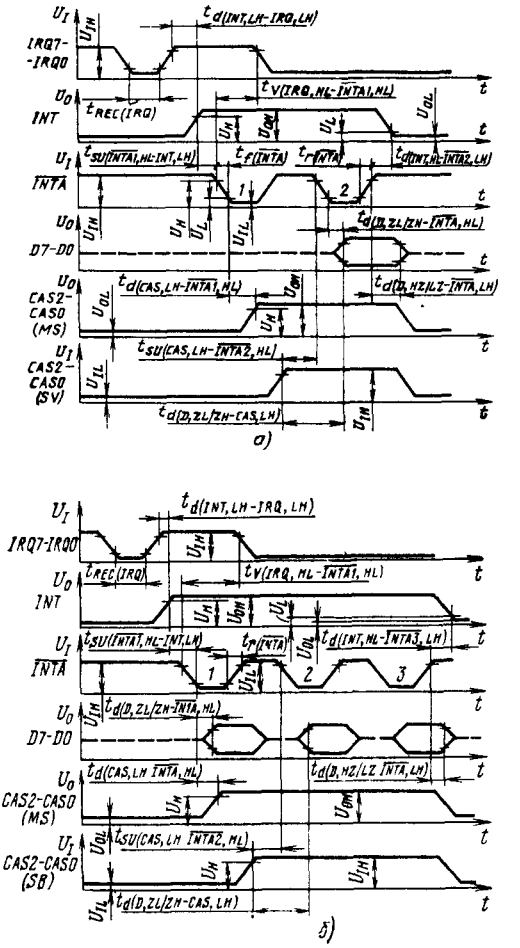


Рис. 16.12. Временные диаграммы работы микросхемы в режиме обслуживания по запросу при работе с микропроцессорами серий КМ1810 (*а*) и КР580 (*б*)

сбрасывает триггер специального маскирования, а триггер выбора РЗПР/РОЗПР для последующего считывания устанавливает в состояние выбора РЗПР;

сбрасывает триггер циклического сдвига уровней приоритета;

если $D0=0$, то сбрасывает признаки разрешения данных и автоматического конца прерывания. Команда СКИ1 имеет 16 модификаций (а—р), что связано с указанием в ней признака СКИ4 (разряд $D0$), признака числа ПКП в системе (разряд $D1$), признака формата адреса ($D2$) и признака установки запросов ($D3$). Если $D0=1$, то программируется регистр СКИ4. Если $D1=1$, то ПКП в системе единственный, если $D1=0$ — в системе несколько ПКП. При $D2=1$ формат равен 4, т. е. начальные адреса программ обслуживания смежных запросов отстоят друг от друга на 4 адреса, при $D=0$ — на 8. В разрядах $D7$—$D5$ команды СКИ1 указываются разряды адреса $A7$—$A5$ младшего байта начального адреса подпрограммы обслуживания запросов при формате 4. При формате 8 в разрядах $D7$, $D6$ указываются разряды адреса $A7$, $A6$. Возможные варианты адресов младшего байта в зависимости от номера запроса и формата приведены в табл. 16.16. При работе с процессором серии КМ1810 младший байт адреса ПКП не формируется. Признак формата игнорируется.

При $D3=1$ ПКП работает в режиме прерывания по запросу, который реализуется постоянным уровнем напряжения, при $D3=0$ ПКП работает в режиме прерывания по запросу, который реализуется изменением напряжения от низкого уровня до высокого.

Следующая команда после СКИ1 (признак $A0=1$) воспринимается как команда СКИ2, в

Таблица 16.15

Слова команды		A0	D7	D6	D5	D4	D3	D2	D1	D0	Примечание
СКИ1	а	0	A7	A6	A5	1	0	1	1	0	Формат 4, единственный, IRQ фронтом, СКИ4 есть
	б	0	A7	A6	A5	1	1	1	1	0	Формат 4, единственный, IRQ уровнем, СКИ4 есть
	в	0	A7	A6	A5	1	0	1	0	0	Формат 4, не единственный, IRQ фронтом, СКИ4 есть
	г	0	A7	A6	A5	1	1	1	0	0	Формат 4, не единственный, IRQ уровнем, СКИ4 есть
	д	0	A7	A6	0	1	0	0	1	0	Формат 8, единственный, IRQ фронтом, СКИ4 есть
	е	0	A7	A6	0	1	1	0	1	0	Формат 8, единственный, IRQ уровнем, СКИ4 есть
	ж	0	A7	A6	0	1	0	0	0	0	Формат 8, не единственный, IRQ уровнем, СКИ4 есть
	з	0	A7	A6	0	1	1	0	0	0	Формат 8, не единственный, IRQ фронтом, СКИ4 есть
	и	0	A7	A6	A5	1	0	1	1	1	Формат 4, единственный, IRQ фронтом, СКИ4 нет
	к	0	A7	A6	A5	1	1	1	1	1	Формат 4, единственный, IRQ уровнем, СКИ4 нет
	л	0	A7	A6	A5	1	0	1	0	1	Формат 4, не единственный, IRQ фронтом, СКИ4 нет
	м	0	A7	A6	A5	1	1	1	0	1	Формат 4, не единственный, IRQ уровнем, СКИ4 нет
	н	0	A7	A6	0	1	0	0	1	1	Формат 8, единственный, IRQ фронтом, СКИ4 нет
	о	0	A7	A6	0	1	1	0	1	1	Формат 8, единственный, IRQ уровнем, СКИ4 нет
	п	0	A7	A6	0	1	0	0	0	1	Формат 8, не единственный, IRQ фронтом, СКИ4 нет
	р	0	A7	A6	0	1	1	0	0	1	Формат 8, не единственный, IRQ уровнем, СКИ4 нет
СКИ2		1	A15	A14	A13	A12	A11	A10	A9	A8	Старший байт адреса подпрограммы обслуживания
СКИ3	а	1	U7	U6	U5	U4	U3	U2	U1	U0	Для ведущего ПКП
	б	1	0	0	0	0	0	U2	U1	U2	Для ведомого ПКП
СКИ4	а	1	0	0	0	0	0	0	0	0	$\overline{PSV}$, $\overline{EN}$, ведомый, $\overline{АКП}$, с КР580
	б	1	0	0	0	0	0	0	0	1	$\overline{PSV}$, $\overline{EN}$, ведомый, $\overline{АКП}$, с КМ1810
	в	1	0	0	0	0	0	0	1	0	$\overline{PSV}$, $\overline{EN}$, ведомый, АКП, с КР580
	г	1	0	0	0	0	0	0	1	1	$\overline{PSV}$, $\overline{EN}$, ведомый, АКП, с КМ1810
	д	1	0	0	0	0	0	1	0	0	$\overline{PSV}$, $\overline{EN}$, ведущий, $\overline{АКП}$, с КР580
	е	1	0	0	0	0	0	1	0	1	$\overline{PSV}$, $\overline{EN}$, ведущий, $\overline{АКП}$, с КМ1810
	ж	1	0	0	0	0	0	1	1	0	$\overline{PSV}$, $\overline{EN}$, ведущий, АКП, с КР580
	з	1	0	0	0	0	0	1	1	1	$\overline{PSV}$, $\overline{EN}$, ведущий, АКП, с КМ1810
	и	1	0	0	0	0	1	0	0	0	$\overline{PSV}$, EN, ведомый, $\overline{АКП}$, с КР580
	к	1	0	0	0	0	1	0	0	1	$\overline{PSV}$, EN, ведомый, $\overline{АКП}$, с КМ1810

Слова команды		A0	D7	D6	D5	D4	D3	D2	D1	D0	Примечание
СКИ4	л	1	0	0	0	0	1	0	1	0	$\overline{PSV}$, EN, ведомый, АКП, с КР580
	м	1	0	0	0	0	1	0	1	1	$\overline{PSV}$, EN, ведомый, $\overline{АКП}$, с КМ1810
	и	1	0	0	0	0	1	1	0	0	$\overline{PSV}$, EN, ведущий $\overline{АКП}$, с КР580
	о	1	0	0	0	0	1	1	0	1	$\overline{PSV}$, EN, ведущий $\overline{АКП}$, с КМ1810
	п	1	0	0	0	0	1	1	1	0	$\overline{PSV}$, EN, ведущий АКП, с КР580
	р	1	0	0	0	0	1	1	1	1	$\overline{PSV}$, EN, ведущий АКП, с КМ1810
	а′	1	0	0	0	1	0	0	0	0	PSV, $\overline{EN}$, ведомый, $\overline{АКП}$, с КР580
	б′	1	0	0	0	1	0	0	0	1	PSV, $\overline{EN}$, ведомый, $\overline{АКП}$, с КМ1810
	в′	1	0	0	0	1	0	0	1	0	PSV, $\overline{EN}$, ведомый, АКП, с КР580
	г′	1	0	0	0	1	0	0	1	1	PSV, $\overline{EN}$, ведомый, АКП, с КМ1810
	д′	1	0	0	0	1	0	1	0	0	PSV, $\overline{EN}$, ведущий $\overline{АКП}$, с КР580
	е′	1	0	0	0	1	0	1	0	1	PSV, $\overline{EN}$, ведущий $\overline{АКП}$, с КМ1810
	ж′	1	0	0	0	1	0	1	1	0	PSV, $\overline{EN}$, ведущий АКП, с КР580
	з′	1	0	0	0	1	0	1	1	1	PSV, $\overline{EN}$, ведущий АКП, с КМ1810
	и′	1	0	0	0	1	1	0	0	0	PSV, EN, ведомый, $\overline{АКП}$, с КР580
	к′	1	0	0	0	1	1	0	0	1	PSV, EN, ведомый, $\overline{АКП}$, с КМ1810
	л′	1	0	0	0	1	1	0	1	0	PSV, EN, ведомый, АКП, с КР580
	м′	1	0	0	0	1	1	0	1	1	PSV, EN, ведомый, АКП, с КМ1810
	н′	1	0	0	0	1	1	1	0	0	PSV, EN, ведущий $\overline{АКП}$, с КР580
	о′	1	0	0	0	1	1	1	0	1	PSV, EN, ведущий $\overline{АКП}$, с КМ1810
	п′	1	0	0	0	1	1	1	1	0	PSV, EN, ведущий АКП, с КР580
	р′	1	0	0	0	1	1	1	1	1	PSV, EN, ведущий, АКП, с КМ1810
СКО1		1	M7	M6	M5	M4	M3	M2	M1	M0	Маскирование РЗПР
СКО2	а	0	0	0	1	0	0	0	0	0	Обычный КП
	б	0	0	1	1	0	0	B2	B1	B0	Специальный КП, B2—B0— двоично-десятичный код номера разряда, сбрасываемого в РОЗПР
	в	0	1	0	1	0	0	0	0	0	Циклический сдвиг уровней приоритета с обычным КП. Установка дна приоритетного кольца по обслуженному запросу

Слова команды		A0	D7	D6	D5	D4	D3	D2	D1	D0	Примечание
СКО2	г	0	1	1	1	0	0	B2	B1	B0	Циклический сдвиг уровней приоритета с СКП, B2—B0 — двоично-десятичный код дна приоритетного кольца и номера сбрасываемого разряда в РОЗПР
	д	0	1	0	0	0	0	0	0	0	Разрешение вращения уровней приоритета
	е	0	0	0	0	0	0	0	0	0	Сброс разрешения вращения уровней приоритета
	ж	0	1	1	0	0	0	B2	B1	B0	Циклический сдвиг уровней приоритета, B2—B0 — дно приоритетного кольца
СКО3	а	0	0	0	0	0	1	1	X	X	Установка режима опроса
	б	0	0	0	0	0	1	0	1	1	Разрешение чтения РОЗПР
	в	0	0	0	0	0	1	0	1	0	Разрешение чтения РЗПР
	г	0	0	1	1	0	1	0	0	0	Разрешение триггера специального маскирования
	д	0	0	1	0	0	1	0	0	0	Сброс триггера специального маскирования

Примечание. Для слов команд СКИ1а — СКИ1з слово команды СКИ4 не программируется, для СКИ1н — СКИ1 слово СКИ4 — программируется.

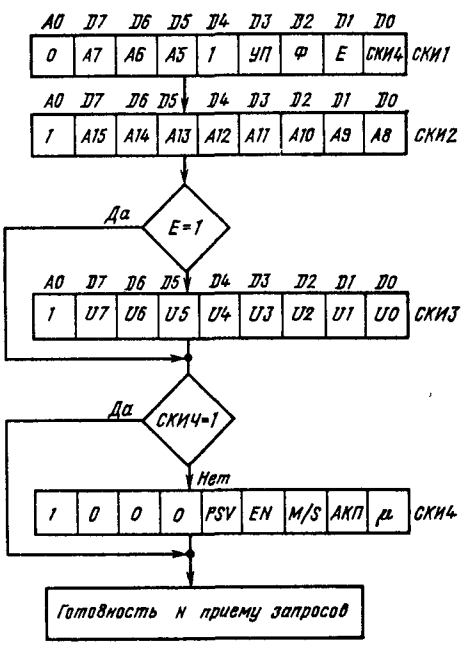


Рис. 16.13. Последовательность слов команд инициализации

которой указываются старшие разряды 16-разрядного адреса подпрограммы обслуживания: при работе с микропроцессором серии КР580— разряды *A15—A8*, с микропроцессором серии К1810 — разряды *A15—A11*.

Если в СКИ1 *D1*=0, то следующая команда за СКИ2 (при *A0*=1) воспринимается мик-

Таблица 16.16

Формат	Номер IRQ	D7	D6	D5	D4	D3	D2	D1	D0
4-й	IRQ7	A7	A6	A5	1	1	1	0	0
	IRQ6	A7	A6	A5	1	1	0	0	0
	IRQ5	A7	A6	A5	1	0	1	0	0
	IRQ4	A7	A6	A5	1	0	0	0	0
	IRQ3	A7	A6	A5	0	1	1	0	0
	IRQ2	A7	A6	A5	0	1	0	0	0
	IRQ1	A7	A6	A5	0	0	1	0	0
	IRQ0	A7	A6	A5	0	0	0	0	0
8-й	IRQ7	A7	A6	1	1	1	0	0	0
	IRQ6	A7	A6	1	1	0	0	0	0
	IRQ5	A7	A6	1	0	1	0	0	0
	IRQ4	A7	A6	1	0	0	0	0	0
	IRQ3	A7	A6	0	1	1	0	0	0
	IRQ2	A7	A6	0	1	0	0	0	0
	IRQ1	A7	A6	0	0	1	0	0	0
	IRQ0	A7	A6	0	0	0	0	0	0

росхемой как СКИ3 и имеет две модификации. Команду СКИ3а подают на ведущую микросхему, а СКИ3б — на ведомые. Если в разрядах *D7—D0* команды СКИ3а устанавливается единичное состояние, то это означает, что к соответствующему входу *IRQ* ведущей микросхемы подключен вывод *INT* ведомой микросхемы. Нулевое состояние озиачает, что на соответствующий вход подключено периферийное устройство либо этот вход не используется. В разрядах *D2—D0* команды СКИ3б указывается идентификатор ведомой микросхемы, который должен быть равен номеру входа запроса ведущей микросхемы, к которому подключена эта ведомая микросхема. Например, если выход INT ведомой микросхемы подключен ко входу *IRQ6* ведущей микросхемы, то в разрядах *D2—D0* команды СКИ3б, выдаваемой на эту микросхему, указывается код 110. Команда, записываемая после СКИ3 (при *D0*=1 в СКИ1), будет восприниматься как СКИ4. В команде СКИ4 в разряде *D0* записы-

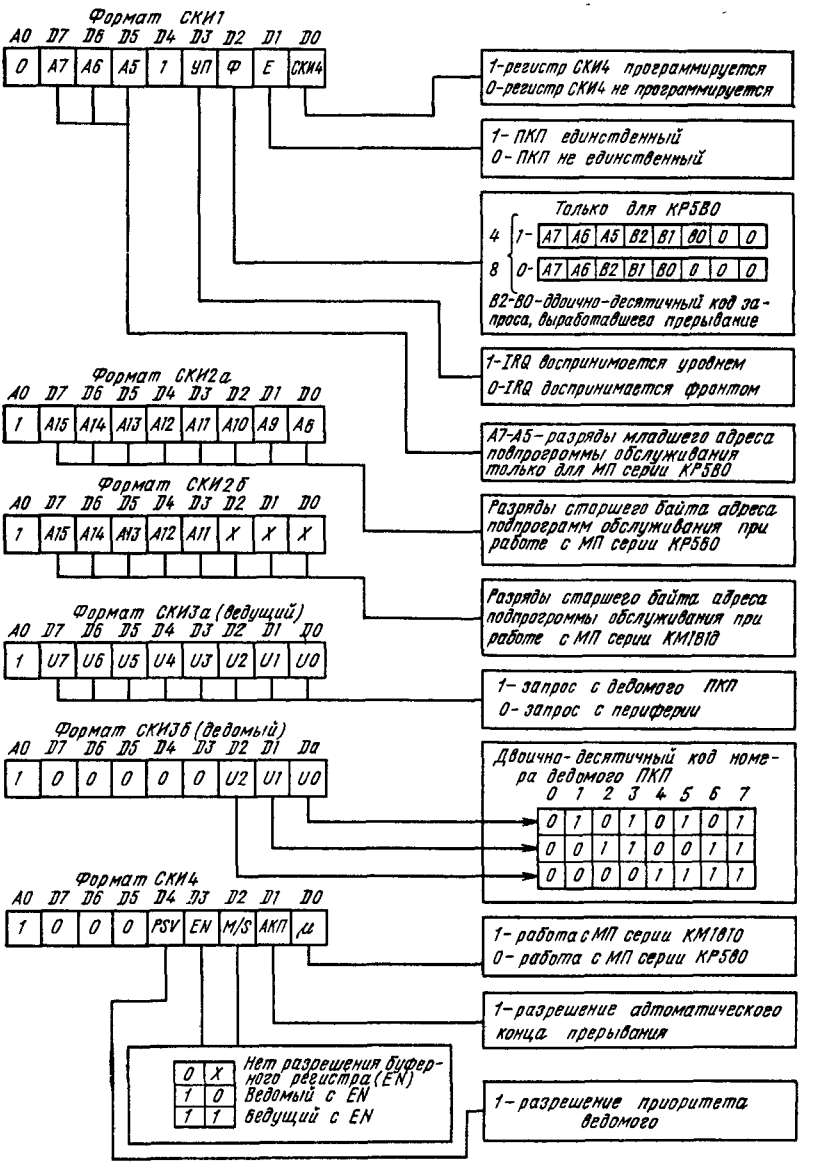


Рис. 16.14. Формат слов команд инициализации

вается признак системы μ, который определяет, работает ПКП в микропроцессорном комплекте КР580 ($D0=0$) или КМ1810 ($D0=1$). В этой команде могут быть запрограммированы признак разрешения данных $\overline{EN}$ ($D3=1$) и признак автоматического конца прерывания — АКП (только для ведущей микросхемы).

Если $D3=1$, то вывод $\overline{MS}/\overline{SV}/\overline{DE}$ становится выходом и назначение ПКП (ведущий или ведомый) определяется признаком M/S ($D2=1$ для ведущего, $D2=0$ для ведомого)

Особенностью КМ1810ВН59А является возможность работать с разрешением приоритета ведомого ПКП ($D4=1$ в СКИ4). Необходимость такого обслуживания возникает в больших системах с несколькими ПКП, где ведомая микросхема с высшим приоритетом должна непрерывно обслуживать поступившие на нее запросы. Микропроцессор контролирует наличие запросов от ведомой микросхемы, выдавая две команды конца прерывания и считывания содержимого РЗПР ведущего ПКП. Если в СКИ4 ведущей микросхемы установлен признак АКП ($D1=1$), то достаточно выдачи одной команды конца прерывания на ведомую микросхему.

Выбор или изменение алгоритма обслуживания запросов в процессе работы осуществляется с помощью команд СКО (рис. 16.15 и табл. 16.15).

Команда СКО1 (признак $A0=1$) позволяет загрузить регистр маскирования ($\overline{WR}=0$,

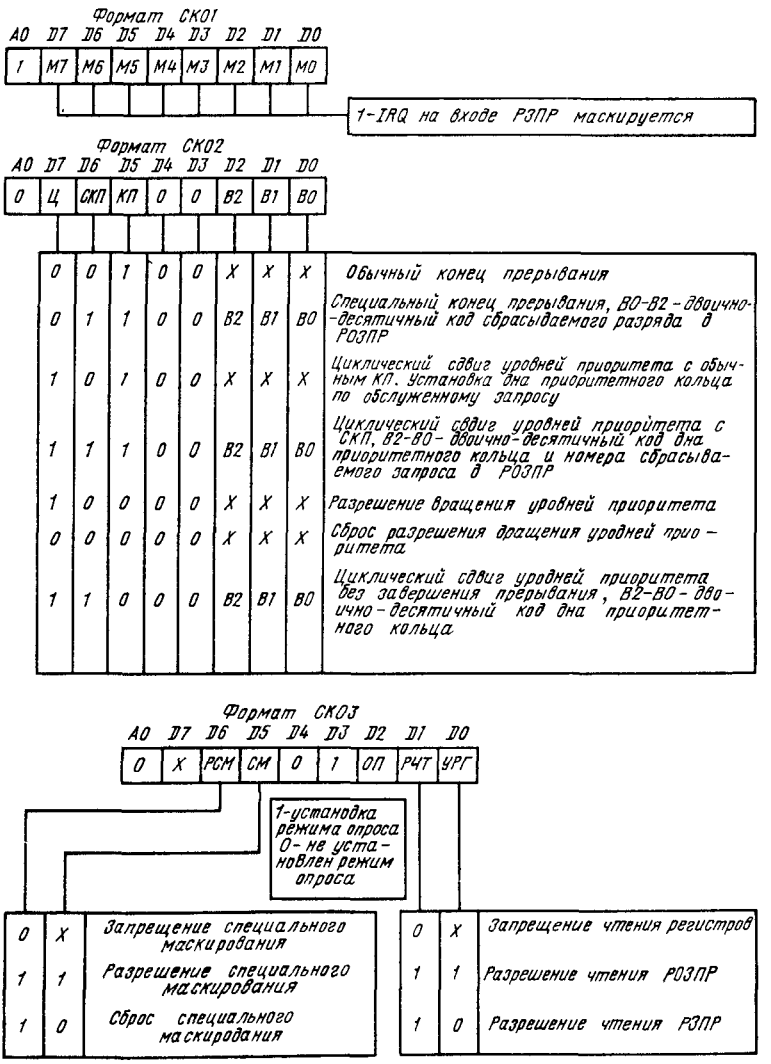


Рис. 16.15. Формат слов команд операций

Таблица 16.17

Параметр	Обозначение	Значения параметров	
		мин.	макс
Выходное напряжение высокого уровня на выводе *INT*, В	$U_{OH,\ INT}$	3,5	—
Ток потребления, мА	I_{CC}	—	85
Входной ток, мкА	I_I	—300	—
Длительность сигнала $\overline{WR}$ низкого уровня, нс	$t_{WL\ (\overline{WR})}$	290	—
Время восстановления сигнала $\overline{WR}$, нс	$t_{REC\ (\overline{WR})}$	370	—
Время восстановления сигнала *A0* относительно сигнала $\overline{WR}$, нс	$t_{SU\ (A0,\ LH/HL-\overline{WR},\ HL)}$	0	—
Время установления сигнала $\overline{CS}$ относительно сигнала $\overline{WR}$, нс	$t_{SU\ (\overline{CS},\ HL-\overline{WR},\ HL)}$	0	—
Время сохранения сигнала *A0* относительно сигнала $\overline{WR}$, нс	$t_{V\ (A0,\ HL/LH-\overline{WR},\ LH)}$	0	—
Время сохранения сигнала $\overline{CS}$ относительно сигнала $\overline{WR}$, нс	$t_{V\ (\overline{CS},\ LH-\overline{WR},\ LH)}$	0	—
Время установления сигналов *D7—D0* относительно сигнала $\overline{WR}$, нс	$t_{SU\ (D,\ LH/HL-\overline{WR},\ LH)}$	240	—
Время сохранения сигналов *D7—D0* относительно сигнала *WR*, нс	$t_{V\ (D,\ HL/LH-\overline{WR},\ LH)}$	0	—
Длительность сигнала $\overline{RD}$ низкого уровня, нс	$t_{WL\ (\overline{RD})}$	235	—
Время восстановления сигнала $\overline{RD}$, нс	$t_{REC\ (\overline{RD})}$	300	—
Длительность сигнала $\overline{INTA}$ низкого уровня, нс	$t_{WL\ (\overline{INTA})}$	235	—
Время восстановления сигнала $\overline{INTA}$, нс	$t_{REC\ (\overline{INTA})}$	300	—
Время задержки сигнала $\overline{DE}$ относительно сигнала $\overline{RD}$, нс	$t_{d\ (\overline{DE},\ HL-\overline{RD},\ HL)}$	—	125
	$t_{d\ (\overline{DE},\ LH-\overline{RD},\ LH)}$	—	150
Время задержки сигнала $\overline{DE}$ относительно сигнала $\overline{INTA}$, нс	$t_{d\ (\overline{DE},\ HL-\overline{INTA},\ HL)}$	—	125
	$t_{d\ (\overline{DE},\ LH-\overline{INTA},\ LH)}$	—	150
Время установления сигнала *A0* относительно сигнала $\overline{RD}$, нс	$t_{SU\ (A0,\ LH/HL-\overline{RD},\ HL)}$	0	—
Время сохранения сигнала *A0* относительно сигнала $\overline{RD}$, нс	$t_{V\ (A0,\ HL/LH-\overline{RD},\ LH)}$	0	—
Время установления сигнала $\overline{CS}$ относительно сигнала $\overline{RD}$, нс	$t_{SU\ (\overline{CS},\ HL-\overline{RD},\ HL)}$	0	—
Время сохранения сигнала $\overline{CS}$ относительно сигнала $\overline{RD}$, нс	$t_{V\ (\overline{CS},\ LH-\overline{RD},\ LH)}$	0	—
Время задержки сигналов *D7—D0* относительно сигнала $\overline{RD}$, нс	$t_{d\ (D,\ ZL/ZH-\overline{RD},\ HL)}$	—	200
	$t_{d\ (D,\ LZ/HZ-\overline{RD},\ LH)}$	10	100
Время задержки сигналов *D7—D0* относительно сигнала *A0*, нс	$t_{d\ (D,\ ZL/ZH-A0,\ LH/HL)}$	—	200
Время задержки сигнала *INT* относительно сигнала *IRQ*, нс	$t_{d\ (INT,\ LH-IRQ,\ LH)}$	—	350
Время восстановления сигнала *IRQ*, нс	$t_{REC\ (IRQ)}$	100	—
Время сохранения сигнала *IRQ* относительно сигнала $\overline{INTA1}$, нс	$t_{V\ (IRQ,\ HL-\overline{INTA1},\ HL)}$	200	—

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Время установления сигнала $\overline{INTA1}$ относительно сигнала INT, нс	$t_{SU\ (\overline{INTA1},\ HL-INT,\ LH)}$	100	—
Время задержки сигнала INT относительно сигналов $\overline{INTA2}$, $\overline{INTA3}$, нс	$t_{d\ (INT,\ HL-\overline{INTA2},\ LH)}$, $t_{d\ (INT,\ HL-\overline{INTA3},\ LH)}$	—	850
Время задержки сигналов $D7—D0$ относительно сигнала $\overline{INTA}$, нс	$t_{d\ (D,\ ZL/ZH-\overline{INTA},\ HL)}$	—	200
Время задержки сигналов CAS относительно сигнала $\overline{INTA1}$, нс	$t_{d\ (CAS,\ LH-\overline{INTA1},\ HL)}$	—	565
Время задержки сигналов $D7—D0$ относительно сигнала $\overline{INTA}$, нс	$t_{d\ (D,\ HZ/LZ-\overline{INTA},\ LH)}$	10	100
Время установления сигналов CAS относительно сигнала $\overline{INTA2}$, нс	$t_{SU\ (CAS,\ LH-\overline{INTA2},\ HL)}$	55	—
Время задержки сигналов $D7—D0$ относительно сигналов CAS, нс	$t_{d\ (D,\ ZL/ZH-CAS,\ LH)}$	—	300

$\overline{CS}=0$). Установка признака $M_i=1$ ($i=0—7$) в этой команде указывает на блокировку обслуживания соответствующего IRQ. Содержимое регистра маскирования выдается иа шину данных при подаче сигналов $\overline{CS}=0$, $\overline{RD}=0$, $A0=1$.

Комаида СКО2 (признаки $A0=0$, $D4=0$, $D3=0$) имеет семь модификаций СКО2а—СКО2ж. Группа команд СКО2 указывает вид конца выполненного обслуживания прерывания, а также вид устаиовки дна и дно приоритетного кольца. Статус уровия приоритета, устанавливаемый одной из команд СКО2в, СКО2г, СКО2ж, сохраняется до подачи комаиды, которая имеет возможность его изменить, или команды СКИ1.

Команда СКО2а (обычиый коиец прерывания) устаиавливает в иулевое состояние разряд РОЗПР, соответствующий последнему (до подачи команды СКО2а) обслуженному запросу.

Комаида СКО2б (специальный конец прерывания) устаиавливает в нулевое состояние тот разряд РОЗПР, номер которого указан двоично-десятичным кодом ($B2—B0$) в разрядах $D2—D0$ этой команды.

Команда СКО2в вводит вид установки статуса уровней приоритета по последиему обслуженному запросу. По этой команде устанавливается в нулевое состояние разряд РОЗПР, соответствующий последнему обслуженному запросу, и этому же номеру запроса присваивается низший уровень приоритета.

Команда СКО2г вводит вид устаиовки статуса уровней приоритета по указанию о выполнении операции обычного конца прерывания. По этой команде присваивается низший уровень приоритета тому входу IRQ, номер которого в виде двоичио-десятичного кода ($B2—B0$) указан в разрядах $D2—D0$ команды; при этом устанавливается в нулевое состояние соответствующий разряд РОЗПР.

Комаида СКО2д разрешает вращение уровней приоритета с помощью установки триггера, и действие ее сохраняется до подачи команд СКО2е и СКИ1. Эта комаида эффективно используется при заданном признаке АКП (D1=1 в СКИ4), если в системе имеется несколько устройств с одинаковым уровнем приоритета.

Команда СКО2е осуществляет сброс разрешения вращения уровней приоритета.

Команда СКО2ж вводит вид устаиовки статуса уровией приоритета по указанию без выполнения операции конца прерывания. Двоичио-десятичный код в разрядах $D2—D0$ этой комаиды указывает дно приоритетного кольца.

Группа команд типа СКО3 (призиаки $A0=0$, $D3=1$, $D4=0$) используется для разрешения чтения РЗПР и РОЗПР, для разрешения и сброса специального маскироваиия, а также для установки режима обслуживания по результатам опроса. Комаида СКО3а устанавливает режим обслуживания по результатам опроса. После подачи сигналов $\overline{RD}=0$, $\overline{RS}=0$, $A0=0$ действие комаиды СКО3а прекращается.

При подаче комаид СКО3б, СКО3в разрешается чтение регистров РЗПР, РОЗПР соответственио. При последующей подаче сигналов $\overline{RD}=0$, $\overline{CS}=0$, $A0=0$ выполняется считывание даниых с выбранного регистра, причем действие команд СКО3б, СКО3в сохраияется до подачи команды СКИ1.

Команда СКО3г обеспечивает специальное маскирование путем блокировки действия тех разрядов РОЗПР, которые замаскированы командой СКО1 на соответствующих позициях РЗПР. Специальное маскироваиие используется в том случае, когда необходимо обслужить запрос, который блокируется старшим или

равным по уровню приоритета обслуженным запросом, хранящимся в РОЗПР, не сбрасывая последний.

Команды СКОЗд или СКИ1 прекращают действие команды СКОЗг. Таким образом, приведенная система команд позволяет устанавливать различные алгоритмы и закреплять уровни приоритета за внешними устройствами как статически, так и динамически, т. е. в любое время работы основной программы.

Работа микросхемы КР1810ВН59А в режимах прерывания по запросу и прерывания по результатам опроса аналогична работе в этих режимах микросхемы КР580ВН59 (см. § 3.6).

Основные параметры микросхемы в диапазоне рабочих температур —10÷+70 °С и напряжении питания +5,0 В ±5 % приведены в табл. 16.17.

Таблица 16.18

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
20	U_{cc}	—	Напряжение питания
10	GND	—	Общий
18, 19, 1	$\overline{S0}$--$\overline{S2}$	Входы	Сигналы состояний
17	CLK	Вход	Тактовый сигнал синхронизации микропроцессора
16	$\overline{LOCK}$		Запрет освобождения системной шины
15	$\overline{CRQLCK}$	Вход	Запрет освобождения системной шины при запросе через вход $\overline{CBRQ}$
4	RESB	Вход	Выбор режима работы с резидентной шиной
14	ANYRQST	Вход	Разрешение освобождения системной шины при любом запросе
2	$\overline{IOB}$	Вход	Выбор режима работы с периферийной шиной ввода/вывода
13	$\overline{AEN}$	Выход	Разрешение доступа к системной шине для шинных задающих устройств микропроцессора
3	SYSB/$\overline{RESB}$	Вход	Разрешение доступа к системной шине для арбитра, сформированного в режиме работы с системной и резидентной шинами (режимы S, R)
12	$\overline{CBRQ}$	Вход/выход	Общий запрос шины
6	$\overline{INIT}$	Вход	Начальная установка
5	$\overline{BCLK}$	Вход	Тактовый сигнал синхронизации системной шины
7	$\overline{BREQ}$	Выход	Сигнал запроса шины
9	$\overline{BPRN}$	Вход	Приоритетное разрешение доступа к шине
8	$\overline{BPRO}$	Выход	Приоритетное разрешение доступа к шине
11	$\overline{BUSY}$	Вход/выход	Занятость шины

16.3. Микросхема КР1810ВБ89

Микросхема КР1810ВБ89 представляет собой арбитр системной шины, предназначенный для использования в многопроцессорных системах в качестве устройства, осуществляющего синхронизацию доступа множества ведущих устройств к системной шине.

Условное графическое обозначение микросхемы приведено на рис. 16.16, назначение выводов — в табл. 16.18, структурная схема показана на рис. 16.17.

Микросхема включает в себя следующие функциональные узлы:

интерфейс местной шины, формирует сигнал разрешения доступа к системной шине шинным устройствам микропроцессора (контроллеру шины, адресным регистрам, шинным формирователям);

интерфейс *MULTIBUS*, осуществляет процедуру взаимодействия арбитров шины на интерфейсе многопроцессорной системы (*MULTIBUS*) и синхронизирует действия по захвату системной шины в соответствии с сигналом синхронизации шины;

схема приоритетного арбитража, проводит арбитраж микропроцессоров, запрашивающих управление шиной, и по тактовому сигналу микропроцессора, занимающего шину, осуществляет действия по освобождению системной шины;

генератор состояний, дешифрирует команды состояния микропроцессора и запускает схему приоритетного арбитража, интерфейс *MULTIBUS* и интерфейс местной шины на осуществление действий по захвату и освобождению системной шины:

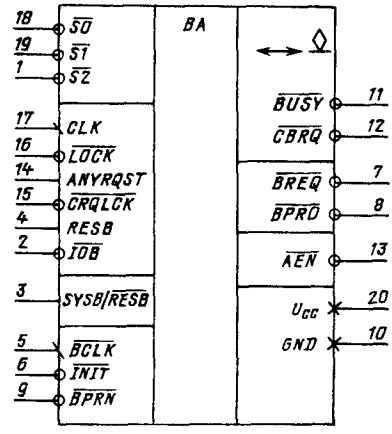


Рис. 16.16. Условное графическое обозначение КР1810ВБ89

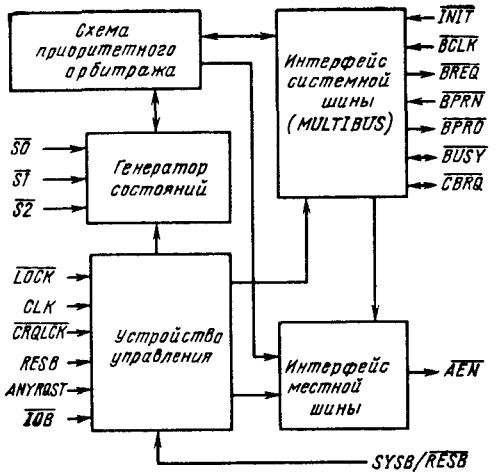


Рис. 16.17. Структурная схема КР1810ВБ89

устройство управления, осуществляет синхронизацию и управление режимами работы арбитра шины со стороны микропроцессора.

Арбитр шины КР1810ВБ89 используется совместно с контроллером шины КР1810ВГ88 для связи микропроцессоров серии КР1810 с системной шиной коллективного пользования.

Процессор не осведомлен о существовании арбитра и выдает команды так, как если бы он имел исключительное право пользования системной шиной. Если процессор не имеет права на использование шины, то арбитр шины предупреждает контроллер шины, приемопередатчики данных и адресные регистры об отсутствии доступа к системной шине. Шина не готова к пользованию, и процессор войдет в состояние ожидания. Процессор остается в состоянии ожидания до тех пор, пока арбитр шины не получит в пользование системную шину, после чего арбитр позволит контроллеру шины, приемопередатчикам данных адресным регистрам произвести обращение к системной шине. Обычно если имела место передача данных, то подтверждение передачи (*XACK*) возвращается к процессору от выбранного исполнителя и тогда процессор выходит из состояния ожидания и завершает цикл передачи.

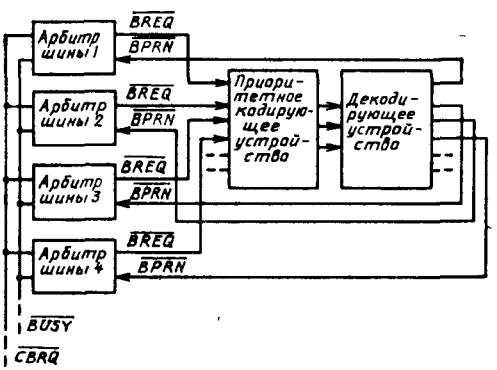


Рис. 16.18. Структурная схема параллельного разрешения приоритета

Таким образом, арбитр и контроллер шины служат для выполнения одновременно нескольких команд процессора посредством системной шины и предохраняют процессоры от проблем соревнования между ними при коллективном использовании шины.

Для координации доступа множества процессоров к системной шине арбитрами шины осуществляется арбитраж системной шины. Принцип арбитража основан на концепции приоритета, согласно которой в любой данный промежуток времени одно ведущее устройство шины будет иметь приоритет над всеми другими ведущими устройствами. В соответствии с этим принципом каждому арбитру присваивается приоритет. Арбитр шины, имеющий более высокий приоритет, захватывает управление системной шиной, когда процессор арбитра с более низким приоритетом завершает свой цикл передачи. Арбитр с более низким приоритетом захватывает управление шиной, когда процессор арбитра с более высоким приоритетом не обращается к системной шине, т. е. когда он находится в состоянии останова или получает доступ к резидентной шине или шине ввода вывода. Исключением является случай, когда вход *ANYRQST* арбитра с высоким приоритетом находится на высоком уровне. В этом случае арбитр может отдать системную шину арбитру с более низким приоритетом так, как если бы он был запрашивающим арбитром с более высоким приоритетом. Если никакие ведущие устройства не запрашивают системную шину, то арбитр удерживает шину до тех пор, пока его процессор не войдет в состояние останова (*HALT*).

Арбитр добровольно не сдает системной шины; заставить сделать это должен запрос, произведенный другим арбитром по требованию своего процессора (кроме состояния *HALT*).

Арбитр шины КР1810ВБ89 обеспечивает реализацию трех методов разрешения приоритета: параллельного, последовательного и вращающегося

При параллельном разрешении приоритета используется индивидуальная линия запроса шины ($\overline{BREQ}$) для каждого арбитра (рис. 16.18). Каждая линия $\overline{BREQ}$ входит в приоритетное кодирующее устройство, которое формирует двоичный адрес линии $\overline{BREQ}$ с самым высоким приоритетом. Двоичный адрес линии декодируется для выбора соответствующей линии $\overline{BPRN}$ (линия приоритетного разрешения доступа к шине), и арбитр шины, связанный с выбранной линией $\overline{BPRN}$, получает приоритет над всеми другими арбитрами. Приоритет позволяет арбитру захватить шину для своего процессора, как только она освободится Освобождение шины арбитром, потерявшим приоритет, осуществляется после завер-

шения текущей операции шины. В это время арбитр узнает, что он больше не обладает приоритетом, и освобождает шину, отпуская сигнал занятости шины ($\overline{BUSY}$). Линия $\overline{BUSY}$ является общей для всех арбитров, и, после того как арбитр отпустит сигнал $\overline{BUSY}$ (выведет линию $\overline{BUSY}$ на высокий уровень), арбитр, который в данный момент получил наивысший приоритет, захватит шину и, в свою очередь, выведет линию $\overline{BUSY}$ на низкий уровень, предупредив другие арбитры, что шина занята.

Все операции, связанные с захватом шины, синхронизируются тактовым сигналом $\overline{BCLK}$ (рис. 16.19).

Последовательное разрешение приоритета исключает необходимость в приоритетном кодирующем и декодирующем устройствах. В этом случае арбитры шины соединяются последовательно. Выход приоритетного разрешения доступа к шине $\overline{BPRO}$ арбитра с более высоким приоритетом соединяется со входом приоритетного разрешения доступа к шине $\overline{BPRN}$ арбитра с более низким приоритетом (рис. 16.20).

Если процессор арбитра с более высоким приоритетом не использует системную шину, то арбитр передает полученный приоритет следующему за ним арбитру шины. Приоритет к последнему арбитру приходит с задержкой, связанной с процедурой передачи приоритета от арбитра к арбитру, поэтому при тактовой частоте до 10 МГц возможно последовательное соединение не более трех арбитров.

Метод вращающегося разрешения приоритета аналогичен методу параллельного разрешения приоритета, за исключением того, что приоритет динамически переназначается. Приоритетное кодирующее устройство заменяется более сложными логическими схемами, которые вращают приоритет между запрашивающими арбитрами, позволяя тем самым каждому арбитру в равной степени использовать системную шину в порядке очередности.

Арбитр шины микросхемы КР1810ВБ89 имеет четыре режима работы, которые используются в многопроцессорных системах различных конфигураций.

1. Режим работы только с системной шиной осуществляется при $\overline{IOB}$ на высоком уровне и RESB на низком уровне. В этом режиме каждый процессор работает только с системной шиной и выдает команды только для системной шины.

2. Режим работы с периферийной шиной ввода/вывода осуществляется при $\overline{IOB}$, $RESB$ на низком уровне. Периферийной шиной ввода/вывода является шина, все устройства которой, включая память, рассматриваются как устройства ввода/вывода, а команды памяти обращаются к системной шине. С периферийной шиной обычно работает процессор ввода/вывода.

В режиме работы с периферийной шиной арбитр шины позволяет процессору связываться как с системной шиной, так и с периферийной шиной ввода/вывода; при этом процессор может контролировать массу периферийных устройств через периферийную шину, но когда ему необходимо связаться с памятью системы, то арбитр шины связывает его с системной шиной.

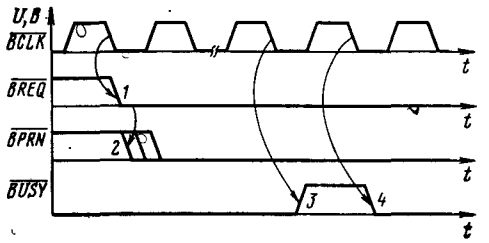


Рис. 16.19. Временная диаграмма режима передачи шины от арбитра с низким приоритетом к арбитру с высоким приоритетом:

1 — арбитр системной шины с более высоким приоритетом запрашивает управление шиной; 2 — арбитр системной шины получает приоритет; 3 — арбитр системной шины с более низким приоритетом отпускает шину и линию $\overline{BUSY}$; 4 — арбитр с высоким приоритетом захватывает шину и выводит линию $\overline{BUSY}$ на низкий уровень

3. Режим работы с резидентной шиной осуществляется при $\overline{IOB}$, $RESB$ на высоком уровне. Резидентная шина — это такая шина, все устройства которой обеспечивают работу только одного процессора, причем эти устройства могут адресоваться как командами ввода/вывода, так и командами обращения к памяти.

В режиме работы с резидентной шиной один арбитр шины и два контроллера шины позволяют процессору связываться с периферийными устройствами ввода/вывода и памятью как системной, так и резидентной шины. Выбор системной шины осуществляется как функция сигнала $SYSB/\overline{RESB}$. Сигнал $SYSB/\overline{RESB}$, кроме того, разрешает или запрещает по входу $\overline{AEN}$ каждого из шинных

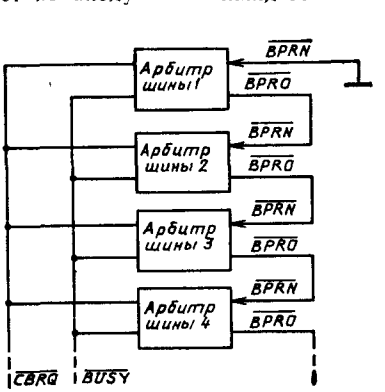


Рис. 16.20. Структурная схема последовательного разрешения приоритета

Таблица 16.19

Команды состояний микропроцессора				Состояния системной шины в различных режимах работы арбитра шины:					
Наименование команд	Сигналы состояний микропроцессора			С периферийной шиной ввода/вывода: $\overline{IOB}=0$, $RESB=0$	С резидентной шиной: $\overline{IOB}=1$, $RESB=1$		С периферийной шиной ввода/вывода и резидентной шиной: $\overline{IOB}=0$, $RESB=1$		Только с системной шиной: $\overline{IOB}=1$, $RESB=0$
	$\overline{S2}$	$\overline{S1}$	$\overline{S0}$		$SYSB/\overline{RESB}=1$	$SYSB/\overline{RESB}=0$	$SYSB/\overline{RESB}=1$	$SYSB/\overline{RESB}=0$	
Команды ввода/вывода	0	0	0	—	+	—	—	—	+
	0	0	1	—	+	—	—	—	+
	0	1	0	—	+	—	—	—	+
Состояние останова	0	1	1	—	—	—	—	—	—
Команды обращения к памяти	1	0	0	+	+	—	+	—	+
	1	0	1	+	+	—	+	—	+
	1	1	0	+	+	—	+	—	+
Пассивное состояние	1	1	1	—	—	—	—	—	—

Примечание. «+» — арбитр запрашивает управление системной шиной; «—» — системная шина не запрашивается и может быть сдана для управления другому арбитру многопроцессорной системы.

Таблица 16.20

Режим	Условия режима	Условия захвата и освобождения системной шины	
		Захват	Освобождение[1]
Только с системной шиной	$\overline{IOB}=1$, $RESB=0$	$\overline{S2}$, $\overline{S1}$, $\overline{S0}$ — в активном состоянии	$HLT \vee TI \wedge \overline{CBRQ} \vee (\overline{BPRN}=1)$
С резидентной шиной	$\overline{IOB}=1$, $RESB=1$	$(SYSB/\overline{RESB}=1) \wedge (\overline{S2}$, $\overline{S1}$, $\overline{S0}$ — в активном состоянии)	$(SYSB/\overline{RESB}=0 \vee TI) \wedge \overline{CBRQ} \vee HLT \vee (\overline{BPRN}=1)$
С периферийной шиной ввода/вывода	$\overline{IOB}=0$, $RESB=0$	Команды обращения к памяти	(Команды ввода вывода $\vee TI) \wedge \overline{CBRQ} \vee HLT \vee (\overline{BPRN}=1)$
С периферийной шиной ввода вывода и резидентной шиной	$\overline{IOB}=0$, $RESB=1$	(Команды обращения к памяти) $\wedge$ $(\overline{SYSB/\overline{RESB}=1})$	((Команды ввода/вывода) $\vee (SYSB/\overline{RESB}=0)) \wedge \overline{CBRQ} \vee (\overline{BPRN}=1) \vee HLT$

Примечания: 1. $\overline{CBRQ}$ — сигнал запроса на пользование шиной от другого арбитра.
2. $\vee$ — логическая операция ИЛИ; $\wedge$ — логическая операция И.
3. TI — $\overline{S2}$, $\overline{S1}$, $\overline{S0}=111$.
4. HLT — $\overline{S2}$, $\overline{S1}$, $\overline{S0}=011$.

[1] Низкий уровень сигнала $\overline{LOCK}$ запрещает освобождать системную шину любому другому арбитру; низкий уровень сигнала $\overline{CRQLCK}$ запрещает освобождать системную шину арбитру с более низким приоритетом.

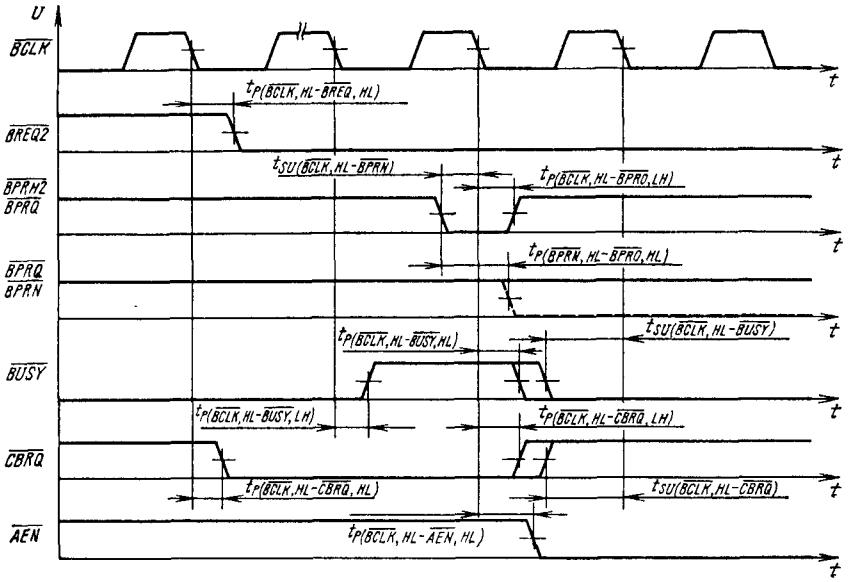


Рис. 16.21. Временна́я диаграмма интерфейсных сигналов в системах с последовательным разрешением приоритета

контроллеров выдачу команд управления для существующих шинных устройств процессора.

Режим работы с периферийной шиной ввода вывода и резидентной шиной осуществляется при $\overline{IOB}$ на низком уровне и $RESB$ на высоком уровне. В этом режиме арбитр шины осуществляет связь процессора с системной шиной, резидентной шиной и периферийной шиной ввода/вывода.

Общий обзор режимов работы арбитра шины приведен в табл. 16.19 и 16.20 состояний микросхемы КР1810ВБ89, временные диаграммы работы показаны на рис. 16.21 и 16.22. Диаграмма на рис. 16.21 поясняет работу арбитров шины в многопроцессорной системе, соединенных по схеме последовательного разрешения приоритета.

Предположим, арбитр 1 захватил шину и вывел линию $\overline{BUSY}$ на низкий уровень. Арбитр 2 запрашивает управление шиной и выводит на низкий уровень линию $\overline{BREQ2}$. Если

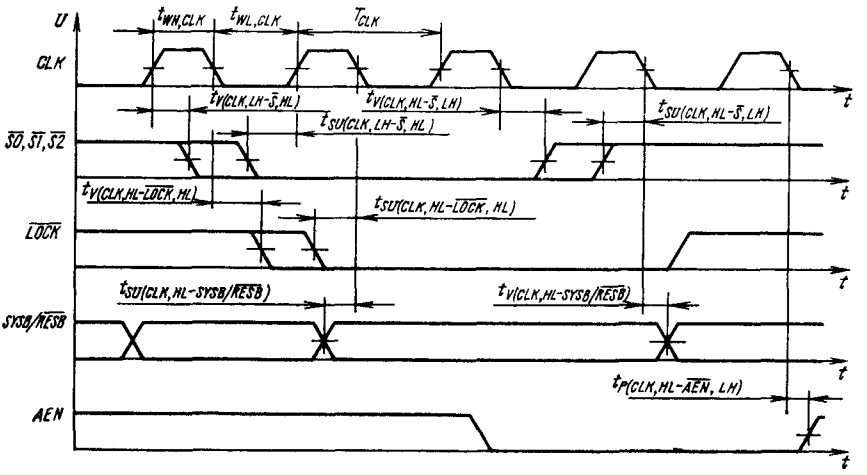


Рис. 16.22. Временна́я диаграмма сигналов управления арбитром шины со стороны процессора

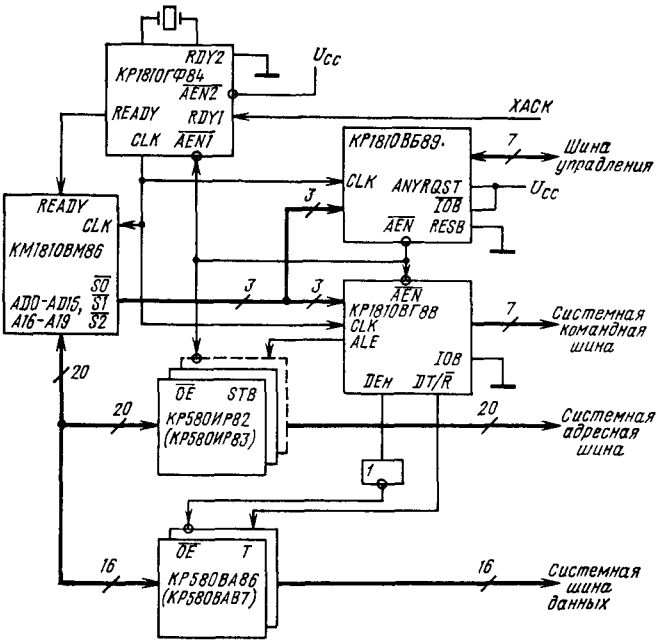


Рис. 16.23. Арбитр шины в конфигурации с системной шиной

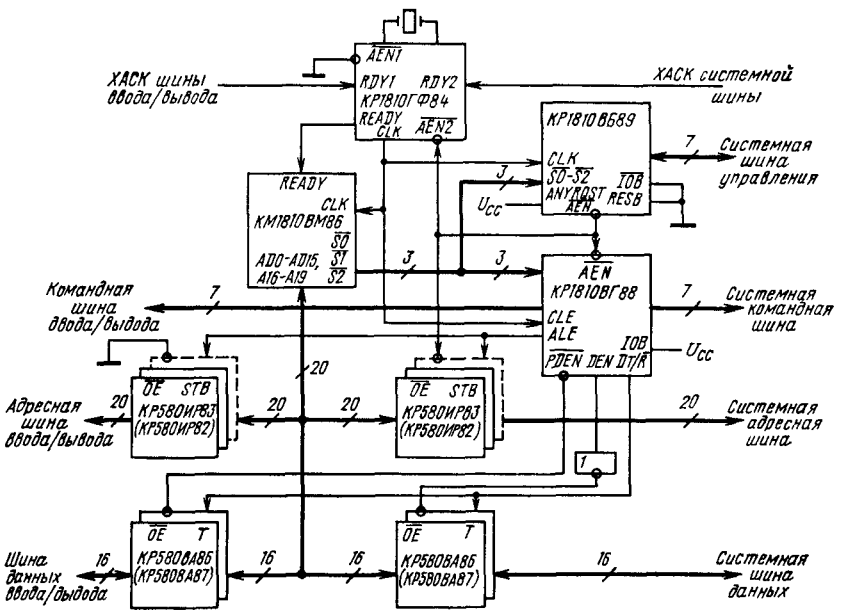


Рис. 16.24. Арбитр шины в многопроцессорной системе с периферийной шиной ввода/вывода

Таблица 16.21

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения
Выходное напряжение низкого уровня, В	U_{OL}	0,45	$U_{CC}=4{,}75$ В, $U_{IL}=0{,}8$ В, $U_{IH}=2{,}0$ В, $I_{OL,\overline{BUSY}}=20$ мА, $I_{OL,\overline{CBRQ}}=20$ мА, $I_{OL,\overline{AEN}}=16$ мА, $I_{OL,\overline{BPRO}}=10$ мА, $I_{OL,\overline{BREQ}}=10$ мА
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$U_{CC}=4{,}75$ В, $U_{IL}=0{,}8$ В, $U_{IH}=2{,}0$ В, $I_{OH}=-0{,}4$ мА
Входной ток низкого уровня, мА	I_{IL}	—0,5	$U_{CC}=5{,}25$ В, $U_{IL}=0{,}45$ В
Входной ток высокого уровня, мкА	I_{IH}	60	$U_{CC}=5{,}25$ В, $U_{IH}=5{,}25$ В
Ток потребления, мА	I_{CC}	165	$U_{CC}=5{,}25$ В
Время задержки распространения сигнала $\overline{BREQ}$ при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(\overline{BCLK},\ HL-\overline{BREQ},\ HL)}$	35	$U_{CC}=5{,}0$ В, $R_L=160$ Ом, $C_L=60$ пФ, $U_{CC,\ RL}=2{,}3$ В
Время задержки распространения сигнала $\overline{BUSY}$ при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(\overline{BCLK},\ HL-\overline{BUSY},\ HL)}$	60	$U_{CC}=5{,}0$ В, $R_L=91$ Ом, $C_L=250$ пФ, $U_{CC,\ RL}=2{,}3$ В
Время задержки распространения сигнала $\overline{CBRQ}$ при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(\overline{BCLK},\ HL-\overline{CBRQ},\ HL)}$	60	$U_{CC}=5{,}0$ В, $R_L=91$ Ом, $C_L=250$ пФ, $U_{CC,\ RL}=2{,}3$ В
Время задержки распространения сигнала $\overline{AEN}$ при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(\overline{BCLK},\ HL-\overline{AEN},\ HL)}$	40	$U_{CC}=5{,}0$ В, $R_L=110$ Ом, $C_L=100$ пФ, $U_{CC,\ RL}=2{,}3$ В
Время задержки распространения сигнала $\overline{BPRO}$ при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала $\overline{BPRN}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(\overline{BPRN},\ HL-\overline{BPRO},\ HL)}$	25	$U_{CC}=5{,}0$ В, $R_L=160$ Ом, $C_L=60$ пФ, $U_{CC,\ RL}=2{,}3$ В

Окончание табл. 16.21

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения
Время задержки распространения сигнала $\overline{BPRO}$ при переходе его из состояния низкого уровня в состояние высокого уровня относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(\overline{BCLK},\ HL-\overline{BPRO},\ LH)}$	40	$U_{CC}=5{,}0$ В, $R_L=160$ Ом, $C_L=60$ пФ, $U_{CC,\ RL}=2{,}3$ В
Время задержки распространения сигнала $\overline{BUSY}$ при переходе его из состояния низкого уровня в состояние высокого уровня относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(\overline{BCLK},\ HL-\overline{BUSY},\ LH)}$	35	$U_{CC}=5{,}0$ В, $R_L=91$ Ом, $C_L=250$ пФ, $U_{CC,\ RL}=2{,}3$ В
Время задержки распространения сигнала $\overline{CBRQ}$ при переходе его из состояния низкого уровня в состояние высокого уровня относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(\overline{BCLK},\ HL-\overline{CBRQ},\ LH)}$	35	$U_{CC}=5{,}0$ В, $R_L=91$ Ом, $C_L=250$ пФ, $U_{CC,\ RL}=2{,}3$ В
Время задержки распространения сигнала $\overline{AEN}$ при переходе его из состояния низкого уровня в состояние высокого уровня относительно сигнала CLK при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{P(CLK,\ HL-\overline{AEN},\ LH)}$	65	$U_{CC}=5{,}0$ В, $R_L=110$ Ом, $C_L=100$ пФ, $U_{CC,\ RL}=2{,}3$ В

Примечание. $U_{CC,\ RL}$ — напряжение питания, подключаемое к сопротивлению нагрузки при измерении динамических параметров.

Таблица 16.22

Продолжение

Параметр	Обозначение	Значения параметров	
		мин	макс.
Предельно допустимые электрические режимы эксплуатации			
Напряжение питания, В	U_{CC}	4,75	5,25
Входное напряжение низкого уровня, В	U_{IL}	—	0,8
Входное напряжение высокого уровня, В	U_{IH}	2,0	—

Параметр	Обозначение	Значения параметров	
		макс.	мин.
Предельные режимы эксплуатации			
Напряжение питания, В	U_{CC}	—	6,0
		—	7,0*
Максимальное выходное напряжение, В	$U_{O\ max}$	—	5,25
Минимальное выходное напряжение, В	$U_{O\ min}$	—0,4	—
Входное напряжение, В	U_I	—0,4	5,5

* В течение времени не более 5 мс.

Таблица 16.23

Параметр	Обозначение	Значения параметров [мин (макс)]
Период следования импульсов тактового сигнала CLK, нс	T_{CLK}	125
Длительность тактового сигнала CLK низкого уровня, нс	$t_{WL,\ CLK}$	65
Длительность тактового сигнала CLK высокого уровня, нс	$t_{WH,\ CLK}$	35
Время установления сигналов $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ при переходе их из состояния высокого уровня в состояние низкого уровня относительно сигнала CLK при переходе его из состояния низкого уровня в состояние высокого уровня, нс	$t_{SU(CLK,\ LH-\overline{S},\ HL)}$	65 (T_{CLK}—10)
Время установления сигналов $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ при переходе их из состояния низкого уровня в состояние высокого уровня относительно сигнала CLK при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{SU(CLK,\ HL-\overline{S},\ LH)}$	50 (T_{CLK}—10)
Время сохранения сигналов $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ при переходе их из состояния высокого уровня в состояние низкого уровня относительно сигнала CLK при переходе его из состояния низкого уровня в состояние высокого уровня, нс	$t_{V(CLK,\ LH-\overline{S},\ HL)}$	10
Время сохранения сигналов $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ при переходе их из состояния низкого уровня в состояние высокого уровня относительно сигнала CLK при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{V(CLK,\ HL-\overline{S},\ LH)}$	10
Время установления сигнала $\overline{BUSY}$ относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{SU(\overline{BCLK},\ HL-\overline{BUSY})}$	20
Время установления сигнала $\overline{CBRQ}$ относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{SU(\overline{BCLK},\ HL-\overline{CBRQ})}$	20
Период следования импульсов тактового сигнала $\overline{BCLK}$, нс	$T_{\overline{BCLK}}$	100
Длительность тактового сигнала $\overline{BCLK}$ низкого уровня, нс	$t_{WL,\ \overline{BCLK}}$	35
Длительность тактового сигнала $\overline{BCLK}$ высокого уровня, нс	$t_{WH,\ \overline{BCLK}}$	30
Время сохранения сигнала $\overline{LOCK}$ при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала CLK при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{V(CLK,\ HL-\overline{LOCK},\ HL)}$	20
Время установления сигнала $\overline{LOCK}$ при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала CLK при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{SU(CLK,\ HL\ \overline{LOCK},\ HL)}$	40
Время установления сигнала $\overline{BPRN}$ относительно сигнала $\overline{BCLK}$ при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{SU(\overline{BCLK},\ HL\ \overline{BPRN})}$	15

Параметр	Обозначение	Значения параметров [мин. (макс.)]
Время установления сигнала $SYSB/\overline{RESB}$ относительно сигнала CLK при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{SU(CLK,\ HL-SYSB/\overline{RESB})}$	0
Время сохранения сигнала $SYSB/\overline{RESB}$ относительно сигнала CLK при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{V(CLK,\ HL-SYSB/\overline{RESB})}$	20

$\overline{BPRN2}=1$, то арбитр 2 выводит на низкий уровень линию $\overline{CBRQ}$, т. е. сообщает арбитру 1, имеющему более высокий приоритет, что арбитр с более низким приоритетом запрашивает управление шиной. (Арбитру с более высоким приоритетом при запросе шины приоритет возвращается до того, как другой арбитр успеет захватить шину посредством запроса через $\overline{CBRQ}$). Арбитр 1 освобождает системную шину, когда заканчивается состояние запроса; при этом он переводит на низкий уровень выход $\overline{BPRO}$, связанный со входом $\overline{BPRN}$ второго арбитра и отпускает сигнал $\overline{BUSY}$.

Арбитр 2, получив приоритет $\overline{BPRN}$ от первого арбитра, отпускает сигнал $\overline{CBRQ}$. Как только шина освободится, т. е. линия $\overline{BUSY}$ выйдет на высокий уровень, арбитр 2 на следующем отрицательном фронте $\overline{BCLK}$ снова

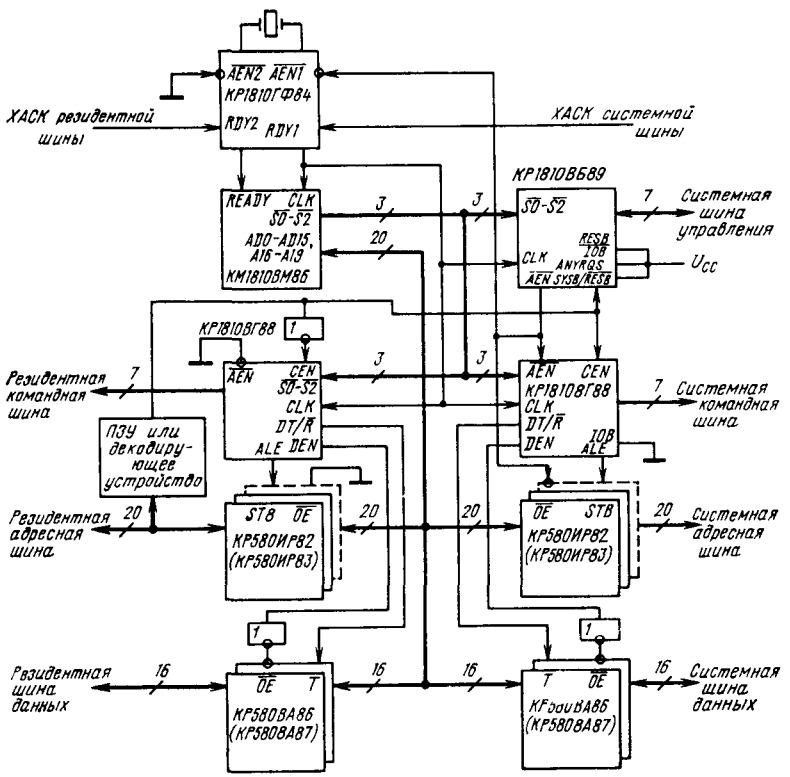


Рис. 16.25. Арбитр шины в конфигурации с системной и резидентной шинами

установит линии $\overline{BUSY}$ на низкий уровень, т. е. сообщит другим арбитрам, что он занял шину.

Если арбитр 2 не запрашивает управление шиной во время получения приоритета, то он теряет приоритет, который передается с выхода $\overline{BPRO2}$ арбитру 3, имеющему более низкий приоритет.

Примеры применения микросхем КР1810ВБ89 приведены на рис. 16.23—16.25, основные электрические параметры — в табл. 16.21, предельно допустимые и предельные значения электрических режимов эксплуатации — в табл. 16.22, временные параметры, рекомендуемые для эксплуатации, — в табл. 16.23.

16.4. Микросхема КР1810ВГ88

Микросхема КР1810ВГ88 представляет собой контроллер системной шины, предназначенный для работы в составе микроЭВМ на базе микропроцессора КМ1810ВМ86.

С помощью контроллера шины КР1810ВГ88 (в зависимости от состояния микропроцессора) организуется обмен данными между местной шиной процессора и системной шиной, а также между местной шиной и шиной ввода/вывода. Контроллер синхронизируется тактовым генератором микропроцессора КР1810ГФ84 и управляет шинными формирователями, адресными регистрами, устройствами ввода/вывода и памятью.

В процессе обмена данных могут выполняться следующие виды операций: считывание данных из памяти, считывание данных из устройств ввода/вывода, запись данных в память, запись данных в устройства ввода/вывода, подтверждение прерывания.

Условное графическое обозначение микросхемы приведено на рис. 16.26, назначение выводов — в табл. 16.24, структурная схема показана на рис. 16.27.

Микросхема состоит из следующих функциональных узлов:

дешифратора состояния;

устройства управления;

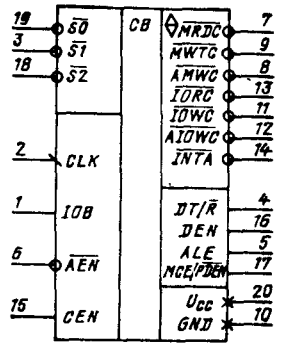
генератора командных сигналов управления передачей данных;

генератора контрольных сигналов управления шинными формирователями и адресными регистрами.

Сигналы состояния микропроцессора $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ поступают на вход дешифратора состояния контроллера. Дешифратор проводит декодирование состояния микропроцессора в соответствии с табл. 16.25, а устройство управления вырабатывает необходимые сигналы для управления генераторами командных и контрольных сигналов.

Устройство управления вырабатывает два варианта сигналов в зависимости от режима работы контроллера. Режим работы контроллера устанавливается сигналом на входе *IOB*

Рис. 16.26. Условное графическое обозначение КР1810ВГ88



В режиме работы с шиной ввода/вывода на вход *IOB* подается напряжение высокого уровня. При этом все выходы формирования командных сигналов обращения к устройствам ввода/вывода и контроллеру прерывания не зависят от сигнала на входе $\overline{AEN}$, т. е. от наличия или отсутствия доступа у микропроцессора к управлению системной шиной.

Когда микропроцессор переходит в состояние обращения к устройствам ввода вывода или контроллеру прерывания, контроллер шины немедленно выдает командные сигналы $\overline{IORC}$, $\overline{IOWC}$, $\overline{AIOWC}$, $\overline{INTA}$, а также сигналы $\overline{PDEN}$ и $DT/\overline{R}$ для управления шинными формирователями, подключенными к шине ввода/вывода. В этом случае командные сигналы ввода/вывода не могут быть использованы для контроля над устройствами системной шины, так как нет арбитража между ведущими устройствами и у микропроцессора отсутствует доступ к управлению системной шиной. Применение этого режима работы позволяет исключить ожидание, когда микропроцессору необходим доступ к шине ввода/вывода. Этот режим дает наибольший выигрыш, когда устройства ввода/вывода работают только с одним микропроцессором в многопроцессорной системе.

Работа в этом режиме позволяет одному контроллеру шины управлять двумя независимыми шинами: шиной ввода/вывода и системной шиной.

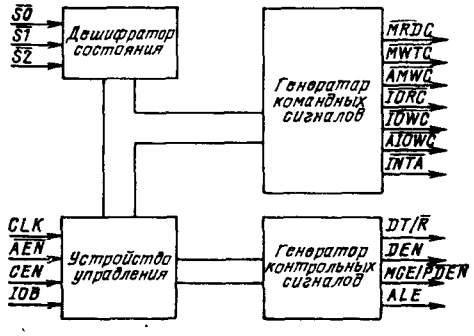


Рис. 16.27. Структурная схема КР1810ВГ88

Таблица 16.24

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
20	U_{cc}	—	Напряжение питания
10	GND	—	Общий
19, 3, 18	$\overline{S0}$—$\overline{S2}$	Входы	Сигналы состояния микропроцессора
2	CLK	Вход	Тактовый сигнал
6	$\overline{AEN}$	Вход	Сигнал управления состоянием «выключено» командных выходов
1	IOB	Вход	Сигнал выбора режима работы с шиной ввода/вывода
15	CEN	Вход	Сигнал управления состоянием командных выходов и контрольных выходов DEN и $\overline{PDEN}$
5	ALE	Выход	Стробирующий сигнал записи адреса
4	DT/$\overline{R}$	Выход	Сигнал управления работой шинных формирователей
16	DEN	Выход	Сигнал управления состоянием «выключено» шинных формирователей, включенных между местной и системной или резидентной шиной
17	MCE $\overline{PDEN}$	Выход	Сигнал управления считыванием каскадного адреса с шины данных, выставляемого ведущим устройством/сигнал управления состоянием «выключено» шинных формирователей, включенных между местной шиной и шиной ввода/вывода
12	$\overline{AIOWC}$	Выход	Опережающий командный сигнал записи в устройство ввода/вывода
11	$\overline{IOWC}$	Выход	Командный сигнал записи в устройство ввода/вывода
13	$\overline{IORC}$	Выход	Командный сигнал считывания из устройства ввода вывода
8	$\overline{AMWC}$	Выход	Опережающий командный сигнал записи в память
9	$\overline{MWTC}$	Выход	Командный сигнал записи в память
7	$\overline{MRDC}$	Выход	Командный сигнал считывания из памяти
14	$\overline{INTA}$	Выход	Сигнал подтверждения прерывания

В режим работы с системной шиной контроллер шины переходит при наличии на входе IOB напряжения низкого уровня. В этом режиме микропроцессор может получить доступ к управлению шиной посредством контроллера шины после арбитража, проводимого арбитром шины. В случае предоставления доступа микропроцессора к шине контроллер шины формирует командные сигналы по истечении не менее 115 и не более 200 нс после поступления сигнала $\overline{AEN}$. Этот режим применяется когда устройства ввода/вывода и память работают с несколькими микропроцессорами в многопроцессорной системе.

Сигналы, формируемые генератором командных сигналов, используются для управления внешними устройствами, подключенными к системной шине или к шине ввода/вывода.

Назначение командных выходов следующее: $\overline{MRDC}$ — считывание данных из памяти; $\overline{MWTC}$ — запись данных в память, $\overline{IORC}$ — считывание данных из устройства; $\overline{IOWC}$ — запись данных в устройства; $\overline{AMWC}$ — опережающая запись данных в память; $\overline{AIOWC}$ — опережающая запись данных в устройство; $\overline{INTA}$ — подтверждение прерывания.

Команды опережающей записи применяются для включения процесса записи в начале машинного цикла. Эти команды могут быть использованы для исключения необоснованного процесса ожидания процессора.

Сигнал $\overline{INTA}$ формируется во время цикла прерывания. Он предназначен для информирования устройства прерывания о том, что имеет место запрос на прерывание и что вектор прерывания выдан на шину данных.

С помощью входного сигнала CEN можно управлять состоянием командных сигналов. Если на входе CEN — напряжение высокого уровня, то командные сигналы формируются в соответствии с табл. 16.25. Если на входе CEN — напряжение низкого уровня, то командные выходы переходят в пассивное состояние (высокий уровень). Эта особенность может быть использована в режиме работы с системной и резидентной шинами для внедре-

ния секционирования памяти и исключения адресного конфликта между устройствами системной и резидентной шин.

Сигналы, формируемые генератором контрольных сигналов, используются для управления шинными формирователями и адресными регистрами.

Сигнал высокого уровня на выходе *DEN* указывает, что может быть произведен обмен данными между системной шиной и местной шиной микропроцессора. Этот сигнал подается через инвертор на вход разрешения передачи.

Направление передачи данных (обмена) между местной и системной шинами определяется сигналом $DT/\overline{R}$. При сигнале высокого уровня на выходе $DT/\overline{R}$ происходит передача данных на системную шину, а при низком — на местную шину микропроцессора.

Сигнал на выходе $MCE/\overline{PDEN}$ имеет два назначения, в зависимости от режима работы контроллера. В режиме работы с шиной ввода/вывода ($IOB=1$) сигнал $\overline{PDEN}$ аналогичен сигналу на выходе *DEN*, но управляет шинными формирователями, подключенными к шине ввода/вывода.

В режиме работы с системной шиной ($IOB=0$) сигнал *MCE* используется во время

Таблица 16.25

Сигналы на входах			Команда	Состояние микропроцессора
$\overline{S2}$	$\overline{S1}$	$\overline{S0}$		
0	0	0	$\overline{INTA}$	Подтверждение прерывания
0	0	1	$\overline{IORC}$	Считывание из устройства ввода/вывода
0	1	0	$\overline{IOWC}$, $\overline{AIOWC}$	Запись в устройства ввода/вывода
0	1	1	—	Ожидание
1	0	0	$\overline{MRDC}$	Код вызова, код обращения
1	0	1	$\overline{MRDC}$	Считывание из памяти
1	1	0	$\overline{MWTC}$, $\overline{AMWC}$	Запись в память
1	1	1	—	Нет операций

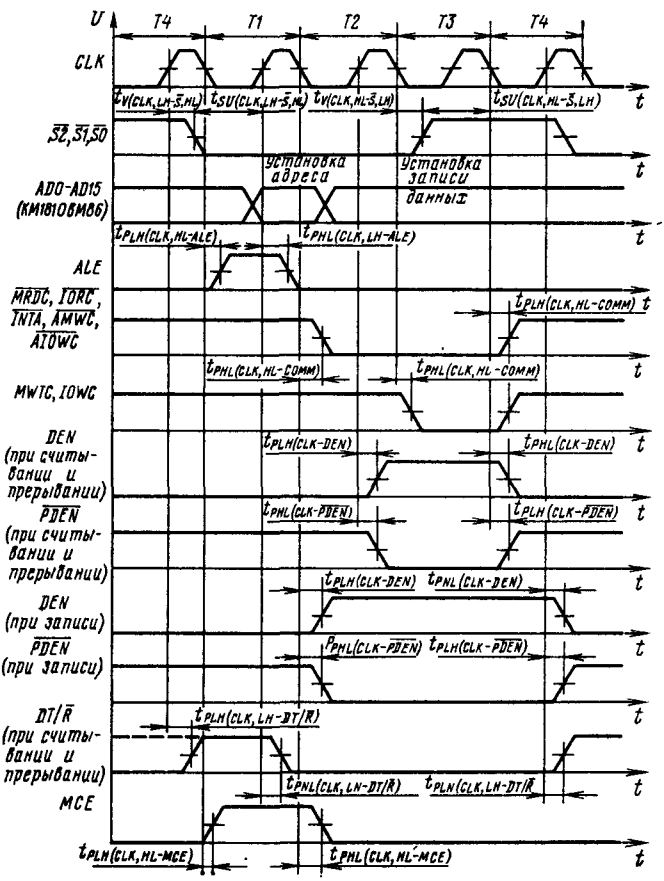


Рис. 16.28. Временные диаграммы работы контроллера КР1810ВГ88. Фронты сигналов *ALE* и *MCE* определяются срезом сигнала *CLK* или переходом в активный (низкий) уровень последнего из сигналов состояния $\overline{S0}$, $\overline{S1}$, $\overline{S2}$. Отсчет параметров t_V (t_{SU}) производится по первому (последнему) фронту или срезу сигналов состояния $\overline{S0}$, $\overline{S1}$, $\overline{S2}$. Уровень отсчета всех параметров +1,5 В

Таблица 16.26

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения
Выходное напряжение низкого уровня, В	U_{OL}	0,5	$U_{CC}=4{,}75$ В, $U_{IL}=0{,}8$ В, $U_{IH}=2{,}0$ В, для выводов *CONTR** $I_{OL}=16$ мА, для выводов *COMM*** $I_{OL}=32$ мА
Выходное напряжение высокого уровня, В	U_{OH}	(2,4)	$U_{CC}=4{,}75$ В, $U_{IL}=0{,}8$ В, $U_{IH}=2{,}0$ В, для выводов *CONTR* $I_{OH}=-1$ мА, для выводов *COMM* $I_{OH}=-5$ мА
Входной ток низкого уровня, мА	I_{IL}	—0,7	$U_{CC}=5{,}25$ В, $U_{IL}=0{,}45$ В
Входной ток высокого уровня, мА	I_{IH}	0,05	$U_{CC}=5{,}25$ В, $U_{IH}=5{,}25$ В
Выходной ток низкого уровня в состоянии «выключено», мА	I_{OZL}	—0,1	$U_{CC}=5{,}25$ В, $U_{OL}=0{,}45$ В
Выходной ток высокого уровня в состоянии «выключено», мА	I_{OZH}	0,1	$U_{CC}=5{,}25$ В, $U_{OH}=5{,}25$ В
Ток потребления, мА	I_{CC}	230	$U_{CC}=5{,}25$ В, $U_{IL}=0$ В
Время задержки распространения сигналов при включении относительно сигнала *CLK*, нс:			$U_{CC}=5{,}0$ В
DT/$\overline{R}$	$t_{PHL\,(CLK,\ LH-DT/\overline{R})}$	50	$C_L=80$ пФ
ALE	$t_{PHL\,(CLK,\ LH-ALE)}$	15	$C_L=80$ пФ
MCE	$t_{PHL\,(CLK,HL-MCE)}$	45	$C_L=80$ пФ
$\overline{PDEN}$	$t_{PHL(CLK-\overline{PDEN})}$	45	$C_L=80$ пФ
DEN	$t_{PHL\,(CLK-DEN)}$	45	$C_L=80$ пФ
COMM	$t_{PHL(CLK,\ HL-COMM)}$	35	$C_L=300$ пФ
Время задержки распространения сигналов при выключении относительно сигнала *CLK*, нс:			$U_{CC}=5{,}0$ В
DT/$\overline{R}$	$t_{PLH\,(CLK,\ LH-DT/\overline{R})}$	30	$C_L=80$ пФ
ALE	$t_{PLH(CLK,\ HL-ALE)}$	20	$C_L=80$ пФ
MCE	$t_{PLH(CLK,HL-MCE)}$	45	$C_L=80$ пФ
$\overline{PDEN}$	$t_{PLH(CLK-\overline{PDEN})}$	45	$C_L=80$ пФ
DEN	$t_{PLH(CLK-DEN)}$	45	$C_L=80$ пФ
COMM	$t_{PLH(CLK,\ HL-COMM)}$	35	$C_L=300$ пФ

* Знаком *CONTR* обозначены контрольные выходы *DT/$\overline{R}$*, *ALE*, *DEN*, *MCE/$\overline{PDEN}$*.

** Знаком *COMM* обозначены командные выходы $\overline{AIOWC}$, $\overline{AMWC}$, $\overline{IOWC}$, $\overline{MWTC}$, $\overline{MRDC}$, $\overline{IORC}$, $\overline{INTA}$.

Таблица 16.27

Параметр	Обозначение	Значения параметров мин.
Период следования импульсов тактового сигнала *CLK*, нс	T_{CLK}	125
Длительность сигнала низкого уровня на входе *CLK*, нс	$t_{WL,\ CLK}$	66
Длительность сигнала высокого уровня на входе *CLK*, нс	$t_{WH,\ CLK}$	40
Время установления сигналов $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ при переходе их из состояния высокого уровня в состояние низкого уровня относительно сигнала *CLK* при переходе его из состояния низкого уровня в состояние высокого уровня, нс	$t_{SU(CLK,\ LH-\overline{S},\ HL)}$	35
Время сохранения сигналов $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ при переходе их из состояния высокого уровня в состояние низкого уровня относительно сигнала *CLK* при переходе его из состояния низкого уровня в состояние высокого уровня, нс	$t_{V(CLK,\ LH-\overline{S},\ HL)}$	10
Время установления сигналов $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ при переходе их из состояния низкого уровня в состояние высокого уровня относительно сигнала *CLK* при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{SU(CLK,\ HL-\overline{S},\ LH)}$	35
Время сохранения сигналов $\overline{S0}$, $\overline{S1}$, $\overline{S2}$ при переходе их из состояния низкого уровня в состояние высокого уровня относительно сигнала *CLK* при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{V(CLK,\ HL-\overline{S},\ LH)}$	10

цикла подтверждения прерывания (*INTA*) В процессе любого прерывания имеют место два цикла подтверждения прерывания, которые следуют друг за другом.

Во время первого цикла прерывания нет передачи адреса или данных. При этом обеспечивается маскирование сигнала *MCE*. Перед началом следующего цикла сигнал *MCE* передает каскадный адрес ведущего устройства прерывания на местную шину микропроцессора, где по сигналу *ALE* он записывается в адресный регистр.

По окончании второго цикла прерывания адресуемый контроллер прерывания выставляет вектор прерывания на системную шину, откуда он считывается микропроцессором. Если система имеет только один контроллер прерывания, то сигнал *MCE* не используется. В этом случае второй сигнал подтверждения прерывания выставляет вектор прерывания на местную шину.

Сигнал на выходе *ALE* формируется в каждом машинном цикле и служит для стробирования (записи) адреса в адресный регистр.

Схемы включения контроллера в составе микро-ЭВМ на базе микропроцессора КМ1810ВМ86 приведены на рис. 16.23—16.25. На рис. 16.23 показан пример работы контроллера в режиме с системной шиной (*IOB*=0), на рис. 16.24 — в режиме работы с шиной ввода/вывода (*IOB*=1), а на рис. 16.25 — в режиме работы с системной и резидентной шинами.

Временные диаграммы работы контроллера для различных состояний микропроцессора приведены на рис. 16.28. В период *T1* производится запись адреса в адресные регистры и изменение направления передачи данных.

В периоды *T2* и *T3* формируются командные сигналы на считывание или запись информации, а также контрольные сигналы управления состоянием «выключено» шинных формирователей.

Основные электрические параметры микросхемы приведены в табл. 16.26, предельно допустимые и предельные значения режимов эксплуатации — в табл. 16.22, временные параметры, рекомендуемые для эксплуатации, — в табл. 16.27.

16.5. Микросхема КР1810ГФ84

Микросхема КР1810ГФ84 представляет собой тактовый генератор и задающее устройство для микропроцессора КМ1810ВМ86. Ее назначение — формирование тактовых сигналов для микропроцессора и периферийных устройств, а также сигналов «Установка» и «Готовность».

Условное графическое обозначение микросхемы приведено на рис. 16.29, назначение выводов — в табл. 16.28, функциональная схема показана на рис. 16.30.

Микросхема состоит из следующих функциональных узлов: задающего мультивибратора, делителей на 2 и на 3, формирователя

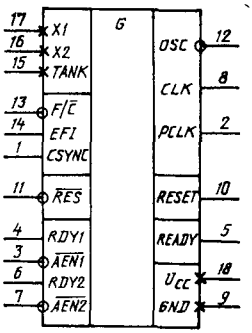


Рис. 16.29. Условное графическое обозначение КР1810ГФ84

Таблица 16.28

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	CSYNC	Вход	Синхронизация
2	PCLK	Выход	Периферийный тактовый сигнал ТТЛ
3	$\overline{AEN1}$	Вход	Адрес готовности шины 1
4	RDY1	Вход	Сигнал готовности шины 1
5	READY	Выход	Готовность
6	RDY2	Вход	Сигнал готовности шины 2
7	$\overline{AEN2}$	Вход	Адрес готовности шины 2
8	CLK	Выход	Тактовый сигнал МОП
9	GND	—	Общий
10	RESET	Выход	Установка
11	$\overline{RES}$	Вход	Сигнал установки
12	OSC	Выход	Мультивибратор
13	$F/\overline{C}$	Вход	Выбор источника частоты
14	EFI	Вход	Внешняя частота
15	TANK	—	Вывод подключения *LC*-контура
16, 17	X2, X1	—	Выводы подключения резонатора
18	U_{cc}	—	Напряжение питания

тактового сигнала, схем синхронизации и выбора задающей частоты и схем формирования сигналов «Установка» и «Готовность».

В качестве источника частоты в микросхеме используется кварцевый резонатор, подключаемый к выводам *X1* и *X2* мультивибратора (при этом на входе $F/\overline{C}$ должен быть сигнал низкого уровня), либо внешний ТТЛ-сигнал, поступающий на вход *EFI* (на входе $F/\overline{C}$ — сигнал высокого уровня). Выбранный источник должен генерировать на трехкратной частоте тактового сигнала *CLK*, требуемой для микропроцессора.

При использовании кварцевого резонатора возможна работа на его гармониках. В этом случае к выводу *TANK* подключается резонансный *LC*-контур. Однако стабильность тактовой частоты обеспечивается только при работе на основной частоте резонатора. Резонатор следует располагать в непосредственной близости от выводов микросхемы *X1* и *X2* с обеспечением минимального сопротивления соединяющих проводников. Рекомендуемые типы резонаторов: РГ-05, РК8, РК45ММ и другие, имеющие металлический корпус и малые габаритные размеры. Последовательно с резонатором подключается конденсатор небольшой емкости (5—25 пФ), подбираемый при точной настройке на требуемую частоту мультивибратора.

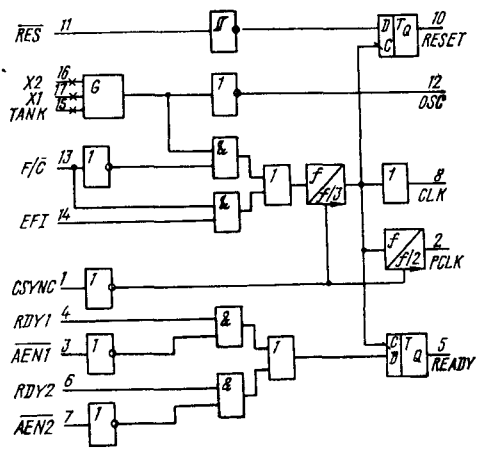


Рис. 16.30. Функциональная схема КР1810ГФ84

При использовании внешнего генератора скважность импульса сигнала *EFI* должна быть близка к 2, частота — не более 25 МГц.

В микросхеме КР1810ГФ84 имеется три частотных выхода: *OSC* — мультивибратор, *CLK* - тактовый сигнал МОП и *PCLK* - периферийный тактовый сигнал ТТЛ.

Выход *OSC* может подключаться к другим генераторам КР1810ГФ84 в качестве источника внешней частоты. Сигнал *OSC* используется также для тактирования схемы управления динамическим ОЗУ. Сигнал *OSC* инвертирован по отношению к сигналу мультивибратора, управляющему тактовым сигналом *CLK*. Скважность импульса *OSC* равна 2.

Тактовый сигнал *CLK* образуется путем деления на три частоты мультивибратора или *EFI* Скважность импульса *CLK* равна 3, амплитуда около 4,5 В (при U_{cc}=5,0 В), длительность фронта (среза) менее 10 нс. Перечисленные параметры тактового сигнала необходимы для эффективного управления микропроцессором, другими МОП- и ТТЛ-устройст-

Таблица 16.29

Параметр	Обозначение	Значения параметров		Режим измерения
		мин	макс.	
Статические параметры				
Выходное напряжение низкого уровня, В	U_{OL}	—	0,45	$U_{CC}=4{,}75$ В, $U_{IL}=0{,}8$ В, $U_{IH}=2{,}0$ В (2,6 В на входе $\overline{RES}$), $I_{OL}=5$ мА
Выходное напряжение высокого уровня, В:				$U_{CC}=4{,}75$ В, $U_{IL}=0{,}8$ В, $U_{IH}=2{,}0$ В, $I_{OH}=-1$ мА
на выходе *CLK*	$U_{OH,\ CLK}$	4,0	—	
на остальных выходах	U_{OH}	2,4	—	
Входной ток низкого уровня, мА	I_{IL}	—	−0,5	$U_{CC}=5{,}25$ В, $U_{IL}=0{,}45$ В
Входной ток высокого уровня, мкА	I_{IH}	—	50	$U_{CC}=5{,}25$ В, $U_{IH}=5{,}25$ В
Ток потребления, мА	I_{CC}	—	140	$U_{CC}=5{,}25$ В
Разность пороговых напряжений высокого и низкого уровней на входе $\overline{RES}$, В	$U_{TH,\ \overline{RES}}-U_{TL,\ \overline{RES}}$	0,25	—	$U_{CC}=5{,}0$ В
Динамические параметры *				
Длительность сигнала высокого уровня на выходе *CLK*, нс	$t_{WH,\ CLK}$	$\frac{1}{3}T_{CLK}+2{,}0$	—	
Длительность сигнала низкого уровня на выходе *CLK*, нс	$t_{WL,\ CLK}$	$\frac{2}{3}T_{CLK}-15{,}0$	—	
Длительность фронта (среза) выходного импульса, нс:				
на выходе *CLK*	$t_{TLH,\ CLK}(t_{THL,\ CLK})$	—	10(10)	Между уровнями 1,0 и 3,5 В (3,5 и 1,0 В)
на остальных выходах	$t_{TLH}(t_{THL})$	—	20(12)	Между уровнями 0,8 и 2,0 В (2,0 и 0,8 В)
Длительность сигнала высокого уровня на выходе *PCLK*, нс	$t_{WH,\ PCLK}$	$T_{CLK}-20$	—	—
Длительность сигнала низкого уровня на выходе *PCLK*, нс	$t_{WL,\ PCLK}$	$T_{CLK}-20$	—	—
Время установления сигнала *READY* при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала *CLK* при переходе его из состояния высокого уровня в состояние низкого уровня, нс	$t_{SU(CLK,\ HL-READY,\ HL)}$	−8**	—	—

* При $U_{CC}=5{,}0$ В; $R_L=820$ Ом; $C_{L,\ CLK}=100$ пФ (для выхода *CLK*); $C_L=30$ пФ (для остальных выходов). Уровень отсчета динамических параметров (где не указано особо) составляет +1,5 В.

** Только для такта *T2* машинного цикла (не более 8 нс от начала *T3*).

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Время установления сигнала *READY* при переходе его из состояния низкого уровня в состояние высокого уровня относительно сигнала *CLK* при переходе его из состояния низкого уровня в состояние высокого уровня, нс	$t_{SU(CLK,\ LH-READY,\ LH)}$	$\frac{2}{3}T_{CLK}-15$***	—	—
Время задержки распространения сигнала *RESET* относительно сигнала *CLK*, нс	$t_{P(CLK-RESET)}$	-	40	—
Время задержки распространения сигнала *PCLK* при переходе его из состояния низкого уровня в состояние высокого уровня относительно сигнала *CLK*, нс	$t_{P(CLK-PCLK,\ LH)}$	—	22	—
Время задержки распространения сигнала *PCLK* при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала *CLK*, нс	$t_{P(CLK-PC,\ LK,\ HL)}$	—	22	—
Время задержки распространения сигнала *CLK* при переходе его из состояния низкого уровня в состояние высокого уровня относительно сигнала *OSC*, нс	$t_{P(OSC-CLK,\ LH)}$	—5	12	—
Время задержки распространения сигнала *CLK* при переходе его из состояния высокого уровня в состояние низкого уровня относительно сигнала *OSC*, нс	$t_{P(OSC-CLK,\ HL)}$	2	20	-

Примечание. Знак «минус» перед значением тока характеризует его направление (из микросхемы). Знак «минус» перед значением временных параметров означает обратную последовательность сигналов.

*** Только для тактов *T3* и *TW* машинного цикла

вами, непосредственно соединенными с местной процессорной шиной.

Периферийный тактовый сигнал *PCLK* образуется путем деления на 2 частоты сигнала *CLK*. Он предназначен для тактирования различных периферийных устройств, работающих на уровнях сигнала ТТЛ. Скважность импульса *PCLK* равна 2.

Схема синхронизации предназначена для совместной работы нескольких генераторов КР1810ГФ84 либо для синхронизации генератора с внешним источником частоты. Если на входе *CSYNC* — сигнал высокого уровня, то делители на 2 и на 3 выключены и на выходах *CLK* и *PCLK* — сигнал высокого уровня. Если на входе *CSYNC* — сигнал низкого уровня, то на выходах *CLK* и *PCLK* происходит генерирование с частотами, соответственно в 3 и 6 раз меньшими частоты *OSC* или *EFI*.

Схема формирования сигнала «Установка» состоит из триггера Шмидта и *D*-триггера, тактируемого отрицательным перепадом импульса *CLK*. Сигнал «Установка» на выходе *RESET* инвертируется по отношению к входному сигналу $\overline{RES}$. Повышенное пороговое напряжение высокого уровня на входе $\overline{RES}$ обеспечивает необходимое время установки процессора.

Таблица 16.30

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Напряжение питания, В	U_{CC}	4,75	5,25
Входное напряжение низкого уровня, В	U_{IL}	—	0,8
Входное напряжение высокого уровня, В:			
для входа $\overline{RES}$	$U_{IH,\ \overline{RES}}$	2,6	5,25
для остальных входов	U_{IH}	2,0	5,25
Выходной ток низкого уровня, мА	I_{OL}	—	5,0
Выходной ток высокого уровня, мА	I_{OH}	—	—1,0
Емкость нагрузки, пФ:			
выхода *CLK*	$C_{L,\ CLK}$	—	100
остальных выходов	C_L	—	30
Длительность фронта (среза) входного импульса, нс:			
для входа *EFI*	t_{LH} (t_{HL})	—	5(5)
для входа $\overline{RES}$		Не ограничена	
для остальных входов		—	20(12)*
Длительность сигнала низкого (высокого) уровня на входе *EFI*, нс	$t_{WL,\ EFI}$ ($t_{WH,\ EFI}$)	18(18)**	—
Частота генерирования на выходе *OSC*, МГц	f_{OSC}	—	25
Частота следования импульсов на входе *EFI*, МГц	f_{EFI}		25 или $T_{EFI} \geqslant$ $\geqslant$ 40 нс

* Между уровнями 0,8 и 2,0 В (2,0 и 0,8 В).
** Уровень отсчета 1,5 В.

Таблица 16.31

Параметр	Обозначение	Значения параметров [мин. (макс.)]
Период следования импульсов тактового сигнала *CLK*, нс	T_{CLK}	125(500)
Время установления сигналов *RDY1*, *RDY2* относительно сигнала *CLK*, нс	$t_{SU(CLK-RDY)}$	35
Время сохранения сигналов *RDY1*, *RDY2* относительно сигнала *CLK*, нс	$t_{V(CLK-RDY)}$	0
Время установления сигналов $\overline{AEN1}$, $\overline{AEN2}$ относительно сигналов *RDY1*, *RDY2* соответственно, нс	$t_{SU(RDY-\overline{AEN})}$	15
Время сохранения сигналов $\overline{AEN1}$, $\overline{AEN2}$ относительно сигнала *CLK*, нс	$t_{V(CLK-\overline{AEN})}$	0
Время установления сигнала *CSYNC* относительно сигнала *EFI*, нс	$t_{SU(EFI-CSYNC)}$	20
Время сохранения сигнала *CSYNC* относительно сигнала *EFI*, нс	$t_{V(EFI-CSYNC)}$	20
Длительность сигнала высокого уровня на входе *CSYNC*, нс	$t_{WH,\ CSYNC}$	$2T_{EFI}$
Время установления сигнала $\overline{RES}$ относительно сигнала *CLK*, нс	$t_{SU(CLK-\overline{RES})}$	65*
Время сохранения сигнала $\overline{RES}$ относительно сигнала *CLK*, нс	$t_{V(CLK-\overline{RES})}$	20*

Примечание. Уровень отсчета всех параметров 1,5 В.

* Только для формирования сигнала *RESET* на следующем такте.

Схема формирования сигнала «Готовность» содержит логическую схему и *D*-триггер, также тактируемый отрицательным перепадом импульса *CLK*. Сигналы *RDY*, поступающие от двух системных шин, являются сообщением о налична информации и подтверждаются соответствующими сигналами $\overline{AEN}$. Готовность системы осуществляется синхронно с тактовым сигналом.

Временна́я диаграмма работы микросхемы КР1810ГФ84 приведена на рис. 16.31, основные параметры даны в табл. 16.29, предельно допустимые электрические режимы эксплуатации — в табл. 16.30, предельные значения режимов эксплуатации — в табл. 16.22. В табл. 16.31 указаны временные параметры, рекомендуемые для эксплуатации и обеспечивающие устойчивую работу системы в целом.

Примеры использования микросхемы КР1810ГФ84 приведены на рис. 16.23—16.25, на которых показаны различные варианты формирования сигнала «Готовность» при работе с одной и двумя системными шинами. Сигнал подтверждения передачи данных *XACK* является для микросхемы КР1810ГФ84 сигналом готовности шины *RDY*, а сигнал разрешения доступа к системной шине, поступающий от арбитра КР1810ВБ89, — адресом готовности $\overline{AEN}$.

Установка системы в исходное состояние может осуществляться при включении питания

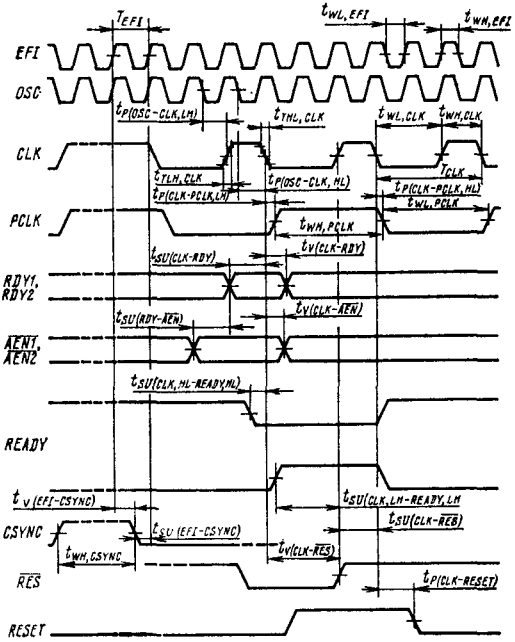


Рис. 16.31. Временна́я диаграмма работы генератора КР1810ГФ84

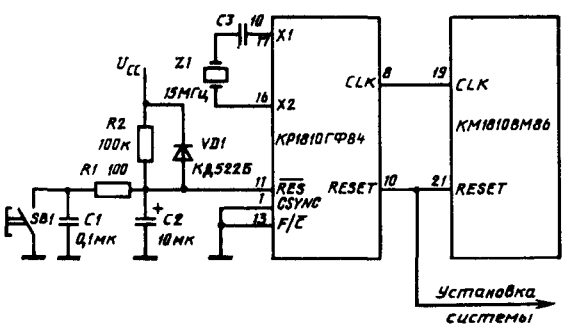


Рис. 16.32. Схема установки микропроцессора и микропроцессорной системы в исходное состояние с помощью микросхемы КР1810ГФ84

с помощью простой *RC*-цепи, подключаемой к входу $\overline{RES}$, либо при нажатии кнопки в дистанционной схеме управления, изображенной на рис. 16.32.

16.6. Рекомендации по применению

Микропроцессорную систему на основе микросхем серии КМ1810 реализуют по модульному принципу.

В зависимости от требований, предъявляемых пользователем к системе, микропроцессор КМ1810ВМ86 включается в одном из двух режимов: минимальном или максимальном, что и определяет состав микропроцессорной системы.

В небольших однопроцессорных высокопроизводительных системах, состоящих из нескольких устройств, используют минимальный режим. В сложных одно- или многопроцессорных высокопроизводительных 8- или 16-разрядных системах и при объединении нескольких вычислительных устройств в одну мощную вычислительную систему с общими ресурсами ЗУ и УВВ используют максимальный режим.

В общем случае микропроцессорная система состоит из центрального процессора КМ1810ВМ86 с необходимым для него комплектом микросхем серий КМ1810 и КР580, микросхем памяти (ПЗУ, ППЗУ, ОЗУ) и УВВ. Состав микропроцессорной системы, число уровней буферных схем (один, два или более),

разрядность обмена информацией (8 или 16 разрядов), число и тип микросхем ввода/вывода, объем памяти ПЗУ, ППЗУ, ОЗУ определяет пользователь. Варианты построения типовых микропроцессорных систем с микропроцессором в минимальном и максимальном режимах приведены на рис. 16.4 и 16.5.

В системе с микропроцессором КМ1810ВМ86 различают три канала: локальный (мультиплексный канал адреса/данных — МП), к которому подключают ограниченное число ЗУ и УВВ; резидентный, состоящий из буферизованных каналов адреса, данных и управления, распределенных на одной или двух платах с одним МП, с подключенными ЗУ и УВВ, доступными только одному процессору; системный, объединяющий одну или несколько процессорных систем в многопроцессорную с общими системными ресурсами. Арбитраж доступа к системным ресурсам осуществляют микросхемы КР1810ВБ89, устанавливаемые в каждом процессорном модуле. Число буферных схем адреса и данных для сопряжения с системным каналом определяется разрядностью адреса и данных процессорного модуля. Системный канал позволяет наращивать и модернизировать систему, подключая новые процессорные модули.

Построение системы с тремя каналами обеспечивает работоспособность каждого процессорного модуля по резидентному каналу с собственными ЗУ и УВВ и при необходимости — обращения к системным ресурсам. В любой системе буферная схема адреса организована на трех микросхемах КР580ИР82 или КР580ИР83, которые фиксируют 20-разрядный адрес с мультиплексного канала микропроцессора.

Канал данных, подобно каналу данных в системе на базе КР580ВМ80А, позволяет осуществлять три типа обмена информацией: программный обмен, обмен в режиме прямого доступа к памяти и обмен в режиме прерывания программы.

Таблица 16.32

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Напряжение питания на выводе U_{CC} относительно вывода GND В	U_{CC}	—0,5	7,0
Напряжение на входах относительно вывода GND, В	U_I	—0,5	7,0
Выходной ток, мА	I_{OH}	—	$1,5I_{OH}$
	I_{OL}	—	$1,5I_{OL}$
Емкость нагрузки, пФ	C_L	—	500

Примечания: 1. Значения тока I_{OH}, I_{OL} приведены в таблицах параметров на каждую микросхему.
2. Время действия приведенных значений не более 5 мс.

Микросхемы ЗУ и УВВ подключают к каналам адреса, данных и управления аналогично микропроцессорной системе на базе КР580ВМ80А. Тип микросхем УВВ выбирают из комплекта микросхем серии КР580 (кроме КР580ВН59).

Узлы системы, не содержащие микросхемы серий КМ1810 и КР580, рекомендуется строить на микросхемах серий К531, К155, К555 и других, обеспечивающих стыковку по электрическим и временным параметрам.

Для увеличения помехозащищенности и быстродействия системы необходимо принимать меры, описанные в § 3.15.

Предельные электрические режимы эксплуатации микросхем серии КМ1810 приведены в табл. 16.32.

Глава 17

Микропроцессорный комплект серии К1811

Микропроцессорный комплект микросхем серии К1811, выполненный по n-МДП-технологии, предназначен для построения высокопроизводительных 16-разрядных микро-ЭВМ, программно совместимых с серией ЭВМ типа «Электроника-60».

В состав комплекта входят микросхемы, приведенные в табл. 17.1.

Высокие технические характеристики и функциональные возможности МПК микросхем являются факторами, обеспечивающими его эффективное использование для построения высокопроизводительных микро-ЭВМ, имеющих самое широкое применение в различных областях народного хозяйства: управление производством и технологическими процессами, сбор и обработка данных, решение научно-технических и экономико-статистических задач, проведение инженерно-конструкторских расчетов, моделирование и управление объектами в реальном масштабе времени и др.

Общие для всех микросхем комплекта статические параметры приведены в табл. 17.2, динамические — в табл. 17.3.

Таблица 171

Тип микросхемы	Функциональное назначение	Тип корпуса
КН1811ВМ1	Обработка данных	Н13 40-1
КН1811ВУ1	Управление работой центрального процессора	Н13 40-1
КМ1811ВТ1	Диспетчер памяти	2123 40 6
КН1811ВУ2	Реализация операций с плавающей запятой	Н13 40-1
КН1811ВУ3	Микропрограммное управление микро ЭВМ с расширенным набором команд	Н13 40 1

Общие характеристики

Разрядность обрабатываемых данных	8, 16, 32, 64 бит
Разрядность АЛУ, регистров общего назначения и шины данных	16 бит
Разрядность шины адреса	22 бит
Шина адреса и данных	Совмещенная
Объем адресуемой памяти	4 Мбайт
Способ управления	Микропрограммный
Число микрокоманд	83
Базовый набор типов команд	89
Число команд с плавающей запятой	46
Число типов команд	135
Число способов адресации	12
Число регистров общего назначения	18
Число программно доступных регистров общего назначения	10
Система прерываний	Приоритетная многоуровневая векторная
Число уровней прерывания	4
Время выполнения команды сложения «Регистр — регистр»	1 72 мкс
Время выполнения команды сложения «Регистр — память»	2 84 мкс
Время выполнения команды умножения	25 85 мкс
Возможность изменения и наращивания системы команд	Имеется
Программная совместимость	С микро ЭВМ «Электроника 60»

Электрические параметры

Номинальные значения напряжений источников питания	+5 В, +12 В
Допустимые отклонения питающих напряжений от номинальных значений	±5%
Максимальная потребляемая мощность для каждой микросхемы комплекта в отдельности	0,8 Вт
Время цикла	290 нс
Совместимость по входным и выходным уровням	С ТТЛ схемами

Таблица 172

Параметр	Обозначение	Значения параметров	
		мин	макс
Напряжение источника питания, В	U_{CC1}	4 75	5 25
	U_{CC2}	11,4	12,6
Емкость входа тактового сигнала, пФ	C_C	—	60*
Емкость входов, пФ	C_I	—	15*
Емкость входов/выходов, пФ	C_{IO}	—	25*
Входное напряжение низкого уровня тактовых сигналов, В	U_{ICL}	—	0 6
Входное напряжение высокого уровня тактовых сигналов, В	U_{ICH}	10,8	—
Входное напряжение низкого уровня по ШАД В	$U_{IL\ D}$	—	0,8
Входное напряжение высокого уровня по ШАД, В	$U_{IH\ D}$	2,4	—
Входное напряжение низкого уровня по ШМК В	$U_{IL\ M}$	—	0,8
Входное напряжение высокого уровня по ШМК В	$U_{IH\ M}$	3,4	—

* При $T = +25°C$

Таблица 173

Параметр	Обозначение	Максимальные значения параметров
Длительность тактового сигнала высокого уровня, нс	τ_{CH}	
базовый цикл (режим)		145
цикл ввода/вывода и преобразования адреса		215

Продолжение

Параметр	Обозначение	Максимальные значения параметров
Длительность тактового сигнала низкого уровня, нс:	τ_{CL}	
базовый цикл (режим) и цикл ввода/вывода		145
режим преобразования адреса		290
Время перехода тактового сигнала из состояния низкого уровня в состояние высокого уровня, нс	$t_{C,\ LH}$	20
Время перехода тактового сигнала из состояния высокого уровня в состояние низкого уровня, нс	$t_{C,\ HL}$	20

17.1. Микросхема КН1811ВМ1

Микросхема КН1811ВМ1 представляет собой центральный процессорный элемент, выполняющий арифметические и логические операции над 16-разрядными операндами.

Условное графическое обозначение микросхемы КН1811ВМ1 приведено на рис. 17.1, назначение выводов — в табл. 17.4, структурная схема показана на рис. 17.2, временна́я диаграмма входных и выходных сигналов — на рис. 17.3.

В состав микросхемы входят: 16-разрядное арифметико-логическое устройство (АЛУ); блок регистров общего назначения (РОН); мультиплексор регистровой записи; мультиплексор и дешифратор адреса РОН; регистр системных команд (РСК); регистр микрокоманд (РМК); регистр нанокоманд (РНК); схема анализа ветвления; дешифратор микрокоманд; схема управления; схема выбора банка.

Микросхема имеет два 16-разрядных двунаправленных информационных канала: шину адреса и данных (ШАД) *D15—D0* и шину микроканала (ШМК) *M15—M0*.

По ШМК при низком уровне тактового сигнала τ_{CL} поступает микрокоманда *MNS*, которая принимается микросхемой. Входы/выходы ШАД в это время находятся в высокоомном (3-м) состоянии.

При высоком уровне тактового сигнала τ_{CH} в ШМК осуществляется вывод нанокоманды *NNS*, которая удерживается в ШМК до прихода очередной микрокоманды. По ШАД в это время может происходить ввод или вывод информации.

Информация, поступающая по ШАД, заносится в блок РОН, который предназначен для временного хранения информации и ее оперативной передачи в АЛУ и внешним схемам. Регистровый блок состоит из 18 16-разрядных регистров. Десять регистров программно-до-

Таблица 17.4

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*GU*	Выход	Напряжение внутреннего генератора смещения подложки
2	*C*	Вход	Тактовые импульсы
3—18	*D0—D15*	Вход/выход	Совмещенная шина адреса и данных
19	*BS*	Вход/выход	Сигнал «Выбор ВУ». Входной сигнал поступает в случае адресования к старшим 8К байт адресного пространства. Выходной сигнал разрешает обращение к диспетчеру памяти
20	*GND*	—	Общий (шина «земля»)
21	U_{CC2}	—	Напряжение питания +12 В
23	$\overline{EZ}$	Вход	Установка выходов в высокоомное состояние
24—39	$\overline{M0}$—$\overline{M15}$	Вход/выход	Шина микрокоманд
40	U_{CC1}		Напряжение питания +5 В

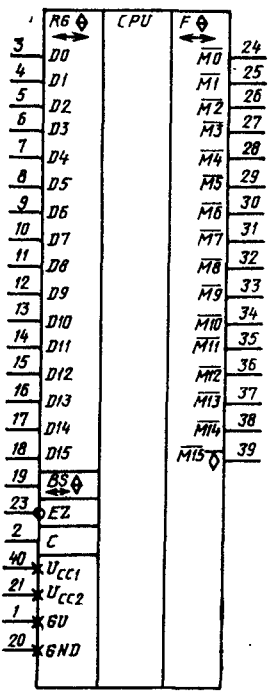


Рис. 17.1. Условное графическое обозначение КН1811ВМ1

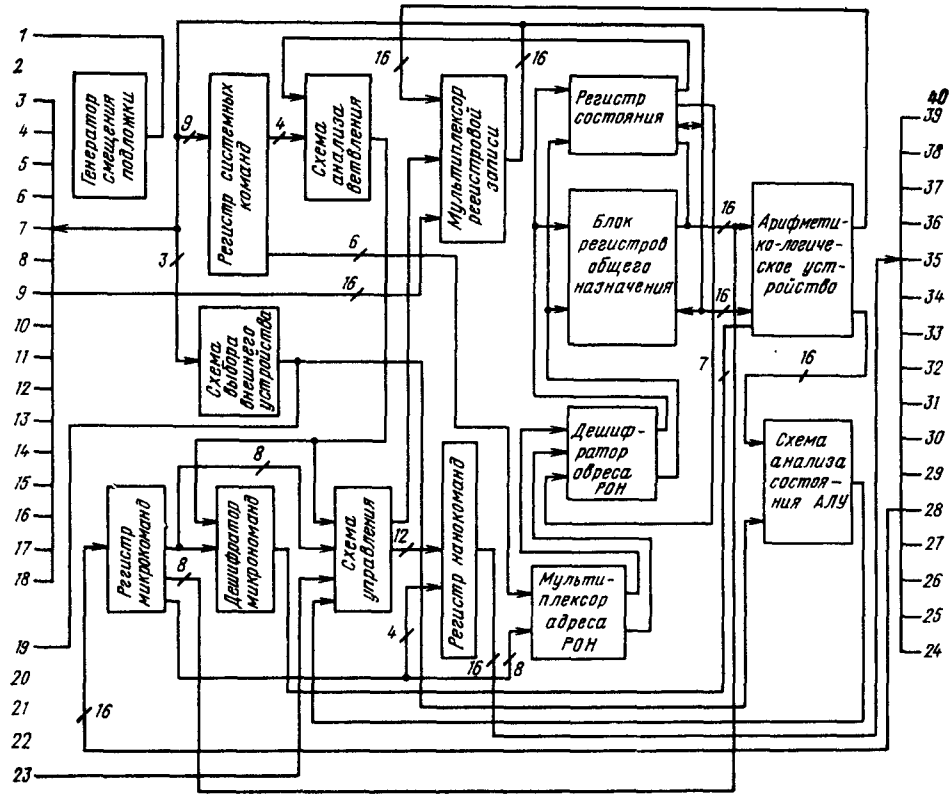


Рис. 17.2. Структурная схема КН1811ВМ1. Вывод *22* не задействован

ступны. К ним относятся регистры общего назначения, регистр—указатель стека системного режима, регистр—указатель стека режима пользователя и программный счетчик. Семь регистров используются в качестве временной оперативной памяти для хранения информации при выполнении сложных микропрограммных операций. Один регистр используется только для хранения слова состояния процессора. Регистровый блок имеет двухканальную (двухпортовую) структуру. Порт *B* предназначен только для чтения, а порт *A* может использоваться как для записи, так и для чтения информации. Такая структура регистрового блока позволяет иметь минимум регистров, необходимых для эмуляции системных команд, и сократить время выполнения команд. Порт *A* регистрового блока связан с магистральной ШАД. Через эту шину осуществляется передача данных, хранящихся в регистровом блоке,

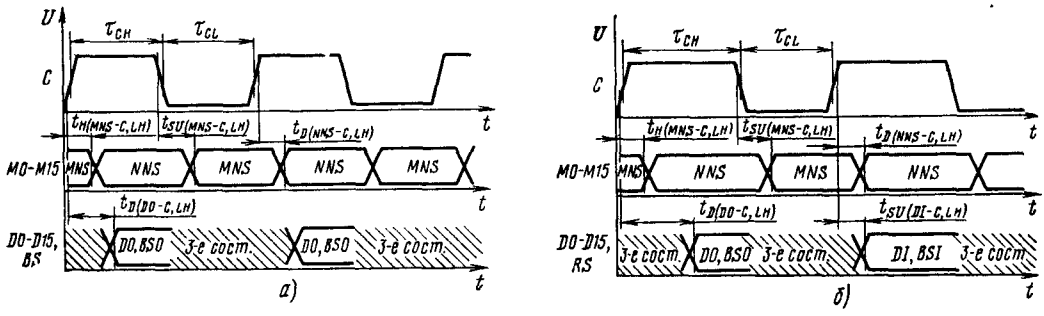


Рис. 17.3. Временные диаграммы входных и выходных сигналов микросхемы КН1811ВМ1:

а — базовый цикл; *б* — цикл ввода/вывода

внешним схемам, АЛУ, а также загрузка программно-доступных регистров и регистра системных команд. Вывод информации из регистрового блока происходит при высоком уровне напряжения тактового сигнала, запись информации — при низком уровне. На входы АЛУ информация поступает из блока РОН и регистра микрокоманд.

Блок АЛУ выполняет арифметические операции над двоичными и двоично-десятичными числами, логические операции, операции циклического и арифметического сдвигов вправо/влево, пересылки байтов и слов, проверки и установки бит; АЛУ имеет 16-разрядную структуру.

Каждый разряд АЛУ состоит из универсального программируемого логического модуля, полусумматора, логики поразрядного сдвига, логики переноса в старший и младший разряды, выходных формирователей. Кроме того, в состав АЛУ входит логический блок преобразования данных и аппаратного наращивания адреса. Информация, подлежащая обработке, поступает в АЛУ по шинам порта *A* и порта *B* регистрового блока. Результат операции записывается в регистр по адресу порта *A*. В течение одного тактового цикла (290 нс) АЛУ производит операцию и помещает результат в регистровый блок. В качестве входной информации для АЛУ может быть содержимое двух регистров при регистровой микрокоманде, одного регистра и литерала (вид данных, содержащийся в микрокоманде) для литеральных микрокоманд. Литерал поступает на входы АЛУ по шинам порта *B* младшего байта блока РОН. АЛУ всегда оперирует 16-разрядными словами. В случае байтовых операций содержимое одного из байтов восстанавливается. В процессе выполнения любой микрооперации входная информация АЛУ, поступающая по шинам порта *A*, выдается в ШАД. Выходная информация АЛУ передается в блок РОН с помощью мультиплексора регистровой записи, который управляет обменом информацией между АЛУ, блоком РОН и ШАД.

Обращение к регистрам общего назначения может осуществляться микропрограммным и программным способами. Организацию обращения к регистровому блоку осуществляют блоки: дешифратор адреса РОН, мультиплексор адреса РОН, регистр состояния, регистр системных команд.

В случае обращения к регистровому блоку микропрограммным способом адрес регистров по порту *A* и порту *B* выбирается из адресного поля текущей микрокоманды. Поле разрядов 0—3 (поле *A*) служит адресом регистра порта *A*, поле разрядов 4—7 (поле *B*) служит адресом регистра порта *B* для двухадресных микрокоманд. При использовании одноадресной микрокоманды обращение осуществляется только по полю *A* (разряды 0—3) микрокоманды; при этом по полю *B* включается защита по обращению.

При обращении к регистровому блоку программным путем в поле адреса порта *A* и порта *B* в микрокоманде устанавливается признак

Таблица 17.5

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Ток потребления от источника U_{CC1}, мА	I_{CC1}	—	90	$U_{CC1}=5{,}25$ В, $U_{CC2}=12{,}6$ В
Ток потребления от источника U_{CC2}, мА	I_{CC2}	—	41	$U_{CC1}=5{,}25$ В, $U_{CC2}=12{,}6$ В
Выходное напряжение низкого уровня по выводам ШАД, В	$U_{OL,\,D}$	—	0,5	$I_{OL}=1{,}5$ мА
Выходное напряжение высокого уровня по выводам ШАД, В	$U_{OH,\,D}$	2,4	—	$I_{OH}=0{,}2$ мА
Выходное напряжение низкого уровня по выводам ШМК, В	$U_{OL,\,M}$	—	0,5	$I_{OL}=2{,}5$ мА
Выходное напряжение высокого уровня по выводам ШМК, В	$U_{OH,\,M}$	3,5	—	$I_{OH}=0{,}2$ мА
Выходное напряжение низкого уровня по выводу *BS*, В	$U_{OL,\,BS}$	—	0,5	$I_{OL}=1{,}5$ мА
Выходное напряжение высокого уровня по выходу *BS*, В	$U_{OH,\,BS}$	3,4	—	$I_{OH}=0{,}2$ мА
Входное напряжение низкого уровня по выводу *BS*, В	$U_{IL,\,BS}$	—	0,8	—
Входное напряжение высокого уровня по выводу *BS*, В	$U_{IH,\,BS}$	2,4	—	—

Таблица 17 6

Параметр	Обозначение	Значения параметров	
		мин	макс
Время сохранения сигнала микрокоманды, нс	$t_{H(MNS-C,\ LH)}$	20	50
Время установления сигнала микрокоманды, нс	$t_{SU(MNS-C,\ HL)}$	50	110
Время задержки сигнала нанокоманды, нс	$t_{D(NNS-C,\ LH)}$	—	95
Время задержки сигнала выходных данных, нс	$t_{D(DO-C,\ LH)}$	—	110*
		—	185**
Время установления сигнала входных данных, нс	$t_{SU(DI-C,\ LH)}$	—	75

* Базовый цикл
** Цикл ввода/вывода

программного обращения Адрес регистра в этом случае выбирается из регистра системных команд (адресное поле системной команды)

При обращении к регистрам-указателям стека, имеющим один и тот же микропрограммный и программный адрес, используется дополнительный адрес регистра состояния

Подключение входов дешифратора адреса к соответствующим шинам регистра системных команд или регистра микрокоманд осуществляется посредством мультиплексора адреса РОН Управление производится полем адреса микрокоманды

В процессе выполнения арифметических, логических операций, операций сдвига, пересылки, сравнения и проверки бит результат операций анализируется логикой и при получении переполнения, нулевого результата, переноса, отрицательного результата выдается информация для записи в соответствующий разряд регистра состояния

Регистр состояний (на структурной схеме рис 17 2 условно выделен из блока РОН) выполняет функции хранения и оперативной выдачи информации слова состояния процессора логике внутреннего управления работой микросхемы КН1811ВМ1, внешним схемам и другим микросхемам комплекта Кроме перечисленных данных регистр состояний хранит также информацию о режиме работы системы (текущем и предыдущем)

Анализ слова состояния и текущей команды осуществляет схема анализа ветвления, вырабатывающая соответствующие сигналы для дешифратора микрокоманд и управляющей логики

Регистры системных команд, микрокоманд и нанокоманд обеспечивают хранение и оперативную выдачу соответствующей информации Под нанокомандой понимается 16-разрядное слово, выводимое в ШМК для управления другими микросхемами МПК, а также внешними устройствами Схема выбора внешнего устройства обеспечивает формирование сигнала, характеризующего адресный диапазон работы микросхемы Выходной сигнал вырабатывается при использовании старших 8К байт из 64К байт памяти и управляет работой микросхемы КМ1811ВТ1

На временной диаграмме входных и выходных сигналов (рис 17 3) показаны два режима работы базовый цикл — режим выполнения всех микроопераций, кроме операций ввода/вывода информации и режима преобразования адреса, цикл ввода вывода — режим ввода/вывода информации

В режиме преобразования адреса прием сигнала по входу «Выбор ВУ» осуществляется при низком уровне тактового сигнала

Статические параметры микросхемы КН1811ВМ1 приведены в табл 17 5, динамические — в табл 17 6

17.2. Микросхемы КН1811ВУ1, КН1811ВУ2, КН1811ВУ3

Все три микросхемы предназначены для управления микросхемой КН1811ВМ1 Условное графическое обозначение микросхем приведено на рис 17 4, назначение выводов— в табл 17 7, структурная схема показана на рис 17 5 временная диаграмма входных и выходных сигналов — на рис 17 6

В состав микросхем входят 16-разрядный регистр данных ПЛМ (РД); 16-разрядный регистр микрокоманд (РМ), 9-разрядный регистр адреса микрокоманд (РАМ); дешифратор нанокоманд (ДН), логика модификации адреса микрокоманды (МА), логика ветвления микропрограммы (ВМ); логика приоритетов прерываний (ПП), логика выбора кристалла (ВК); программируется логическая матрица (ПЛМ)

Микросхемы имеют две 16-разрядные информационные шины шину адреса и данных

Таблица 17.7

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	GU	Выход	Напряжение внутреннего генератора смещения подложки
2	C	Вход	Тактовые импульсы
3—18	$D0—D15$	Вход	Шина адреса и данных
19	$\overline{EZ}$	Вход	Установка выходов в высокоомное состояние
20	GND		Общий (шина «земля»)
21	U_{CC2}	—	Напряжение питания +12 В
22	$\overline{CS}$	Выход	Сигнал «Выбор кристалла». Вырабатывается при работе данной микросхемы
23	R	Вход	Сигнал «Сброс». Начальная установка адреса
24—39	$\overline{M0}—\overline{M15}$	Вход/выход	Шина микрокоманд
40	U_{CC1}		Напряжение питания +5 В

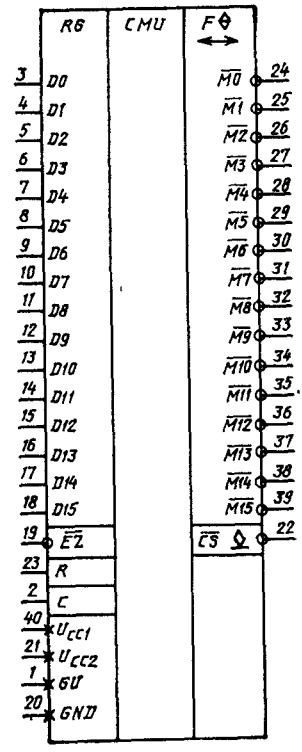


Рис. 17.4. Условное графическое обозначение КН1811ВУ1, КН1811ВУ2, КН1811ВУ3

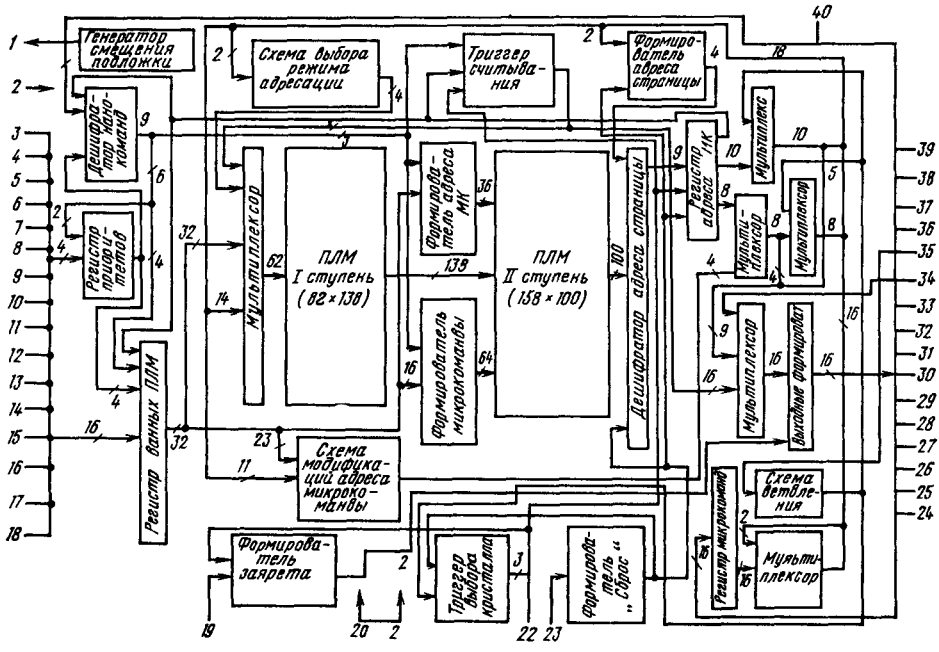


Рис. 17.5. Структурная схема КН1811ВУ1, КН1811ВУ2, КН1811ВУ3

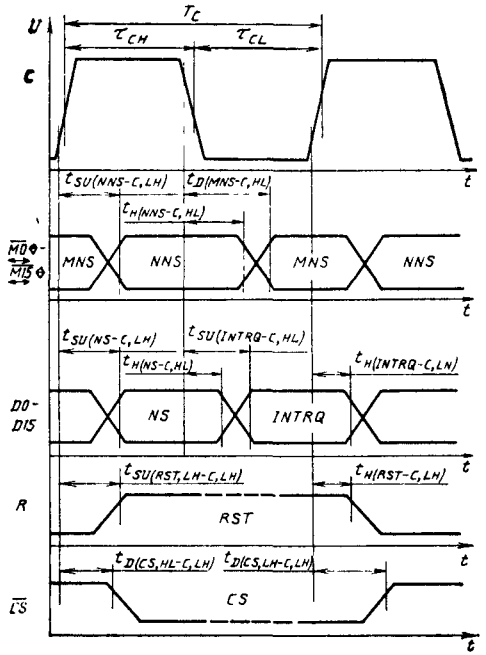


Рис. 17.6. Временна́я диаграмма входных и выходных сигналов КН1811ВУ1, КН1811ВУ2, КН1811ВУ3

Д0—Д15 (ШАД) и шину микрокоманд *М0 — М15* (ШМК).

При низком уровне тактового сигнала τ_{CL} с выходов микросхемы КН1811ВУ1 в ШМК поступает 16-разрядная микрокоманда *MNS*. По шине ШАД в это время в РД могут поступать сигналы запросов прерываний *INTRQ*.

При высоком уровне тактового сигнала τ_{CH} по ШМК передается управляющая микрокоманда *NNS*. Шестиразрядное поле *NNS* поступает на ДН, а одноразрядное поле *NNS* — на логику ВМ. По ШАД в это время в РД может поступать команда *NS* или информация о приоритетах прерываний из регистра состояния КН1811ВМ1.

Управляющая микропрограмма размещается в ПЛМ объемом 15 800 бит. ПЛМ представляет собой сочетание собственно программируемой логической матрицы объемом 133×32 разрядных слов и ПЗУ объемом 444×26 разрядных слов. Выборка микрокоманд из ПЛМ осуществляется под управлением команд (или данных о запросах прерываний), хранящихся в РД, и адресных полей микрокоманд, хранящихся в РАМ. Управляющее 16-разрядное поле микрокоманды через мультиплексор и выходной формирователь выводится в ШМК и поступает в РМ. Адресное 9-разрядное поле микрокоманды через РАМ и мультиплексоры поступает по внутренней шине адреса на входной мультиплексор ПЛМ и на логику МА. Для управления ветвлением микропрограммы адресное поле микрокоманды может быть изменено следующими четырьмя способами:

разряды 0 — 3 определенных адресов изменяются логикой МА под управлением данных из РД;

разряды 0 — 7 любого адреса заменяют данными из разрядов 0 — 7 РМ под управлением логики ВМ (условное ветвление);

разряды 0 — 8 любого адреса генерируются формирователем адреса МК в соответствии с данными в РД;

разряды 0 — 8 адреса формируются в процессе выборки микрокоманды из программируемой логической матрицы с помощью логического сложения.

Управление вводом данных в РД и регистр ПП осуществляет дешифратор нанокоманд. Ввод информации о запросах прерываний в РД осуществляется автоматически в конце выполнения очередной команды программы. Прием сигналов *INTRQ* по входам *D8—D12* «маскируется» данными, находящимися в регистре ПП.

К ШМК (в архитектурном максимуме МПК) может быть подключено до 16 микросхем управления. В каждом конкретном тактовом цикле «активной», т. е. участвующей в работе МПК, является только одна из них; выходы остальных находятся в высокоомном состоянии. Передача управления от «активной» микросхемы управления любой другой («пассивной») микросхеме управления осуществляется микрокомандами передачи управления. Микрокоманды передачи управления от «активной» микросхемы при низком уровне тактового сигнала принимаются всеми «пассивными» микросхемами управления в РМ. Логика ВК микросхемы, которой передается управление, обеспечивает выбор стартового адреса микропрограммы, записанной в ее ПЛМ, и формирует сигнал *CS* на выходе $\overline{CS}$. Логика ВК микросхемы, которая передает управление, переводит ее выходы $\overline{M0}$ — $\overline{M15}$ в высокоомное состояние и формирует соответствующий уровень сигнала *CS* данной микросхемы.

Общее число реализуемых микрокоманд 83.

Набор микрокоманд делится на специфические группы микрокоманд:

арифметические, обеспечивающие выполнение операций над двоичными и двоично-кодированными десятичными числами — условное и безусловное сложение слов, байтов, условное и безусловное вычитание слов, байтов, сложение и вычитание с переносом, без переноса и др.;

логические — И, ИЛИ, ИЛИ — НЕ, исключающие ИЛИ слов, байтов, очистка, расширение или изменение знака, инвертирование слов, байтов и др.;

регистровые — пересылка слов, байтов, признаков, перестановка слов, байтов и др.;

литеральные — операции, где одним из операндов является литеральная часть микрокоманды;

Таблица 17.8

Параметр	Обозначение	Значения параметров [макс. (мин.)]	Режим измерения
Ток потребления от источника U_{CC1}, мА	I_{CC1}	50	$U_{CC1}=5{,}25$ В, $U_{CC2}=12{,}6$ В
Ток потребления от источника U_{CC2}, мА	I_{CC2}	50	$U_{CC1}=5{,}25$ В, $U_{CC2}=12{,}6$ В
Выходное напряжение низкого уровня по выводам ШМК, В	$U_{OL,\ M}$	0,5	$I_{OL}=2{,}5$ мА
Выходное напряжение высокого уровня по выводам ШМК, В	$U_{OH,\ M}$	(3,5)	$I_{OH}=0{,}1$ мА
Выходное напряжение низкого уровня по выводу «Выбор кристалла», В	U_{OL}	0,5	На выводе «Выбор кристалла» напряжение высокого уровня формируется извне
Входное напряжение низкого уровня по входу R, В	U_{IL}	0,8	—
Входное напряжение высокого уровня по входу R, В	U_{IH}	(2,4)	—

сдвига — арифметический и циклический сдвиг влево, вправо слов, байтов, условный и безусловный сдвиг;

перехода — условный переход, безусловный переход;

инкремента, декремента — сложение с константой с наращиванием на 1, уменьшением на 1 и др.;

проверки и установки условий — проверка слов, байтов, разрядов, литералов и др.;

передачи управления;

ввода, вывода — ввод слов, байтов, литералов, вывод данных, вывод адресов слов, байтов, вывод слова состояния и др.

Используются следующие форматы микрокоманд:

1. При микрокомандах арифметических, логических, регистровых, инкремента/декремента, сдвига, проверки и установки условий код операции содержится в разрядах 15—8 микрокоманды, разряды 7—4 микрокоманды содержат адрес регистра одного из операндов (порт

Таблица 17.9

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Время установления сигналов нанокоманды, нс	$t_{SU(NNS-C,\ LH)}$	50	110
Время сохранения сигналов нанокоманды, нс	$t_{H(NNS-C,\ HL)}$	20	50
Время задержки сигнала микрокоманды, нс	$t_{D(MNS-C,\ HL)}$	—	110
Время установления сигналов команды, нс	$t_{SU(NS-C,\ LH)}$	20	100
Время установления сигналов запросов прерываний, нс	$t_{SU(INTRQ-C,\ HL)}$	20	100
Время сохранения сигналов команд, нс	$t_{H(NS-C,\ HL)}$	20	50
Время сохранения сигналов запросов прерывания, нс	$t_{H(INTRQ-C,\ LH)}$	20	50
Время установления сигнала «Сброс», нс	$t_{SU(RST,LH-CLH)}$	20	100
Время сохранения сигнала «Сброс», нс	$t_{H(RST-C,\ LH)}$	20	50
Время задержки сигнала «Выбор кристалла», нс	$t_{D(CS,\ HL-C,\ LH)}$, $t_{D(CS,\ LH-C,\ LH)}$	—	110

В блока РОН), а разряды 3 — 0 — адрес регистра другого операнда (порт *А* блока РОН).

2. При литеральных микрокомандах код операции содержится в разрядах 15 — 12 микрокоманды, адрес регистра операнда заключен в разрядах 3 — 0 (порт *А* блока РОН), а код литерала — в разрядах 11—4 микрокоманды.

3. При микрокомандах ввода, вывода код операции содержится в разрядах 15—8 микрокоманды, разряды 3 — 0 содержат адрес регистра по порту *А* блока РОН, а в разрядах 7 — 4 микрокоманды заключена служебная информация, используемая для формирования соответствующих нанокоманд.

4. При микрокомандах перехода и передачи управления код операции содержится в разрядах 15 — 8 микрокоманды, а разряды 7 — 0 определяют адрес перехода.

Электрические статические параметры микросхем КН1811ВУ1, КН1811ВУ2, КН1811ВУ3 приведены в табл. 17.8, динамические — в табл. 17.9.

17.3. Микросхема КМ1811ВТ1

Микросхема КМ1811ВТ1 — диспетчер памяти, обеспечивает стыковку микросхемы КН1811ВМ1 с оперативной памятью емкостью до 4М байт.

Условное графическое обозначение микросхемы приведено на рис. 17.7, назначение выводов — в табл. 17.10, структурная схема показана на рис. 17.8, временные диаграммы входных и выходных сигналов — на рис. 17.9, *а* (режим преобразования адреса) и 17.9, *б* (режим обмена данными).

В состав микросхемы КМ1811ВТ1 входят: 16 16-разрядных регистров адресов страниц (РАС) памяти системы; 10 16-разрядных регистров описания страниц (РОС) памяти системы; 16 16-разрядных РАС памяти пользователя; 12 16-разрядных РОС памяти пользователя; 4 16-разрядных регистра состояний (*РС0—РС4*); регистры системных команд и микрокоманд; регистры плавающей запятой; логика управления.

Микросхема осуществляет преобразование 16-разрядных логических адресов в 18- либо 22-разрядные физические адреса. Это обеспечивает расширение объема адресуемой памяти с 64 до 256К байт либо до 4М байт соответственно. Для системного режима и режима пользователя перемещение адресов осуществляется

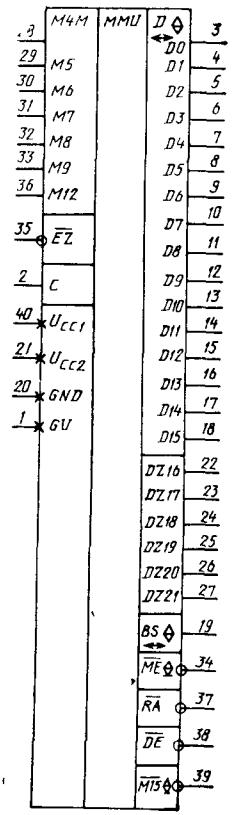


Рис. 17.7. Условное графическое обозначение КМ1811ВТ1

Таблица 17.10

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*GU*	Выход	Напряжение внутреннего генератора смещения подложки
2	*C*	Вход	Тактовые импульсы
3—18	*D0—D15*	Вход/выход	Совмещенная шина адреса (разряды 15—0) и данных
19	*BS*	Вход/выход	Сигнал «Выбор ВУ». Входной сигнал разрешает обращение к внутренним регистрам. Выходной сигнал вырабатывается в случае формирования физического адреса старших 8К байт адресного пространства
20	*GND*	—	Общий
21	U_{CC2}	—	Напряжение питания +12 В
22—27	*DZ16—DZ21*	Выход	Шина адреса, разряды 21—16
28—33	*M4—M9*	Вход	Шина микрокоманд, разряды 4—9
34	$\overline{ME}$	Выход	Преобразование адреса
35	$\overline{EZ}$	Вход	Установка выходов в высокоомное состояние
36	*M12*	Вход	Шина микрокоманд, разряд 12
37	$\overline{RA}$	Выход	Сигнал «Готово». Означает готовность к приему информации
38	$\overline{DE}$	Выход	Сигнал «Запрет». Сигнал о неправильном обращении к памяти
39	$\overline{M15}$	Выход	Шина микрокоманд, разряд 15. Означает, что происходит выдача физического адреса
40	U_{CC}	—	Напряжение питания +5 В

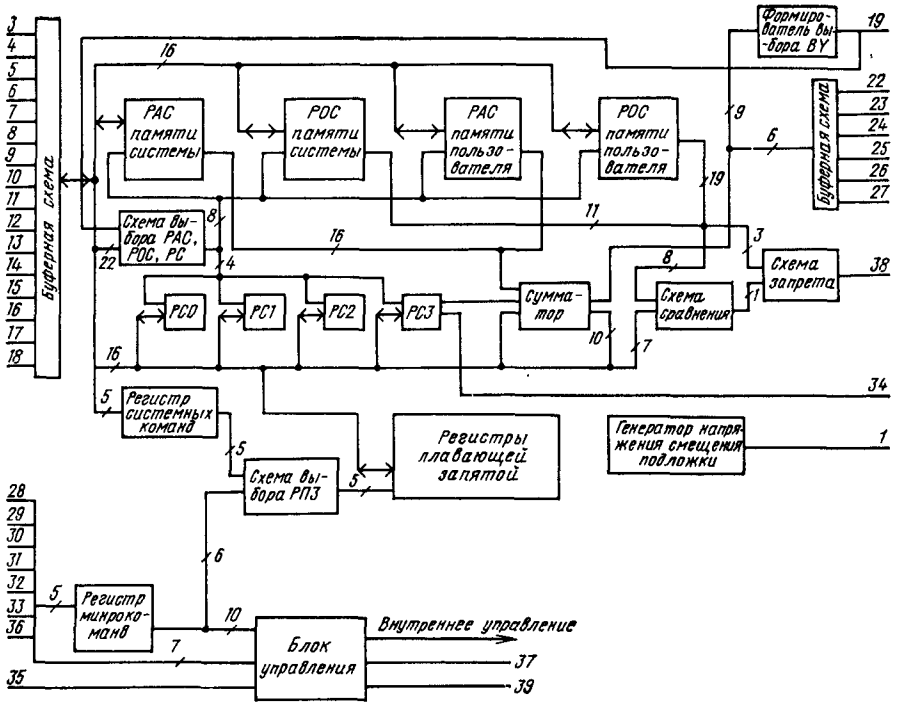
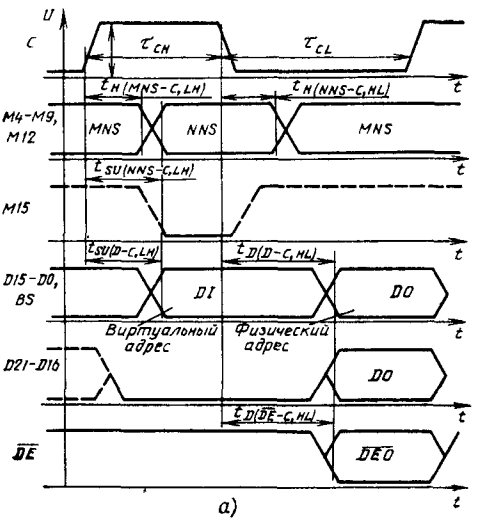


Рис. 17.8. Структурная схема КМ1811ВТ1

постранично с длиной страницы от 64 байт до 8К байт, с шагом 64 байта.

Кроме того, микросхема осуществляет функции защиты памяти и обеспечивает: разделение областей адресного пространства, используемого в системном режиме и режиме пользователя; различные виды доступа к каждой перемещаемой странице — страница без доступа, страница только для считывания, страница для записи и считывания.

В качестве исходной информации при преобразовании адресов и защите памяти в диспетчере используется содержимое РАС и РОС памяти системы и пользователя; РАС и РОС



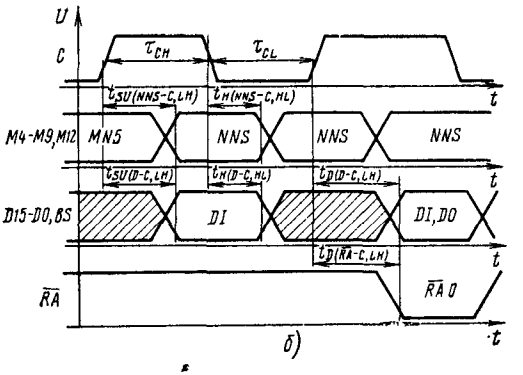


Рис. 17.9. Временные диаграммы входных и выходных сигналов:

а — режим преобразования адреса; *б* — режим обмена данными

Таблица 17.11

Параметр	Обозначение	Значения параметров [макс./(мин.)]	Режим измерения
Ток потребления от источника U_{CC2}, мА	I_{CC1}	75	$U_{CC1}=5{,}25$ В, $U_{CC2}=12{,}6$ В
Ток потребления от источника U_{CC2}, мА	I_{CC2}	45	$U_{CC1}=5{,}25$ В, $U_{CC2}=12{,}6$ В
Выходное напряжение низкого уровня по выводам ШАД, В	$U_{OL,D}$	0,5	$I_{OL}=1{,}5$ мА
Выходное напряжение высокого уровня по выводам ШАД, В	$U_{OH,D}$	(2,4)	$I_{OH}=0{,}2$ мА
Выходное напряжение низкого уровня по выводам BS, $\overline{ME}$, $\overline{RA}$, $\overline{DE}$, $\overline{MI5}$, В	U_{OL}	0,5	$I_{OL}=2{,}5$ мА
Выходное напряжение высокого уровня по выводам BS, $\overline{ME}$, $\overline{RA}$, $\overline{DE}$, $\overline{MI5}$, В	U_{OH}	(2,4)	$I_{OH}=0{,}2$ мА
Входное напряжение низкого уровня по выводу BS, В	$U_{IL,BS}$	0,8	—
Входное напряжение высокого уровня по выводу BS, В	$U_{IH,BS}$	(2,4)	—

Таблица 17.12

Параметр	Обозначение	Значения параметров [макс. (мин)]
Время установления нанокоманды, нс	$t_{SU(NNS-C,\ LH)}$	110
Время сохранения нанокоманды, нс	$t_{H(NNS-C,\ HL)}$	(20)
Время установления входных данных, нс	$t_{SU(D-C,\ LH)}$	110
Время сохранения входных данных, нс	$t_{H(D-C,\ HL)}$	(20)
Время задержки входных данных, нс	$t_{D(D-C,\ LH)}$	180
Время задержки сигнала «Готово», нс	$t_{D(\overline{RA}-C,\ LH)}$	180
Время сохранения микрокоманды, нс	$t_{H(MNS-C,\ LH)}$	(20)
Время задержки выходных данных, нс	$t_{D(D-C,\ HL)}$	260
Время задержки сигнала «Запрет», нс	$t_{D(\overline{DE}-C,\ HL)}$	250

разделены на группы. Одна группа используется при работе микросхемы в системном режиме, другая — в режиме пользователя. Каждая группа регистров содержит 16-разрядный регистр адреса страницы и регистр описания страницы. Кроме того, имеются четыре регистра состояния (*PC0* — *PC3*), которые используются в механизме управления памятью. Информация, заключенная в *PC3*, указывает разрядность формируемого физического адреса: 18 или 22.

Старшие три разряда логического адреса, принимаемого по ШАД, определяют, какая именно из восьми пар регистров РАС/РОС для каждого режима будет использоваться. Содержимое выбранного регистра РАС или РОС поступает на вход сумматора, на другой вход поступают разряды 12 — 6 логического адреса.

Сумматор формирует разряды 21 — 6 физического адреса. Разряды 5 — 0 физического адреса соответствуют разрядам 5 — 0 логического адреса.

По сигналу «Выбор ВУ» формируется напряжение высокого уровня, если физический адрес попадает в старшие 8К адресного пространства.

При преобразовании адреса на выходе $\overline{MI5}$ устанавливается напряжение низкого уровня; это означает, что в ШАД в следующий полутакт будет выдан физический адрес.

Схема сравнения совместно с РОС и логикой запрета непосредственно участвует в реализации функций защиты памяти. При нару

шении правил доступа формируется сигнал «Запрет» ($\overline{ДЕ}$), а в регистрах состояния запоминается информация, вызвавшая запрет.

Сигнал «Готово» ($\overline{RA}$) является ответом микросхемы при обращении к ее регистрам РАС, РОС и РС.

Дополнительной функцией микросхемы является участие в выполнении операций с плавающей запятой для обеспечения временного хранения и оперативной выдачи соответствующей информации. Для этого используется 42 16-разрядных регистров, адрес каждого из которых выбирается определенными комбинациями системных микрокоманд.

Электрические статические параметры КМ1811ВТ1 приведены в табл. 17.11, динамические — в табл. 17.12.

17.4. Соединение микросхем серии КН1811

Схема соединения микросхем серии КН1811 приведена на рис. 17.10. Выводы *EZ* микросхем не задействованы. В качестве конденсаторов *C1—C5* используются конденсаторы типа К10-17-1В-Н50-0,01 мкФ.

Взаимодействие микросхем комплекта осуществляется по двум шинам: 16-разрядной шине микрокоманд и 22-разрядной шине адресов и данных. Обе шины являются двунаправленными, с использованием мультиплексного режима работы. Синхронизация работы микросхем осуществляется одним тактовым сигналом *C*. Обмен информацией по ШАД и ШМК происходит в течение конкретных полутактов: либо во время положительной фазы тактового сигнала τ_{CH}, либо во время отрицательной фазы τ_{CL}. Сумма указанных фаз $\tau_{CH}+\tau_{CL}$ представляет собой время цикла выполнения микрокоманды. Временная диаграмма работы МПК приведена на рис. 17.11.

Микрокоманда от активной в данный момент микросхемы управления (КН1811ВУ1, КН1811ВУ2, КН1811ВУ3) по ШМК во время τ_{CL} поступает на исполнение в микросхему КН1811ВМ1 и, кроме того, адресует регистры плавающей запятой, размещенные в КМ1811ВТ1.

Во время положительной фазы тактового сигнала τ_{CH} по ШМК КН1811ВМ1 вырабатывает нанокоманду, поступающую для управления на все микросхемы МПК и на логику платы центрального процессора микро-ЭВМ.

Нанокоманда используется для управления вводом информации и последовательностью выборки микропрограммы в микросхемах КН1811ВУ1, КН1811ВУ2, КН1811ВУ3, управления вводом/выводом данных и адресации регистров в КМ1811ВТ1, формирования сигналов управления каналом микро-ЭВМ.

По ШАД во время τ_{CH} осуществляются: обмен информацией между всеми микросхемами МПК, ввод данных, вывод данных, ввод

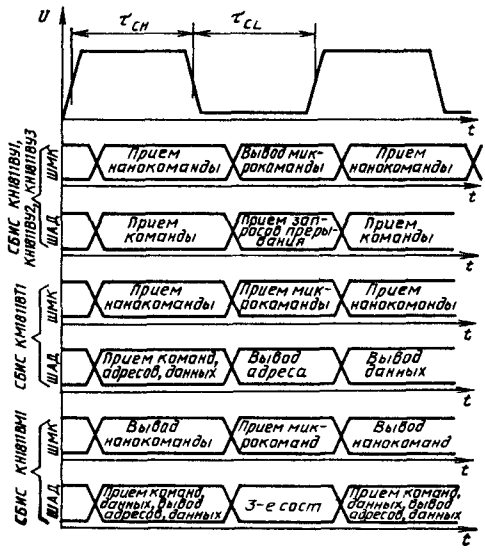


Рис. 17.11. Временная диаграмма работы комплекта микросхем серии КН1811

логических адресов в микросхему КМ1811ВТ1, прием команд от внешних устройств или внешней памяти.

Во время τ_{CL} по ШАД происходят: передача микросхемой КМ1811ВТ1 физического адреса, прием запросов прерываний от внешних устройств.

Система команд аналогична системе команд микро-ЭВМ «Электроника-60».

Расширенный набор команд (135 вместо 72 типов у микро-ЭВМ «Электроника-60») и адресация памяти объемом 256К байт с возможностью расширения от 4М байт обеспечивают микро-ЭВМ, построенной на базе МПК, как программную совместимость с микро-ЭВМ «Электроника-60», так и существенно более расширенную сферу применения.

Возможность наращивания объема памяти микропрограмм позволяет расширять существующий набор команд и создает предпосылки для создания на базе МПК различных управляющих и обрабатывающих устройств.

Архитектурное построение МПК с реализацией принципов микропрограммного управления и конвейерной обработки информации обусловливает высокие технические характеристики и функциональные возможности МПК микросхем серии КН1811. Это обеспечивает эффективное использование МПК для построения высокопроизводительных микро-ЭВМ, имеющих самое широкое применение в различных областях народного хозяйства.

Примером микро-ЭВМ, созданной на основе МПК микросхем серии КН1811 может служить микро-ЭВМ «Электроника МС-1211».

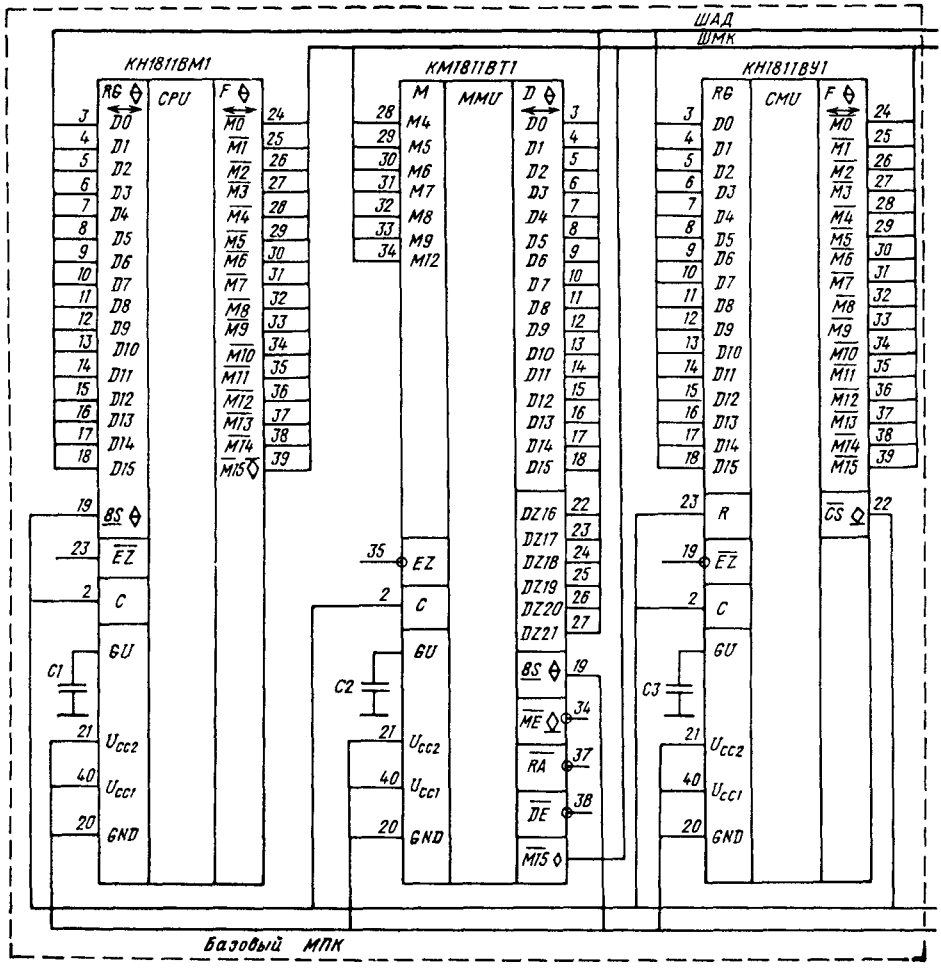


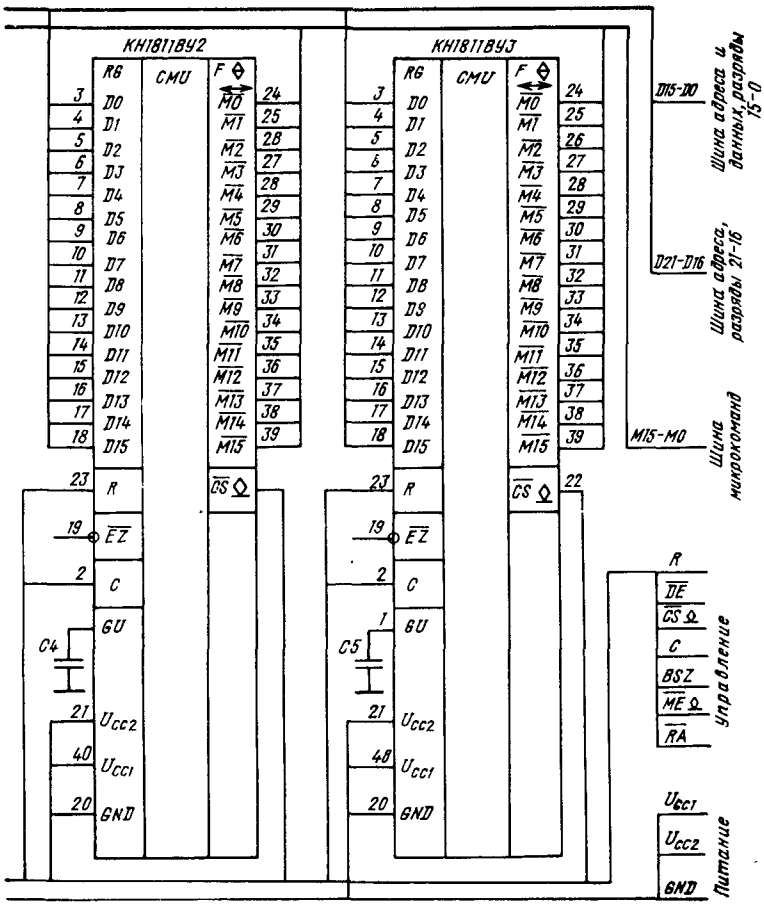
Рис. 17.10. Схема соединения

Глава 18

Микропроцессор серии КМ1813ВЕ1

Микросхема КМ1813ВЕ1 представляет собой однокристальную программируемую микро-ЭВМ с аналоговыми устройствами ввода/вывода, предназначенную для цифровой обработки сигналов в реальном масштабе времени. Она может быть использована для замены аналоговых функциональных узлов в системах, работающих в реальном масштабе времени. Набор команд микро-ЭВМ в сочетании с высокой точностью (25 двоичных разрядов) работы АЛУ позволяет строить на ее основе сложные системы цифровой обработки сигналов (ЦОС) и цифрового динамического управления.

На микро-ЭВМ КМ1813ВЕ1 реализуются типовые функциональные узлы: фильтры нижних и верхних частот, содержащие до 20 комплексных пар полюсов и (или) нулей (фильтр 40-го порядка); детекторы; выпрямители; ограничители; умножители и делители 25-разрядных двоичных чисел; генераторы колебаний и функции — аппроксимация нелинейных функций, например квадратичных, логарифмических, логические операции; мультипликация входных и выходных сигналов и др. Используя возможности непосредственного цифрового ввода/вывода, несколько КМ1813ВЕ1 могут



микросхем серии КН1811

быть объединены в сложные мультипроцессорные системы.

Основные области применения: низкочастотная связь, промышленная автоматика, гидроакустика, геофизика, биомедицина, синтез, анализ и распознавание речи и др.

Микросхема КМ1813ВЕ1, выполненная по n-МДП-технологии, конструктивно реализована в металлокерамическом корпусе типа 2121.28-6(7) с прозрачной для ультрафиолетового излучения крышкой. Напряжение питания $U_{CC1}=+5$ В$\pm5\%$ и $U_{CC2}=-5$ В$+5\%$. Диапазон рабочих температур от —10 до +70 °С. Микросхема имеет два режима функционирования: «Программирование» и «Работа».

Условное графическое обозначение микросхемы и назначение выводов в указанных режимах приведены на рис. 18.1, табл. 18.1 и рис. 18.2, табл. 18.2 соответственно.

Общие характеристики КМ1813ВЕ1

Способ управления . . .	Микропрограммный
Способ синхронизации . .	От внешнего или внутреннего генератора
Разрядность АЛУ	27 бит
Разрядность данных . . .	25 бит
Объем ППЗУ	192×24 бит
Объем ОЗУ	40×25 бит
Возможности масштабирования	2^2—2^{-13}
Разрядность команд . . .	24 бит
Объем памяти коэффициентов	16×4 бит
Устройства ввода/вывода .	Аналоговые и цифровые
Число разрядов АЦП и ЦАП	9 (8+знак)
Число каналов ввода . . .	4
Число каналов вывода . .	8

Таблица 18.1

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—3	OUT3—OUT5	Выходы	Выходные сигналы в аналоговой и (или) цифровой форме
4	GNDA	—	Аналоговый общий
5, 6	OUT6, OUT7	Выходы	Аналоговые сигналы в аналоговой и (или) цифровой форме
7	C1	—	Для подключения внешнего конденсатора выборки и хранения входного сигнала
8	U_{REF}	—	Источник опорного напряжения
9	C2	—	Для подключения внешнего конденсатора выборки и хранения входного сигнала
10	$IN0/\overline{DI}$	Вход	Входной аналоговый сигнал или цифровой последовательный сигнал (ТТЛ уровень)
11	$IN3/\overline{D0}$	Вход/выход	Входной аналоговый сигнал или выходной цифровой последовательный сигнал (открытый сток)
12	U_{CC_2}	—	Напряжение питания —5 В
13	$IN2/\overline{RD}$	Вход/выход	Ввод аналогового сигнала или вывод синхроимпульса «Чтение» (открытый сток)
14	$IN1/\overline{WR}$	Вход	Ввод аналогового сигнала или вывод синхроимпульса «Запись» (открытый сток)
15, 16	Ф1, Ф2/CLK	Входы	Тактирование схемы
17, 20, 23	GNDD	—	Цифровой общий
18	U_{CC_1}	—	Напряжение питания +5 В
19	$\overline{CCLK}$	Выход	Внутренний сигнал синхронизации, частота следования импульсов равна 1/16 частоте следования входных тактовых импульсов (открытый сток)
21	$\overline{RST}/\overline{EOP}$	Вход/выход	Напряжение низкого уровня; возвращает счетчик команд в начальное состояние. Как выходной сигнал, оно указывает на присутствие команды EOP (открытый сток)
22	$\overline{OF}$	Выход	Напряжение низкого уровня; указывает на переполнение АЛУ во время предыдущей команды (открытый сток)
24, 25	M1, M2	—	Определяет режим работы входов/выходов
26—28	OUT0—OUT2	Выходы	Сигналы в аналоговой и (или) цифровой форме

Таблица 18.2

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	D3	Вход/выход	Запись и чтение информации из ППЗУ (открытый сток)
4, 8, 12, 20	GNDD	—	Цифровой общий
17, 18, 25	U_{CC_1}	—	Напряжение питания +5 В
21	$\overline{RST}$	Вход	Установка счетчика адреса слов ППЗУ в начальное состояние
22	$\overline{INCR}$	Вход	Подача импульсов, изменяющих состояние счетчика адреса слов ППЗУ
23	VSP	Вход	Для подключения программирующего напряжения +25 В при записи и +5 В при чтении
24	$PROG/\overline{VER}$	Вход	Управление двунаправленной шиной данных ППЗУ (при чтении ТТЛ низкий уровень)
26—28	D0—D2	Вход/выход	Запись и чтение информации из ППЗУ (открытый сток)

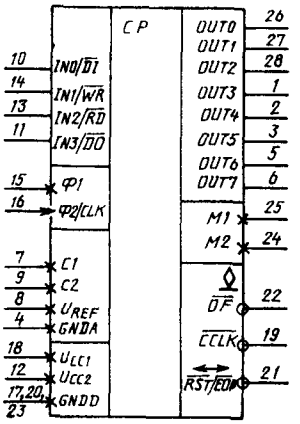


Рис. 18.1. Условное графическое обозначение КМ1813ВЕ1 в режиме «Работа»: +5 В — вывод *18*; —5 В — вывод *12*; ОВ — выводы *17, 20, 23*

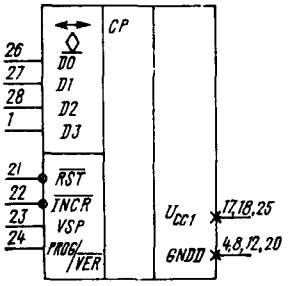


Рис. 18.2. Условное обозначение функций выводов КМ1813ВЕ1 в режиме «Программирование»: +5 В — выводы *17, 18, 25*; ОВ — выводы *4, 8, 12, 20*

Структурная схема КМ1813ВЕ1 — однокристальной перепрограммируемой микро-ЭВМ с аналоговыми устройствами ввода/вывода — показана на рис. 18.3.

Программа, записанная в ППЗУ, управляет работой всех функциональных узлов микросхемы. По заданной в ППЗУ программе микросхема выполняет отсчет значения аналогового или цифрового сигнала по одному из четырех входных каналов, производит выборку и запоминание на внутреннем устройстве выборки и хранения, реализует аналого-цифровое преобразование выборки сигнала и передачу ее цифрового представления на цифровой процессор для обработки в соответствии с заданной программой. Результат обработки передается на цифро-аналоговый преобразователь. Аналоговое представление результата обработки через выходной демультиплексор и выходную схему выборки и хранения подается на любой из восьми выходных каналов в соответствии с управляющей программой. Специальный режим позволяет производить непосредственную обработку цифровых сигналов, т. е. без использования каналов аналого-цифрового и цифро-аналогового преобразований.

Функционально КМ1813ВЕ1 построена по конвейерному принципу таким образом, что обеспечивает одновременную (параллельную) работу аналоговой и цифровой частей микросхемы. Тем самым обеспечивается высокая производительность выполнения операций (около 2 млн. операций/с) и достигается возможность обработки сигналов в реальном масштабе времени.

Цифровая часть микросхемы содержит: перепрограммируемое постоянное запоминающее устройство (ППЗУ), оперативное запоминающее устройство (ОЗУ), двоичное масштабирующее устройство (МУ) и арифметико-логическое устройство (АЛУ). Аналоговая часть схемы содержит: четыре аналоговых входа, вход-

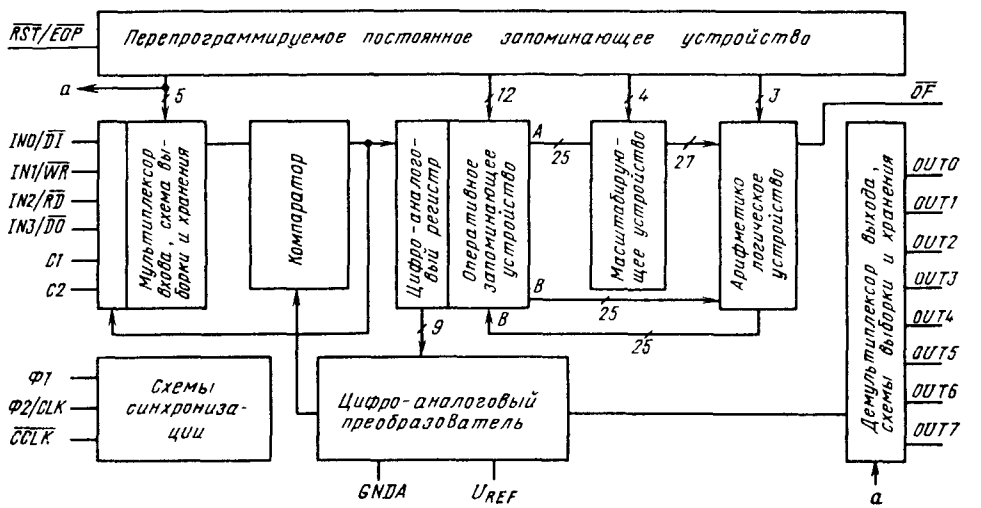


Рис. 18.3. Функциональная схема КМ1813ВЕ1

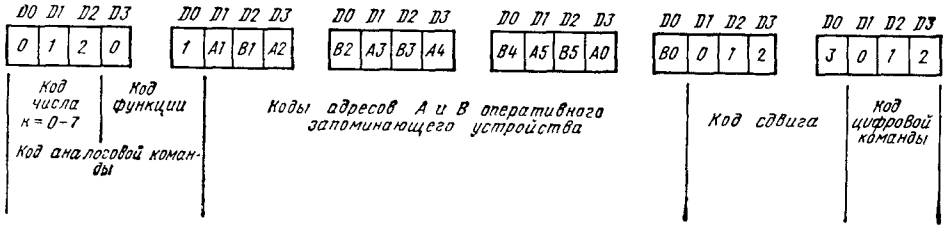


Рис. 18.4. Структура командного слова микросхемы КМ1813ВЕ1

ной мультиплексор, схему выборки и хранения (одну на все четыре канала), аналого-цифровой (АЦП) и цифро-аналоговый преобразователи (ЦАП), выходной мультиплексор, восемь выходных каналов со схемами выборки и хранения. Связь между цифровой и аналоговой частями микросхемы осуществляется через специальный регистр (ЦАР — цифро-аналоговый регистр).

Программная память микросхемы КМ1813ВЕ1 представляет собой ППЗУ с ультрафиолетовым стиранием; ППЗУ содержит 192 командных слова. Командное слово длиной в 24 разряда разбито на пять полей (рис. 18.4), из которых одно управляет работой аналоговой части микросхемы, остальные четыре — цифровой (ОЗУ, МУ, АЛУ).

В режиме «Программирование» 24-разрядное командное слово разбивается на шесть 4-разрядных (*D3, D2, D1, D0*) слов. Следовательно, в режиме «Программирование» ППЗУ имеет организацию 1152×4. Распределение 4-разрядных слов в пределах поля команды показано на рис. 18.4.

В режиме «Работа» производится последовательное считывание содержимого ППЗУ по четыре команды с записью в 96-разрядном буферном регистре. Считывание одной команды буферного регистра производится за четыре такта работы тактового генератора Счетчик программ возвращается в исходное состояние после выполнения последней, 191-й команды, а также после поступления команды «Конец программы» или «Возврат по условию».

Частота выборок сигнала определяется числом команд в программе и временем командного цикла (четыре такта тактового генератора).

Оперативное запоминающее устройство выполняет функции памяти данных и памяти констант. Оно представляет собой двухадресное ОЗУ статического типа с произвольной выборкой и записью, организованной как 40 слов×25 разрядов.

Расширенное поле адресов ОЗУ (64 слова вместо 40 необходимых) используется для образования констант и организации регистра сопряжения (ЦАР) между аналоговой и цифровой частями микросхемы. ОЗУ имеет два порта: порт *A* и порт *B*. По порту *A* осуществляется только считывание информации, которая передается через МУ на один из входов АЛУ в качестве операнда *A*. Через порт *B* информация поступает на второй вход АЛУ в качестве операнда *B*. Результаты вычислений АЛУ записываются в ОЗУ только по порту *B*.

Обращение к константам осуществляется через порт *A* по 16 старшим адресам поля операнда *A* (адреса *A* 11xxxx, где $A5=A4=1$). Константы соответствуют четырем младшим разрядам кода адреса и как 4-разрядное слово передаются через МУ на вход операнда *A* АЛУ. Набор значений программируемых констант и соответствующие мнемокоды приведены в табл. 18.3. Номенклатура значений коэффициентов может быть существенно расширена за счет использования масштабирующего устройства.

Цифро-аналоговый регистр имеет длину в девять разрядов и допускает несколько способов обращений. Как ячейка памяти, ЦАР занимает 9 старших разрядов 25-разрядного слова и допускает обращение по порту *A* и (или) порту *B*, подобно остальным 40 ячейкам памяти ОЗУ. Выход ЦАР подключен непосредственно ко входам ЦАП. Кроме того, ЦАР (9 разрядов) используется как регистр последовательного приближения при аналого-цифровом преобразовании под управлением поля аналоговой команды. При передаче результата аналого-цифрового преобразования в процессор

Таблица 18.3

Мнемоника константы	Значение константы		Мнемоника константы	Значение константы	
	десятичное	двоичное		десятичное	двоичное
КР0	0	0,000	КМ1	—0,125	1,111
КР1	+0,125	0,001	КМ2	—0,150	1,110
КР2	+0,250	0,010	КМ3	—0,375	1,101
КР3	+0,375	0,011	КМ4	—0,500	1,100
КР4	+0,500	0,100	КМ5	—0,625	1,1011
КР5	+0,625	0,101	КМ6	—0,750	1,010
КР6	+0,750	0,110	КМ7	—0,875	1,001
КР7	+0,875	0,111	КМ8	—1,000	1,000

оставшиеся 16 младших разрядов (25-разрядного слова) устанавливаются в 1, что соответствует переводу результата преобразования в дополнительный код. Могут быть также произведены выборка и контроль любого разряда ЦАР для организации выполнения условных команд АЛУ.

Масштабирующее устройство представляет собой арифметический двоичный сдвигатель, расположенный между выходом порта *A* ОЗУ и входом операнда *A* АЛУ. Это позволяет масштабировать операнд *A* на любое значение от 2^2 до 2^{-13} (сдвиг влево на 2 разряда, сдвиг вправо на 13 разрядов). При сдвиге влево освободившиеся правые разряды заполняются нулями, а при сдвиге вправо освободившиеся левые разряды заменяются значениями знакового разряда (дополнительный ход). Подобный сдвиг эквивалентен умножению операнда *A* на 2^k (k принимает значения от —13 до +2). Мнемокоды сдвига МУ и соответствующие значения эквивалентного умножителя операнда *A* как множимого приведены в табл. 18.4.

Таблица 18.4

Мнемокод сдвига	Код операции	Эквивалентный множитель
L01	1110	$2^1=2{,}0$
L02	1101	$2^2=4{,}0$
R00	1111	$2^0=1{,}0$
R01	0000	$2^{-1}=0{,}5$
R02	0001	$2^{-2}=0{,}25$
R03	0010	$2^{-3}=0{,}125$
R04	0011	$2^{-4}=0{,}625$
R05	0100	$2^{-5}=0{,}03125$
R06	0101	$2^{-6}=0{,}015625$
R07	0110	$2^{-7}=0{,}0078125$
R08	0111	$2^{-8}=0{,}00390625$
R09	1000	$2^{-9}=0{,}001953125$
R10	1001	$2^{-10}=0{,}0009765625$
R11	1010	$2^{-11}=0{,}00048828125$
R12	1011	$2^{-12}=0{,}000244140625$
R13	1100	$2^{-13}=0{,}0001220703125$

В АЛУ производятся вычисления в дополнительном коде с 25-разрядной точностью над масштабированным операндом *A* и операндом *B*, поступающим из ОЗУ. Результат вычислений записывается в ОЗУ по адресу операнда *B*. Старший разряд переменной является знаковым, а обычный диапазон переменной x находится в пределах $-1{,}0 \leqslant x < +1{,}0$. Минимальное приращение любой переменной при этом составляет $\delta = 2^{-24} = 5{,}96 \cdot 10^{-8}$. АЛУ имеет логику для работы при выполнении МУ сдвига влево, а именно в случае переполнения эта логика обеспечивает сохранение знакового разряда. Переполнение возникает в тех случаях, когда результат вычисления выходит за пределы разрядной сетки ОЗУ (25 разрядов). Сдвиг влево является частным случаем переполнения. Для обработки режима переполнения в АЛУ предусмотрено расширение разрядной сетки до 27. При работе без переполнений четыре старшие разряды этой разрядной сетки соответствуют значению знакового разряда. В случае переполнения в 26-й и 27-й разряды записывается результат сдвига влево. Для определения переполнения, т. е. того, что конечный результат вышел за пределы границ $-1{,}0 \leqslant x < 1{,}0$, в АЛУ анализируются знаковые разряды операндов *A* и *B*, 26 и 27 разряды АЛУ, а также перенос в знаковый разряд АЛУ.

Для АЛУ могут быть заданы два режима работы с переполнениями: с коррекцией результата и без коррекции результата. В режиме с коррекцией результат заменяется ближайшим максимально допустимым значением переменной с учетом знака (—1,0, если переполнение вызвала отрицательная переменная; +1,0, если переполнение вызвала положительная переменная), и на вывод «Переполнение» выдается сигнал низкого уровня.

В режиме без коррекции результата происходит расширение двоичного значения переменной до 27 разрядов. После выполнения АЛУ соответствующей операции 25 младших разрядов результата вычисления записываются в ОЗУ по адресу операнда *B* и на выводе «Переполнение» всегда высокий уровень.

Входные каналы построены на четырех аналоговых ключах выборки с использованием общего внешнего конденсатора хранения. Для обеспечения точности преобразования меньше 1/2 единицы младшего разряда емкость внешнего конденсатора должна быть около 750 пФ. Время выборки должно быть равно примерно 6-кратному значению постоянной времени *RC*-цепочки схемы выборки и хранения. В микросхеме КМ1813ВЕ1 эта постоянная времени при 750 пФ внешней емкости 750—1000 нс. Необходимое время выборки обеспечивается программным путем. При командном цикле 600 нс микросхемы КМ1813ВЕ1 для этого требуется последовательность из восьми команд ввода. Для систем с большим временем командного цикла необходимо использовать внешний конденсатор с большой емкостью.

Аналого-цифровое преобразование хранимого схемой выборки и хранения отсчета аналогового сигнала реализуется программным путем в соответствии с алгоритмом последовательного приближения с точностью, соответствующей девяти двоичным разрядам, один из которых используется в качестве знакового.

Для программирования используются команды преобразования знакового разряда *CVTS* и преобразования остальных восьми ($k=7$—0) разрядов ЦАР *CVT* (k). Для полного 9-разрядного преобразования при длительности цикла команд 600 нс требуется 34 команды (табл. 18.5). Перед преобразованием необходимо установить нули во всех разрядах ЦАР. Наличие команд типа «Нет операции» *NOP* объясняется необходимостью обеспечения паузы в 1,2 мкс на время установ-

Таблица 18.5

Номер команды	Поле аналоговых команд	Номер команды	Поле аналоговых команд	Номер команды	Поле аналоговых команд
0	*IN(k)*	11	*NOP*	22	*NOP*
1	*IN(k)*	12	*CVT7*	23	*NOP*
2	*IN(k)*	13	*NOP*	24	*CVT3*
3	*IN(k)*	14	*NOP*	25	*NOP*
4	*IN(k)*	15	*CVT6*	26	*NOP*
5	*IN(k)*	16	*NOP*	27	*CVT2*
6	*IN(k)*	17	*NOP*	28	*NOP*
7	*IN(k)*	18	*CVT5*	29	*NOP*
8	*NOP*	19	*NOP*	30	*CVT1*
9	*CVTS*	20	*NOP*	31	*NOP*
10	*NOP*	21	*CVT4*	32	*NOP*
				33	*CVT0*

Примечание. В поле цифровых команд может быть записана любая цифровая команда.

ления ЦАП после преобразования каждого разряда.

Цифро-аналоговое преобразование основано на методе поразрядного взвешивания цифрового представления числа, записанного в ЦАР после обработки на процессоре в соответствии с заданной программой. Результат цифро-аналогового преобразования передается на один из восьми выходных каналов.

Каждый из восьми аналоговых выходных каналов содержит свои схемы выборки и запоминания, демультиплексируемые на буферизированный выход ЦАП. Для обеспечения вывода необходимо соблюдать два правила: на время записи информации в ЦАР выход должен быть отключен; на время установления

Таблица 18.6

Управляющие напряжения		Режим ввода	Режим вывода
M1	M2		
+5 В	+5 В	*IN0—IN3* — аналоговые	*OUT0—OUT7* — аналоговые
+5 В	—5 В	*D1* — цифровой последовательный	*D0* — цифровой последовательный; *OUT0 — OUT3* — аналоговые; *OUT4 — OUT7* — цифровые
—5 В	+5 В	*IN0—IN3* — аналоговые	*OUT0 — OUT3* — цифровые; *OUT4 — OUT7* — аналоговые
—5 В	—5 В	*IN0—IN3* — аналоговые	*OUT0—OUT7* — цифровые

Цифровая команда (3 разряда)	Адрес B (6 разрядов)	Адрес A (6 разрядов)	Код сдвига (4 разряда)	Аналоговая команда (5 разрядов)

Рис. 18.5. Формат командного слова микросхемы КМ1813ВЕ1

ЦАП должны быть использованы три команды *NOP*, а на время установления выходной схемы выборки и хранения — еще несколько команд «Вывод» *OUT (k)* общей длительностью 4,2—4,8 мкс.

Входные и выходные каналы микросхемы могут быть использованы для передачи по ним аналоговых и цифровых сигналов. Установка режимов для ввода и вывода производится по управляющим выводам *M1* и *M2*, на которые подаются напряжения —5 и +5 В в различных сочетаниях. Выводы *M1* и *M2* не могут быть использованы для динамического переключения режимов ввода и вывода. Возможные режимы ввода и вывода при различных сочетаниях *M1* и *M2* приведены в табл. 18.6. В режиме *M1*=+5 В, *M2*=—5 В происходит блокировка входных аналоговых устройств микросхемы и обеспечивается непосредственный последовательный ввод и вывод цифровой информации через регистр ЦАР. Для организации ввода/вывода в этом режиме используются четыре входных канала.

Последовательный ввод осуществляется по командам *CVTS* и *CVT (k)* в такой последовательности: знак, старший разряд ЦАР, младшие разряды ЦАР (s, k=7—0). При этом по каналу $\overline{D1}$ инверсно вводится цифровая информация за исключением знакового разряда. Одновременно в течение выполнения команды *CVT (k)* на канал $\overline{RD}$ подается синхроимпульс низкого уровня.

Последовательный выход осуществляется по команде *OUT (k)* от старшего к младшему разряду регистра ЦАР. При этом из k-го разряда ЦАР по каналу $\overline{D0}$ инверсно выводится цифровая информация. Одновременно в течение выполнения команды *OUT (k)* на канал $\overline{WR}$ подается синхроимпульс низкого уровня.

Уровни сигналов по входу и выходу микросхемы определяются значением внешнего опорного напряжения, которое может находиться в пределах +1÷+2 В. При этом уровни входного и выходного напряжений будет находиться в пределах $\pm U_{REF}$, а единица младшего разряда U_{REF}/256 В. Источник опорного напряжения должен быть тщательно стабилизирован, поскольку любая нестабильность U_{REF} является шумом для ЦАП. Для обеспечения на выходе *OUT0—OUT7* уровня ТТЛ опорное напряжение должно быть более 1,75 В.

В микросхеме КМ1813ВЕ1 для ассемблера используется формат команд, изображенный на рис. 18.5. Систему команд КМ1813ВЕ1 можно разделить на цифровые и аналоговые

команды. В свою очередь, группа цифровых комаид может быть разделена на безусловные, условные и команды условного перехода.

Группа безусловных команд приведеиа в табл. 18.7.

Операция сложения ADD. Команда формирует сумму чисел операндов B и A после сдвига последнего на k разрядов. Результат записывается по адресу операнда B, т. е.

ADD BBB AAA R01 NOP.

Эквивалентная операция на языке ФОРТРАН: $B=B+A*0{,}5$.

Операция вычитания SUB. Команда реализует сложение числа по адресу *AAA*, дополненного до 1, с числом по адресу *BBB*, т. е.

SUB BBB KP3 R00 NOP.

Эта операция означает вычитание постоянной величины 0,375 из переменной величины по адресу *BBB*.

Операция пересылки LDA. Команда производит засылку числа по адресу *AAA*, сдвинутого на k разрядов, в ячейку по адресу *BBB*, т. е.

LDA BBB AAA R01.

Операция исключающее ИЛИ XOR. Команда реализует сложение по модулю 2, т. е.

XOR BBB AAA R00.

Операция логического умножения AND. Комаида реализует поразрядное логическое умножение одной переменной величины на другую в соответствии с правилом

$1\cdot1=1,\ 1\cdot0=0,\ 0\cdot1=0,\ 0\cdot0=0$, т. е.

AND BBB AAA R00.

Операция взятия абсолютной величины ABS. Команда реализует сдвиг числа по адресу *AAA* на заданное число разрядов, определение абсолютного значения и запись результата по адресу *BBB*, т. е.

ABS BBB AAA R00 NOP.

Операция ограничения LIM. Команда реализует присвоение максимально допустимого значения числу по адресу B в зависимости от знака числа по адресу A, т. е. если число A положительное, то числу по адресу B присваивается значение $+1$ (0,111...1), если же число A отрицательное, то по адресу B получим число -1 (1.000...0).

Операция сложения с абсолютным значением ABA. Команда *ABA* складывает абсолютное значение операнда *AAA* с операндом *BBB*, результат записывается по адресу *BBB*.

Группы условных команд и команд условного перехода микросхемы КМ1813ВЕ1 приведены в табл. 18.8 и 18.9 соответственно.

Для организации условных цифровых команд используется команда *CND*, которая записывается в аналоговом поле формата команды (см. рис. 18.5). Команда *CND* может принимать вид *CND (s)*, что означает проверку знакового разряда в регистре ЦАР, или вид *CND (k)*, что означает проверку разрядов числа, записанного в регистре ЦАР. Сказанное относится к командам *LDA CND* и *ADD CND*.

Таблица 18.7

Команда [1]	Код операции (2 1 0)	Число циклов	Алгоритм	Описание команды
ADD	110	1	$(A\times2^N)+B\to B$	Сложение [2]
SUB	101	1	$B-(A\times2^N)\to B$	Вычитание
LDA	111	1	$(A\times2^N)\to B$	Пересылка
XOR	000	1	$(A\times2^N)\oplus B\to B$	Исключающее ИЛИ
AND	001	1	$(A\times2^N)\cdot B\to B$	Логическое И
ABS	011	1	$\lvert(A\times2^N)\rvert\to B$	Абсолютная величина
ABA	100	1	$\lvert(A\times2^N)\rvert+B\to B$	Сложение с абсолютной величиной
LIM	010	1	$+1\to B$, если $A\geqslant0$, $-1\to B$, если $A<0$	Ограничение [3]

[1] Записываются в поле цифровых команд (см рис. 18.5).

[2] N — значение, определяемое мнемокодом масштабирующего устройства: $-13\leqslant N\leqslant+2$.

[3] Наибольшая положительная величина, которая записывается в ячейку ОЗУ по адресу операнда B при выполнении операции *LIM*, равна $(1-2^{-24})$.

В случае *SUB CND* имеют место проверка предыдущего значения бита переноса в знаковый разряд АЛУ CY_p и запись текущего значения переноса CY в k-й разряд регистра ЦАР. В случае *SUB CNDS* инверсное значение текущего значения разряда переноса CY записывается в знаковый разряд ЦАР. При выполнении безусловных операций *LDA, XOR, AND, ABS* разряд переноса обнуляется.

Команда *ABA CND* используется для выключения механизма коррекции результата при переполнении АЛУ, а команда *XOR CND* — для включения механизма коррекции.

Команды *RNZ* и *JNZ* обеспечивают условный переход на фиксированное место в программе: *RNZ* — на начало программы, *JNZ* — на 32 команды вперед. Особенности построения памяти программы определяют необходимость расположения *RNZ* в командном слове, адрес которого делится на 4, т. е. 4, 8, ..., 188. При этом возврат на начало программы по условию происходит после выполнения остальных трех комаид четверки. В свою очередь, *JNZ* необходимо записывать в командном слове, занимающем третий адрес в четверке, а переход по условию на 32 команды вперед происходит после выполнения последующих пяти команд.

Таблица 18.8

Команда: цифровая	Команда: условная[1]	Код цифровой операции[2]	Число циклов	Алгоритм	Описание команды
ADD	*CND*	110	1	$(A\times 2^N)+B\to B$	Если тестируемый разряд ЦАР равен 1
				$B\to B$	Если тестируемый разряд ЦАР равен 0
SUB	*CND*	101	1	$B-(A\cdot 2^N)\to B$	Если предыдущий перенос $CY_p=1$*
				$B+(A\cdot 2^N)\to B$	Если предыдущий перенос $CY_p=0$
LDA	*CND*	111	1	$(A\times 2^N)\to B$	Если тестируемый разряд ЦАР равен 1
				$B\to B$	Если тестируемый разряд ЦАР равен 0
ABA	*CND*	100	1	$\lvert(A+2^N)\rvert+B\to B$	Установка АЛУ в режим без коррекции результата
XOR	*CND*	000	1	$(A\times 2^N)\oplus B\to B$	Установка АЛУ в режим с коррекцией результата

[1] Записывается в поле аналоговых команд (см. рис. 18.5).
[2] Коды условных операций приведены в табл. 18.10.
* Текущее значение переноса записывается в указанный командой *CND* разряд ЦАР. Для случая *CND(s)* инверсное значение переноса CY записывается в знаковый разряд ЦАР.

Группы аналоговых команд микросхемы КМ1813ВЕ1 приведены в табл. 18.10.

Команда IN (k) производит выборку одного из четырех входных каналов. Для обеспечения заряда внешнего конденсатора схемы выборки и хранения с требуемой точностью необходимо использовать подряд несколько команд *IN (k)*.

Команды *CVTS и CVT (k)* предназначены для аналого-цифрового преобразования знакового *CVTS* и *k*-го *CVT (k)* разрядов.

Команда OUT (k) обеспечивает цифро-аналоговое преобразование результата вычислений, хранимого в ЦАР, и выдачу этого результата по одному из восьми выходных каналов. Для учета времени установки ЦАП и выход-

Таблица 18.9

Команда: цифровая	Команда: условная[1]	Описание команды
RNZ	*CND*	Возврат на начало программы, если тестируемый разряд ЦАР равен 1; продолжение программы, если тестируемый разряд ЦАР равен 0
JNZ	*CND*	Переход программы на 32 команды вперед, если тестируемый разряд ЦАР равен 1; продолжение программы, если тестируемый разряд ЦАР равен 0

[1] Записывается в поле аналоговых команд (см. рис. 18.5).

Таблица 18.10

Команда	Код операции: Функции	Код операции: Число *k*	Описание команды
	10	210	
IN(k)	00	000, ..., 011	Выбор одного из четырех входных каналов
OUT(k)	01	000, ..., 111	Выбор одного из восьми выходных каналов
CVTS	00	110	Преобразование знакового разряда ЦАР
CVT(k)	10	000, ..., 111	Аналого-цифровое преобразование *k*-го разряда ЦАР
EOP	00	101	Установка счетчика команд в нуль
NOP	00	100	Нет операции
CNDS	00	111	Выбор (тестирование) знакового разряда ЦАР для условных команд
CND(k)	11	000, ..., 111	Выбор (тестирование) *k*-го разряда ЦАР для условных команд

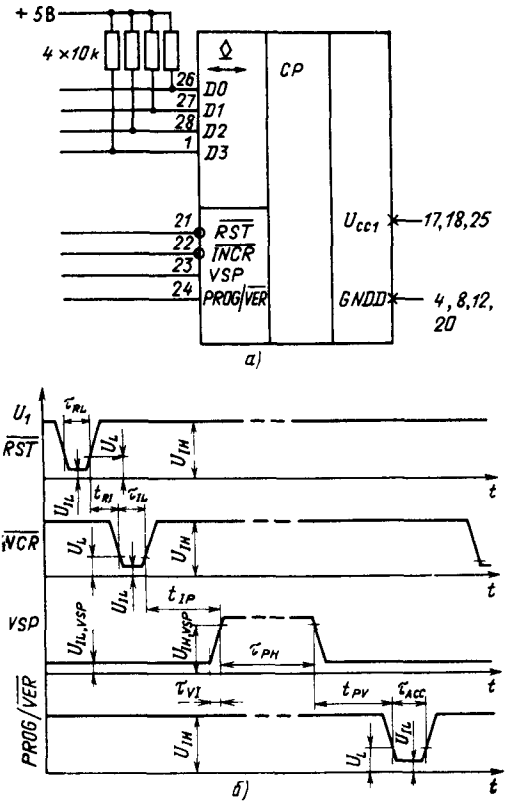


Рис. 18.6. Схема включения КМ1813ВЕ1 (*а*) и временные диаграммы в режиме «Программирование» (б): +5 В — выводы *17, 18, 25*; ОВ — выводы *4, 8, 12, 20*

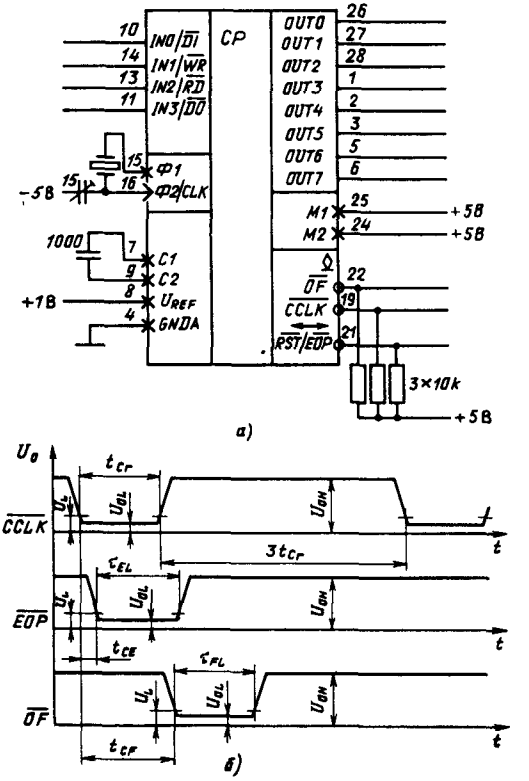


Рис. 18.7. Схема включения КМ1813ВЕ1 (*а*) и временные диаграммы в режиме «Работа» (б): +5 В — вывод *18*; —5 В — вывод *12*; ОВ — выводы *17, 20, 23*

ной схемы выборки и хранения необходимо использовать подряд несколько команд *OUT (k)*.

Команды CNDS и *CND (k)* используются при организации выполнения условных команд АЛУ путем определения состояния знакового или значащих разрядов регистра ЦАР.

Команда EOP фиксирует конец программы и размещается в командном слове, адрес которого делится на 4, т. е. 4, 8, ..., 188, после че-

Таблица 18.11

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Статические параметры в диапазоне температур —10÷ 70 °С (режим «Работа»)				
Входное сопротивление, кОм:	R_I			
в режиме хранения		100	—	—
в режиме выборки		—	2,0	—
Диапазон входного сигнала, В	U_{IN}	$-U_{REF}$	$+U_{REF}$	—
Напряжение опорного источника, В	U_{REF}	+1	+2	—
Нелинейность преобразования, МР:				
аналого-цифрового	δ_{LAD}	—1	+1	$U_{REF}=+1$ В
цифро-аналогового	δ_{LDA}	—1	1	$U_{REF}=+1$ В, $R_L=100$ кОм

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Дифференциальная нелинейность преобразования, МР:				
аналого-цифрового	δ_{LDAD}	−1	+1	$U_{REF}=+1$ В
цифро-аналогового	δ_{LDDA}	−1/2	+1/2	$U_{REF}=+1$ В, $R_L=100$ кОм
Коэффициент цифро-аналогового преобразования, В/В	G_{DA}	0,85	1	—
Входной ток, мкА:				
высокого уровня	I_{IH}	—	15	На выводах $\overline{RST}$, $\overline{DI}$ при $U_{IH}\geqslant 2$ В
низкого уровня	I_{IL}	—	15	На выводах $\overline{RST}$, $\overline{DI}$ при $U_{IL}\leqslant 0{,}8$ В
Выходное напряжение низкого уровня, В	U_{OL}	—	0,4	На выводах $\overline{OF}$, $\overline{EOP}$, $\overline{CCLK}$, $\overline{WR}$, $\overline{RD}$, $\overline{DO}$ и OUT (в цифровом режиме) при $I_{OL}\leqslant 1{,}6$ мА
Выходной ток высокого уровня, мкА	I_{OH}	—	15	На выводах $\overline{OF}$, $\overline{EOP}$, $\overline{CCLK}$, $\overline{WR}$, $\overline{RD}$, $\overline{DO}$ и OUT (в цифровом режиме) при $U_{OH}\geqslant 2{,}4$ В
Ток потребления, мкА:				
от источника опорного напряжения	I_{REF}	100	250	$U_{REF}=+1$ В
от источника питания U_{CC1}, мА	I_{CC1}	—	50	$U_{CC1}=+5{,}25$ В
от источника питания U_{CC2}, мА	I_{CC2}	—	150	$U_{CC2}=-5{,}25$ В
Динамические параметры в диапазоне температур −10÷−70 °С (режим «Работа»)				
Время цикла, нс	T_C	600	8000	Частота тактовых импульсов $f_C=6{,}67$ МГц при -5 В$\leqslant U_{OL/CLK}\leqslant -4{,}5$ В, -1 В$\leqslant U_{OH/CLK}\leqslant 0$ В
Длительность сигнала EOP, нс	τ_{EL}	T_C-150	T_C	—
Длительность сигнала OF, нс	τ_{FL}	T_C-200	T_C	—
Время задержки сигнала EOP относительно сигнала $CCLK$, нс	t_{CE}	80	200	—
Время задержки сигнала OF относительно сигнала $CCLK$, нс	t_{CF}	—	T_C	—
Статические параметры в режиме «Программирование» при +25±10 °С				
Входной ток низкого уровня, мкА	I_{ILP}	—	15	На выводах $\overline{RST}$, $\overline{INCR}$, $PROG/\overline{VER}$, $D0$—$D3$ при $U_{IL}\leqslant 0{,}8$ В
Входной ток высокого уровня, мкА	I_{IHP}	—	15	На выводах $\overline{RST}$, $\overline{INCR}$, $PROG/\overline{VER}$, $D0$—$D3$ при $U_{IN}\geqslant +2{,}0$ В
Выходное напряжение низкого уровня, В	U_{OLP}	—	0,8	На выводах $D0$—$D3$ при $I_{OL}\leqslant 2$ мА; 4,75 В$\leqslant U_{IL,VSP}\leqslant 5{,}0$ В
Выходной ток высокого уровня, мкА	I_{OHP}	—	15	На выводах $\overline{RST}$, $\overline{INCR}$, $PROG/\overline{VER}$, $D0$—$D3$ при $U_{IN}\geqslant +2{,}0$ В
Входной ток высокого уровня программирующий, мА	$I_{IH,VSP}$	—	20	24 В$\leqslant U_{IH,VSP}\leqslant +25$ В
Ток потребления от источника питания U_{CC1}, мА	I_{CC1P}	—	150	$U_{CC1}=+5{,}25$ В

Параметр	Обозначение	Значения параметров		Режим измерения
		мин.	макс.	
Динамические параметры в режиме «Программирование» при +25±10 °С				
Длительность сигнала $\overline{RST}$, мкс	τ_{RL}	2	—	—
Длительность сигнала $\overline{INCR}$, мкс	τ_{IL}	2	—	—
Длительность сигнала программирования *VSP*, мс	τ_{PH}	45	55	—
Длительность сигнала $PROG/\overline{VER}$, мкс	τ_{ACC}	20	—	—
Время задержки сигнала *VSP* относительно сигнала $\overline{INCR}$, мкс	t_{IP}	7	—	—
Время задержки сигнала $\overline{INCR}$ относительно сигнала $\overline{RST}$, мкс	t_{RI}	1	—	—
Время задержки сигнала $\overline{PROG}/\overline{VER}$ относительно сигнала *VSP*, мкс	t_{PV}	9	—	—
Длительность фронта сигнала *VSP*, мкс	τ_{VI}	100	1000	—

Примечание. Отчет временных параметров микросхемы производится на уровне $U_L = +0{,}8$ В.

го выполняются оставшиеся три команды четверки.

Команда NOP означает отсутствие аналоговой операции.

Таблица 18.12

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Напряжение питания, В	U_{CC1}	4,75	5,25
	U_{CC2}	—5,25	—4,75
Напряжение опорного источника, В	U_{REF}	1	2
Входное напряжение высокого уровня сигнала *VSP*, В	U_{HVSP}	23,5	25
Входное напряжение низкого уровня сигнала *VSP*, В	U_{LVSP}	5	5,25
Входное напряжение низкого уровня, В	U_{IL}	—	0,8
Входное напряжение высокого уровня, В	U_{IH}	2,0	—
Выходное напряжение низкого уровня, В	U_{OI}	—	0,4
Тактовая частота, МГц	f_C	0,5	6,67
Потребляемая мощность, Вт	P_{CC}	—	1,0

Электрические параметры микросхемы приведены в табл. 18.11, предельные допустимые значения электрических режимов — в табл. 18.12.

Схемы включения микросхемы КМ1813ВЕ1 и соответствующие им временные диаграммы для обеспечения режимов «Программирование» и «Работа» приведены на рис. 18.6 и 18.7 соответственно.

Рекомендации по применению

Основное назначение КМ1813ВЕ1 — цифровая обработка аналоговых (непрерывных) сигналов. Цифровая обработка сигналов (ЦОС) базируется на теореме отсчетов, согласно которой для обеспечения достоверной обработки непрерывного сигнала частота взятия отсчетов должна быть вдвое больше максимальной частоты обрабатываемого сигнала.

Теорема отсчетов в комплексе с параметрами КМ1813ВЕ1 устанавливает основные ограничения по применению данной микросхемы.

Частота отсчетов определяется длиной программы (число командных слов), записанной в программной памяти, и временем цикла выполнения одной команды:

$$f_s = 1/mt_s,$$

где f_s — частота взятия отсчетов; m — число командных слов в программе; t_s — время цикла.

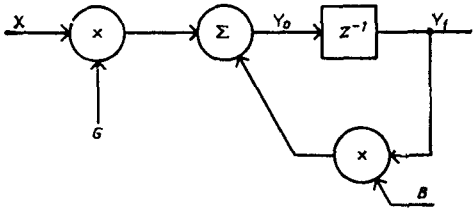


Рис. 18.8. Реализация действительного полюса цифрового фильтра

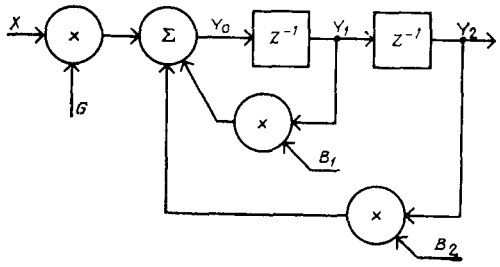


Рис. 18.9. Реализация комплексно-сопряженного полюса цифрового фильтра

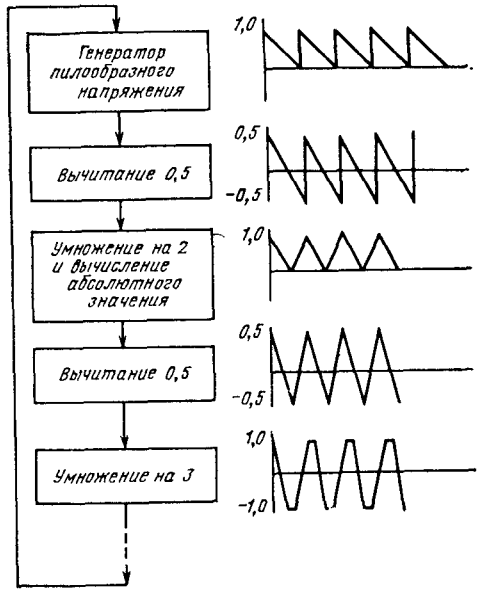


Рис. 18.10. Способ реализации генератора на микросхеме КМ1813ВЕ1

Максимально допустимая частота обрабатываемого непрерывного сигнала $f_{max} \leqslant f_s/2$.

Важным требованием является сохранение постоянной длины программы при взятии каждого последующего отсчета. Это требование необходимо соблюдать также при использовании команд *RNZ* и *JNZ*.

Функциональная сложность узлов, реализуемых на КМ1813ВЕ1, определяется емкостью программной и оперативной памяти микросхемы. Так, для реализации одного полюса элементарного цифрового фильтра требуется одно слово оперативной памяти, т. е. емкость ОЗУ допускает реализацию 40 полюсов. Если учесть, что в самом элементарном случае для реализации цифрового фильтра второго порядка требуется 10 команд КМ1813ВЕ1, то предельная эквивалентная функциональная сложность микросхемы характеризуется 19 звеньями цифрового фильтра второго порядка. Превышение этого показателя может быть достигнуто за счет использования команды *RNZ* при наличии звеньев фильтра с одинаковыми передаточными функциями.

Реализация любого звена цифрового фильтра обеспечивается выполнением трех операций: единичной задержки, сложения и умножения. Для реализации единичной задержки, т. е. задержки на один интервал выборки, используется промежуточное хранение соответствующих данных в ячейке ОЗУ в сочетании с командой *LDA*. Умножение реализуется как сочетание операций сложения и вычитания.

Для реализации действительного полюса цифрового фильтра (рис. 18.8), который описывается передаточной функцией

$$H(z) = \frac{1}{1 - z^{-1} e^{\sigma T}},$$

где T — период дискретизации; σ — действительное значение полюса, и имеет $B = e^{-\sigma T} = 0{,}9922$, а усиление по постоянному току $G = (1-B)^{-1} = 0{,}0078125$, программа, написанная в системе команд КМ1813ВЕ1, будет иметь следующий вид:

LDA Y1 Y0 R00 NOP Пересылка

*LDA Y0 Y1 R00 NOP Y0 = 1,0*Y1*

*SUB Y0 Y1 R07 NOP Y0 = B*Y1*

*ADD Y0 X R07 NOP Y0 = B*Y1 + G*X.*

Случаю комплексно-сопряженного полюса (рис. 18.9)

$$H(z) = \frac{1}{1 - B_1 z^{-1} + B_2 z^{-2}};$$

$$B_1 = 2e^{-\sigma T} \cos \omega T; \quad B_2 = -e^{-2\sigma T},$$

где ω — мнимая часть полюса при $B_1 = 1{,}7656 = 2^1 - 2^{-2} + 2^{-6}$; $B_2 = 0{,}99414 = 2^0 - 2^{-7} + 2^{-9}$; $G = 0{,}00293 = 2^{-8} - 2^{-10}$, соответствует следующая программа:

LDA Y2 Y1 R00 NOP Пересылка

LDA Y2 Y0 R00 NOP Пересылка

LDA Y0 Y1 L01 NOP

SUB Y0 Y1 R02 NOP

*ADD Y0 Y1 R06 NOP Y0 = B1*Y1*

SUB Y0 Y2 R00 NOP

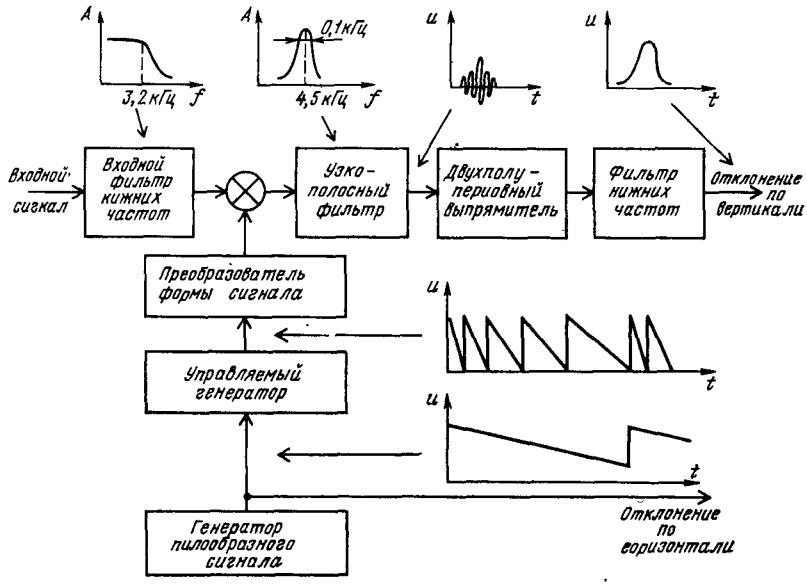


Рис. 18.11. Структурная схема анализатора спектра, реализованного на одной микросхеме КМ1813ВЕ1

ADD Y0 Y2 R07 NOP

*SUB Y0 Y2 R09 NOP Y0 B1*Y1+B2*Y2*

ADD Y0 X R08 NOP

*SUB Y0 X R10 NOP Y0 — B1*Y1+B2*Y2 + + G*X.*

Исходя из тех же соображений, на КМ1813ВЕ1 могут быть реализованы действительные нули и комплексно-сопряженные нули.

Генератор пилообразного напряжения может быть реализован с помощью операции вычитания положительной константы $K1$ из значения ячейки памяти, повторяемой один раз за каждый период выборки (время прохождения программы). Если результат становится отрицательным, то к значению ячейки памяти прибавляется положительная константа $K2 > K1$. Такой генератор формирует пилообразное напряжение с отрицательным наклоном и частотой $(K1/K2)\cdot f_s$, где f_s — частота выборки (дискретизации). При переменном $K1$ получаем генератор, управляемый напряжением. Кусочно-линейная аппроксимация синусоидального сигнала может быть получена из генератора пилообразной формы при $K2=1{,}0$ (рис. 18.10). Программа реализации генератора имеет вид:

LDA Y OSG R00 NOP Пилообразный от +1 до 0 В

SUB Y KP4 R00 NOP Пилообразный от +0,5 до —0,5 В

ABS Y Y L01 NOP Треугольный от 0 до 1,0 В

SUB Y KP4 R00 NOP Треугольный от 0,5 до 0,5 В

ADD Y Y L01 NOP Срезанный треугольный,

где *OSG* — ячейка для хранения значений пилообразного напряжения от +1 до 0 В.

На одной микросхеме КМ1813ВЕ1 могут быть реализованы такие сложные в функциональном отношении устройства, как анализаторы спектра, корреляторы, синтезаторы речи и др. В качестве примера на рис. 18.11 показана структурная схема анализатора спектра, построенного на одной микросхеме КМ1813ВЕ1

Глава 19

Микропроцессоры серии К1814

Интегральные микросхемы серии К1814, выполненные по *p*-МДП-технологии, представляют собой однокристальные 4-разрядные микро-ЭВМ, предназначены для построения микропроцессорных систем управления. В серию входят:

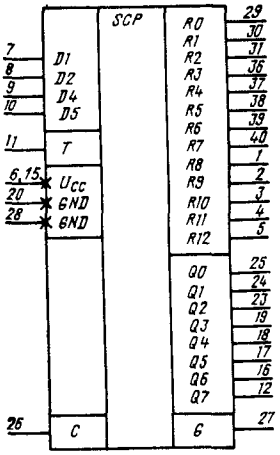


Рис. 19.1. Условное графическое обозначение однокристальной микро-ЭВМ

Таблица 19.1

Параметр	Обозначение	Значения параметров	
		мин.	макс.
Напряжение питания, В	U_{CC}	—9,9	—8,1
Входное напряжение низкого уровня, В	U_{IL}	—	—4
Входное напряжение высокого уровня, В	U_{IH}	—0,75	—
Потребляемая мощность, мВт	P_{CC}	—	70
Тактовая частота, кГц	—	100	350
Рабочий диапазон температур, °С	T	—10	+70

Таблица 19.2

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1—5, 29—31, 36—40	R8—R12, R0—R2, R3—R7	Выход	Порт R
7—10	D1, D2, D4, D5	Вход	Порт D
12, 16—19, 23—25	Q7—Q0	Выход	Порт Q
11	Г	Вход	Сброс, тест
27	G	Выход	Тактовый сигнал
26	C	Вход	Тактовый сигнал
6, 15	U_{CC}	—	Напряжение питания
20, 28	GND	—	Общий

Примечание. Выводы 13—15, 21, 22, 32—35 микросхемы не задействованы

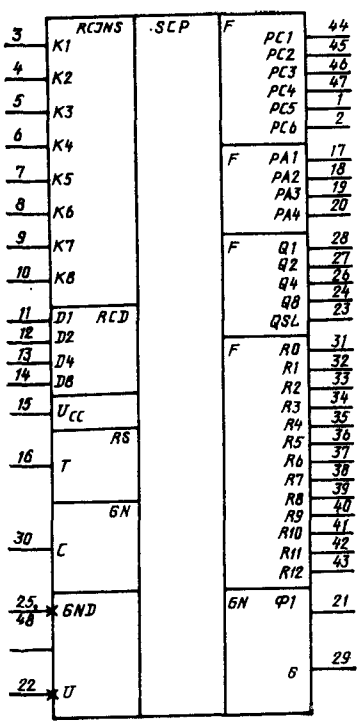


Рис. 19.2. Условное графическое обозначение универсальной микро-ЭВМ

Таблица 19.3

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 2	PC5, PC6	Выход	Порт счетчика команд
3—10	K1—K8	Вход	Порт шины команд
11—14	D1, D2, D4, D8	Вход	Порт данных
15	U_{CC}		Напряжение питания
16	T	Вход	Сброс
17—20	PA1, PA2, PA3, PA4	Выход	Порт адреса страницы
21	Ф1	Вход	Фазовый сигнал
22	U	—	Технологический вывод
23, 24, 26—28	QSL, Q8, Q4, Q2, Q1	Выход	Порт Q
25, 48	GND		Общий
29	G	Выход	Тактовый сигнал
30	C	Вход	Тактовый сигнал
31—43	R0—R12	Выход	Порт R
44—47	PC1—PC4	Выход	Порт счетчика команд

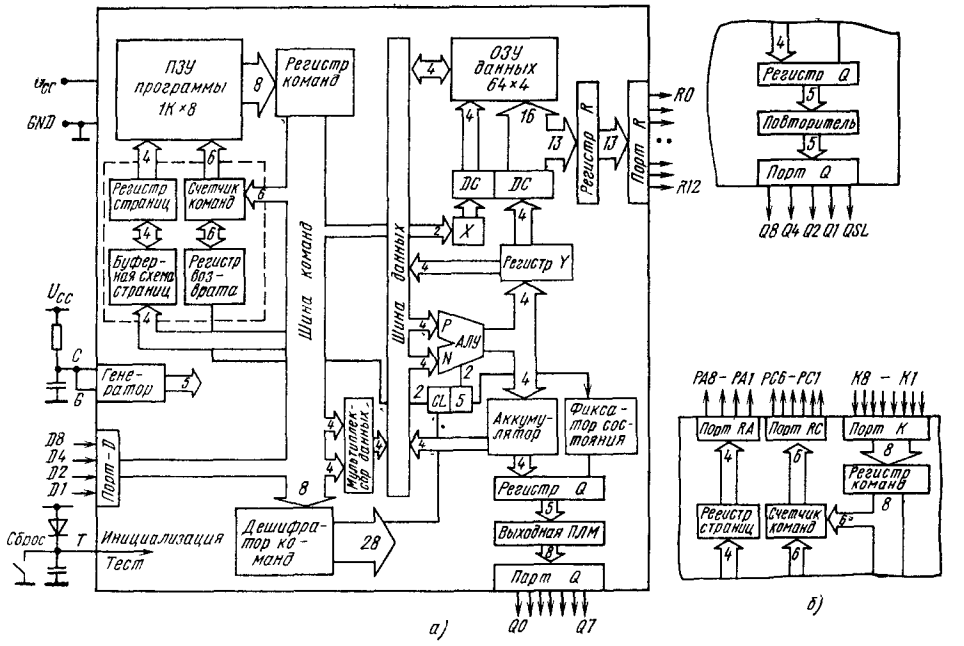


Рис 19.3 Архитектура однокристальной микро-ЭВМ (*а*) и отличительные особенности универсальной микро-ЭВМ (*б*)

однокристальная микро-ЭВМ (ОМ ЭВМ), которая содержит 4-разрядный процессор, ПЗУ программы емкостью 1К 8-разрядных команд, ОЗУ данных емкостью 64 4-разрядных слова, схемы ввода/вывода и встроенный тактовый генератор (КР1814ВЕ4);

универсальная микро-ЭВМ (УМ ЭВМ), идентичная по архитектуре однокристальной и отличающаяся тем, что адресует внешние ЗУ программ и управляет внешней выходной ПЛМ (КР1814ВЕ3).

Однокристальные микро-ЭВМ выполняют функции специализированных микроконтроллеров в соответствии с программой, хранящейся в масочно-программируемом ПЗУ, и могут быть применены в периферийных устройствах вычислительной техники, различной контрольно-измерительной, медицинской и бытовой аппаратуре. Универсальная микро-ЭВМ предназначена для отладки программ в составе отладочных устройств и для самостоятельного применения в изделиях, производимых в малом количестве, когда разработка однокристального варианта экономически не целесообразна.

Условные графические обозначения микросхем ОМ ЭВМ и УМ ЭВМ приведены на рис. 19.1 и рис. 19.2 соответственно, функциональное назначение выводов микросхем ОМ ЭВМ показано в табл. 19 2, УМ ЭВМ — в табл. 19.3.

Электрические параметры и режимы эксплуатации микросхем серии К1814 приведены в табл. 19.1.

Структурная схема ОМ ЭВМ и отличительные особенности УМ ЭВМ приведены на рис. 19.3, *а, б*. Микро-ЭВМ построена с разделением шин команд и данных, что позволяет использовать данные и команды независимой разрядности, а также реализовать конвейерный принцип выполнения операции. Четырехразрядная организация достаточна для выполнения большинства контроллерных функций и особенно удобна при использовании двоично-десятичной арифметики.

Разделение шин команд и данных обусловливает аппаратное и программное разделение адресации памяти и ОЗУ данных.

Адресное поле 1К разбито на 16 страниц по 64 байта. Адрес страницы задается 4-разрядным регистром адреса страницы (РА), а 6-разрядный счетчик команд (РС) адресует 64 команды внутри каждой страницы. РС не является последовательным счетчиком. Счет осуществляется по псевдослучайному закону, приведенному в табл. 19.4. Изменение порядка выборки команд программы осуществляется командами условного перехода *BR*, возврата из подпрограммы *RETN* По командам *BR* и *CALL* осуществляется занесение РС 6-разрядного адрсса перехода из адресного поля *W* этих команд. Одновременно в РА загружается 4-разрядный адрес страницы перехода из буферного регистра адреса страницы РВ.

Для реализации длинных ветвлений в РВ перед командами *BR* или *CALL* загружают страницы перехода из поля команды *LDP* Если содержимое РА и РВ одинаково, то происходит короткое ветвление программы (переход на той же странице), если в РА из РВ загружается содержимое новой страницы, то

Таблица 19.4

Номер команды	Восьмеричное значение РС	Номер команды	Восьмеричное значение РС	Номер команды	Восьмеричное значение РС	Номер команды	Восьмеричное значение РС
0	00	16	47	32	34	48	42
1	01	17	16	33	70	49	04
2	03	18	35	34	61	50	11
3	07	19	72	35	43	51	23
4	17	20	65	36	06	52	46
5	37	21	53	37	15	53	14
6	77	22	26	38	33	54	31
7	76	23	54	39	66	55	62
8	75	24	30	40	55	56	45
9	73	25	60	41	32	57	12
10	67	26	41	42	64	58	25
11	57	27	02	43	51	59	52
12	36	28	05	44	22	60	24
13	74	29	13	45	44	61	50
14	71	30	27	46	10	62	20
15	63	31	56	47	21	63	40

происходит длинное ветвление программы с переходом на другую страницу памяти. В случае команды *CALL* в регистре возврата из подпрограммы *SR* запоминается адрес возврата в основную программу, а в РВ запоминается адрес страницы основной программы.

По команде *RETN* происходит возврат в исходную программу; при этом содержимое РВ пересылается в РА, а содержимое *SR* — в РС. Команды *BR* и *CALL* условны по состоянию триггера состояния *S* и выполняются, если $S=1$. В противном случае ветвления не происходит и в следующем цикле РС адресует следующую команду программы. Такая структура адресации памяти программ проста в программировании, но не позволяет осуществлять вложение подпрограмм и длинные ветвления в подпрограмме.

Структура адресации ОЗУ данных также страничного типа. ОЗУ емкостью 64×4 бит разбито на четыре страницы по 16 4-разрядных слова. Адрес страницы задается 2-разрядным регистром *X*, адрес слова внутри каждой страницы задается регистром *Y*. В отличие от регистра *X* регистр *Y* участвует в операциях АЛУ и является регистром общего назначения (РОН). Изменение содержимого регистра *X* осуществляется по командам «Загрузить регистр *X*» *(LDX)* и «Образовать дополнение содержимого регистра *X*» *(COMX)*

Четырехразрядное АЛУ выполняет операции сложения, вычитания, арифметического и логического сравнения над операциями, поступающими с шины данных через входные мультиплексоры. Результат арифметической операции через выходной селектор в соответствии с микрокомандами отсылается в один из РОН, аккумулятор или регистр *Y*. Одновременно с арифметическими операциями АЛУ производит сравнение входных величин и выработку признака равенства или неравенства операндов. Результат сравнения *(NE)* или содержимое разряда переноса *(CR)* соответствующими микрокомандами могут пересылаться в триггер состояния.

Входными операндами АЛУ могут быть выходные коды регистра *Y*, ОЗУ, мультиплексора данных СДВ, прямой или инверсный код аккумулятора, константа 15.

Мультиплексор данных СДВ представляет собой логическую схему, предназначенную для выбора и передачи на шину данных входной информации из порта *D*, константы *C* с шины команд или битовой маски для маскирования разрядов при выполнении операций над битами.

Пересылки данных в РОН осуществляются через АЛУ путем сложения их с нулями.

Базовая система команд (табл. 19.5) содержит 43 команды. Выполняемые операции: пересылка, арифметические, арифметическое и логическое сравнение, поразрядная обработка слов памяти, загрузка констант, ввода/вывода, адресации. Все команды однобайтовые и имеют один из четырех форматов согласно табл. 19.6. Декодирование кодов команд и формирование сигналов управления осуществляются дешифратором команд. На выходе дешифратора формируется горизонтальный микрокод, разряды которого инициируют выполнение микрооперации. Часть дешифратора выполнена на базе ПЛМ мощностью в 30 произведений, причем матрица «И» ПЛМ осуществляет непосредственное декодирование кода команды, а матрица «ИЛИ» выполняет функции памяти микропрограмм. Управляющие сигналы, возбуждаемые на выходе ПЛМ, инициируют выполнение комбинаций из 16 программируемых микроопераций. Для обеспечения возможности формирования сложных команд типа «Чтение—операция—запись» выбрана организация выполнения микроопераций, обычная для горизонтального микропрограммирования.

Для некоторых операций, связанных с адресацией, вводом и модификацией разрядов, достаточно произвести одну микрооперацию, причем эти микрооперации не используются в совокупности с другими микрооперациями в одном командном цикле. Поэтому с целью экономии микропрограммной ПЛМ формирование сигналов управления для данных операций осуществляется непосредственно на выходе дешифратора (матрица «И» ПЛМ).

Слово состояния программы определяется содержанием триггера признака подпрограммы *CL* и триггера состояния *S*. Триггер признака подпрограммы устанавливается командой *CALL* и определяет занесение адреса возврата в регистр возврата и буфер страницы и блокировку длинных переходов в режиме вызова. Таким образом, длина подпрограммы не может превышать 64 команды. Сброс триггера производится при возвращении в основную программу по команде *RETN*.

Таблица 19.5

Тип команд	Мнемоника команд	Код операции (двоичный)	Состояние PC	Описание команды
Пересылки	*TAY*	00100100	1	Переслать содержимое аккумулятора в регистр *Y*
	TYA	00100011	1	Переслать содержимое регистра *Y* в аккумулятор
	TAM	00000011	1	Переслать содержимое аккумулятора в память
	TAMIY	00100000	1	Переслать содержимое аккумулятора, инкремент регистра *Y*
	TAMZA	00000100	1	Переслать содержимое аккумулятора в память, очистить аккумулятор
	TMY	00100010	1	Переслать содержимое памяти в регистр *Y*
	TMA	00100001	1	Переслать содержимое памяти в аккумулятор
	XMA	00101110	1	Поменять содержимое памяти и аккумулятора
	CLA	00101111	1	Очистить аккумулятор
Засылки констант	*TCY*	0010(C)	1	Загрузить константу в регистр *Y*
	TCMIY	0110(C)	1	Загрузить константу в память, увеличить регистр *Y*
Арифметические операции	*AMMAC*	00100101	*CR*	Сложить содержимое аккумулятора и памяти, результат переслать в аккумулятор
	SAMAN	00100111	*CR*	Вычесть содержимое аккумулятора из памяти, результат переслать в аккумулятор
	IMAC	00101000	*CR*	Инкремент содержимого памяти и загрузить в аккумулятор
	DMAN	00101010	*CR*	Декремент содержимого памяти и загрузить в аккумулятор
	IA	00001110	1	Инкремент содержимого аккумулятора
	DAN	00000111	*CR*	Декремент содержимого аккумулятора
	IYC	00101100	*CR*	Инкремент содержимого регистра *Y*
	DYN	00101100	*CR*	Декремент содержимого регистра *Y*
	A6AAC	00000110	*CR*	Увеличить содержимое аккумулятора на 6
	A8AAC	00000001	*CR*	Увеличить содержимое аккумулятора на 8
	A10AAC	00000101	*CR*	Увеличить содержимое аккумулятора на 10
	CPAIZ	00101101	*CR*	Образовать дополнение аккумулятора до 2, установить триггер состояния
Сравнения	*ALEM*	00101001	*CR*	Если аккумулятор меньше или равен памяти, то установить триггер состояния
	ALEC	0111(C)	*CR*	Если аккумулятор меньше или равен константе, то установить триггер состояния
	MNEZ	C0100110	*NE*	Если содержимое памяти не равно 0, то установить триггер состояния
	YNEA	00000010	*NE*	Если содержимое регистра *Y* не равно аккумулятору, то установить триггер состояния, бит состояния переслать в фиксатор состояния
	YNEC	0101(C)	*NE*	Если содержимое регистра *Y* не равно константе, то установить триггер состояния
Побитовой обработки памяти	*SBIT*	001100B	1	Установить бит памяти
	RBIT	001101B	1	Сбросить бит памяти
	TBITI	001110B	*NE*	Проверить бит памяти, и если 1, то установить триггер состояния
Адресации страниц ОЗУ	*LDX*	001111B	1	Загрузить константу в регистр *X*
	COMX	00000000	1	Инвертировать содержимое регистра *X*
	LDP	0001(C)	1	Загрузить константу в буфер адреса страницы
	BR	10(W)	1	Переход, условно по состоянию
	CALL	11(W)	1	Обращение к подпрограмме, условно по состоянию

Тип команд	Мнемоника команд	Код операции (двоичный)	Состояние PC	Описание команды
Ввод/вывод	*RETN*	00001111	1	Возврат из подпрограммы
	DNEZ	00001001	*NE*	Если входные данные не равны 0, то установить триггер состояния
	TDA	00001000	1	Переслать входные данные в аккумулятор
	SETR	00001101	1	Установить разряд регистра *R*
	TIQ	00001010	1	Переслать содержание аккумулятора и фиксатора состояния в регистр *Q*
	CLQ	00001011	1	Очистить регистр *Q*
	PSTR	00001100	1	Сбросить разряды регистра *R*

Примечание. *CR* — перенос в результате арифметической операции, перенос-заем; *NE* — результат компарации ($NE=1$, если операнды не равны); (C) — код константы; (W) — 6-разрядное поле адреса перехода.

Триггер состояния определяет разрешение передач управления. Содержимое триггера определяется командой, выполненной в предыдущем цикле. В зависимости от команды (см. табл. 19.5) триггер состояния принимает безусловное значение 1, значение разряда переноса сумматора, либо результата сравнения операндов компаратором. Содержимое триггера состояния через выходной фиксатор состояния *SL* может быть выведено в выходной регистр *Q*. Фиксатор состояния может быть модифицирован только командой *YNEA*.

Микро-ЭВМ имеет раздельные схемы ввода и вывода, позволяющие параллельно вводить входные данные и выводить содержимое двух выходных регистров *Q* и *R* на раздельные порты вывода.

Входные данные вводятся в схему через 4-разрядный входной порт *D* и далее через мультиплексор данных поступают на шину данных. Входная информация из порта *D* может пересылаться в аккумулятор по команде *TDA* или в АЛУ для проверки на нуль по

Таблица 19.6

Формат команды	Разряд кода команды							
	K8	*K7*	*K6*	*K5*	*K4*	*K3*	*K2*	*K1*
I	КОП		MSB				(W)	LSB
II	КОП				LSB		(C)	MSB
III	КОП						LSB (B)	MSB
IV	КОП							

Примечание. *K8—K1* — разряды кода команды, (W) — 6-разрядное поле адреса перехода; (C)—4-разрядное поле константы или адреса страницы программной памяти; (B) — 2-разрядное поле бита ячейки ОЗУ.

команде *DNEZ*. Выходной регистр *Q* используется для параллельного вывода данных. Запись в регистр *Q* производится по команде вывода *TIQ;* при этом содержимое аккумулятора и фиксатора состояния *SL* пересылается в регистр *Q*.

Для удобства представления выходной информации порта *Q*, например на 7-сегментном индикаторе или другом устройстве отображения информации, в схеме имеется выходной шифратор информации, выполненный на базе ПЛМ мощностью 20 произведений. Матрица «ИЛИ» ПЛМ имеет восемь выходных линий в соответствии с разрядностью порта *Q*. Программирование выходной ПЛМ производится маской на стадии изготовления в соответствии с требованиями пользователя. В универсальной микро-ЭВМ выходная ПЛМ кодируется как повторитель.

Выходной регистр *R* имеет 13 индивидуально программируемых ячеек памяти. В одном командном цикле может быть установлена (командой *SETR*) или сброшена (командой *RSTR*) только одна ячейка регистра *R*, адресуемая текущим содержимым регистра *Y*.

Все ячейки регистра *R* имеют параллельный выход на выводы порта *R*. Индивидуальное программирование выходных линий порта *R* позволяет эффективно использовать их для непосредственного управления исполнительными устройствами, стробирования входных и выходных данных, сканирования клавиатуры, дисплея и других применений.

Разделение шин команд и данных позволяет организовать двухуровневый конвейер операций, совместив цикл выборки и исполнительный цикл соседних команд. При такой организации время выполнения операций определяется длительностью машинного цикла микро-ЭВМ, а не полного цикла команды. Длительность машинного цикла составляет 6 тактов генератора или 20 мкс на частоте 300 кГц и одинакова для всех команд, что очень удобно при программировании задач реального времени. Синхронизация схемы в пределах цикла

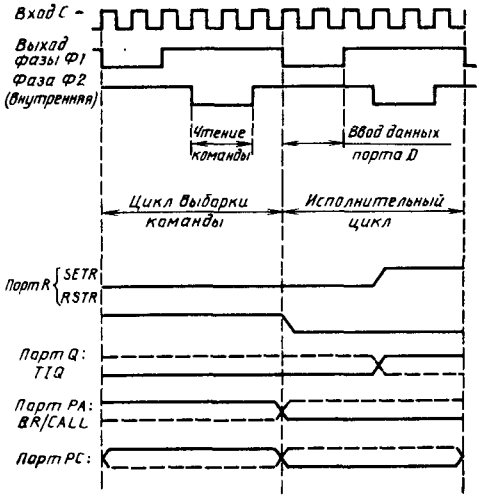


Рис. 19.4. Временные диаграммы работы микро-ЭВМ серии К1814

осуществляется пятью фазами, часть которых приведена на рис. 19.4. Здесь же указаны временные интервалы выполнения различных микроопераций, для команд вывода приведены временные диаграммы.

При включении питания специальной схемой производится начальная установка микросхемы в исходное состояние: $PA=PB=15$, $PC=0$, $Q=0$, $R=0$, $CL=0$. Поддержка внутренней схемы инициализации при работе с источниками питания, не обеспечивающими крутой фронт нарастания напряжения в микросхеме, обеспечивается по выводу T путем создания задержки установки уровня нуля на данном выводе внешней емкостью. Разряд емкости при отключении питания производится внешним диодом. Сброс микро-ЭВМ в начальное состояние осуществляется путем установки на выводе T напряжения высокого уровня на время не менее шести машинных циклов при нулевой информации на входах порта D. Состояние схемы после сброса аналогично состоянию после начальной установки.

Микро-ЭВМ может работать с внешней и внутренней синхронизацией. В первом случае тактовые импульсы подаются на вход C с внешнего генератора, во втором при подключении RC-цепи к замкнутым выводам C и G внутренний релаксационный генератор формирует тактовые импульсы с частотой, определяемой параметрами RC-цепи. Типовое значение частоты составляет 300 кГц.

На рис. 19.5 приведена схема включения однокристальной микро-ЭВМ для реализации простого секундомера. При нажатии на кнопку *1* начинается отсчет времени с отображением на 4-разрядном индикаторе десятых долей секунды, секунд, десятков секунд и минут. При нажатии на кнопки *2* или *3* происходит остановка счета времени или сброс секундомера соответственно. Для отсчета времени на вход *D8* микро-ЭВМ подаются импульсы частотой 50 кГц.

Разряды порта *R R0—R3* используются для сканирования клавиатуры и индикатора, причем сигнал высокого уровня на выходах *R* соответствует разрешению свечения соответствующего разряда индикатора. Предполагается, что выходная ПЛМ закодирована для преобразования содержимого регистра *Q* в коды семисегментного индикатора так, что нулевому значению регистра *Q* соответствует 0 на инди-

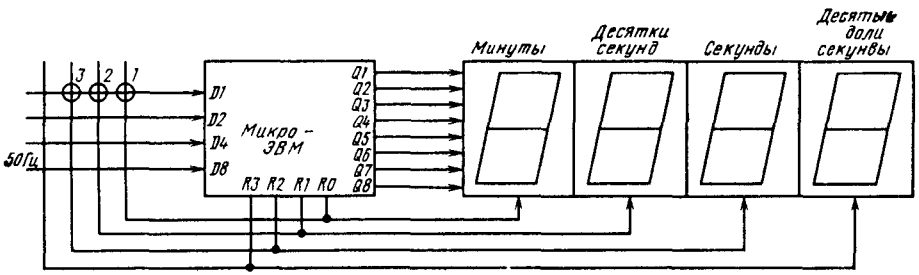


Рис. 19.5. Схема включения микро-ЭВМ при реализации секундомера:
1 кнопка «Пуск»; *2* — кнопка «Стоп»; *3* — кнопка «Сброс»

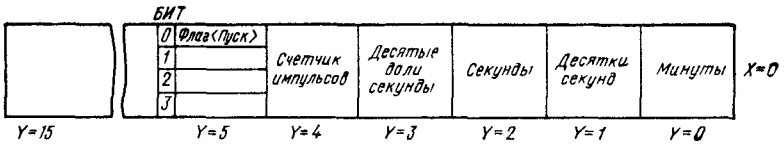


Рис. 19.6. Распределение памяти данных при реализации секундомера

Таблица 19.7

Адрес страницы ЗУ программы	Адрес команды	Код команды	Метка перехода	Мнемоника команды	Операнд	Примечание
15	0	00101111	*STA*	*CLA*		Старт программы 0→*M*
15	1	00111100		*LDX*	0	(*X*=0, *Y*=0—5)
15	3	01001010		*TCY*	5	
15	7	00000011	*CL*	*TAM*		
15	15	00101100		*DYN*		
15	31	10000111		*BR*	*CL*	
15	63	01000010	*DIS1*	*TCY*	4	Программа сканирования
15	62	00101100	*DIS2*	*DYN*		клавиатуры и дисплея
15	61	00100001		*TMA*		
15	59	00101011		*IYC*		
15	55	00001100		*RSTR*		
15	47	00101100		*DYN*		
15	30	00001010		*TIQ*		
15	60	00001101		*SETR*		
15	57	00001001		*DNEZ*		
15	51	10111010		*BR*	*IMP*	
15	39	01011111	*DIS3*	*YNEC*	15	
15	14	10111110		*BR*	*DIS2*	
15	29	10111111		*BR*	*DIS1*	
15	58	00001000	*IMP*	*TDA*		Проверка нажатия кнопок
15	53	01111000		*ALEC*	1	
15	43	10001010		*BR*	*F*	К определению кнопки
15	22	00100011		*TYA*		Проверка флага (пуск)
15	44	01001010		*TCY*	5	
15	24	00111000		*TBIT1*	0	
15	48	10000101		*BR*	*CLC*	Пуск — > на счет времени
15	33	00100100		*TAY*		
15	2	10100111		*BR*	*DIS3*	<Пуск> не установлен
15	5	00100100	*CLC*	*TAY*		Счет времени
15	11	00001100		*RSTR*		
15	23	01000010		*TCY*	4	
15	46	00101000		*IMAC*		
15	28	00000011		*TAM*		
15	36	01110010		*ALEC*	4	
15	49	10011001		*BR*	*WAIT*	
15	35	00101111	*INC*	*CLA*		
15	6	00000011		*TAM*		
15	13	00101100		*DYN*		
15	27	00101000		*IMAC*		
15	54	00000011		*TAM*		
15	45	00001111		*RETN*		
15	26	01111001		*ALEC*	9	
15	52	10011001		*BR*	*WAIT*	
15	41	11100011		*CALL*	*INC*	
15	18	01111001		*ALEC*	9	
15	36	10011001		*BR*	*WAIT*	
15	8	11100011		*CALL*	*INC*	
15	17	01111010		*ALEC*	5	
15	34	10011001		*BR*	*WAIT*	
15	4	11100011		*CALL*	*INC*	
15	9	01111001		*ALEC*	9	
15	19	10011001		*BR*	*WAIT*	
15	38	00101111		*CLA*		
15	12	00000011		*TAM*		
15	25	00001001	*WAIT*	*DNEZ*		Задержка до конца ИМП—СА
15	50	10011001		*BR*	*WAIT*	
15	37	10111111		*BR*	*DIS1*	

Адрес страницы ЗУ программы	Адрес команды	Код команды	Метка перехода	Мнемоника команды	Операнд	Примечание
15	10	00010000	*F*	*LDP*	0	
15	21	10000000		*BR*	*FILT*	
0	0	11000000		*MEMORY*	00 000	
0	0	00100011	*FILT*	*TYA*		Определение кнопки
0	1	01110000		*ALEC*	0	
0	3	10111110		*BR*	*SETFL*	
0	7	01111000		*ALEC*	1	
0	15	10101111		*BR*	*RSTFL*	
0	31	00011111		*LDP*	15	
0	63	10000000		*BR*	*STA*	
0	62	01001010	*SETFL*	*TCY*	5	Установка флага <пуск>
0	61	00110000		*SBIT*	0	
0	59	00100100		*TAY*		
0	55	10111001		*BR*	*DIS*	
0	47	01001010	*RSTFL*	*TCY*	5	Сброс <флага>
0	30	00110100		*RBIT*	0	<пуск>
0	60	00100100		*TAY*		
0	57	00011111	*DIS*	*LDP*	15	
0	51	10100111		*BR*	*DIS3*	
0	0	00000000		*END*		

каторе, единице соответствует 1 на индикаторе, и так до девяти. Программа микро-ЭВМ, реализующая секундомер, приведена ниже (табл. 19.7). В программе используются ячейки $Y=0—5$ нулевой страницы ОЗУ данных. Назначение ячеек ОЗУ приведено на рис. 19.6.

Глава 20

Однокристальные микро-ЭВМ серии КР1816

Микропроцессорный комплект серии КР1816 состоит из микросхем КР1816ВЕ35, КР1816ВЕ39, КМ1816ВЕ48 и КР1816ВЕ49, выполненных по *n*-МДП-технологии. Каждая микросхема представляет собой однокристальную 8-разрядную микро-ЭВМ, содержащую функциональные узлы (центральный процессор, ОЗУ данных, многоканальный интерфейс ввода/вывода, 8-разрядный таймер/счетчик, векторную систему прерываний с приоритетом, тактовый генератор, устройство синхронизации, программную память), обеспечивающие универсальность, автономность и гибкость применений в устройствах самого различного назначения. Микросхемы серии К1816 имеют идентичную структуру, но отличаются друг от друга только наличием (КМ1816ВЕ48, КР1816ВЕ49) или отсутствием (КР1816ВЕ35, КР1816ВЕ39) внутренней программой памяти, объемом внутреннего ОЗУ, типом и объемом ПЗУ, максимальным быстродействием. Так, микросхема КМ1816ВЕ48 содержит электрически перепрограммируемое ПЗУ (ППЗУ), стирание информации в котором осуществляется ультрафиолетовым облучением. Таким образом, пользователь микросхем КМ1816ВЕ48 имеет возможность самостоятельно производить запись информации в программную память, в отличие от КР1816ВЕ49, где эта операция осуществляется с помощью отдельного шаблона в процессе изготовления микросхемы.

Отличительные особенности микросхем указаны в табл. 20.1.

Таблица 20.1

Тип микросхемы	Тип программной памяти	Объем внутренней программной памяти, байт	Объем ОЗУ, байт	Максимальная тактовая частота, МГц
КР1816ВЕ35	—	—	64	6,0
КР1816ВЕ39	—	—	128	11,0
КМ1816ВЕ48	ППЗУ	1К	64	6,0
КР1816ВЕ49	ПЗУ	1К	128	11,0

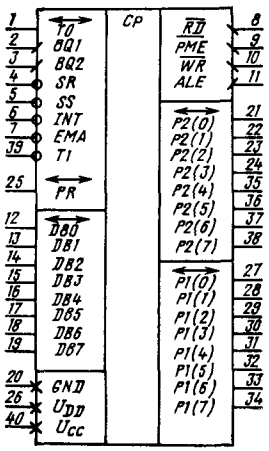


Рис. 20.1. Условное графическое изображение КР1816ВЕ35, КР1816ВЕ39, КМ1816ВЕ48, КР1816ВЕ49

В каждой микро-ЭВМ предусмотрена возможность расширения памяти программ до 4К байт, памяти данных до 384 байт и увеличения числа линий ввода/вывода за счет подключения внешних кристаллов ППЗУ (ПЗУ), ОЗУ и интерфейсов ввода/вывода серии КР580.

Условное графическое обозначение микросхемы приведено на рис. 20.1, назначение выводов — в табл. 20.2, структурная схема показана на рис. 20.2

Арифметико-логическое устройство (АЛУ) представляет собой параллельное 8-разрядное устройство, позволяющее выполнять арифметические, логические операции и операции сдвига над данными, представленными в двоичном коде, а также обрабатывать данные, представленные в двоично-десятичном коде.

Блок программной памяти (БПП) предназначен для записи, хранения и считывания команд, которые поступают в процессор и управляют процессором обработки информации. Блок состоит из ПЗУ (ППЗУ), счетчика команд, дешифратора адреса и дешифратора команд.

В микросхеме КМ1816ВЕ48 используется ППЗУ емкостью 1024 8-разрядных слова, представляющее собой электрически программируемое устройство со стиранием информации УФ-излучением. Таким образом, содержимое ППЗУ определяется пользователем микросхемы.

Микросхема КР1816ВЕ49 содержит ПЗУ емкостью 2048 8-разрядных слова, содержимое которого задается в процессе изготовления микросхемы.

Память, расположенная на кристалле, занимает адреса с *0000* по *03FFH* (КМ1816ВЕ48) или *07FFH* (КР1816ВЕ49). В микросхеме предусмотрено расширение программной памяти при прямой адресации до 4096 8-разрядных слов. Внешняя память занимает адреса с *0400H* (КМ1816ВЕ48) или *0800H* (КР1816ВЕ49) по *0FFFH*. Все поле адресов с *0000* по *0FFFH* разбито на два банка: банк памяти 0 с адресами *0000* по *07FFH* и банк памяти 1 с адресами *0800H* по *0FFFH*. Пере-

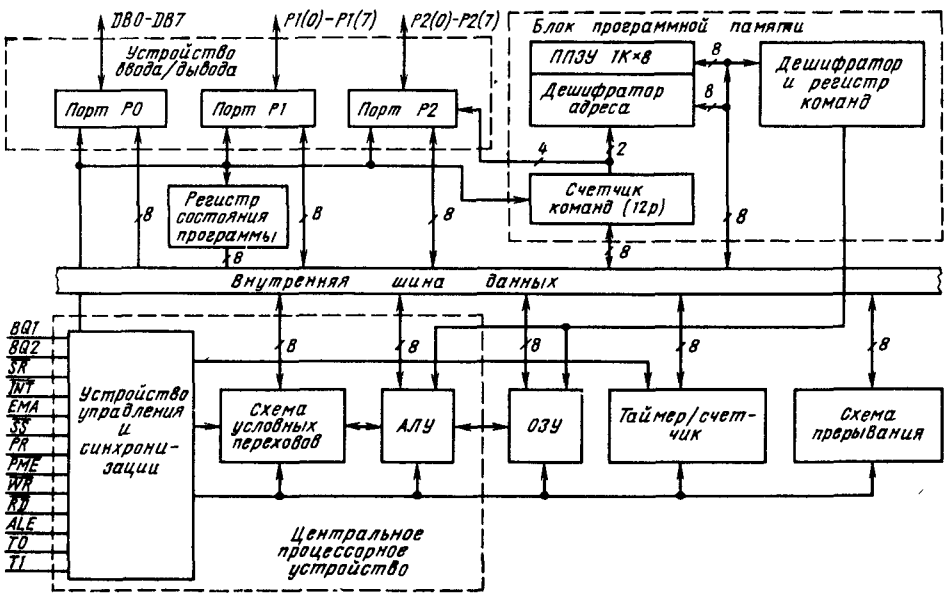


Рис. 20.2. Структурная схема КР1816ВЕ35, КР1816ВЕ39, КМ1816ВЕ48, КР1816ВЕ49

Таблица 20.2

Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1	*T0*	Вход/выход	Используется как вход при командах условного перехода *JT0, JNT0* и как выход тактовых сигналов после выполнения команды *ENT0 CLK*
2, 3	*BQ1, BQ2*	Входы	Используются для подключения кварца, *LC*-цепи или внешнего тактового генератора
4	$\overline{SR}$	Вход	Сигнал инициализации микро-ЭВМ
5	$\overline{SS}$	Вход	Сигнал, используемый совместно с сигналом *ALE* для организации пошагового выполнения программы
6	$\overline{INT}$	Вход	Сигнал прерывания, если прерывание разрешено. Используется при команде условного перехода *JNI*
7	$\overline{EMA}$	Вход	Сигнал переключения в режим работы с внешней памятью. Используется также в режиме программирования и проверки ППЗУ
8	$\overline{RD}$	Выход	Стробирующий сигнал при чтении из внешней памяти данных и при считывании информации в порт *P0* из внешних устройств
9	$\overline{PME}$	Выход	Стробирующий сигнал при чтении из внешней памяти программ. Используется только при работе с внешней памятью
10	$\overline{WR}$	Выход	Стробирующий сигнал при записи во внешнюю память данных и при записи информации из порта *P0* во внешние устройства
11	*ALE*	Выход	Стробирующий сигнал адреса. Выдается один раз в каждом машинном цикле. Используется для стробирования адреса внешней памяти программ и данных
12—19	Порт *P0*, *DB0—DB7*	Вход/выход	Восьмиразрядный трехстабильный двунаправленный порт, информация в который может быть записана или считана синхронно с сигналами $\overline{WR}$, $\overline{RD}$. Порт может быть статически зафиксирован. Он выдает восемь младших разрядов адреса при работе с внешней памятью программ и принимает код команды из внешней памяти программ по сигналу $\overline{PME}$. Порт выдает адрес и данные при выполнении команд обращения к внешней памяти данных по сигналам *ALE*, $\overline{RD}$, $\overline{WR}$, принимает адрес и данные при программировании внутреннего ППЗУ
20	*GND*		Общий
21—24, 35—38	*P2(0)—P2(7)*	Вход/выход	Восьмиразрядный квазидвунаправленный порт *P2*. Включает в себя четыре старших разряда адреса при обращении к внешней памяти [*P2(3)—P2(0)* — выход], а также служит в качестве 4-разрядной шины для расширения каналов ввода/вывода совместно с сигналом *PR*
25	*PR*	Вход/выход	Используется как выход для расширения каналов ввода/вывода и как вход только в КМ1816ВЕ48 в режиме программирования ППЗУ
26	U_{DD}		Напряжение питания при программировании (+25 В для КМ1816ВЕ48) и при работе +5 В
27—34	*P1(0)—P1(7)*	Вход/выход	Восьмиразрядный квазидвунаправленный порт *P1*
39	*T1*	Вход	Используется при командах условного перехода *JT1, JNT1*, а также как вход счетчика внешних событий после выполнения команды *STRT CNT*
40	U_{CC}	—	Напряжение питания +5 В

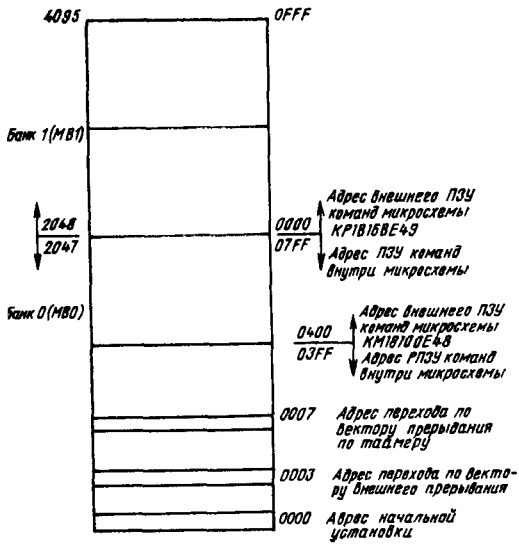


Рис. 20.3. Поле распределения адреса памяти программ

ключение банков осуществляется программным путем. Поле распределения памяти программ показано на рис. 20.3.

Счетчик команд (СК) предназначен для формирования текущего адреса местонахождения команды в программной памяти. Счетчик команд содержит 12 разрядов. Содержимое СК увеличивается после выбора каждого байта команды и может изменяться скачкообразно при выполнении команд условных, безусловных переходов при выполнении команд *CALL* и при выполнении прерываний. Старший разряд СК изменяется только программно

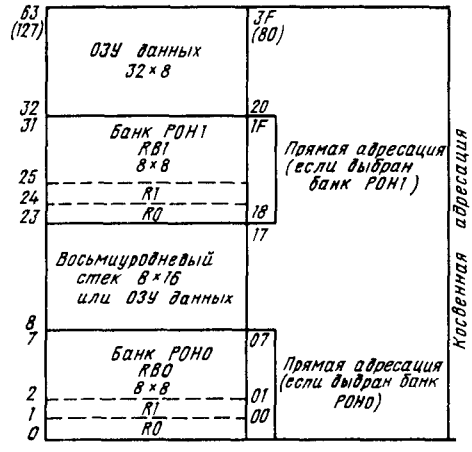


Рис. 20.4. Поле распределения памяти данных. В скобках указаны данные для микросхемы КР1816ВЕ49

(команды *SEL MB0, SEL MB1*). Счетчик команд разбит на две части: счетчик младших разрядов (биты 0—7) и счетчик старших разрядов (биты 8—11). При использовании внешней программной памяти биты 0—7 СК поступают через порт *P0* (выводы *DB0—DB7*), а биты 8—11 — через порт *P2* [выводы *P2(0)* — *P2(3)*].

Дешифратор и регистр команд предназначены для записи, хранения и декодирования команд, поступающих из программной памяти. С выхода дешифратора снимаются управляющие сигналы, осуществляющие выполнение команд.

Оперативное запоминающее устройство предназначено для хранения данных, получаемых при обработке информации. Ячейки ОЗУ (64—КМ1816ВЕ48 и 128—КР1816ВЕ49) разбиты на два банка регистров общего назначения (РОН) с адресами *00H—07H* (банк 0) и *18H—1FH* (банк 1). Переключение банков осуществляется программным путем с помощью команд *SEL RB0, SEL RB1*. Восьмиуровневый 16-разрядный стек с адресами *8—17*, ячейки ОЗУ *20—3F* используются только как ОЗУ данных. Поле распределения памяти данных показано на рис. 20.4.

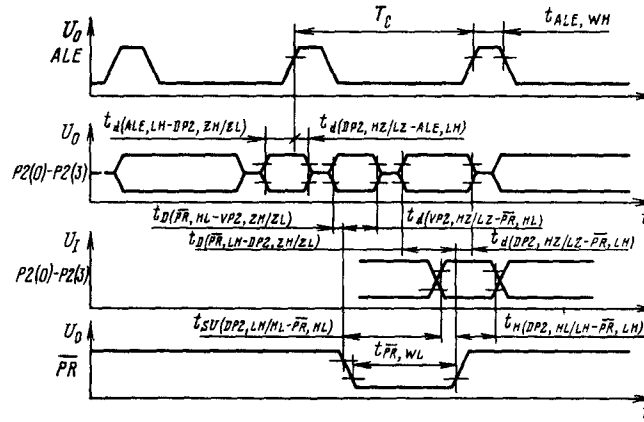
Для записи и выборки данных из ОЗУ используются два вида адресации: прямая и косвенная (регистровая). При прямой адресации в коде команды три младших бита определяют адрес РОН (регистры *R0—R7* при выборе банка регистров *R0*, регистры *R0'—R7'* при выборе банка регистров *R1*). При косвенной адресации место расположения адреса указывается в команде. Адрес ячейки ОЗУ может храниться либо в аккумуляторе, либо в регистрах *R0, R1* или регистрах *R0', R1'*, в зависимости от выбранного банка регистров. С помощью косвенной адресации можно адресоваться к любой ячейке ОЗУ. Программист по своему усмотрению может использовать для хранения данных любые неиспользованные ячейки — регистры банков РОН, стек, а также имеет доступ к любой из ячеек ОЗУ посредством косвенной адресации.

В микро-ЭВМ предусмотрена возможность расширения памяти данных путем подключения микросхем ОЗУ емкостью до 256 байт. Общая емкость ОЗУ в этом случае будет равна 324 байт. Обращение к внешней памяти данных осуществляется с помощью команд *MOV X @, R, A, MOV XA, @ R*. Стробируется информация внешнего ОЗУ сигналами $\overline{WR}$, $\overline{RD}$.

Устройство ввода/вывода служит для организации обмена информации микро-ЭВМ с внешними устройствами. В микро-ЭВМ имеется 27 линий ввода/вывода, 24 из которых объединены в три 8-разрядных порта (*P0, P1, P2*). Порт *P0* (*DB0—DB7*) — двунаправленный, порты *P1, P2* — квазидвунаправленные.

Порты *P1* и *P2* имеют идентичные характеристики. Данные, записанные на этих портах, статически фиксируются и не изменяются до перезаписи. Как входы эти линии не фиксиру-

Рис. 20.5. Временна́я диаграмма работы с дополнительным портом



ются, т. е. входные данные должны присутствовать до считывания по команде приема данных.

Для использования портов *P1, P2* в качестве входов микро-ЭВМ должна выдать сначала 1 по соответствующим линиям *P1, P2* по команде выдачи данных. Порты *P1* и *P2* устанавливаются в состояние 1 также после подачи сигнала $\overline{SR}$.

Порт *P0* — 8-разрядный двунаправленный порт с тремя состояниями; он может использоваться и в качестве статически фиксированного выходного порта или нефиксированного входного порта. Информация, выдаваемая портом *P0* с помощью команд *OUTL BUS, A; MOVX @ R, A*, сопровождается стробимпульсом $\overline{WR}$. При записи информации в порт *P0* с помощью команд *INSA, BUS* и *MOVX A, @R* вырабатывается стробимпульс $\overline{RD}$. Кроме операций ввода/вывода информации предусмотрена возможность выполнения логических операций И, ИЛИ непосредственно на портах *P0, P1* и *P2* с помощью команд *ANLP, # DATA; ORLP, # DATA; ANL BUS, # DATA; ORL BUS, # DATA*.

Три линии ввода/вывода (*T0, T1,* $\overline{INT}$) используются как входы, проверяемые командами условного перехода. Линия *T0* может использоваться для выдачи тактовых сигналов частотой $F_{BQ}/3$ по команде *ENT0 CLK*. Линия *T1* может быть использована как вход счетчика внешних событий для счетчика/таймера. Линия $\overline{INT}$ может быть использована для внешнего аппаратного прерывания.

Кроме того, микро-ЭВМ позволяет увеличить число линий ввода/вывода, если использовать команды *MOVD A, P; MOVD P, A; ANLD P, A; ORLD P, A* и соответствующую схему. При этом обмен информацией осуществляется через порт *P2* [*P2(0)—P2(3)*]. Временна́я диаграмма работы с дополнительным портом показана на рис. 20.5. Каждая перекладка состоит из двух 4-разрядных полубайтов. Первый содержит код операции и адрес порта, а второй — четыре бита данных *A*. Синхронизация осуществляется сигналом *PR*. Переход сигнала *PR* с высокого уровня на низкий указывает, что на выходах *P2(0)—P2(3)* находятся код операции и адрес порта, а переход сигнала с низкого уровня на высокий указывает на то, что на выводах *P2(0)—P2(3)* находятся данные — содержимое четырех младших разрядов аккумулятора.

Устройство управления и синхронизации предназначено для выработки сигналов, обеспечивающих выполнение команд; оно состоит из следующих узлов: генератора, формирователя внутренних тактовых сигналов, формирователей сигналов состояний и режимов работы.

Встроенный генератор — это последовательная резонансная схема, работающая в диапазонах 1÷6 МГц (для КР1816ВЕ35, КМ1816ВЕ48) и 1÷11 МГц (для КР1816ВЕ39, КР1816ВЕ49). Выводы *BQ1, BQ2* используются для подключения внешнего кварца и *LC*-цепи, причем вывод *BQ1* является входом, вывод *BQ2* — выходом. Кварц или *LC*-цепь обеспечивают частотно-зависимую обратную связь и фазовый сдвиг для генератора. На выходы *BQ1* и *BQ2* можно подавать также сигналы от внешнего источника тактовых сигналов

Схемы подключения резонатора, *LC*-цепи и внешнего источника тактовых сигналов показаны на рис. 20.6, *а—г*

Формирователь внутренних тактовых сигналов осуществляет деление частоты встроенного генератора на 3 и выработку внутренних тактирующих сигналов, которые могут быть выданы на вывод *T0* по команде *ENT0 CLK* (рис. 20.7, *а*). Прекратить выдачу тактовых сигналов на вывод *T0* можно только сигналом $\overline{SR}$. С выхода делителя тактирующие сигналы поступают на вход делителя на 5, выходные сигналы которого определяют пять внутренних состояний микро-ЭВМ (*S1—S5*). Сигнал с одного из выходов делителя поступает на вывод *ALE*. Период следования сигнала *ALE* соответствует машинному циклу микро-ЭВМ. Таким образом, машинный цикл микро-ЭВМ составляет 15 T_{BQ} (T_{BQ} — период следования сигнала *BQ1*) Сигналы с выходов делителей на 3 и на 5 формируют всю временну́ю после-

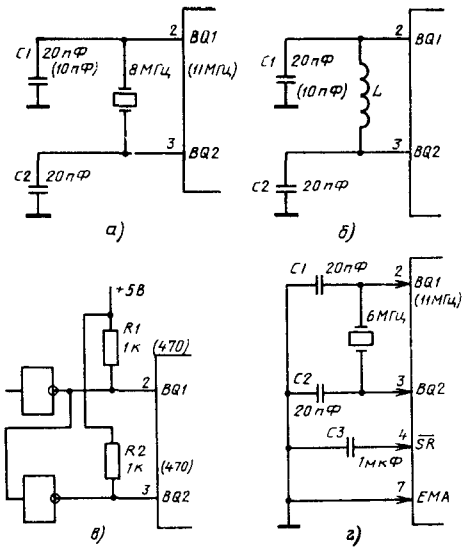


Рис. 20.6. Схемы подключения к микросхеме резонатора (*а*), *LC*-цепи (*б*), внешнего источника тактовых сигналов (*в*), резонатора в режиме работы с внутренней памятью команд и автоматическим сбросом (*г*). В скобках приведены данные для микросхем КР1816ВЕ39, КР1816ВЕ49

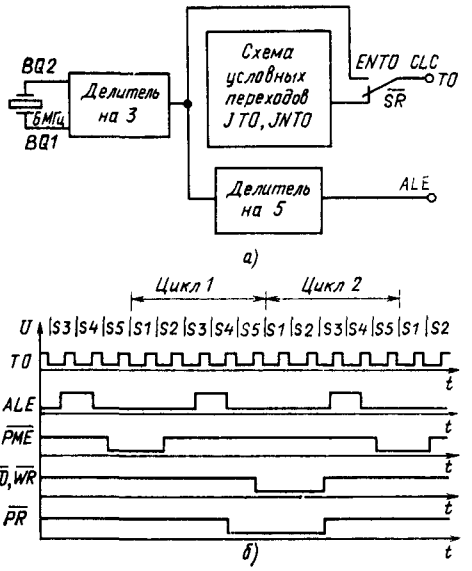


Рис. 20.7. Схемы подключения вывода *T0* к делителю частоты по команде *ENT0 CLC* (*а*) и временные диаграммы временных сигналов (*б*)

довательность работы микро-ЭВМ. Временна́я диаграмма выходных сигналов показана на рис. 20.7, *б*.

Формирователи сигналов состояний и режимов работы определяют режимы работы микро-ЭВМ. В качестве входных сигналов формирователи используют сигналы *EMA*, $\overline{PR}$, *T0*, $\overline{SS}$, $\overline{SR}$. Комбинации этих сигналов реализуют основные режимы работы микро-ЭВМ.

Схема условных переходов предназначена для формирования сигналов управления для ветвления программы при выполнении команд условных переходов. Переход осуществляется по следующим условиям:

по содержимому аккумулятора (0 или не 0);
по состоянию одного из разрядов аккумулятора;
по состоянию триггера флага таймера/счетчика *TT*;
по состоянию входа *T0*;
по состоянию входа *T1*;
по состоянию входа $\overline{INT}$;
по состоянию триггера флага *F0*;
по состоянию триггера флага *F1*;
по состоянию триггера переноса *C*.

Условия перехода определяются соответствующими командами. Значения признаков *C*, *F0*, *F1*, *TT* устанавливаются программно, признаков *T0*, *T1*, $\overline{INT}$ — аппаратно.

Таймер/счетчик предназначен для подсчета внешних событий (используется внешний сигнал *T1*) и генерирования временны́х интервалов. В состав таймера/счетчика входят: делитель на 32, счетчик, триггер флага таймера/счетчика.

Делитель предназначен для формирования импульсов, которые используются при работе таймера/счетчика в режиме таймера. На вход делителя на 32 поступают импульсы с выхода делителя на 5 устройств управления и синхронизации. Таким образом, на вход счетчика с выхода делителя на 32 поступают импульсы с частотой $F_{BQ}/480$.

Счетчик предназначен для подсчета поступающих на него импульсов. Он представляет собой 8-разрядный регистр со схемой инкремента. На вход счетчика поступают импульсы с делителя на 32 (в режиме таймера) и с входа *T1* (в режиме счетчика внешних событий). Содержимое счетчика устанавливается по команде *MOV T, A*, а текущее значение его проверяется по команде *MOV A, T*. Запуск счетчика в режиме таймера осуществляется с помощью команды *STRT T*, в режиме счетчика событий — *STRT CNT*. Остановка счетчика производится командой *STOPT CNT*. При переходе счетчика из состояния *FF* в состояние 00 производится установка флага таймера/счетчика.

Триггер флага таймера/счетчика представляет собой триггер, который устанавливается в 1 при переходе счетчика из состояния *FF* в состояние *00*. Триггер используется в командах условного перехода, а также для организации прерывания по таймеру/счетчику.

Схема прерываиия предиазначена для организации прерываиия естественного хода программы и выполнения подпрограммы обслуживания прерываиия.

В микро-ЭВМ предусмотрено два вектора прерываиия. Одии вектор — аппаратный по входу $\overline{INT}$ (адрес *03*), второй используется как внутрениий и как внешний (вход *T1*) по флагу счетчика/таймера (адрес *07*). Каждый из векторов прерываний может быть разрешен или запрещен программно командами *EN1, DIS1, EN TCNT1, DIS TCNT1*. Кроме того, по сигналу $\overline{SR}$ прерывания запрещаются до тех пор, пока они не будут разрешены соответствующими командами (*EN1, ENTCNT1*).

При поступлении на вход сигиала $\overline{INT}$ (0 — активный), если прерывание по входу $\overline{INT}$ разрешено, происходит обращение к программе обслуживания с адресом *03*. При этом (как и при любом обращении к подпрограмме) содержнмое счетчика команд и слово с информацией о состоянии программы (*PSW*) записываются в стек. То же происходит и при выработке флага таймера/счетчика. Однако в этом случае обращение производится в программе обслуживания по адресу *07*.

Программа обслуживания должна заканчиваться комаидой *RETR* (восстановление состояния и возврат к прерванной программе), так как до выполнения команды *RETR* последующие запросы на прерывание не обслуживаются (прерывание запрещено).

Система прерывания в микро-ЭВМ — фиксированная по приоритету. Прерывание по входу $\overline{INT}$ имеет старший приоритет, т. е. при одновремеином поступлении запросов на прерывание по входу $\overline{INT}$ и по флагу таймера/счетчика обслуживаться будет прерывание по входу $\overline{INT}$.

Регистр состояния программы (*PSW*) предназначен для хранения данных о состоянии микро-ЭВМ. Назначение разрядов *PSW* следующее:

разряды 0- 2 — разряды указателя стека (*S0—S2*);

разряд 3 не используется (при чтении всегда 1);

разряд 4 указывает используемый банк рабочих регистров общего назначения;

разряд 5 - флаг пользователя (*F0*), используется по команде условного перехода,

разряд 6 — разряд дополнительного переноса (*AC*), используется для десятичной коррекции;

разряд 7 — перенос, указывающий на переполнение аккумулятора после предыдущей операции (*CY*).

Регистр *PSW* может программно проверяться, модифнцироваться весь и поразрядно. При прерываниях по входу $\overline{INT}$ и по флагу таймера/счетчика содержимое четырех разрядов (*D4—D7*) заносится в стек, а при возврате из программы прерывания по команде *RETR* содержимое этих разрядов восстанавливается.

Микро-ЭВМ имеет иабор режимов, с помощью которых осуществляются управление работой микро-ЭВМ, коитроль и отладка программ. Микро-ЭВМ может работать в режимах проверки программной памяти, работы с внутренней памятью, работы с внешней памятью, пошагового выполнения команд, программирования внутреннего ППЗУ (для КМ1816ВЕ48).

Режим работы устанавливается комбинацией входных и выходных сигналов.

Инициализация (сброс) микросхемы осуществляется сигналом $\overline{SR}$ (активный — низкий уровень напряжения). Вывод $\overline{SR}$ — это вход с триггером Шмидта, который в сочетании с внешним конденсатором, подключенным между входом $\overline{SR}$ и корпусом, обеспечивает внутренний импульс сброса достаточной длительности для гарантированного сброса всей микросхемы. Если импульс $\overline{SR}$ генерируется внешним источником совместно с включением питания, то длительность его должна быть не менее 50 мс. Если импульс $\overline{SR}$ выдается в процессе работы, то длительность импульса должна быть не менее 12,5 мкс.

Импульс $\overline{SR}$ выполняет следующие функции:

устанавливает счетчик команд в 0;

устанавливает указатель стека (в *PSW*) в 0;

выбирает банк регистров (РОН) 0 (*RB0*);

выбирает банк внутренней программной памяти 0 (*MB0*);

устаиавливает порт *P0* (*BUS*) в высокоомное состояние (при *EA*=0);

подготавливает порт *P1* и порт *P2* для приема информации;

блокирует прерывание по входу $\overline{INT}$ и по таймеру/счетчику;

останавливает таймер/счетчик;

устанавливает флаги *F0* и *F1* в 0;

запрещает выдачу импульсов по выводу *T0*.

В режиме проверки программной памяти производится контроль правнльности хранящейся информации, занесенной в память в процессе ее программирования, а также контроль «чистоты» памяти после стирания для микросхемы КМ1816ВЕ48 или в процессе изготовления с помощью фотошаблонов для микросхемы КР1816ВЕ49.

Временная диаграмма работы микросхем в режиме проверки памяти показана на рис. 20.8.

Подаваемые на одноименные выводы микросхемы сигналы выполняют следующие функции:

EMA при подаче напряжения высокого уровня активизирует режим обращения к внутренней памяти для программирования,

T0 обеспечивает получение режима программирования (напряжение низкого уровня) и режима контроля (напряжение высокого уровня);

$\overline{SR}$ фиксирует выбранный адрес;

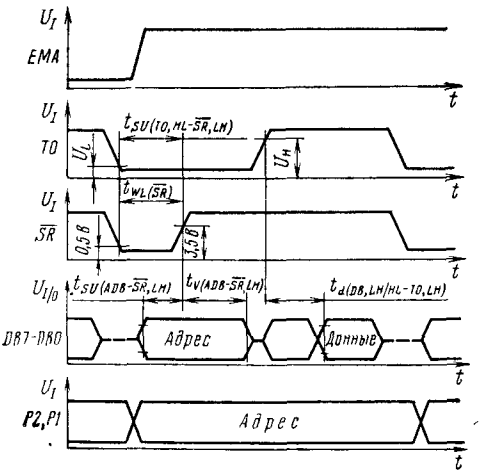


Рис. 20.8. Временна́я диаграмма работы микросхем в режиме проверки памяти программ

DB0—DB7 обеспечивают подачу адреса *A0—A7* и данных;
P2(0), P2(1) обеспечивают подачу адреса *A8, A9*.

При организации режима контроля памяти следует иметь в виду, что по выводам *DB0—DB7* осуществляются подача адресных сигналов и выдача данных для контроля. Поэтому при переходе к режиму контроля необходимо обеспечить высокоомное состояние на данных выводах, которое исключает попадание на открытые выходы схемы напряжения адресных сигналов, поступающих от источника адресных сигналов.

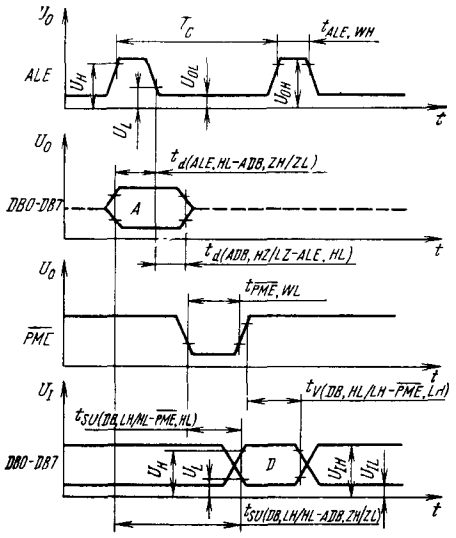


Рис. 20.9. Временны́е диаграммы работы микро-ЭВМ в режиме с внешней памятью программ

Режим работы с внутренней памятью устанавливается заданием напряжения низкого уровня на выводе *EMA*. Выполнение программы, хранящейся в ПЗУ, начинается после ее инициализации с команды с адресом *00*, так как счетчик команды по сигналу $\overline{SR}=0$ сбрасывается в 0.

С целью увеличения производительности микро-ЭВМ предусмотрено совмещение выполнения внутренних операций в одном цикле. Например, выполнение выбранной команды и подготовка следующего адреса команды производятся одновременно. Так как микро-ЭВМ содержит все элементы, необходимые для автономной работы, нет необходимости выдавать внешние управляющие сигналы, а все 27 линий ввода/вывода могут быть использованы для связи с внешними устройствами.

Если есть необходимость синхронизации внешних устройств ввода/вывода, то можно использовать сигнал *ALE*, выдаваемый микро-ЭВМ в каждом машинном цикле.

Режим работы микро-ЭВМ с внешней памятью используется при отладке программ, при контроле процессора микро-ЭВМ. Для этого внутренняя память команд отключается подачей на вывод *EMA* напряжения +5 В. Этот же режим используется также, если внутренней памяти команд недостаточно. В этом случае можно использовать совместно внутреннюю и внешнюю память команд общим объемом до 4096 байт (на вывод *EMA* подано напряжение низкого уровня) или только внешнюю память с максимальным объемом до 4096 байт (вывод *EMA* соединен с источником напряжения +5 В). При работе с внешней памятью выдача младших разрядов адреса *A7—A0* во внешнюю память и прием кода команд из внешней памяти осуществляются через порт *P0 (DB7—DB0)*. При этом фиксация адреса в ЗУ осуществляется по сигналу *ALE*, а прием команды в микро-ЭВМ — по сигналу $\overline{PME}$.

Старшие разряды адреса *A11—A8* выдаются через порт *P2* [*P2(3)—P2(0)*].

При увеличении объема памяти данных за счет подключения внешнего ОЗУ емкостью до 256 байт обмен данными между ОЗУ и микро-ЭВМ осуществляется через двунаправленный порт *P0* с помощью команд *MOVX A, @R*; *MOVX @ R, A*. При этом адрес данных фиксируется по сигналу *ALE*, а прием и выдача данных — по сигналам $\overline{RD}$ и $\overline{WR}$.

Временны́е диаграммы работы микро-ЭВМ в режиме с внешней памятью программ показаны на рис. 20.9, а с памятью данных — на рис. 20.10, *а, б*.

Режим пошагового выполнения программы необходим для отладки и проверки программы. В качестве управляющего входа микро-ЭВМ для этого режима используется вывод $\overline{SS}$ и выходной сигнал *ALE*. Схема реализации этого режима и временна́я диаграмма работы показаны на рис. 20.11, *а, б*.

Пошаговый режим дает возможность останова после выполнения команды независимо от того, какая она: одно- или двухцикловая. При подаче сигнала $\overline{SS}$ (напряжение низкого уровня) микро-ЭВМ завершает выполнение команды и делает останов; при этом на шинах порта *P0* находится восемь младших разрядов, на шинах порта *P2* [*P2(3)—P2(0)*] — четыре старших разряда адреса следующей команды. Это позволяет пошагово проходить программу и проверять выполнение команд. Пошаговый режим целесообразно использовать при работе с внешней памятью.

Когда микро-ЭВМ находится в состоянии останова, данные ввода/вывода на порте *P0* и младших разрядах порта *P2* отсутствуют. Эту информацию можно фиксировать внешним устройством по фронту сигнала *ALE*.

Для выполнения программы непрерывно (прогон) на вывод $\overline{SS}$ необходимо подать напряжение высокого уровня.

Режим программирования ППЗУ в микросхеме КМ1816ВЕ48 используется для записи информации в память команд. Программирование осуществляется в следующей последовательности:

на выводы U_{DD}, *T0* и *EMA* подается напряжение +5 В, а на вывод $\overline{SR}$ 0 В;

на вывод *T0* подается 0 В, что соответствует выбору режима программирования;

на вывод *EMA* подается +25 В, что соответствует активизации режима программирования;

на входы *DB0—DB7* и *P2(0)—P2(7)* подается адрес ППЗУ;

на вывод $\overline{SR}$ подается +5 В — фиксация адреса;

данные, предназначенные для записи в адресуемый байт программной памяти, подаются на выводы *DB0—DB7;*

для записи данных на вывод U_{DD} подается +25 В при напряжении 0В на выводе $\overline{PR}$, затем на вывод $\overline{PR}$ подается импульс +25 В длительностью 50 мс. Вывод $\overline{PR}$ до момента программирования может быть плавающим. При описании последовательности операций во время программирования значения напряжений указаны номинальные, допустимые пределы отклонений приведены в табл. 20.3.

Временна́я диаграмма работы микросхемы при программировании и контроле после программирования показана на рис. 20.12.

Стирание информации, записанной в памяти ППЗУ, осуществляется с помощью ультрафиолетовых лучей через крышку с кварцевым окошком. Длина волны ультрафиолетовых лучей должна составлять около 2537 нм. Интегральная доза (т. е. интенсивность ультрафиолетовых лучей на время облучения) должна быть не менее 15 Вт·с/см².

Система команд включает 96 команд, 68 из них — однобайтовые. В двухбайтовых командах первый байт несет информацию о коде команды, второй является непосредственными данными или младшими разрядами адреса сле-

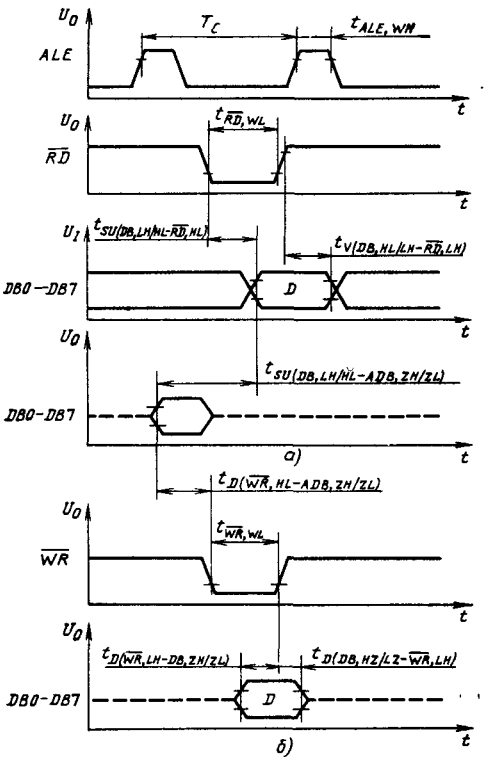


Рис. 20.10. Временны́е диаграммы работы микро-ЭВМ в режиме с внешней памятью данных при чтении (*а*) и записи (*б*) информации

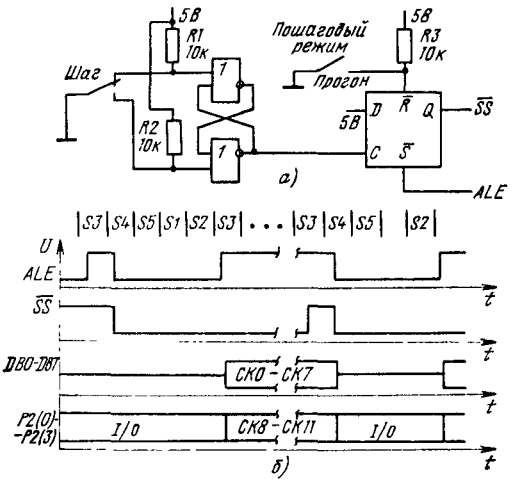


Рис. 20.11. Схема реализации шагового режима (*а*) и временна́я диаграмма работы (*б*)

Таблица 20.3

Параметр	Обозначение	Значения параметров			
		КМ1816ВЕ48, КР1816ВЕ35		КР1816ВЕ49, КР1816ВЕ39	
		мин.	макс.	мин.	макс.
Статические параметры					
Напряжение питания, В:					
основное	U_{CC}	4,75	5,25	4,75	5,25
дополнительное	U_{DD}	4,75	5,25	4,75	5,25
Выходное напряжение, В:					
высокого уровня	U_{OH}	2,4	—	2,4	—
низкого уровня	U_{OL}	—	0,45	—	0,45
Выходной ток высокого уровня, мкА:					
сигналов *DB*	I_{OH}	—100	—	—400	—
сигналов $\overline{RD}$, $\overline{WR}$, $\overline{PME}$, $\overline{ALE}$	I_{OH1}	—100	—	—100	—
остальных сигналов	I_{OH2}	—40	—	—40	—
Выходной ток низкого уровня, мкА:					
сигналов *DB*	I_{OL}	—	2,0	—	2,0
сигналов $\overline{RD}$, $\overline{WR}$, $\overline{PME}$, $\overline{ALE}$	I_{OL1}	—	1,8	—	1,8
сигнала $\overline{PR}$	I_{OL2}	—	1,0	—	1,0
остальных сигналов	I_{OL3}	—	1,6	—	1,6
Выходной ток в состоянии «выключено», мкА	I_{OZ}	—10	10	—10	10
Входное напряжение высокого уровня, В:					
сигналов *BQ1*, *BQ2*, $\overline{SR}$	U_{IH1}	3,8	—	3,8	—
сигнала $\overline{PR}$	$U_{IH,\ PR}$	21,5	24,5	—	—
сигнала *EMA* при программировании	$U_{IH,\ EMA}$	21,5	24,5	—	—
остальных сигналов	U_{IH}	2,0	—	2,0	—
Входное напряжение низкого уровня, В:					
сигналов *BQ1*, *BQ2*, $\overline{SR}$	U_{IL1}	—0,5	0,6	—0,5	0,6
сигнала $\overline{PR}$	$U_{IL,\ PR}$	—	0,2	—	—
сигнала *EMA* при программировании	$U_{IL,\ EMA}$	4,5	5,25	—	—
остальных сигналов	U_{IL}	—0,5	0,8	—0,5	0,8
Напряжение питания при программировании, В:					
высокого уровня	$U_{DD,\ H}$	24	26	—	—
низкого уровня	$U_{DD,\ L}$	4,75	5,25	—	—
Ток утечки на входах, мкА	I_{LI}	—10	10	—10	10
Входной ток, мА:					
на выводах $\overline{SR}$, $\overline{SS}$, портов *P1* и *P2*	I_I	—500	—	—500	—
на выводе $\overline{PR}$ при программировании	$I_{I,\ PR}$	—	16,0	—	—
на выводе *EMA* при программировании	$I_{I,\ EMA}$	—	1,0	—	—
Ток потребления, мА:					
суммарный	$I_{DD}+I_{CC}$	60	135	50	100
по выводу U_{DD}	I_{DD}	5	15	5	10
по выводу U_{DD} при программировании	I_{DD1}	—	30	—	—

Параметр	Обозначение	Значения параметров			
		КМ1816ВЕ48, КР1816ВЕ35		КР1816ВЕ49, КР1816ВЕ39	
		мин.	макс.	мин.	макс.
Емкость входа выхода	$C_{I/O}$	—	20	—	20
Входная емкость	C_I	—	10	—	10
Динамические параметры					
Период сигналов синхронизации, мкс	T_C	2,5	15,0	1,36	15,0
Длительность сигнала *ALE*, нс	$t_{ALE,\ WH}$	400	—	150	—
Длительность сигнала $\overline{PME}$, нс	$t_{\overline{PME},\ WL}$	700	—	350	—
Длительность сигнала $\overline{WR}$, нс	$t_{\overline{WR},\ WL}$	700	—	480	—
Длительность сигнала $\overline{RD}$, нс	$t_{\overline{RD},\ WL}$	700	—	480	—
Длительность сигнала $\overline{PR}$, нс	$t_{\overline{PR},\ WL}$	1500	—	700	—
Время задержки сигнала *ALE* относительно сигналов адреса *DB0—DB7*, нс	$t_{d(ALE,\ HL-\ ADB,\ ZH/ZL)}$	150	—	160	—
Время задержки сигнала *ALE* относительно сигналов адреса *P2(0)—P2(3)*, нс	$t_{d(ALE,\ HL-AP2,\ ZH/ZL)}$	150	—	—	—
Время задержки сигналов адреса *DB0—DB7* относительно сигнала *ALE*, нс	$t_{d(ADB,\ HZ/LZ-\ ALE,\ HL)}$	80	—	50	—
Время задержки сигналов адреса *P2(0)—P2(3)* относительно сигнала *ALE*, нс	$t_{d(AP2,\ HZ/LZ-ALE,\ HL)}$	80	—	—	—
Время установления сигналов данных *DB0—DB7* относительно сигнала $\overline{PME}$, нс	$t_{SU(DB,\ HL/LH\ \ \overline{PME},\ HL)}$	—	500	—	210
Время установления сигналов данных *DB0—DB7* относительно сигналов адреса *DB0—DB7*, нс	$t_{SU(DB,LH/HL-ADB,ZH/ZL)}$	—	950	—	800
Время сохранения сигналов данных *DB0—DB7* относительно сигнала $\overline{PME}$, нс	$t_{V(DB,\ HL/LH-\overline{PME},\ LH)}$	0	200	0	110
Время установления сигналов данных *DB0—DB7* относительно сигнала $\overline{RD}$, нс	$t_{SU(DB,\ LH/HL-\overline{RD},\ HL)}$	—	500	—	350
Время сохранения сигналов данных *DB0—DB7* относительно сигнала $\overline{RD}$, нс	$t_{V(DB,\ HL/LH-\overline{RD},\ LH)}$	0	200	0	110
Время задержки сигнала $\overline{WR}$ относительно сигналов данных *DB0—DB7*, нс	$t_{d(\overline{WR},\ LH-DB,\ SH/ZL)}$	500	—	390	—
Время задержки сигналов данных *DB0—DB7* относительно сигнала $\overline{WR}$, нс	$t_{d(DB,\ HZ/LZ-\overline{WR},\ LH)}$	120	—	40	—
Время задержки сигнала $\overline{WR}$ относительно сигналов адреса *DB0—DB7*, нс	$t_{d(\overline{WR},\ HL-ADB,\ SH/ZL)}$	230	—	400	—
Время задержки сигналов данных порта *P2(0)—P2(3)* относительно сигнала *ALE*, нс	$t_{d(DP2,\ HZ/LZ-ALE,\ LH)}$	150	—	40	—
Время задержки сигнала *ALE* относительно сигналов данных порта *P2(0)—P2(3)*, нс	$t_{d(ALE,\ LH-DP2,\ ZH/ZL)}$	400	—	160	—
Время задержки сигналов управления дополнительным портом *P2(0)—P2(3)* относительно сигнала $\overline{PR}$, нс	$t_{d(VP2,\ HZ/LZ-\overline{PR},\ HL)}$	140	—	160	—
Время задержки сигнала $\overline{PR}$ относительно сигналов управления дополнительным портом *P2(0)—P2(3)*, нс	$t_{d(\overline{PR},\ HL-VR2,\ ZH/ZL)}$	110	—	100	—

Параметр	Обозначение	Значения параметров			
		КМ1816ВЕ48, КР1816ВЕ35		КР1816ВЕ49, КР1816ВЕ39	
		мин.	макс.	мин.	макс.
Время задержки сигналов данных для дополнительного порта $P2(0)$—$P2(3)$ относительно сигнала $\overline{PR}$, нс	$t_{d(DP2,\ HZ/LZ-\overline{PR},\ LH)}$	65	—	90	—
Время задержки сигнала $\overline{PR}$ относительно сигналов данных для дополнительного порта $P2(0)$—$P2(3)$, нс	$t_{d(\overline{PR},\ LH-DP2,\ ZH/ZL)}$	220	—	400	—
Время установления сигналов данных порта $P2(0)$—$P2(3)$ относительно сигнала $\overline{PR}$, нс	$t_{SU(DP2,\ LH/HL-\overline{PR},\ HL)}$	—	810	—	700
Время сохранения сигналов данных порта $P2(0)$—$P2(3)$ относительно сигнала $\overline{PR}$, нс	$t_{V(DP2,\ HL/LH-\overline{PR},\ LH)}$	0	150	0	140
Время установления U_{DD} относительно сигнала $\overline{PR}$, мкс	$t_{SU(U_{DD},\ LH-\overline{PR},\ LH)}$	$4T_C$	—	—	—
Время сохранения U_{DD} относительно сигнала $\overline{PR}$, мкс	$t_{V(U_{DD},\ HL-\overline{PR},\ HL)}$	0	—	—	—
Длительность сигнала $\overline{PR}$ при программировании, мс	$t_{PR,\ WH}$	50	60	—	—
Время установления сигнала $T0$ относительно сигнала $\overline{SR}$, мкс	$t_{SU(T0,\ HL-\overline{SR},\ LH)}$	$4T_C$	—	—	—
Время сохранения сигнала $T0$ относительно U_{DD}, мкс	$t_{V(T0,\ LH-U_{DD},\ HL)}$	$4T_C$	—	—	—
Длительность сигнала $\overline{SR}$, мкс	$t_{\overline{SR},\ WL}$	$4T_C$	—	$4T_C$	—
Время задержки сигналов данных $DB0$—$DB7$ относительно сигнала $T0$, мкс	$t_{D(DB,\ LH/HL-T0,\ LH)}$	$4T_C$	—	—	—
Время перехода сигналов U_{DD}, $\overline{PR}$ из высокого уровня в низкий, мкс	$t_{THL,\ U_{DD}}$ $t_{THL,\ \overline{PR}}$	0,5	0,2	—	—
Время перехода сигналов U_{DD}, $\overline{PR}$ из низкого уровня в высокий, мкс	$t_{TLH,\ U_{DD}}$ $t_{TLH,\ \overline{PR}}$	0,5	2,0	—	—
Время установления сигналов адреса $DB0$—$DB7$ относительно сигнала $\overline{SR}$, мкс	$t_{SU(ADB,\ ZH/ZL-\overline{SR},\ LH)}$	$4T_C$	—	—	—
Время сохранения сигналов адреса $DB0$—$DB7$ относительно сигнала $\overline{SR}$, мкс	$t_{V(ADB,\ HL/LH-\overline{SR},\ LH)}$	$4T_C$	—	—	—
Время установления сигналов данных $DB0$—$DB7$ относительно сигнала $\overline{PR}$, мкс	$t_{SU(DB,\ LH/HL-\overline{PR},\ LH)}$	$4T_C$	—	—	—
Время сохранения сигналов данных $DB0$—$DB7$ относительно сигнала $\overline{PR}$, мкс	$t_{V(DB,\ HZ/LZ-\overline{PR},\ HL)}$	$4T_C$	—	—	—
Время установления сигнала EMA относительно сигнала $\overline{SR}$, мкс	$t_{SU(EMA,\ LH-\overline{SR},\ HL)}$	$4T_C$	—	—	—
Время сохранения сигнала $\overline{SR}$ относительно сигнала $T0$, мкс	$t_{V(\overline{SR},\ HL-T0,\ LH)}$	$4T_C$	—	—	—

Примечания: 1. Символ LH (HL) означает переход сигнала из низкого (высокого) уровня в высокий (низкий), символ ZH (ZL) — из высокоомного состояния в состояние высокого (низкого) уровня, символ HZ (LZ) — из высокого (низкого) уровня в высокоомное состояние.

2. Косая черта между символами HL/LH, LH/HL, ZH/ZL, HZ/LZ означает, что параметр имеет одинаковое значение для обеих переходов.

3. Временные диаграммы работы микросхем в различных режимах показаны на рис. 20.5, 20.7—20.10, 20.12. Значение параметров t_{THL}, t_{TLH} для всех сигналов должно быть не более 15 нс при работе микросхемы. При программировании (см. 20.12) значения параметров t_{TLH} и t_{THL} для входных сигналов не более 50 нс.

4. Значения временных параметров указаны при частоте генератора 6 МГц для КР1816ВЕ35, КМ1816ВЕ48 и 11 МГц для КР1816ВЕ39, КР1816ВЕ49.

Таблица 20.4

Команды	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
		Команды передачи данных			
MOV	*A, Rr* (*r*=0—7)	11111*nnn*	1	(*A*)←(*Rr*)	Передача содержимого РОН в А
MOV	*Rr, A* (*r*=0—7)	10101*nnn*	1	(*Rr*)←(*A*)	Передача содержимого *A* в РОН
MOV	*A*, @*Rr* (*r*=0, 1)	1111000*r*	1	(*A*)←((*Rr*))	Передача содержимого ячейки памяти данных в *A*. Содержимое ячейки памяти данных, адресуемой разрядами 0—5 регистра *r*, передается в *A*. Содержимое регистра *r* не изменяется
MOV	@*Rr*, *A* (*r*=0, 1)	1010000*r*	1	((*Rr*)←(*A*)	Передача содержимого *A* в память данных. Содержимое *A* передается в ячейку памяти данных, адрес которой указывается разрядами 0—5 регистра *r*. Содержимое регистра *r* не изменяется
MOVX	*A*, @*Rr* (*r*=0, 1)	1000000*r*	2 (1)	(*A*)←((*Rr*))	Передача содержимого ячейки внешней памяти данных в *A*. Содержимое ячейки внешней памяти данных, адресуемой регистром *r*, передается в *A*. Содержимое регистра *r* не изменяется
MOVX	@*Rr*, *A* (*r*=0, 1)	1001000*r*	2 (1)	((*Rr*))←(*A*)	Передача содержимого *A* в регистр внешней памяти данных. Содержимое *A* передается в ячейку внешней памяти данных, адресуемую регистром *r*. Содержимое регистра *r* не изменяется
MOV	*Rr*, #*DATA* (*r*=0—7)	10111*nnn*	2 (2)	(*Rr*)←данные	Передача операнда команды в РОН
MOV	@*Rr*, *DATA* (*r*=0, 1)	1011000*r*	2 (2)	((*Rr*)←данные	Передача операнда команды в памяти данных. Восьмиразрядный код данных передается в ячейку резидентной памяти данных, адресуемую разрядами 0—5 регистра *r*
MOV	*A*, #*DATA*	00100011	2 (2)	(*A*)←данные	Передача операнда команды в *A*
MOV	*A, PSW*	11000111	1	(*A*)←(*PSW*)	Передача содержимого регистра состояний в *A*
MOV	*PSW, A*	11010111	1	(*PSW*)←(*A*)	Передача содержимого *A* в регистр состояний. В результате этой передачи изменяются все биты условий и указатель стека
MOV	*A, T*	01000010	1	(*A*)←(*T*)	Передача содержимого регистра таймера/счетчика в *A*
MOV	*T, A*	01100010	1	(*T*)←(*A*)	Передача содержимого *A* в регистр таймера счетчика

Команды	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
MOVP	*A*, @*A*	10100011	2 (1)	(*PC0—PC7*)←(*A*), (*A*)←((*PC*))	Передача данных текущей страницы в *A*. Содержимое ячейки памяти программ, адресуемой *A*, передается в *A*. Изменяются разряды 0—7 счетчика команд в пределах текущей страницы. После выполнения этой команды происходит восстановление содержимого счетчика команды. Примечание. Если эта команда записана в ячейке 255 текущей страницы памяти программы, то аккумулятор адресует ячейку, расположенную на следующей странице
MOVP3	*A*, @*A*	11100011	2 (1)	(*PC0—PC7*)←(*A*), (*PC8—PC10*)← ←011, (*A*)←((*PC*))	Передача данных страницы 3 в *A*. Содержимое ячейки памяти программы, находящейся на странице 3 и адресуемой аккумулятором, передается в *A*. После выполнения этой команды происходит восстановление содержимого счетчика команд
XCH	*A*, *Rr* (*r*=0÷7)	00101*nnn*	1	(*A*) ↔ (*Rr*)	Обмен содержимого аккумулятора и РОН
XCH	*A*, @*Rr* (*r*=0, 1)	0010000*r*	1	(*A*) ↔ ((*Rr*))	Обмен содержимого аккумулятора и ячейки памяти данных. Содержимое аккумулятора обменивается с содержимым ячейки памяти данных, адресуемой разрядами 0—5 регистра *r*. Содержимое регистра *r* не изменяется
XCHD	*A*, @*Rr* (*r*=0, 1)	0011000*r*	1	(*A0—A3*) ((*Rr0—Rr3*))	Обмен содержимого четырех младших разрядов *A* с содержимым четырех младших разрядов ячейки памяти данных. По этой команде происходит обмен разрядов 0—3 *A* с разрядами 0—3 ячейки памяти данных, адресуемой разрядами 0—5 регистра *r*. Разряды 4—7 аккумулятора и разряды 4—7 ячейки памяти данных, а также содержимое регистра *r* остаются без изменений
SWAP	*A*	01000111	1	(*A4—A7*) (*A0—A3*)	Обмен местами содержимого четырех младших и четырех старших разрядов *A*. Содержимое разрядов *A* 0—3 меняется местами соответственно с содержимым разрядов *A* 4—7
IN	*A*, *Pp* (*p*=1, 2)	000010*nn*	2 (1)	(*A*)←(*Pp*)	Данные, поступившие на порты *P1*, *P2*, передаются в *A*
INS	*A*, *BUS*	00001000	2 (1)	(*A*)←(*B*)	Стробируемый ввод данных из порта данных в *A*. Данные из порта данных передаются (считываются) в *A* по спаду $\overline{RD}$

Команды	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
OUTL	*Pp, A* ($p=1, 2$)	001110*nn*	2 (1)	$(Pp)\leftarrow(A)$	Вывод данных из *A* в порты *P1, P2* и их фиксация
OUTL	*BUS, A*	00000010	2 (1)	$(BUS)\leftarrow(A)$	Вывод данных из *A* в порт данных. Данные из *A* передаются в порт данных и фиксируются до тех пор, пока не поступит новая команда *OUTL*. Любая другая команда, требующая использования порта данных (за исключением команды *INS*) разрушает содержимое порта данных. К ним относятся команды по расширению памяти, например команда *MOVX*
MOVD	*A, Pp* ($p=4\div7$)	000011*nn*	2	$(A0—A3)\leftarrow(Pp)$, $(A4—A7)\leftarrow0$	Передать данные из порта *P2* (4—7) и *A*. Данные из порта *P2* микросхемы расширителя передаются в разряды 0—3 *A*. Разряды 4—7 аккумулятора обнуляются. Разряды 0—1 кода операции используются для кодирования номера портов *P4—P7* следующим образом: Разряд 1 0 Порт 0 0 *P4* 0 1 *P5* 1 0 *P6* 1 1 *P7*
MOVD	*Pp, A* ($p=4\div7$)	001111*nn*	2 (1)	$(Pp)\leftarrow(A0—A3)$	Передача содержимого разрядов 0—3 *A* в порты *P4—P7*. Содержимое разрядов 0—3 *A* передается в порт *P* микросхемы расширителя. Содержимое разрядов 4—7 *A* не изменяется. Номер порта кодируется, как в предыдущей команде
		Команды преобразования данных			
ANL	*A, Rr* ($r=0\div7$)	01011*nnn*	1	$(A)\leftarrow(A)\,AND\,(Rr)$	Логическая операция И содержимого *A* с маской, содержащейся в РОН
ORL	*A, Rr* ($r=0\div7$)	01001*nnn*	1	$(A)\leftarrow(A)\ \ OR\,(Rr)$	Логическая операция ИЛИ содержимого *A* с маской, содержащейся в РОН
XRL	*A, Rr* ($r=0\div7$)	11011*nnn*	1	$(A)\leftarrow(A)$ $XOR\ (Rr)$	Операция исключающее ИЛИ содержимого *A* с маской, содержащейся в РОН
ANL	*A, @ Rr* ($r=0, 1$)	0101000*r*	1	$(A)\leftarrow(A)$ $AND\ ((Rr))$	Логическая операция И содержимого *A* с маской, содержащейся в ячейке памяти данных, адресуемой разрядами 0—5 регистра *r*
ORL	*A, @ Rr* ($r=0, 1$)	0100000*r*	1	$(A)\leftarrow(A)$ $OR\ ((Rr))$	Логическая операция ИЛИ содержимого *A* с маской, содержащейся в ячейке памяти, адресуемой разрядами 0—5 регистра *r*

Команды	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
XRL	*A*, @*Rr*	1101000*r*	1	(*A*)←(*A*) *XOR* ((*Rr*))	Операция исключающее ИЛИ содержимого *A* с маской, содержащейся в ячейке памяти данных, адресуемой разрядами 0—5 регистра *r*
ANL	*A*, #*DATA*	01010011	2 (2)	(*A*)←(*A*) *AND* данные	Логическая операция И содержимого *A* с маской, определяемой операндом команды
ORL	*A*, #*DATA*	01000011	2 (2)	(*A*)←(*A*) *OR* данные	Логическая операция ИЛИ содержимого *A* с маской, определяемой операндом команды
XRL	*A*, #*DATA*	11010011	2 (2)	(*A*)←(*A*) *XOR* данные	Операция исключающее ИЛИ содержимого *A* с маской, определяемой операндом команды
ANL	*Pp*, #*DATA* (*p*=1, 2)	100110*nn*	2 (2)	(*Pp*)←(*Pp*) *AND* данные	Логическая операция И данных на портах *P1*, *P2* с маской, определяемой операндом команды
ANL	*BUS*, #*DATA*	10011000	2 (2)	(*BUS*)←(*BUS*) *AND* данные	Логическая операция И содержимого порта данных с маской, определяемой операндом команды. Перед этой командой должна выполняться команда *OUTL BUS*, A
ORL	*Pp*, #*DATA* (*p*=1, 2)	100010*nn*	2 (2)	(*Pp*)←(*Pp*) *OR* данные	Логическая операция ИЛИ данных на портах *P1*, *P2* с маской, определяемой операндом команды
ORL	*BUS*, #*DATA*	10001000	2 (2)	(*BUS*)←(*BUS*) *OR* данные	Логическая операция ИЛИ данных на порте данных с маской, определяемой операндом команды. Перед этой командой должна выполняться команда *OUTL BUS*, A
ANLD	*Pp*, *A* (*p*=4÷7)	100111*nn*	2 (1)	(*Pp*)←(*Pp*) *AND* (*A0*—*A3*)	Логическая операция И содержимого порта *P4*—*P7* с маской, содержащейся в *A*. Логическое И данных порта с *P* с маской, содержащейся в разрядах 0—3 аккумулятора. Содержимое *A0*—*A3* и код операции *AND* записываются в порт *P*. Содержимое *A* не изменяется Примечание. Номер порта *P* кодируется разрядами 0, 1 кода операции следующим образом: Разряд 1 0 Порт 0 0 *P4* 0 1 *P5* 1 0 *P6* 1 1 *P7*
ORLD	*Pp*, *A* (*p*=4÷7)	100011*nn*	2 (1)	(*Pp*)←(*Pp*) *OR*(*A0*—*A3*)	Логическая операция ИЛИ содержимого портов *P4*—*P7* с маской, содержащейся в *A*. Логическая операция ИЛИ содержимого порта *P* с маской, содержащейся в разрядах 0—3 аккумулятора, содержимое

Команда	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
					A0—A3 и код операции *OR* записываются в порт *P*. Содержимое *A* не изменяется (см. примечание к команде *ANLD*)
RR	*A*	01110111	1	$(Ai)\leftarrow(Ai+1)$, $(A7)\leftarrow(A0)$, $i=0\div6$	Циклический сдвиг вправо без переноса. Содержимое *A* сдвигается на один разряд. Разряд 0 переходит на позицию разряда 7
RL	*A*	11100111	1	$(Ai+1)\leftarrow(Ai)$, $(A0)\leftarrow(A7)$, $i=0\div6$	Циклический сдвиг влево без переноса. Содержимое *A* сдвигается влево на один разряд. Разряд 7 переходит на позицию разряда 0
RRC	*A*	01100111	1	$(Ai)\leftarrow(Ai+1)$, $(A7)\leftarrow(C)$, $(C)\leftarrow(A0)$, $i=0\div6$	Циклический сдвиг вправо с переносом. Содержимое *A* сдвигается вправо на один разряд. Разряд 0 переходит на позицию разряда переноса. Разряд переноса переходит на позицию разряда 7
RLC	*A*	11110111	1	$(Ai+1)\leftarrow(Ai)$, $(A0)\leftarrow(C)$, $(C)\leftarrow(A7)$, $i=0\div6$	Циклический сдвиг влево с переносом. Содержимое *A* сдвигается влево на один разряд. Разряд 7 переходит на позицию разряда переноса. Разряд переноса переходит на позицию разряда 0
INC	@ *Rr* ($r=0$, 1)	0001000*r*	1	$((Rr))\leftarrow((Rr))+1$	Инкрементирование содержимого ячейки памяти данных. Содержимое ячейки резидентной памяти данных, адресуемой разрядами 0—5 регистра *r*, инкрементируется на 1
DEC	*A*	00000111	1	$(A)\leftarrow(A)-1$	Декрементирование содержимого *A*. Содержимое *A* уменьшается на 1
DEC	*Rr* ($r=0\div7$)	11001*nnn*	1	$(Rr)\leftarrow(Rr)-1$	Декрементирование содержимого РОН. Содержимое регистра *r* уменьшается на 1
DJNZ	*Rr*, *ADDRESS* ($r=0\div7$)	11101*nnn*	2 (2)	$(Rr)\leftarrow(Rr)-1$ Если содержимое *Rr* не 0, то $(PC0-PC7)\leftarrow$адрес	Декрементирование содержимого РОН и тестирование. Содержимое регистра уменьшается на 1 и тестируется на 0. Если регистр содержит только нули, то управление программой передается следующей команде. Если содержимое регистра не 0, то происходит управляемый переход по указанному во втором байте адресу. В этом случае 8-разрядный регистр адреса обеспечивает возможность адресации к 256 ячейкам текущей страницы
ADD	*A*, *Rr* ($r=0\div7$)	01101*nnn*	1	$(A)\leftarrow(A)+(Rr)$, $(AC)\leftarrow X$, $(C)\leftarrow X$	Сложение содержимого РОН и содержимого *A*. Результат записывается в *A*

Команда	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
ADDC	*A, Rr* ($r=0\div7$)	01111*nnn*	1	$(A)\leftarrow(A)+(Rr)+(C)$, $(AC)\leftarrow X$, $(C)\leftarrow X$	Сложение содержимого разряда переноса и содержимого РОН с содержимым *A*
ADD	*A*, @*Rr* ($r=0, 1$)	0110000*r*	1	$(A)\leftarrow(A)+((Rr))$, $(AC)\leftarrow X$, $(C)\leftarrow X$	Сложение содержимого ячейки памяти данных с содержимым *A* Содержимое ячейки памяти данных, адресуемой разрядами 0—5 регистра *r*, складывается с содержимым *A*
ADDC	*A*, @*Rr* ($r=0, 1$)	0111000*r*	1	$(A)\leftarrow(A)+((Rr))+(C)$, $(AC)\leftarrow X$, $(C)\leftarrow X$	Сложение содержимого разряда переноса и содержимого ячейки памяти данных с содержимым *A*. Содержимое ячейки памяти данных адресуется разрядами 0—5 регистра *r*
ADD	*A*, #*DATA*	00000011	2 (2)	$(A)\leftarrow(A)+$ данные, $(AC)\leftarrow X$, $(C)\leftarrow X$	Сложение непосредственных данных с содержимым *A*
ADDC	*A*, #*DATA*	00010011	2 (2)	$(A)\leftarrow(A)+$ данные $+(C)$, $(AC)\leftarrow X$, $(C)\leftarrow X$	Сложение содержимого разряда переноса и операнда команды с содержимым *A*
CLR	*A*	00100111	1	$(A)\leftarrow0$	Установить *A* в 0
CPL	*A*	00110111	1	$(A)\leftarrow NOT(A)$	Инвертирование содержимого *A* Код, содержащийся в *A*, заменяется на обратный Каждая 1 заменяется на 0, и наоборот
DA	*A*	01010111	1		Десятичная коррекция Двоичный код *A* представляется в двоично-десятичной форме в виде двух 4-разрядных секций Как правило, эта операция следует за операцией сложения Содержимое бита переноса изменяется Если содержимое разрядов 0—3 *A* больше девяти или если промежуточный бит переноса равен 1, то содержимое *A* инкрементируется на 6 Затем проверяются четыре старших разряда Если содержимое разрядов 4—7 *A* больше девяти или бит переноса равен 1, то содержимое этих разрядов увеличивается на шесть. Если имеет место переполнение, то бит переноса устанавливается в 1, если переполнения нет, он устанавливается в 0
INC	*A*	00010111	1	$(A)\leftarrow(A)+1$	Инкрементирование содержимого *A* Содержимое *A* увеличивается на 1
INC	*Rr* ($r=0\div7$)	00011*nnn*	1	$(Rr)\leftarrow(Rr)+1$	Инкрементирование содержимого РОН. Содержимое регистра *r* увеличивается на 1
CLR	*C*	10010111	1	$(C)\leftarrow0$	Очистка разряда переноса Во время выполнения программы разряд переноса может быть установлен в 1 командами

Команда	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
					ADD, ADDC, RLC, CPLC, DA. Команда *CLRC* устанавливает разряд переноса в 0
CPL	*C*	10100111	1	$(C) \leftarrow NOT(C)$	Инвертирование содержимого разряда переноса
CLR	*F0*	10000101	1	$(F0) \leftarrow 0$	Содержимое флагового разряда *F0* устанавливается в 0. Бит флага *F0* содержится в *PSW*
CPL	*F0*	10010101	1	$(F0) \leftarrow NOT(F0)$	Инвертирование содержимого флагового разряда *F0*
CLR	*F1*	10100101	1	$(F1) \leftarrow 0$	Содержимое флагового разряда *F1* устанавливается в 0. Бит флага *F1* содержится в *PSW*
CPL	*F1*	10110101	1	$(F1) \leftarrow NOT(F1)$	Инвертирование содержимого флагового разряда *F1*
EN	*I*	00000101	1	—	Разрешение внешних прерываний. Внешние прерывания разрешаются сигналом низкого уровня на входе прерывания $\overline{INT}$
DIS	*I*	00010101	1	—	Запрещение внешних прерываний. Микросхема не реагирует на поступление сигнала низкого уровня на входе $\overline{INT}$
EN	*TCNTI*	00100101	1	—	Разрешение прерываний по переполнению таймера/счетчика событий. Переполнение таймера/счетчика событий запускает последовательность обработки прерываний
DIS	*TCNTI*	00110101	1	—	Запрещение прерываний при переполнении таймера/счетчика событий
STRT	*T*	01010101	1	—	Запуск таймера. Накопление происходит в регистре таймера, который инкрементируется через каждые 32 командных цикла. Счетчик командных циклов начинает счет с 0
STRT	*CNT*	01000101	1	—	Запуск счетчика событий. Регистр счетчика событий инкрементируется каждый раз, когда на выводе *T1* происходит переход напряжения с высокого уровня на низкий
STOP	*TCNT*	01100101	1	—	Останов таймера/счетчика событий
ENTO	*CLK*	01110101	1	—	Разрешение вывода импульсов синхронизации. Эта функция запрещается командой системного сброса
SEL	*MB0*	11100101	1	$(DBF) \leftarrow 0$	Выбор нулевого банка (*MB0*) памяти программ. Одиннадцатый разряд счетчика команд устанавливается в 0. Нулевой банк размещен в ячейках 0—2047 памяти программ

Команда	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
SEL	*MB1*	11110101	1	$(DBF) \leftarrow 1$	Выбор первого банка памяти (*MB1*) программ. Одиннадцатый разряд счетчика команд устанавливается в 1. Первый банк размещен в ячейках 2048—4095 памяти программ
SEL	*RB0*	11000101	1	$(BS) \leftarrow 0$	Выбор нулевого банка рабочих регистров памяти данных. Четвертый разряд регистра состояний устанавливается в 0. Рабочие регистры 0—7 занимают ячейки 0—7 памяти данных
SEL	*RB1*	11010101	1	$(BS) \leftarrow 1$	Выбор первого банка рабочих регистров памяти данных. Четвертый разряд регистра состояний *BS* устанавливается в 1. Рабочие регистры 0—7 занимают ячейки 24—31 памяти данных
NOP	—	00000000	1	—	Нет операции. Программа продолжается со следующей команды
		Команды передачи управлений			
CALL	*ADDRESS*	$A_{10}A_9A_8 10100$	2 (2)	$((SP)) \leftarrow (PC)$, $(PSW4—PSW7)$, $(PC8—PC10) \leftarrow A_8—A_{10}$, $(PC0—PC7) \leftarrow ADDRESS(0—7)$, $(PC11) \leftarrow DBF$	Вызов подпрограммы. Содержимое счетчика команд и содержимое разрядов 4—7 регистра состояний заносится в стек. Указатель стека (содержимое разрядов 0—2 регистра состояний) инкрементируется Управление программой передается по адресу, указанному в данной команде. Содержимое разряда 11 счетчика команд определяется предшествующей командой *SEL MB* После возвращения из подпрограммы выполнение программы продолжается с команды, следующей за командой *CALL*
RET		10000011	2 (1)	$(SP) \leftarrow (SP)-1$, $(PC) \leftarrow ((SP))$	Возврат из подпрограммы обслуживания прерываний без восстановления содержимого регистра состояний. Содержимое указателя стека (разряды 0—2 регистра состояний) декрементируется. Содержимое счетчика команд восстанавливается из стека. Содержимое разрядов 4—7 регистра состояний не восстанавливается
RETR		10010011	2 (1)	$(SP) \leftarrow (SP)-1$, $(PC) \leftarrow ((SP))$, $(PSW4—PSW7)$, $((SP))$	Возврат из подпрограммы обслуживания прерываний с восстановлением содержимого регистра состояний. Указатель стека декрементируется. Содержимое счетчика команд и

Команда	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
					содержимое разрядов 4—7 регистра состояний восстанавливаются из стека
JMP	*ADDRESS*	$A_{10}A_9A_8$00100	2 (2)	(*PC8—PC10*)← ←A_8—A_{10}, (*PC0—PC7*)← ←*ADD RESS* (0—7)	Безусловный переход по адресу, указанному в данной команде. Содержимое разрядов 0—10 счетчика команд замещается непосредственно указанным в команде адресом. Содержимое разряда 11 счетчика команд определяется командой *SEL MB*
JMPP	@ *A*	10110011	2 (1)	(*PC0—PC7*)← ←((*A*))	Безусловный переход по адресу, содержащемуся в *A*. Переход осуществляется внутри текущей страницы памяти программы (косвенная адресация). Содержимое *A0—A7* загружается в счетчик команд. Разряды 8—11 счетчика команд не изменяются
JC	*ADDRESS*	11110110	2 (2)	Если *C*=1, то (*PC0—PC7*)←адрес	Переход, если разряд переноса установлен в 1. Управление программой передается по указанному адресу, если разряд переноса установлен в 1
JNC	*ADDRESS*	11100110	2 (2)	Если *C*=0, то (*PC0—PC7*)←адрес	Переход, если разряд переноса установлен в 0. Управление программой передается по указанному адресу, если в разряде переноса записан 0
JZ	*ADDRESS*	11000110	2 (2)	Если *A*=0, то (*PC0—PC7*)←адрес	Переход, если содержимое *A* равно 0. Управление программой передается по указанному адресу, если во время выполнения этой команды во всех разрядах *A* — нули
JNZ	*ADDRESS*	10010110	2 (2)	Если *A*≠0, то (*PC0—PC7*)←адрес	Переход, если содержимое *A* — не 0. Управление программой передается по указанному адресу, если в момент выполнения этой команды содержимое *A* — не 0
JF0	*ADDRESS*	10110110	2 (2)	Если *F0*=1, то (*PC0—PC7*)←адрес	Переход, если флаговый разряд *F0* установлен в 1. Управление программой передается по указанному адресу, если флаговый разряд *F0* установлен в 1
JF1	*ADDRESS*	01110110	2 (2)	Если *F1*=1, то (*PC0—PC7*)←адрес	Переход, если флаговый разряд *F1* установлен в 1. Управление программой передается по указанному адресу, если флаговый разряд *F1* установлен в 1
JT0	*ADDRESS*	00110110	2 (2)	Если *T0*=1, то (*PC0—PC7*)←адрес	Переход, если уровень сигнала *T0* высокий. Управление программой передается по указанному в команде адресу, если уровень сигнала *T0* высокий (1)

Команда	Операнд	Код операции	Число циклов (байтов)	Алгоритм	Описание команды
JNT0	*ADDRESS*	00100110	2 (2)	Если $T0=0$, то $(PC0—PC7)\leftarrow$адрес	Переход, если уровень сигнала *T0* низкий. Управление программой передается по указанному адресу, если уровень сигнала *T0* низкий (0)
JT1	*ADDRESS*	01010110	2 (2)	Если $T1=1$, то $(PC0—PC7)\leftarrow$адрес	Переход, если уровень сигнала *T1* высокий. Управление программой передается по указанному в команде адресу, если уровень сигнала *T1* высокий (1)
JNT1	*ADDRESS*	01000110	2 (2)	Если $T1=0$, то $(PC0—PC7)\leftarrow$адрес	Переход, если уровень сигнала *T1*, низкий. Управление программой передается по указанному в команде адресу, если уровень сигнала *T1* низкий (0)
JTF	*ADDRESS*	000101110	2 (2)	Если $TF=1$, то $(PC0—PC7)\leftarrow$адрес	Переход, если флаговый разряд таймера установлен в 1. Управление программой передается по указанному в команде адресу, если разряд флага таймера установлен в 1, т. е. по переполнению регистра таймера/счетчика событий. Тестирование флагового разряда таймера устанавливает *TF* в 0 (переполнение запускает последовательность обслуживания прерываний, если прерывание разрешено)
JNI	*ADDRESS*	10000110	2 (2)	Если $I=0$, то $(PC0—PC7)\leftarrow$адрес	Переход, если на входе прерывания низкий уровень. Управление передается по указанному в команде адресу, если уровень входного сигнала прерывания низкий (0), т. е. запрос на внешние прерывания поступил (этот сигнал запускает последовательность обслуживания прерываний, если внешние прерывания разрешены)
JB_b ($b=0\div7$)	*ADDRESS*	*nnn*10010	2 (2)	Если $A_i=1$, то $(PC0—PC7)\leftarrow$адрес, $i=b$	Переход, если один из разрядов *A* установлен в 1. Управление передается по указанному в команде адресу, если разряд *b* аккумулятора установлен в 1

дующей команды. Большинство команд (53) выполняются за один машинный цикл, 43 команды (в том числе 15 однобайтовых) — за два машинных цикла. Выполнение двухбайтовых команд за два цикла связано с дополнительным обращением к программной памяти. Однобайтовые команды в большинстве выполняются за один цикл, однако команды, требующие обращения к внешним устройствам, а также команды *RET* и *RETR* выполняются за два цикла. Перечень команд микро-ЭВМ приведен в табл. 20.4.

Команды условно разделены на следующие группы: передачи данных, преобразования данных, передачи управления.

Для описания системы команд приняты следующие сокращения и условные обозначения:

A — аккумулятор;
R0—R7 — регистры 0—7: *Rr* ($r=0\div7$);
AC — флаг дополнительного переноса;
PSW — слово состояния программы;
BUS — порт данных;
P1, P2 — порты ввода/вывода 1, 2;
P4—P7 — порты ввода/вывода 4—7 (порты расширителя ввода/вывода);
C — флаг переноса;
T — регистр таймера;
CNT — регистр счетчика событий;
TCNT — таймер, счетчик событий;
RB0, RB1 — нулевой и первый банки рабочих регистров;
MB0—MB1 — нулевой и первый банки памяти;
I — прерывание,

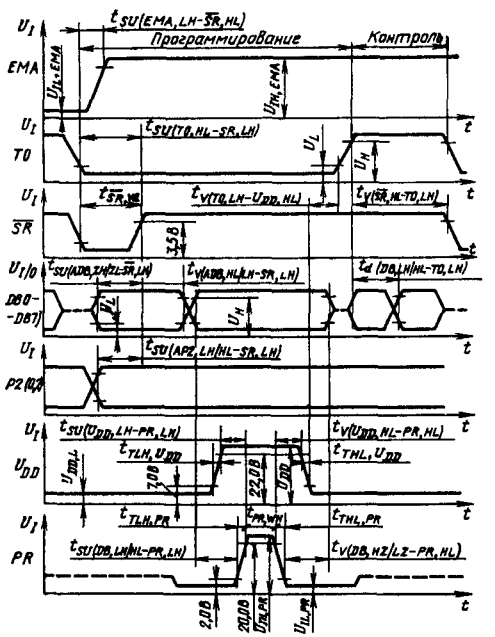


Рис. 20.12. Временна́я диаграмма работы микро-ЭВМ при программировании

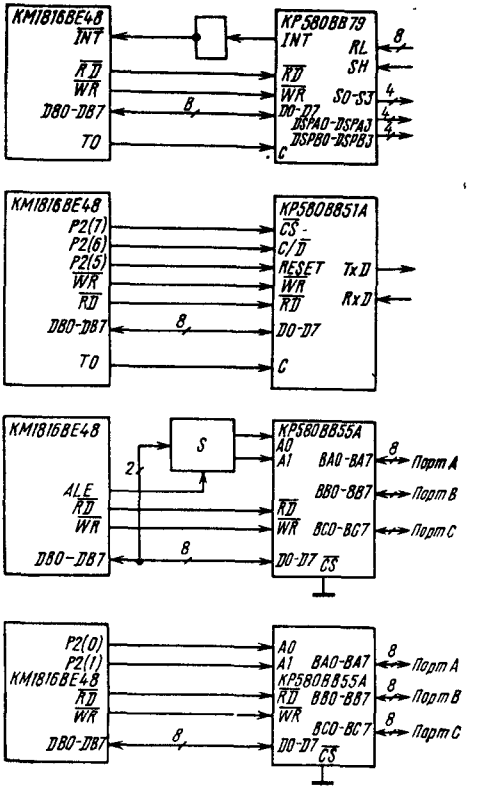


Рис. 20.13. Схемы подключения микро-ЭВМ к микросхемам КР580ВВ51А, КР580ВВ55А и КР580ВВ79

Таблица 20.5

Параметр	Обозначение	Значения параметров [макс. (мин.)]
Напряжение питания, В	$U_{CC}U_{DD}$	7,0 (—0,5)
Входное напряжение, В	U_I	7,0 (—0,5)
Напряжение при программировании, В;		
на выводе U_{DD}	$U_{DD,PR}$	26,0
на выводах *PR, EMA*	U_{EMA}, U_{PR}	25,0
Выходной ток высокого уровня, мА	I_{OH}	(—0,8)
Выходной ток низкого уровня, мА	I_{OL}	3,0
Емкость нагрузки, пФ	C_L	500

TCNTI — прерывание таймера/счетчика;
F0, F1 — флаговые разряды 0 и 1;
POH — регистр общего назначения;
(Rr) — содержимое регистра R;
((Rr)) — содержимое ячейки памяти по адресу, записанному в регистре *Rr*;
— индекс непосредственных данных;
@ — индекс косвенной адресации;
← — указатель направления записи;
nn, nnn — указатели номера устройства в двоичном коде.

Микросхемы по входам и выходам совместимы с ТТЛ-схемами. Для выводов *BQ1, BQ2,* $\overline{SR}$ необходимо применять ТТЛ-схемы с открытым коллектором и сопротивлением нагрузки, обеспечивающим параметры входных сигналов для этих входов. Двунаправленные и квазидвунаправленные выводы микросхем рекомендуется подключать через специальные двунаправленные шинные формирователи серии К589 или другие.

Структура двунаправленной шины *DB0—DB7* (порт *P0*) микро-ЭВМ позволяет использовать в составе системы интерфейсные микросхемы микропроцессорного комплекта серии КР580. Применяются они для увеличения числа каналов ввода/вывода и их типов.

В системе можно использовать последовательный интерфейс ввода/вывода КР580ВВ51А, параллельный интерфейс ввода/вывода КР580ВВ55А, контроллер клавиатура/дисплей КР580ВВ79. Обмен информацией в этом случае осуществляется, как и при обращении к внешней памяти данных с помощью команд типа *MOVX*. Структурные схемы подключения микросхем КР580ВВ51А, КР580ВВ55А, КР580ВВ79 показаны на рис. 20.13.

Параметры микросхемы в диапазоне рабочих температур —10÷+70 °С и напряжении питания +5,0 В±10% приведены в табл. 20.3, предельные электрические режимы эксплуатации — в табл. 20.5.

Приложение 1

Корпуса микропроцессорных микросхем

Таблица П1

Тип корпуса	Габариты, мм (с учетом выводов)	Масса микросхемы, г, не более	Материал корпуса	Тип микросхемы	Номер рисунка
201.16-13	19,2×7,5×5,0	1,5	Металлокерамический	КМ1804ВР1, КМ1804ИР1, КМ1804ВУ3	1
2104.18-5	24,0×7,5×4,5	2,5	Полимерный	КР1810ГФ84	3
2140.20-2	27,0×7,5×4,5	4,0	Полимерный	КР1810ВГ88, КР1810ВБ89	4
2140Ю.20-2	25,0×7,5×5,5	2,1	Металлокерамический	КМ1804ВА2, КМ1804ВР3, КМ1804ВУ2	5
2108.22-1	27,9×10,0×4,7	2,8	Металлокерамический	КМ1804ИР2	6
210Б.24-1	29,5×14,8×4,5	5,5	Металлокерамический	К1809РУ1	7
239.24-1	31,5×15,3×4,0	4,0	Полимерный	КР1801РЕ2	2
239.24-2	31,5×15,3×4,0	4,0	Полимерный	КР1802ИР1	2
2120.24-1	29,4×15,0×5,0	4,5	Металлокерамический	КМ1804ВА1, КМ1804ВА3, КМ1804ГГ1	8
2121.28-1	36,5×15,3×5,0	4,0	Полимерный	КР1802ВВ3	2
2121.28-5	36,0×15,0×5,0	5,0	Полимерный	КР1810ВН59А	9
2121.28-6	34,6×15,0×5,0	6,0	Металлокерамический	КМ1804ВУ1, КМ1804ВУ5, КМ1804ИР3	10
2121.28-7	34,1×15,0×5,0	6,0	Металлокерамический	КМ1813ВЕ1	10
2123.40-1	51,0×15,3×5,0	6,0	Полимерный	К1814ВЕ4	2
2123.40-2	51,5×15,0×5,2	6,0	Полимерный	КР1816ВЕ35, КР1816ВЕ39, КР1816ВЕ49	11
2123.40-6	49,7×15,0×5,0	8,5	Металлокерамический	КМ1801ВМ2, КМ1804ВН1, КМ1804ВР2, КМ1804ВУ4 КМ1804ВС1, КМ1810ВМ86, КМ1811ВТ1, КМ1816ВЕ48	12
2206.42-1	27,5×20,0×5,0	4,0	Полимерный	КР1802ВВ1, КР1802ВВ2, КР1802ВР1, КР1802ВР2, КР1802ВР3, КР1802ВС1	13
244.48-11	31,2×17,0×3,2	5,0	Металлокерамический	К1809ВВ1, КМ1509КП1	14
2126.48-1	59,7×15,0×5,0	10,5	Металлокерамический	КМ1804ВЖ1, КМ1804ВС2, К1814ВЕ3	15
2207.48-4	31,0×20,0×5,0	5,0	Полимерный	КР1802ИМ1, КР1802ИП1, КР1802КП1	16
2136.64-1	80,6×22,5×7,2	20,0	Металлокерамический	КМ1801ВМ3, КМ1802ВР4, КМ1802ВР5	17
4109.20-1	12,25×17,9×2,5	2,0	Полимерный	КА1808ВВ1, КА1808ИР1	18
4117.22-3	13,5×20,1×2,5	2,0	Полимерный	КА1808ВМ1, КА1808ВУ1	19
429.42-5	25,6×33,7×3,2	4,0	Металлокерамический	К1801ВМ1, К1801ВП1-30, К1801ВП1-33, К1801ВП1-34, К1801ВП1-35	20
413.48-3	37,8×27,7×4,3	6,0	Металлокерамический	К1809ВВ2	21
4134.48-2	30,4×42,0×3,2	7,0	Металлокерамический	К1809ВГ3	22
Н13.40-1	12,0×12,0×2,5	2,0	Металлокерамический	КН1811ВМ1, КН1811ВУ1, КН1811ВУ2, КН1811ВУ3	23
210Б.24-5	29,5×15,0×6,0	6,0	Металлокерамический	К573РФ3	24

Конструктивное исполнение корпусов микросхем

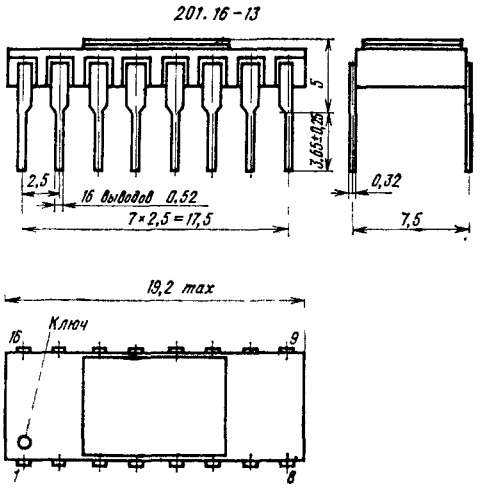


Рис. 1

238 16-2, 239 24-1, 239.24-2, 2121.28-1, 2123.40-1

Корпус	n	L_1, мм	L_2, мм	l_1, мм	l_2, мм	h, мм
238 16-2	16	21,5	17,5	6,5	7,8	3,5
239.24-1 239.24-2	24	31	27,5	13,2	15,3	4,0
2121.28-1	28	36	32,5	13,2	15,3	4,0
2123.40-1	40	51	47,5	13,2	15,3	4,0

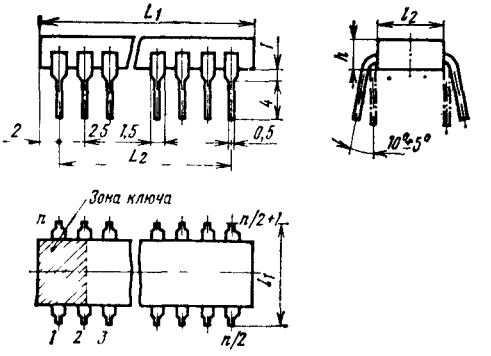


Рис. 2

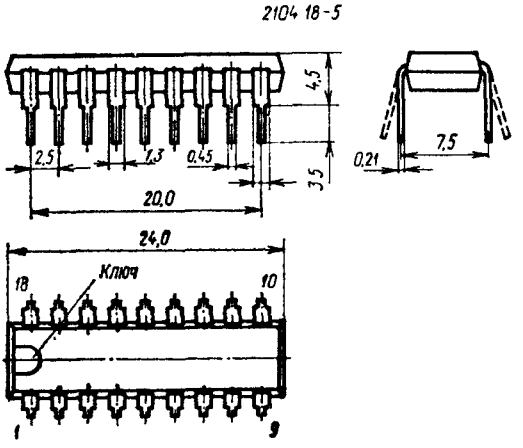


Рис. 3

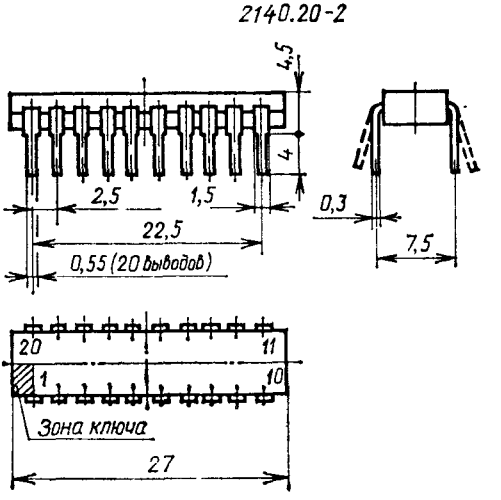


Рис. 4

2140Ю20-2

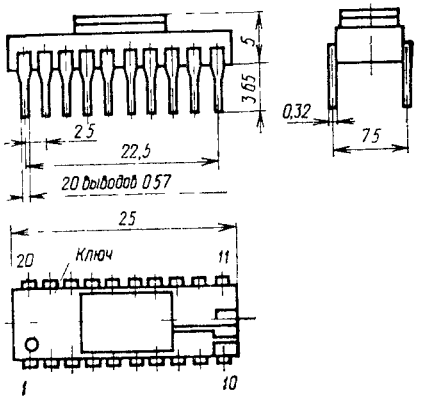


Рис. 5

2108.22-1

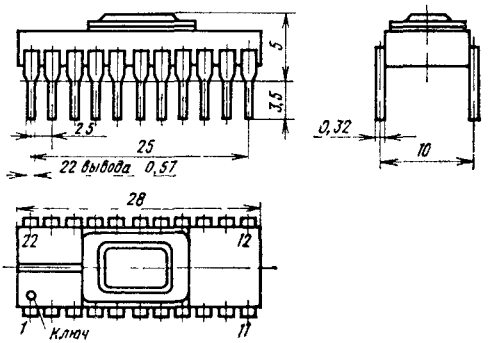


Рис 6

2105.24-1

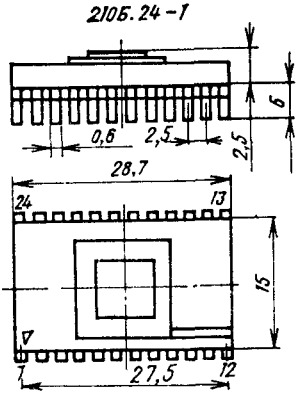


Рис 7

2120.24-1

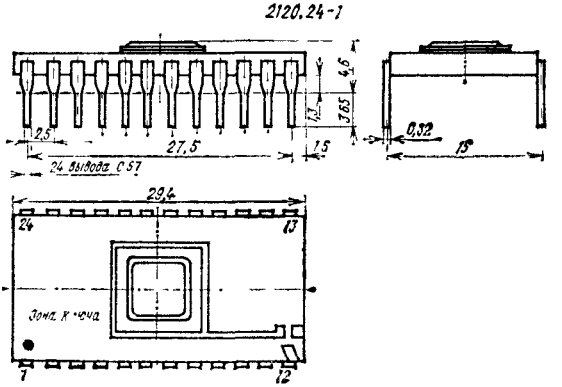


Рис 8

2121.28-5

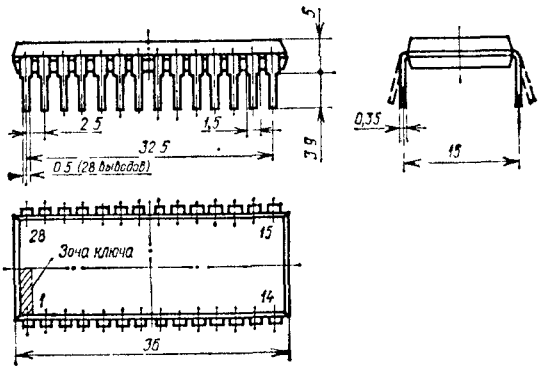


Рис. 9

2121.28-6, 2121.28-7

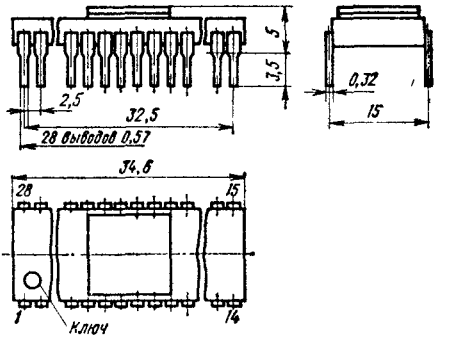


Рис. 10

2123.40-2

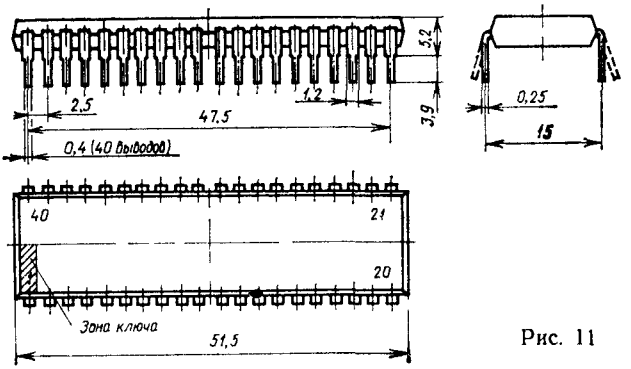


Рис. 11

2123.40-6

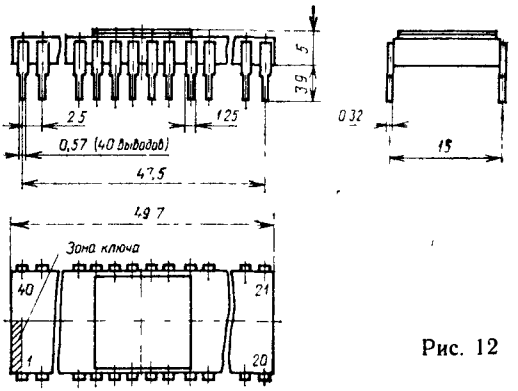


Рис. 12

2206.42-1

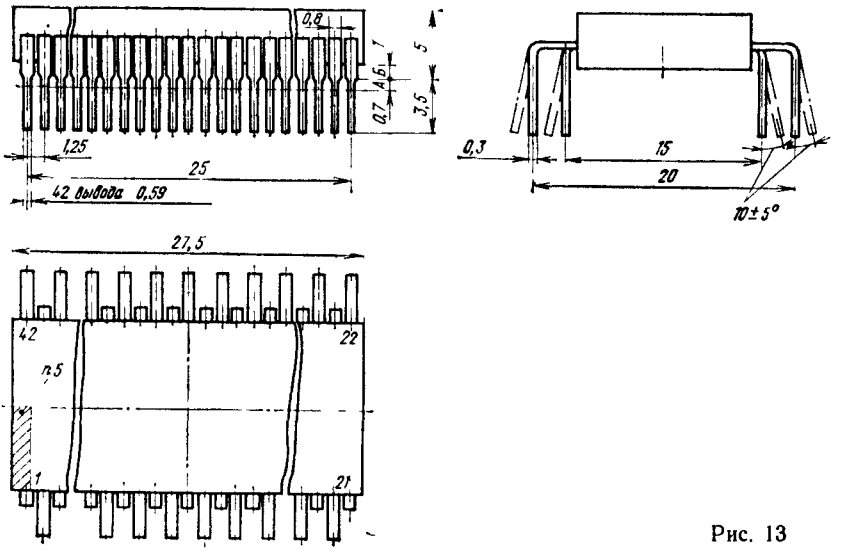


Рис. 13

244-48 11

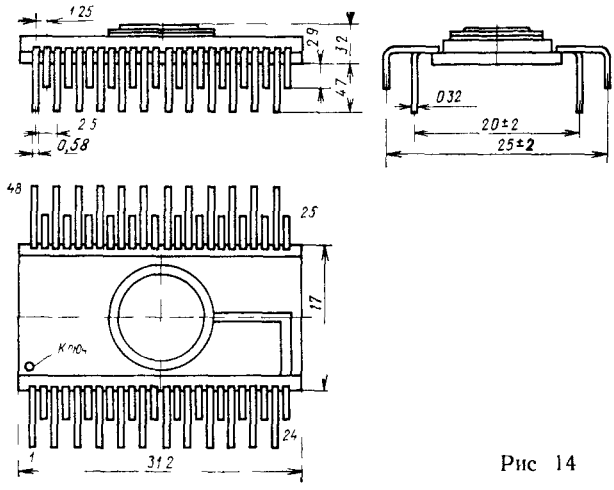


Рис 14

2126 48 1

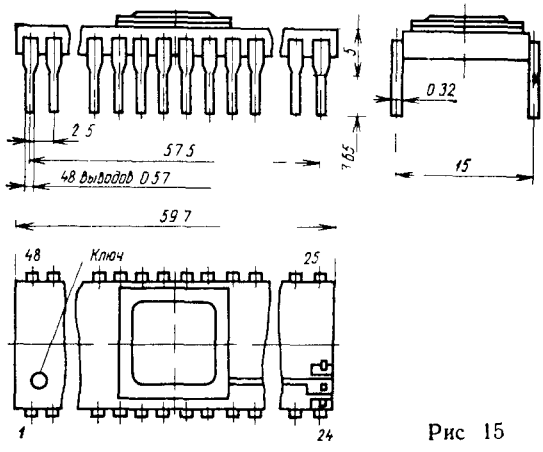


Рис 15

220748-4

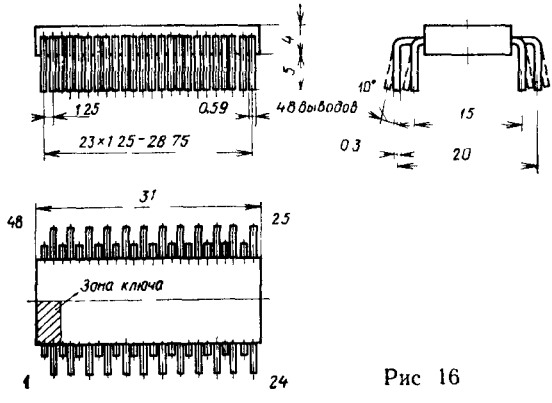


Рис 16

2136 64-1

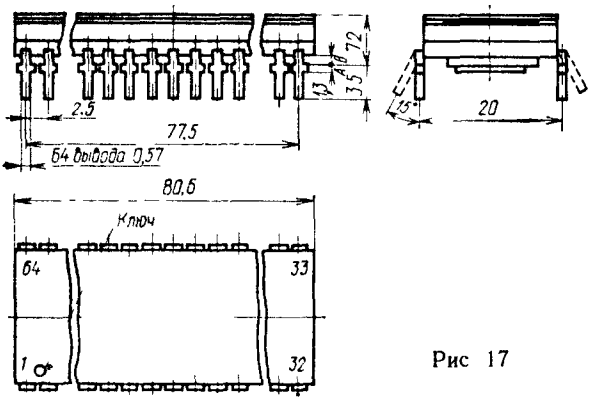


Рис 17

4109 20-1

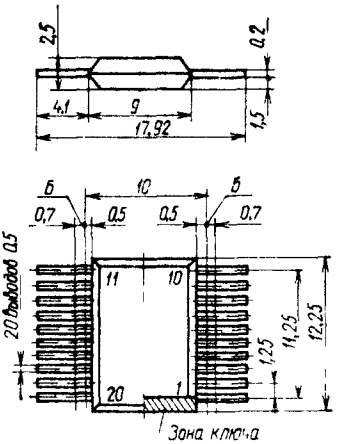


Рис. 18

4117 22-3

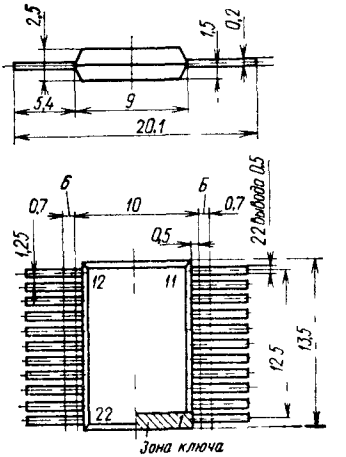


Рис. 19

429.42-3, 429 42-5

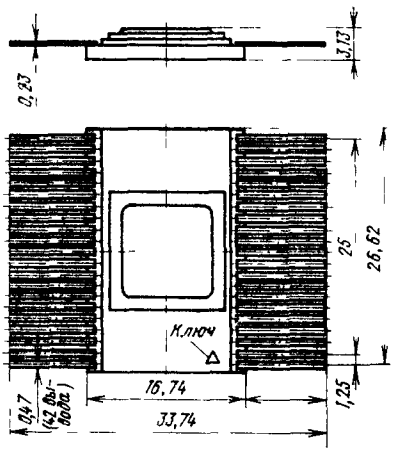


Рис 20

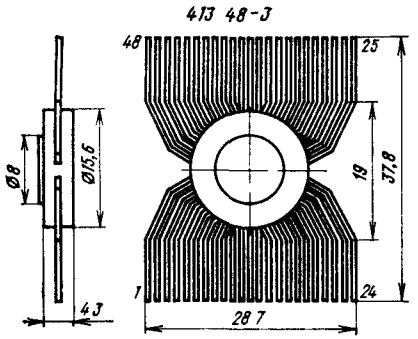


Рис 21

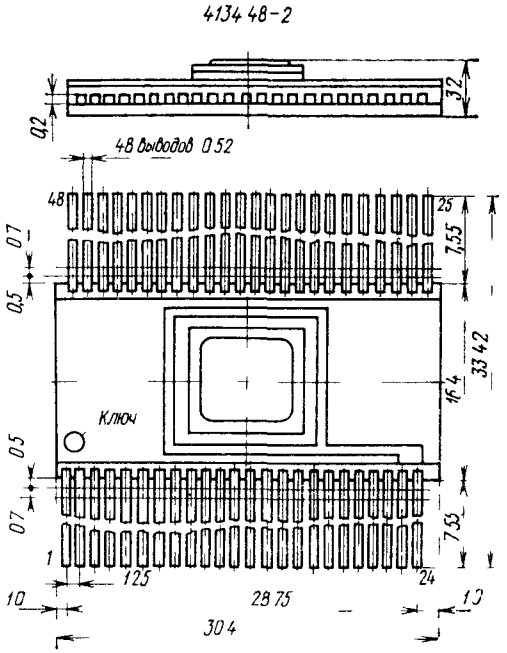


Рис 22

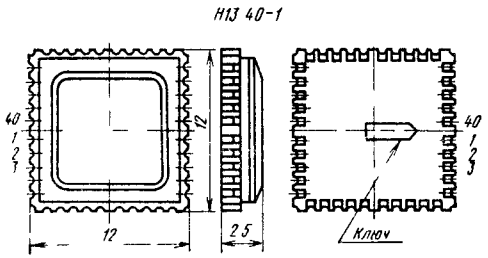


Рис 23

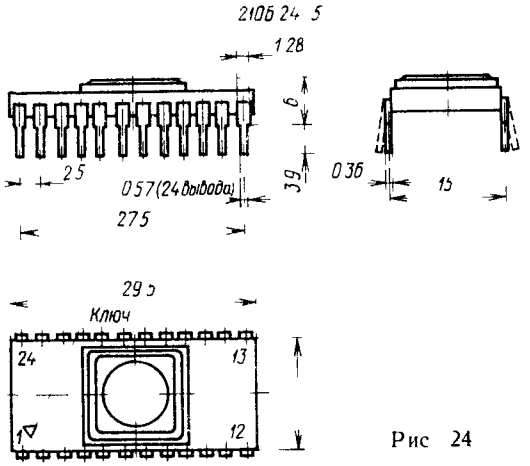


Рис 24

Приложение 2

Краткие сведения о дополнительных микропроцессорных комплектах микросхем, не вошедших в справочник

Таблица П2

Обозначение	Функциональное назначение	Общая характеристика			
		Разрядность, бит	Время цикла, нс (тактовая частота)	Потребляемая мощность, Вт (ток потребления, мА)	Тип корпуса
Серия К1815					
К1815ВФ1	Универсальный процессорный элемент	8	120	(60)	4131.24-3
К1815ИМ1	Сумматор последовательных чисел	8×2	120	0,5	4131.24-3
К1815ВФ2	Накапливающий сумматор	24	500	0,7	4119.28-1
К1815ВФ3	Процессор обработки сигналов	Произвольная	100	0,36	4131.24-3
К1815ИД1	АЛУ	4	120	0,7	429.42-1
К1815ПР1	Преобразователь кодов	8	120	0,5	16 выводов
К1815ИР1	Ортогональная матрица регистров сдвига	8×4	120	0,7	4119.28-1
Серия КР1818					
КР1818ВГ93	Контроллер накопителя на гибком диске	8	500	0,5	2123.40-2
КР1818ВЖ1	Циклический регистр диагностики ошибок		30	0,45	201.14-1
Серия КР1820					
КР1820ВЕ1	Однокристальная микро-ЭВМ	4	До 16 мкс	0,3	2123.40-4
КР1820ВЕ2	Однокристальная микро-ЭВМ с ПЗУ 1К байт	4	»	0,3	2121.28-3
Серия КР1828					
КР1828ВЖ1	Схема диагностики микропроцессоров, ПЗУ/ППЗУ и логики	8	200	1,3	239.24-2
КР1828ВЖ2	Схема диагностики ОЗУ	8	200	1,5	244.48-5

Приложение 3

Краткие сведения о микросхемах запоминающих устройств, применяемых в микропроцессорных системах

Таблица П3

Обозначение	Технология	Общая характеристика				
		Информационная емкость, бит (число слов × число разрядов)	Время выборки, нс	Напряжение питания, В	Ток потребления, мА	Тип корпуса
Микросхемы ОЗУ динамического типа						
К565РУ1	*n*-МДП	4К(4К×1)	200	+12; +5	60; 5	210А.22-3
К565РУ5	*n*-МДП	64К(64К×1)	120	+5	45	2103.16-5
К565РУ6	*n*-МДП	16К(16К×1)	120	+5	27	2103.16-2

Обозначение	Технология	Общая характеристика				
		Информационная емкость, бит (число слов × число разрядов)	Время выборки, нс	Напряжение питания, В	Ток потребления, мА	Тип корпуса
Микросхемы ОЗУ статического типа						
КР132РУ3	*n*-МДП	1К(1К×1)	60	+5	100	2103.16-6
КР132РУ4	*n*-МДП	1К(1К×1)	33	+5	60	2103.16-2
КМ132РУ5	*n*-МДП	4К(4К×1)	60	+5	160	2104.18-1
КР132РУ6	*n*-МДП	16К(16К×1)	45	+5	25	210Ю.20-3
КМ132РУ8	*n*-МДП	4К(1К×4)	60	+5	160	2104.18-1
КР565РУ2	*n*-МДП	1К(1К×1)	450	+5	70	2103.16-1
К561РУ2	КМДП	256(256×1)	600	+3; 15	0,02	2106.16-2
КР537РУ1	КМДП	1К(1К×1)	300	+5	10	238.16-1
КР537РУ2	КМДП	4К(4К×1)	300	+5	0,05	2107.18-4
КР537РУ3	КМДП	4К(4К×1)	250	1,8...6,0	20	2107.18-1
К537РУ6	КМДП	4К(4К×1)	340	+5	8	427.18-2
КР537РУ8	КМДП	16К(2К×8)	220	+5	30	239.24-2
К537РУ9	КМДП	16К(2К×8)	400	+5	1	24 вывода
КР537РУ10	КМДП	16К(2К×8)	300	+5	1	2120.24 4
К537РУ14	КМДП	4К(4К×1)	110	+5	20	427.18-2
К500РУ145	ЭСЛ	64(64×1)	10	—5,2	140	238.16-2
К500РУ148	ЭСЛ	64(64×1)	15	—5,2	110	238.16-2
К500РУ410	ЭСЛ	256(256×1)	40	—5,2	125	238.16-2
К500РУ415	ЭСЛ	1К(1К×1)	30	—5,2	140	238.16-2
К500РУ470	ЭСЛ	4К(4К×1)	35	—5,2	190	2107.18-3
К1500РУ073	ЭСЛ	256(64×4)	6	—4,5	220	4114.24-1
К1500РУ415	ЭСЛ	1К(1К×1)	20	—4,5	150	4106.16-4
К1500РУ470	ЭСЛ	4К(4К×1)	35	—4,5	195	4116.18-3
К155РУ7	ТТЛ	1К(1К×1)	45	+5	140	238.16-2
К531РУ8П	ТТЛШ	64(16×4)	35	+5	110	201.16-16
К531РУ11П	ТТЛШ	64(16×4)	40	+5	110	2104.18-2
КР541РУ1А	$И^2Л$	4К(4К×1)	120	+5	85	2107.18-1
КР541РУ2	$И^2Л$	4К(1К×4)	120	+5	100	2107.18-1
КР541РУ3	$И^2Л$	16К(16К×1)	100	+5	110	2118.20-1
Микросхемы ПЗУ, программируемые маской						
К555РЕ4	ТТЛШ	16К(2К×8)	110	+5	170	239.24-2
КР568РЕ2	*n*-МДП	64К(8К×8)	250	+12; +5	54	2121.28-5
КР568РЕ3	*n*-МДП	128К(16К×8)	550	+5	50	2121.28-5
К596РЕ1	ТТЛ	64К(8К×8)	350	+5	145	4131.24-3
Микросхемы ПЗУ, программируемые электрически однократно						
К541РТ1	$И^2Л$	1К(256×4)	80	+5	80	402.16-21
КР556РТ4	ТТЛШ	1К(256×4)	70	+5	130	238.16-2
КР556РТ4АР	ТТЛШ	1К(256×4)	45	+5	130	238.16-2
КР556РТ5	ТТЛШ	4К(512×8)	70	+5	190	239.24-2
КР556РТ11	ТТЛШ	1К(256×4)	45	+5	130	238.16-2
КР556РТ12	ТТЛШ	4К(1К×4)	60	+5	140	2104.18-5
КР556РТ13	ТТЛШ	4К(1К×4)	60	+5	140	2104.18-5
КР556РТ14	ТТЛШ	8К(2К×4)	60	+5	140	2104.18-5
КР556РТ15	ТТЛШ	8К(2К×4)	60	+5	140	2104.18-5
КР556РТ16	ТТЛШ	64К(8К×8)	85	+5	190	239.24-2
КР556РТ17	ТТЛШ	4К(512×8)	50	+5	175	239.24-2
КР556РТ18	ТТЛШ	16К(2К×8)	60	+5	180	239.24-2
Микросхемы ПЗУ с многократным перепрограммированием, электрической записью и стиранием информации						
КР558РР2	*p*-МНДП	16К(2К×8)	350	+5	100	405.24-7
КР1601РР1	*p*-МНДП	4К(1К×4)	1700	—12; +5	30	2120.24-3
КР1601РР3	*p*-МНДП	16К(2К×8)	600	—12; +5	32	2121.28-5
К573РР2	*n*-МНДП	16К(2К×8)	350	+5	120	2120.24-2.02
КМ1609РР1	*n*-МНДП	16К(2К×8)	350	+5	130	2128.24-1.02

Обозначение	Технология	Общая характеристика				
		Информационная емкость, бит (число слов × число разрядов)	Время выборки, нс	Напряжение питания, В	Ток потребления, мА	Тип корпуса
Микросхемы ПЗУ с многократным программированием и с ультрафиолетовым стиранием						
К573РФ1	ЛИЗМДП	8К(1К×8)	450	—12; —5;	130	210Б.24-5
К573РФ2	ЛИЗМДП	16К(2К×8)	450	+5	90	210Б.24-5
К573РФ3	ЛИЗМДП	64К(4К×16)	400	+5; —5	80	210Б.24-5
К573РФ4	ЛИЗМДП	64К(8К×8)	450	+12; +5	65	2121.28-8
К573РФ5	ЛИЗМДП	16К(2К×8)	450	+5	85	210Б.24-5
К573РФ6	ЛИЗМДП	64К(8К×8)	300	+5	190	2123.40-6
Микросхемы ЗУ на ЦМД						
К1602РЦ2	—	256К	4 мс 150 КГц	—	0,8 Вт	—
К1602РЦ3	—	1М	7,5 мс 150 КГц	—	1,0 Вт	—

Приложение 4

Цифровые (логические) микросхемы, применяемые в микропроцессорных системах

Таблица П4

Функциональное назначение	Обозначение	Тип корпуса
Серии К155, КМ155 (технология ТТЛ, время задержки 10 нс, мощность потребления 10 мВ·А/вентиль, напряжение питания 5 В)		
Четыре элемента 2И — НЕ	К155ЛА3 КМ155ЛА3	201.14-1 201.14-8
Четыре элемента 2И — НЕ с открытым коллектором	К155ЛА8 КМ155ЛА8	201.14-1 201.14-8
Четыре элемента 2ИЛИ — НЕ	К155ЛЕ1	201.14-1
Шесть элементов НЕ	К155ЛН1 КМ155ЛН1	201.14-1 201.14-8
Шесть инверторов с открытым коллектором	К155ЛН2	201.14-1
Шесть буферных инверторов с повышенным коллекторным напряжением	К155ЛН3	201.14-1
Шесть буферных формирователей с открытым коллектором	К155ЛП9 КМ155ЛП9	201.14-1 201.14-8
Четыре элемента 2И	К155ЛИ1 КМ155ЛИ1	201.14-1 201.14-8
Три элемента 3И—НЕ	К155ЛА4 КМ155ЛА4	201.14-1 201.14-8
Три элемента 3И — НЕ с открытым коллектором	К155ЛА10 КМ155ЛА10	201.14-1 201.14-8
Два триггера Шмитта с элементом 4И — НЕ на входе	К155ТЛ1	201.14-1
Шесть буферных инверторов	К155ЛН5	201.14-1
Два элемента 4И — НЕ, один расширяемый по ИЛИ	К155ЛА1	201.14-1

Функциональное назначение	Обозначение	Тип корпуса
Два элемента 4И — НЕ с открытым коллектором	К155ЛА7 КМ155ЛА7	201.14-1 201.14-8
Два элемента 4ИЛИ — НЕ со стробированием	К155ЛЕ2	238.16-1
Два элемента 4ИЛИ — НЕ со стробированием	К155ЛЕ3 КМ155ЛЕ3	201.14-1 201.14-8
Четыре высоковольтных элемента 2И — НЕ	К155ЛА11	201.14-1
Три элемента 3ИЛИ — НЕ	К155ЛЕ4 КМ155ЛЕ4	201.14-1 201.14-8
Четыре элемента 2ИЛИ — НЕ	К155ЛЕ5 КМ155ЛЕ5	201.14-1 201.14-8
Элемент 8И — НЕ	К155ЛА2 КМ155ЛА2	201.14-1 201.14-8
Четыре элемента 2ИЛИ	К155ЛЛ1	201.14-1
Четыре элемента 2И — НЕ с повышенной нагрузочной способностью	К155ЛА12	201.14-1
Четыре элемента 2И — НЕ с открытым коллектором	К155ЛА13	201.14-1
Два элемента 4И — НЕ с большим коэффициентом разветвления	К155ЛА6 КМ155ЛА6	201.14-1 201.14-8
Два элемента 2И — 2ИЛИ — НЕ	К155ЛР1 КМ155ЛР1	201.14-1 201.14-8
Элемент 3И — 4ИЛИ — НЕ	К155ЛР3 КМ155ЛР3	201.14-1 201.14-8
Элемент 4И — 2ИЛИ — НЕ	К155ЛР4 КМ155ЛР4	201.14-1 201.14-8
Два четырехвходовых расширителя по ИЛИ	К155ЛД1 КМ155ЛД1	201.14-1 201.14-8
J-K-триггер с элементом 3И на входе	К155ТВ1 КМ155ТВ1	201.14-1 201.14-8
Два *D*-триггера	К155ТМ2 КМ155ТМ2	201.14-1 201.14-8
Четыре *D*-триггера с прямым и инверсным выходами	К155ТМ7 КМ155ТМ7	238.16-2 201.16-6
Четыре *D*-триггера	К155ТМ5 КМ155ТМ5	201.14-1 201.14-8
Одноразрядный полный сумматор	К155ИМ1 КМ155ИМ1	201.14-1 201.14-8
ОЗУ 16 бит	К155РУ1 КМ155РУ1	201.14-2 201.14-9
Двухразрядный полный сумматор	К155ИМ2 КМ155ИМ2	201.14-1 201.14-9
Четырехразрядный сумматор	К155ИМ3 КМ155ИМ3	238.16-2 201.16-6
Четыре двухвходовых элемента «исключающее ИЛИ»	К155ЛП5 КМ155ЛП5	201.14-1 201.14-8
Двоично-десятичный счетчик	К155ИЕ2 КМ155ИЕ2	201.14-1 201.14-8
Счетчик-делитель на 12	К155ИЕ4 КМ155ИЕ4	201.14-1 201.14-8
Двоичный счетчик	К155ИЕ5 КМ155ИЕ5	201.14-1 201.14-8
Четырехразрядный сдвиговый регистр	К155ИР1 КМ155ИР1	201.14-1 201.14-8
Делитель с переменным коэффициентом деления	К155ИЕ8	238.16-2

Функциональное назначение	Обозначение	Тип корпуса
Одновибратор с элементом 2ИЛИ — И на входе	К155АГ1	201.14-1
Сдвоенный одновибратор с повторным запуском	К155АГ3 КМ155АГ3	238.16-1 201.16-5
Четыре усилителя с тремя состояниями	К155ЛП8 КМ155ЛП8	201.14-1 201.14-8
Магистральный усилитель	К155ЛЕ6	201.14-1
Двоично-десятичный дешифратор с высоковольтным выходом	К155ИД1 КМ155ИД1	238.16-1 201.16-5
Селектор-мультиплексор на 16 каналов	К155КП1	239.24-1
Селектор-мультиплексор без стробирования	К155КП5 КМ155КП5	201.14-1 201.14-8
Сдвоенный селектор-мультиплексор	К155КП2 КМ155КП2	238.16-1 201.16-5
Дешифратор 4×16	К155ИД3	239.24-2
Сдвоенный дешифратор 2×4	К155ИД4 КМ155ИД4	238.16-1 201.16-5
Четырехразрядный десятичный синхронный счетчик	К155ИЕ9	238.16-2
Четырехразрядный регистр с тремя состояниями на выходе	К155ИР15 КМ155ИР15	238.16-2 201.16-6
Четыре *D*-триггера	К155ТМ8	238.16-1
Восьмиразрядная схема контроля на четность	К155ИП2 КМ155ИП2	201.14-1 201.14-8
Четырехразрядная АЛУ	К155ИП3	239.24-2
Съема ускоренного переноса для АЛУ	К155ИП4 КМ155ИП4	238.16-1 201.16-5
Преобразователь двоично-десятичного кода в двоичный	К155ПР6 КМ155ПР6	238.16-2 201.16-6
Преобразователь двоичного кода в двоично-десятичный	К155ПР7 КМ155ПР7	238.16-2 201.16-6
Двоично-десятичный реверсивный счетчик	К155ИЕ6 КМ155ИЕ6	238 16-2 201.16-1
Четырехразрядный двоичный реверсивный счетчик	К155ИЕ7 КМ155ИЕ7	238.16-2 201.16-6
Восьмиразрядный реверсивный регистр сдвига	К155ИР13	239.24-2
Двенадцатиразрядный регистр	К155ИР17	239.24-2
Восьмивходовой расширитель по ИЛИ	К155ЛД3 КМ155ЛД3	201.14-1 201.14-8
Шесть триггеров Шмитта с инвертором	К155ТЛ2	201.14-1
Шесть буферных формирователей с открытым выходом	К155ЛП4	201.14-1
Четыре триггера Шмитта	К155ТЛ3	201.14-1
Селектор-мультиплексор на 8 каналов со стробированием	К155КП7	238.16-1
Шесть инверторов с тремя состояниями на выходе	К155ЛН6	238.16-2
Декадный счетчик	К155ИЕ1	201.14-1
Многофункциональный элемент	К155ХЛ1 КМ155ХЛ1	201.14-1 201.14-9
Серия К531 (технология ТТЛШ, время задержки 3 нс, потребляемая мощность 19 мВ·А/вентиль, напряжение питания 5 В)		
Четыре элемента 2И — НЕ	К531ЛА3П	201.14-1
Четыре элемента 2ИЛИ — НЕ	К531ЛЕ1П	201.14-1
Четыре элемента 2И — НЕ с открытым коллектором	К531ЛА9П	201.14-1

Функциональное назначение	Обозначение	Тип корпуса
Шесть элементов НЕ	К531ЛН1П	201.14-1
Шесть элементов НЕ с открытым коллектором	К531ЛН2П	201.14-1
Три элемента 3И	К531ЛИ3П	201.14-1
Два элемента 4И — НЕ	К531ЛА1П	201.14-1
Элемент 8И — НЕ	К531ЛА2П	201.14-1
Два элемента 2И — 2ИЛИ — НЕ	К531ЛР11П	201.14-1
Четыре двухвходовых элемента «исключающее ИЛИ»	К531ЛП5П	201.14-1
J-K-триггер с предварительной установкой	К531ТВ9П	201.16-12
J-K-триггер с установкой единицы	К531ТВ10П	201.14-1
J-K-триггер с установкой единицы и синхронизацией	К531ТВ11П	201.14-1
Два элемента 4И — НЕ	К531ЛА16П	201.14-1
Два селектора-мультиплексора	К531КП2П	201.16-16
Четырехразрядное АЛУ	К531ИП3П	239-24-7
Схема ускоренного переноса для АЛУ	К531ИП4П	201.16-16
Четырехразрядный селектор с тремя состояниями	К531КП11П	201.16-16
Двунаправленный усилитель-формирователь	К531АП2П	201.16-16
Серии К555, КМ555 (технология ТТЛШ, время задержки 10 нс, потребляемая мощность 2 мВ·А/вентиль, напряжение питания 5 В)		
Четыре элемента 2И — НЕ	К555ЛА3 КМ555ЛА3	201.14-1 201.14-8
Четыре элемента 2ИЛИ — НЕ	К555ЛЕ1	201.14-1
Четыре элемента 2И — НЕ с открытым коллектором	К555ЛА9 КМ555ЛА9	201.14-1 201.14-8
Шесть элементов НЕ	К555ЛН1 КМ555ЛН1	201.14-1 201.14-8
Шесть инверторов с открытым коллекторным выходом	К555ЛН2	201.14-1
Четыре элемента 2И	К555ЛИ1 КМ555ЛИ1	201.14-1 201.14-8
Три элемента 3И	К555ЛИ3 КМ555ЛИ3	201.14-1 201.14-8
Три элемента 3И — НЕ	К555ЛА4	201.14-1
Три элемента 3И с открытым коллектором	К555ЛИ4	201.14-1
Шесть триггеров Шмитта	К555ТЛ2 КМ222ТЛ2	201.14-1 201.14-8
Два элемента 4И — НЕ	К555ЛА1 КМ555ЛА1	201.14-1 201.14-8
Три элемента 3ИЛИ — НЕ	К555ЛЕ4	201.14-1
Четыре элемента 2И — НЕ с повышенной нагрузочной способностью	К555ЛА12	201.14-1
Четыре элемента 2И — НЕ с открытым коллектором	К555ЛА13	201.14-1
Элемент 2И — 4ИЛИ — НЕ	К555ЛР13	201.14-1
Элемент 4И — 2ИЛИ — НЕ	К555ЛР4	201.14-1
Два *D*-триггера	К555ТМ2	201.14-1
Четыре *D*-триггера с прямыми и инверсными выходами	К555ТМ7	201.16-1
Схема сравнения четырехразрядных чисел	К555СП1	238.16-2
Два *J-K*-триггера с установкой и сбросом	К555ТВ9	238.16-2
Два одновибратора с повторным запуском	К555АГ3	238.16-2
Двоичный дешифратор	К555ИД7	238.16-2
Двоично-десятичный дешифратор	К555ИД10	238.16-2

Функциональное назначение	Обозначение	Тип корпуса
Шифратор приоритетов 8—3	К555ИВ1	238.16-1
Четырехразрядный двоичный счетчик	К555ИЕ10	238.16-2
Восьмиразрядный последовательный регистр	К555ИР8	201.14-8
Восьмиразрядный регистр сдвига параллельно-последовательный	К555ИР9	238.16-2
Восьмиразрядный регистр сдвига	К555ИР10	238.16-2
Шесть синхронных *D*-триггеров	К555ТМ9	238.16-2
Четыре *D*-триггера	К555ТМ8	238.16-2
Двоично-десятичный реверсивный счетчик	К555ИЕ6	238.16-2
Четырехразрядный реверсивный счетчик	К555ИЕ7	238.16-2
Два элемента 4И	К555ЛИ6 КМ555ЛИ6	201.14-1 201.14-8
Элемент 8И — НЕ	К555ЛА2 КМ555ЛА2	201.14-1 201.14-8
Четыре элемента 2ИЛИ	К555ЛЛ1	201.14-1
Два элемента: 2И — 2ИЛИ — НЕ и 3И — 2ИЛИ — НЕ	К555ЛР11 КМ555ЛР11	201.14-1 201.14-8
Четыре элемента «исключающее ИЛИ»	К555ЛП5 КМ555ЛП5	201.14-1 201.14-8
Два *J-K*-триггера со сбросом	К555ТВ6	201.14-6
Два дешифратора	К555ИД4 КМ555ИД4	238-16-1 201.16-5
Серия К561 (технология КМДП, время задержки 50 нс, мощность потребления 0,4 мкВ·А/вентиль, напряжение питания 3...15 В)		
Четыре элемента 2ИЛИ — НЕ	К561ЛЕ5	201.14-1
Два элемента 4ИЛИ — НЕ	К561ЛЕ6	201.14-1
Четыре элемента И — ИЛИ	К561ЛС2	238.16-1
Четырехразрядный сумматор	К561ИМ1	238.16-1
Четыре элемента 2И — НЕ	К561ЛА7	201 14-1
Два элемента 4И — НЕ	К561ЛА8	201.14-1
Два *D*-триггера	К561ТМ2	201.14-1
Два четырехразрядных сдвиговых регистра	К561ИР2	238.16-1
Девятичный счетчик-делитель	К561ИЕ8	238.16-1
Восьмиканальный мультиплексор	К561КП2	238.16-1
Два четырехканальных мультиплексора	К561КП1	238.16-1
Счетчик-делитель на 8	К561ИЕ9	238.16-1
Три элемнта 3И — НЕ	К561ЛА9	201.14-1
Три элемента 3ИЛИ — НЕ	К561ЛЕ10	201.14-1
Два *J-K*-триггера	К561ТВ1	238.16-1
Четыре элемента «исключающее ИЛИ»	К561ЛП2	201.14-1
Четырехразрядный последовательно-параллельный регистр	К561ИР9	238.16-1
Четыре *RS*-триггера	К561ТР2	238.16-1
Четыре *D*-триггера	К561ТМ3	238.16-1
Шесть элементов НЕ	К561ЛН2	201.14-1
Шесть преобразователей уровня	К561ПУ4	238.16-18
Четыре двунаправленных переключателя	К561КТ3	201.14-1
Шесть элементов НЕ с блокировкой и запретом	К561ЛН1	238.16-1
Два четырехразрядных счетчика	К561ИЕ10	238.16-1

Функциональное назначение	Обозначение	Тип корпуса
Двенадцатиразрядная схема сравнения	К561СА1	238.16-1
Четырехразрядная схема сравнения	К561ИП2	238.16-1
Серия К500 (технология ЭСЛ, время задержки 2 нс, мощность потребления — 25 мВ·А/вентиль, напряжение питания 5,2 В)		
Четыре элемента 2ИЛИ — НЕ/ИЛИ с одним общим входом	К500ЛМ101	238.16-2
Четыре элемента 2ИЛИ — НЕ/ИЛИ	К500ЛМ102	238.16-2
Три элемента ИЛИ — НЕ/ИЛИ	К500ЛМ105	238.16-2
Три элемента ИЛИ — НЕ	К500ЛЕ106	238.16-2
Три элемента «исключающее ИЛИ — НЕ/ИЛИ»	К500ЛП107	238.16-2
Два элемента ИЛИ с мощным выходом	К500ЛК110	238.16-2
Два элемента ИЛИ — НЕ с мощным выходом	К500ЛЕ111	238.16-2
Три приемника	К500ЛП114	238.16-2
Четыре приемника	К500ЛП115	238.16-2
Три приемника	К500ЛП116	238.16-2
Два элемента 3ИЛИ — 2И/ИЛИ — 2И — НЕ	К500ЛК117	238.16-2
Два элемента ИЛИ — И	К500ЛС118	238.16-2
Элемент ИЛИ — И	К500ЛС119	238.16-2
Элемент ИЛИ — И/ИЛИ — И — НЕ	К500ЛК121	238.16-2
Три элемента ИЛИ — НЕ с мощным выходом	К500ЛЕ123	238.16-2
Преобразователь уровня	К500ПУ124	238.16-2
Преобразователь уровня	К500ПУ125	238.16-2
Формирователь	К500ЛП128	238.16-2
Приемник	К500ЛП129	238.16-2
Два *D*-триггера	К500ТМ130	238.16-2
Два *D*-триггера	К500ТМ131	238.16-2
Четыре *D*-триггера с защелкой	К500ТМ133	238.16-2
Четыре *D*-триггера	К500ТМ134	238.16-2
Два *J-K*-триггера	К500ТВ135	238.16-2
Счетчик двоичный четырехразрядный	К500ИЕ136	238.16-2
Счетчик десятичный универсальный	К500ИЕ137	238.16-2
Регистр сдвига универсальный четырехразрядный	К500ИР141	238.16-2
Двенадцативходовая схема контроля на четность	К500ИЕ160	238.16-2
Трехразрядный дешифратор низкого уровня	К500ИД161	238.16-2
Трехразрядный дешифратор высокого уровня	К500ИД162	238.16-2
Восьмиканальный мультиплексор	К500ИД164	238.16-2
Кодирующий элемент с приоритетом	К500ИВ165	238.16-2
Четыре *D*-триггера с мультиплексорами на входах	К500ТМ173	238.16-2
Два четырехвходовых мультиплексора	К500КП174	238.16-2
Схема ускоренного переноса	К500ИП179	238.16-2
Сдвоенный сумматор-вычитатель АЛУ на 16 операций	К500ИП180 К500ИП181	238.16-2 239.24-2
Два элемента ИЛИ с мощным выходом	К500ЛЕ210	238.16-2
Два элемента ИЛИ — НЕ с мощным выходом	К500ЛЕ211	238.16-2
Три приемника	К500ЛП216	238.16-2
Два *D*-триггера	К500ТМ231	238.16-2

Справочное издание

АВЕРЬЯНОВ НИКОЛАЙ НИКОЛАЕВИЧ
БЕРЕЗЕНКО АЛЕКСАНДР ИВАНОВИЧ
БОРЩЕНКО ЮРИЙ ИВАНОВИЧ И ДР.

МИКРОПРОЦЕССОРЫ И МИКРОПРОЦЕССОРНЫЕ КОМПЛЕКТЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ.

ТОМ 2

Заведующий редакцией Ю. Н. Рысев
Редактор Г. Н. Астафуров
Художественный редактор Н. С. Шенн
Переплет художника Н. А. Пашуро
Технический редактор Г. З. Кузнецова
Корректор А. К. Акименкова

ИБ № 1571

Сдано в набор 04.02.87 Подписано в печать 08.12.87. Т-19088.
Формат 70×100 1/16. Бумага офсетная № 2. Гарнитура литературная. Печать офсетная.
Усл. печ. л. 29,9. Усл. кр.-отт. 30,55. Уч.-изд. л. 36,67. Тираж 100.000 (1-й завод: 1—50.000 экз.)
Изд. № 22027. Зак. № 915. Цена 2 р. 20 к.

Издательство «Радио и связь», 101000 Москва, Почтамт, а/я 693

Московская типография № 4 «Союзполиграфпрома» при Государственном комитете СССР по делам издательств, полиграфии и книжной торговли.
129041, Москва, Б. Переяславская, 46