

# Arquitectura de Computadores



Los Del DGIIM, [losdeldgiim.github.io](https://losdeldgiim.github.io)

Doble Grado en Ingeniería Informática y Matemáticas  
Universidad de Granada



Esta obra está bajo una Licencia Creative Commons Atribución-NoComercial-SinDerivadas 4.0 Internacional (CC BY-NC-ND 4.0).

Eres libre de compartir y redistribuir el contenido de esta obra en cualquier medio o formato, siempre y cuando des el crédito adecuado a los autores originales y no persigas fines comerciales.

# Arquitectura de Computadores

Los Del DGIIM, [losdeldgiim.github.io](https://losdeldgiim.github.io)

José Juan Urrutia Milán  
Arturo Olivares Martos

Granada, 2023-2024



# Índice general

<b>1. Arquitecturas Paralelas</b>	<b>5</b>
1.1. Clasificación del paralelismo implícito en una aplicación . . . . .	5
1.1.1. Objetivos . . . . .	5
1.1.2. Niveles y tipos de paralelismo . . . . .	5
1.1.3. Unidades de ejecución . . . . .	9
1.1.4. Implementación del paralelismo . . . . .	9
1.1.5. Detección y extracción del paralelismo . . . . .	10
1.2. Clasificación de arquitecturas paralelas . . . . .	12
1.2.1. Objetivos . . . . .	12
1.2.2. Computación distribuida . . . . .	12
1.2.3. Clasificación según el mercado . . . . .	13
1.2.4. Clasificación de Flynn o de flujos . . . . .	13
1.2.5. Clasificación según el paralelismo aprovechado . . . . .	19
1.3. Evaluación de prestaciones . . . . .	20
1.3.1. Objetivos . . . . .	20
1.3.2. Definiciones . . . . .	20
1.3.3. Tiempo de CPU . . . . .	21
1.3.4. MIPS y FLOPS . . . . .	22
1.3.5. Ganancia . . . . .	22
1.3.6. Ley de Amdahl . . . . .	23
1.3.7. Benchmarks . . . . .	24
<b>2. Relaciones de Problemas</b>	<b>25</b>
2.1. Arquitecturas Paralelas . . . . .	25
2.1.1. Cuestiones . . . . .	35
2.1.2. Ejercicios adicionales . . . . .	38
2.2. Programación paralela . . . . .	41
2.2.1. Cuestiones . . . . .	46



# 1. Arquitecturas Paralelas

## 1.1. Clasificación del paralelismo implícito en una aplicación

### 1.1.1. Objetivos

Como ítems a conocer en esta sección, destacamos:

- Conocer las clasificaciones usuales del paralelismo implícito en una aplicación. Distinguir entre paralelismo de tareas y paralelismo de datos.
- Distinguir entre las dependencias RAW, WAW y WAR.
- Distinguir entre thread y proceso.
- Relacionar el paralelismo implícito en una aplicación con el nivel en el que se hace explícito para que se pueda utilizar (instrucción, thread, proceso) y con las arquitecturas paralelas que lo aprovechan.

### 1.1.2. Niveles y tipos de paralelismo

En una aplicación, podemos encontrar distintos niveles de paralelismo. Para facilitar su comprensión, trataremos de clasificarlos en esta parte inicial de la asignatura. Comenzaremos por marcar varias capas de abstracción que se siguen a la hora de desarrollar una aplicación, lo que nos facilitará marcar el paralelismo dentro de esta.

Podemos considerar que un programa está compuesto de funciones, las cuales a su vez están compuestas de bloques de código en la que abundan los bucles (para simplificar esto, diremos que las funciones están compuestas de bucles). Los cuales están basados en operaciones. Asimismo, puede que nuestra aplicación esté compuesta por distintos programas (como en el caso de LibreOffice con LibreOffice Writer, LibreOffice Calc, ...). Por todo esto, nos es natural tratar de clasificar el paralelismo de una aplicación en función de distintos niveles, los cuales serán:

- Nivel de programas.
- Nivel de funciones.
- Nivel de bucles (de bloques).
- Nivel de operaciones.

En general, el paralelismo lo podremos encontrar en distinta granularidad (en mayor o menor medida) en relación al nivel en el que nos encontremos. Para detectar mejor este grado de paralelismo, es cómodo tener una clara distinción del tipo de paralelismo (como estamos haciendo), lo que facilita la tarea del programador y del compilador. Destacamos la ventaja de poder transformar el código secuencial (que ya sabemos manejar) en código con funcionalidades paralelas, lo que nos libra de tener que conocer tecnologías nuevas para poder implementar paralelismo en nuestras aplicaciones.

A continuación, justificamos los niveles ya elegidos, junto con ejemplos de paralelismo en cada uno de ellos:

### Nivel de programas

Los diferentes programas que intervienen en una aplicación (o incluso en diferentes aplicaciones) se pueden ejecutar en paralelo, debido a que es poco probable que existan dependencias entre ellos.

### Nivel de funciones

Las funciones llamadas en un programa se pueden ejecutar en paralelo, siempre que no haya dependencias (riesgos) inevitables entre ellas, como dependencias de datos verdaderas (RAW). Como ejemplo, recomendamos la familiarización de la directiva `#pragma omp parallel sections` de OpenMP de la Sesión 1 de Prácticas, donde podemos practicar con el paralelismo a nivel de funciones de forma explícita.

### Nivel de bucles (de bloques)

Una función puede estar basada en la ejecución de uno o varios bucles. En muchas ocasiones, el código que se encuentra dentro de un bucle no está íntegramente asociado con la iteración en sí; sino que deseamos que una cierta tarea se ejecute un cierto número de veces. Se pueden ejecutar en paralelo las iteraciones de un bucle, siempre que eliminen los problemas derivados de las dependencias de datos verdaderas (RAW), en caso de haberlas.

### Nivel de operaciones

En este nivel se extrae el paralelismo disponible entre operaciones. Las operaciones independientes se pueden ejecutar en paralelo. Por otra parte, podemos encontrar instrucciones compuestas de varias operaciones que se aplican en secuencia al mismo tipo de datos de entrada. Por ejemplo, la instrucción `mac` nos permite realizar una suma tras una multiplicación. En este nivel se puede detectar la posibilidad de usar instrucciones compuestas como la ya mencionada.

A esta clasificación del paralelismo que se puede detectar en distintos niveles de un código secuencial se le denomina *paralelismo funcional*. Por otra parte, podemos hablar de *paralelismo de tareas* y de *paralelismo de datos*.

### Paralelismo de tareas

En inglés, Task Level Parallelism (TLP). Este paralelismo se encuentra extrayendo la estructura lógica de funciones de la aplicación. Esta estructura está formada



por las funciones, siendo las conexiones entre ellas el flujo de datos entre funciones. El paralelismo a nivel de funciones antes descrito en el paralelismo funcional equivale al paralelismo de tareas.

### Paralelismo de datos

En inglés, Data Level Parallelism (DLP). El paralelismo de datos se encuentra implícito en las operaciones con estructuras de datos (como vectores y matrices). Las operaciones vectoriales y matriciales engloban operaciones con diversos escalares, las cuales se pueden realizar en paralelo. Como estas operaciones se suelen implementar por bucles, decimos que el paralelismo de datos es equivalente al paralelismo a nivel de bucles en el paradigma del paralelismo funcional. Por ejemplo, contamos con las instrucciones SIMD (se desarrollarán próximamente), que con una instrucción puede manipular múltiples datos. Un ejemplo de instrucción SIMD es la implementación de una instrucción que pueda sumar dos vectores de datos enteros.

Por ejemplo, si tenemos una aplicación que nos permite decodificar el formato de imagen JPEG a formato RGB para imprimir en pantalla, podemos encontrar paralelismo de tareas al tener distintos módulos que realizan cada uno de los pasos intermedios para realizar dicha transformación ejecutándose al mismo tiempo; mientras que disponemos de paralelismo a nivel de datos en las operaciones, al tener instrucciones que nos permitan sumar (con una sola instrucción) dos vectores.

### Granularidad

El paralelismo también puede clasificarse en función de la granularidad de la tarea a realizar. Esto es, de la magnitud del número de operaciones a realizar. Esta se suele hacer corresponder con los distintos niveles del paralelismo funcional anteriormente desarrollado. Ilustramos esta relación uno a uno en la siguiente enumeración:

- Grano grueso: Nivel de programas.
- Grano medio: Nivel de funciones.
- Grano fino-medio: Nivel de bucles.
- Grano fino: Nivel de operaciones.

### Dependencias de datos

Constantemente estamos haciendo alusión a las dependencias de datos, pero no nos hemos parado a plantear cuando una sección de código  $B_2$  presenta dependencias de datos con respecto a un bloque de código  $B_1$ . Para que se produzca una dependencia de datos entre ellos:

- Deben hacer referencia a una misma variable (una misma posición de memoria).
- Un bloque de código debe aparecer en la secuencia de código antes que el otro.

Una vez que conocemos que existe una dependencia de datos entre dos bloques de código nos surge la cuestión de si cualquier dependencia es igual de importante, de si hay dependencias evitables y de si hay otras que no lo son. Respondemos a todo tipando las dependencias de datos:

### RAW (Read After Write)

También llamada dependencia verdadera, sucede cuando tratamos de leer una variable (equivalentemente, posición de memoria) después de haberla modificado (de haberla escrito). Recordemos que nos encontramos en el paradigma de la paralelización: tratamos de hacer esto de forma paralela, luego puede que un ente encargado de leer la variable lo haga antes que el encargado de modificarla, haciendo invisible dicha modificación (no existente cuando se leyó) y causando condiciones de carrera junto con un posible mal funcionamiento del programa (así como de romper el esquema determinista de este). Podemos ver un ejemplo de RAW en el siguiente código:

```
int a = b * c;  
int d = a + c;
```

Tenemos en la segunda línea el uso (lectura) de la variable **a**, tras modificarla (escribir en ella) en la primera línea. Si empleamos paralelismo puede suceder que se ejecute la segunda línea antes que la primera, provocando condiciones catastróficas. De hecho, cuando esto se haga, la variable **a** no estará ni siquiera inicializada (en este ejemplo).

### WAW (Write after Write)

También llamada anti-dependencia, sucede cuando tratamos de modificar una variable por segunda vez (después de haberla modificado ya). Esto puede plantear, al igual que explicábamos en RAW, condiciones de carrera. Mostramos un ejemplo a continuación:

```
a = b * c;  
// se lee a  
a = d + e;
```

Donde en la primera y tercera línea modificamos el valor de **a**. Sin embargo, esta dependencia es evitable, ya que si cambiamos el nombre de la variable (empleamos una dirección de memoria distinta), evitamos la dependencia. Por tanto, a esta dependencia también se le llama dependencia de nombre, al no ser una dependencia de datos real.

### WAR (Write after Read)

También llamada dependencia de salida, sucede cuando tratamos de escribir en una variable tras leer de ella. Esto también puede provocar condiciones de carrera, tal y como vemos en el siguiente ejemplo:

```
b = a + 1;  
a = d + e;
```

Donde en la primera línea leemos `a` y en la segunda modificamos su valor. Sin embargo, esta dependencia también recibe el nombre de dependencia de nombre, ya que puede solucionarse con un sencillo cambio de nombre, por lo que no se trata de una dependencia de datos real. Cabe destacar que esto lo suele realizar de forma automática el compilador.

### 1.1.3. Unidades de ejecución

El hardware es el encargado de la administración y ejecución de las instrucciones, mientras que a nivel superior nos encontramos con el SO, haciéndolo (no en el sentido que estás pensando) con las hebras y los procesos. Cada proceso en ejecución tiene su propia asignación de memoria. Los SO multihebra permiten que un proceso se conforme por una o varias hebras (o hilos). Cada hebra tiene su propia pila y banco de registros, mientras que comparte con sus hermanas la memoria que les oferta el proceso. Esto permite que las hebras puedan crearse, destruirse y comunicarse entre ellas de una forma más rápida que los procesos. Todo esto permite que las hebras dispongan de una menor granularidad que estos.

Esta sección nos ha servido para repasar entes que nos permiten hacer explícito el paralelismo, los cuales simplificarán el diseño de las aplicaciones, al ser las hebras y procesos automáticamente gestionadas por el sistema operativo; y las instrucciones por la arquitectura.

### 1.1.4. Implementación del paralelismo

A lo largo de este documento hemos hecho referencia en varias ocasiones al paralelismo implícito y explícito, sin nunca pararnos a desarrollar de qué estamos hablando. Es ahora la ocasión de hacerlo.

#### Paralelismo implícito.

Se trata de aquellas acciones que automáticamente se llevan a cabo (ya sea gracias al hardware, sistema operativo o compilador) de forma paralela.

#### Paralelismo explícito.

Se trata de aquellas acciones que deseamos que se hagan de forma paralela, y que obligamos a ello de forma explícita, como por ejemplo, con la ayuda de una API en el caso de las prácticas con OpenMP.

Esta diferencia la comentaremos en la siguiente subsección, que será fácil de comprender junto con el desarrollo de las prácticas.

Hecha esta distinción, comenzamos ahora sí con esta subsección, en la que podemos ver cómo se implementa el paralelismo implícito, así como el explícito, de una forma superficial. Además, será necesario indicar las especificaciones hardware requeridas para llevar esto a cabo (llamadas arquitecturas paralelas). Usaremos el paralelismo funcional para distinguir casuísticas, ya que para eso lo hemos desarrollado al inicio.

#### Nivel de programas

El paralelismo entre programas se implementa mediante diversos procesos: en el momento que se ejecuta un nuevo programa, se crea el proceso asociado a él,

y ya sólo dependerá del sistema operativo el llevar a cabo su paralelización con el resto de procesos<sup>1</sup> (creando así paralelismo entre programas). Para poder implementar este tipo de paralelismo, es necesario disponer de un multiprocesador, multicomputador, o cualquier sistema que nos permita ejecutar dos procesos de forma simultánea.

### Nivel de funciones

El paralelismo a este nivel puede extraerse para realizarse a nivel de procesos (si la función realmente lo requiere) o de hebras, de forma que cada hebra (o proceso) ejecute una o varias funciones. Para ello, necesitaremos de un multiprocesador y, en caso de requerir hebras, será conveniente que este sea multihebra (o en su defecto, contar con una biblioteca de hebras, aunque esto es menos recomendable). En definitiva: crear varios entes del sistema operativo de forma que cada uno ejecute una o varias funciones.

### Nivel de bucles

Este se puede realizar a nivel de procesos o hebras, tal y como se hacía en el nivel anterior. Sin embargo, el paralelismo a este nivel también puede implementarse con instrucciones en el caso de, por ejemplo, sumas de vectores. Para ello, debemos contar con un multiprocesador (a poder ser, multihebra) y para el último caso considerado, una arquitectura SIMD que permita realizar trabajos similares con vectores y, en general, estructuras de datos.

### Nivel de operaciones

El paralelismo entre operaciones se puede aprovechar en arquitecturas con paralelismo a nivel de instrucción (ILP), ejecutando en paralelo las instrucciones asociadas a operaciones independientes. Para ello, es claro que necesitamos arquitecturas ILP, las cuales pueden conseguirse mediante replicado de componentes del procesador o segmentación.

## 1.1.5. Detección y extracción del paralelismo

En los procesadores ILP superescalares o segmentados la arquitectura en sí misma extrae paralelismo (o como nosotros hemos llamado, implementa paralelismo implícito). Para ello, eliminan dependencias de datos falsas (no del tipo RAW) entre instrucciones y evitan problemas debidas a dependencias de datos, de control y de recursos.

Además, el grado de paralelismo de las instrucciones se puede incrementar con las ayudas del compilador y del programador. En general, se puede definir el grado de paralelismo de un conjunto de entradas a un sistema como el número máximo de entradas del conjunto que se pueden ejecutar en paralelo.

A continuación, para cada tipo de paralelismo, tratamos de explicar la extracción del paralelismo. Esto es, explicar qué ente lo detecta, cómo se implementa y en qué unidad se ejecuta. En este caso, la granularidad es inversamente proporcional a la facilidad de extracción del paralelismo.

---

<sup>1</sup>Mediante técnicas ya vistas en la asignatura de Sistemas Operativos.

**Nivel de operaciones**

Puede ser detectado por la arquitectura del hardware, por herramientas de programación (como IDEs o compiladores) y por el programador. Se implementa o aprovecha principalmente por arquitecturas ILP, que lo hacen usando instrucciones dedicadas a ello.

**Nivel de bucles**

La arquitectura ya escapa a este nivel de abstracción, por lo que sólo podemos detectarlo mediante herramientas de programación o por la destreza del programador. Se implementa a nivel de arquitecturas SIMD mediante intra-instrucciones en el caso de aquellas paralelizaciones vectoriales ya comentadas; mientras que paralelizaciones del estilo TLP se implementan mediante multiprocesador multihebra o multicomputadores, usando threads o procesos.

**Nivel de funciones**

A este nivel ya sólo disponemos del programador para llevar la detección a cabo, quien puede hacer el paralelismo explícito mediante multiprocesadores multihebra, multiprocesadores y multicomputadores; mediante hebras y/o procesos.

**Nivel de programas**

El programador puede hacer explícito el paralelismo si dispone de un multiprocesador o multicomputador, mediante el uso de procesos.

## 1.2. Clasificación de arquitecturas paralelas

### 1.2.1. Objetivos

Una vez terminada la sección que acabamos de comenzar, tratamos de que el lector sea capaz de:

- Distinguir entre procesamiento o computación paralela y distribuida.
- Clasificar los computadores según segmento del mercado.
- Distinguir entre las diferentes clases de arquitecturas de la clasificación de Flynn.
- Diferenciar un multiprocesador de un multicomputador.
- Distinguir entre NUMA y SMP.
- Distinguir entre arquitecturas DLP, ILP y TLP.
- Distinguir entre arquitecturas TLP con una instancia de SO y TLP con varias instancias de SO.

### 1.2.2. Computación distribuida

#### Computación paralela

Esta estudia los aspectos hardware y software relacionados con el desarrollo y ejecución de aplicaciones en un sistema de cómputo compuesto por varios cores, procesadores o computadores que es visto externamente como una sola unidad autónoma, a la que le llamamos unidad multicore, multiprocesador o multicomputador.

#### Computación distribuida

Esta se encarga de estudiar los aspectos hardware y software relacionadas con el desarrollo y ejecución de aplicaciones (hasta ahora, igual que en paralela) en un sistema distribuido. Es decir, en una colección de recursos autónomos (como servidores de datos, supercomputadores, bases de datos distribuidas) situados en distintas localizaciones físicas.

Durante toda esta asignatura nos centraremos en computación paralela, pero merece la pena contemplar algunos conocimientos de computación distribuida:

#### Computación distribuida a baja escala

Estudia los aspectos relacionados con el desarrollo y ejecución de aplicaciones en una colección de recursos autónomos de *un dominio administrativo* situados en distintas localizaciones físicas conectados a través de infraestructura de red *local*.

#### Computacion grid

Estudia los aspectos relacionados con el desarrollo y ejecución de aplicaciones en una colección de recursos autónomos de *múltiples dominios administrativos* geográficamente distribuidos conectados con infraestructura de telecomunicaciones.

### Computación *cloud*

Estudia los aspectos relacionados con el desarrollo y ejecución de aplicaciones en un sistema *cloud*. Esto es, un sistema que ofrece servicios de infraestructura, plataforma y/o software *pay-per-use* (se paga cuando son requeridos). Son conformados por recursos virtuales que:

- Son una abstracción de los recursos físicos.
- Parece ilimitados en cuanto a número y capacidad gracias a la amplia cantidad de unidades autónomas disponibles, los cuales son usados y liberados de forma inmediata sin interacción con el proveedor.
- Soportan el acceso de múltiples clientes.

En la sección anterior clasificamos ya el paralelismo que podíamos encontrar dentro de una aplicación. A continuación, nos dedicaremos a clasificar los tipos de arquitecturas y sistemas paralelos que podemos encontrarnos, según varios criterios.

### 1.2.3. Clasificación según el mercado

Según el segmento de mercado, observamos que el número de ventas es inversamente proporcional a la potencia de los computadores, junto con su número de cores y precio. Podemos agrupar todos los computadores en las siguientes categorías (en orden de precio descendente):

- Supercomputadores.
- Servidores de gama alta.
- Servidores de gama media.
- Servidores de gama baja.
- Computadores personales (PCs) o estaciones de trabajo (WSs).
- Sistemas empujados.

### 1.2.4. Clasificación de Flynn o de flujos

La taxonomía de Flynn nos permite dividir el universo de los computadores en relación a la cantidad de flujos de instrucción y de datos que estos soportan. A continuación, definimos las 4 clases de Flynn, donde usaremos la notación  $\mathbf{xIxD}$  donde I y D significan “Instruction” y “Data”, respectivamente. El carácter  $\mathbf{x}$  lo sustituiremos por **S** en el caso de que queramos especificar “Single”; y por **M** en el caso de que queramos especificar “Multiple”. De esta forma, “SIMD” significa “Single Instruction Multiple Data” y no será necesario nunca más indicar el significado de estas siglas.

#### SISD

Estos son los que presentan un único flujo de instrucciones y un único flujo de datos. Por tanto, tendremos sólo una única unidad de control, así como una única unidad de procesamiento.

### SIMD

Volvemos a disponer de un único flujo de instrucciones, luego volvemos a tener una única unidad de control, pero en este caso disponemos de múltiples flujos de datos, lo que nos permite tener múltiples unidades de procesamiento, cada una con comunicación independiente con memoria. De esta forma, un computador SIMD puede realizar varias operaciones similares simultáneas con distintos operandos. Cada una de las secuencias de datos y resultados constituyen flujos independientes. Un ejemplo de sistema SIMD puede ser un procesador vectorial.

### MIMD

Este es el primer caso de computador con varias unidades de control, cada una con su unidad de procesamiento correspondiente, la cual puede acceder de forma independiente a memoria. Por cada flujo de instrucciones existe un flujo de datos. Para ello, necesitaremos disponer de diversos programas, cada uno a ejecutar en un procesador.

### MISD

En este caso, se ejecutan distintos flujos de datos (y por tanto, dispondremos de distintas unidades de control, cada una con su unidad de procesamiento) sobre el mismo flujo de datos. Notemos que este tipo de computadores puede implementarse mediante las prestaciones que ofrecen los computadores MIMD, donde se sincronizan los procesadores para que los datos vayan pasando de un procesador a otro. Por tanto, no existen computadores MISD específicos, sino que serán una adaptación de un MIMD a un problema particular en el que haya que procesar datos de forma sucesiva (un procesador tras otro).

Como ejemplo ilustrador de las taxonomías ya descritas (y de su capacidad de paralelismo), proponemos el siguiente código:

```
for(int i = 0; i < 4; i++){  
    C[i] = A[i] + B[i];  
    F[i] = D[i] - E[i];  
    G[i] = K[i] * H[i];  
}
```

Asumiendo que el código superior se basa en instrucciones máquina a bajo nivel (ya que es meramente ilustrativo para resaltar las diferencias en las taxonomías), mostramos a continuación las diversas programaciones y ejecuciones en distintos tipos de computadores:

### SISD

En un computador SISD, el procesador debe realizar 4 sumas, 4 restas y 4 multiplicaciones, un total de 12 operaciones que asumimos que se ejecutan en *12 unidades de tiempo*.

### SIMD

En un computador SIMD, podemos a lo mejor disponer de instrucciones vectoriales (las cuales nos permiten realizar operaciones con todos los escalares de un vector de forma atómica). De esta forma, el programa se podría ejecutar



en *3 unidades de tiempo* (obviamente, estas unidades no son las mismas a las de un computador SISD; sino que son relativas al tipo de computador), al disponer de tres instrucciones (una suma, una resta y una multiplicación) que nos resuelven el programa sin necesidad del bucle.

## MIMD

Los computadores MIMD nos permiten aproximar el problema de diversas formas:

1. La primera es (suponiendo que disponemos al menos de 3 cores), crear 3 programas (uno que realice la suma, otro la resta y otro la multiplicación, mediante un bucle de 4 iteraciones) y repartirlos entre 3 cores. De esta forma, tardaríamos un tiempo de *4 unidades* (despreciando bastantes variables), debido a que cada core debería hacer 4 iteraciones y a que los cores ejecutan los bucles de forma paralela.
2. Una segunda aproximación al problema es (suponiendo que disponemos de al menos 4 cores), repartir las iteraciones en varios cores, de forma que el core número  $i$  ( $i$  entero entre 0 y 3) realice la iteración número  $i$  de la suma, resta y multiplicación. De esta forma, al tener que ejecutar cada core 3 instrucciones y haciéndolo estos de forma paralela, tenemos un tiempo de *3 unidades*.
3. Una última consideración es juntar las dos aproximaciones en una (suponiendo que disponemos de al menos 12 cores): de los tres programas creados en el primer punto, repartir las iteraciones de estos tal y como lo hacemos en el segundo punto. De esta forma, obtendríamos un tiempo de *1 unidad*.

*Observación.* Nótese que en la diferenciación anterior no hemos considerado los computadores MISD, ya que como se mencionó anteriormente, estos no son una clase de computadores en sí mismos, sino una instancia particular de resolución de una aplicación en computadores del estilo MIMD.

Obsérvese además que las unidades de tiempo en cada tipo de computador son distintas. Sin embargo, el tamaño de unidad temporal de SISD es similar a MIMD (ya que sus instrucciones más costosas no distan mucho entre sí), en contra de SIMD, donde las operaciones vectoriales son bastante costosas, elevando así su unidad de tiempo en comparación con las otras dos taxonomías.

Hemos podido comprobar cómo en SIMD podemos tener paralelismo a nivel de datos; mientras que en MIMD podemos tener tanto paralelismo a nivel de datos como a nivel de tareas, tanto de forma simultánea como de forma independiente.

Además, en computadores MIMD tenemos más libertad en cuanto a entes del sistema operativo (procesos o threads) podemos usar para llevar a cabo la paralelización.

## Multiprocesadores y Multicomputadores

Dentro de los computadores de tipo MIMD, encontramos a su vez dos tipos de computadores muy distintos, en función de cómo se encuentra distribuido su espacio

de memoria. A continuación, trataremos de dar sus clasificaciones, así como destacar los beneficios y contras de cada uno:

### **Multiprocesadores**

También conocidos como sistemas de memoria compartida (SM, Shared Memory), son sistemas en los que disponemos de diversos procesadores, todos ellos compartiendo el mismo espacio de direcciones. En este caso, el programador no necesita conocer dónde se encuentran almacenados los datos (ya que cualquier procesador tiene físicamente acceso a cualquier dato en memoria).

### **Multicomputadores**

También conocidos como sistemas de memoria distribuida (DM, Distributed Memory); o NORMA (No Remote Memory Access), son sistemas con diversos procesadores en los que cada procesador tiene un propio espacio de direcciones particular. Por tanto, el programador necesita conocer dónde (en la memoria de qué procesador) se encuentran los datos, a la hora de realizar programas que aprovechen el paralelismo de tener diversos procesadores.

Las escuetas definiciones manifestadas arriba nos dan una primera idea de cuales son las diferencias entre los multiprocesadores y los multicomputadores. Sin embargo, trataremos de ahondar en este tema, expandiendo las contrapartidas y beneficios que posee cada tipo de sistema.

En un multicomputador, cada procesador tiene un propio espacio de direcciones, por lo que es lógico pensar que la memoria se encuentra de forma física cerca de cada procesador (y es así como normalmente se implementa). Es normal encontrar distribuido también el sistema de entrada y salida (aunque este no tendrá mucha relevancia en nuestro estudio). Por contraparte, en un multiprocesador, al compartir todos los procesadores el mismo espacio de memoria, es lógico plantear un diseño en el que todos los módulos de memoria se encuentren físicamente ubicados en la misma zona del sistema, separándolos de los procesadores por una red de interconexión que arbitra el acceso a los módulos. Es natural también, centralizar los dispositivos de E/S. Dispuesto este modelo de memoria centralizada, el tiempo de acceso a memoria será igual para cualquier posición de memoria que se acceda desde cualquier procesador. Se trata de una estructura simétrica. Esta clase de multiprocesadores recibe el nombre *SMP* (*Symmetric MultiProcessor*), o multiprocesador simétrico. En estos, el acceso de los procesadores a memoria se realiza a través de la red de interconexión, por tanto, nos interesa disponer de una red buena que permita el acceso al mismo tiempo de distintos procesadores a distintas posiciones de memoria; y de un sistema que arbitre el acceso de los procesadores a una misma posición de memoria.

En multicomputadores, cada procesador tiene su propio módulo de memoria local, al que puede acceder directamente. Es por tanto, que el único fin de la red de interconexión es para comunicar los procesadores entre sí (transferencia de datos). Esto se hace mediante el uso de mensajes entre procesadores. En un multiprocesador, la comunicación entre procesadores puede hacerse de forma directa a través de memoria: un procesador escribe en una posición de memoria la información a comunicar y simplemente tiene que decirle al procesador deseado que lea de dicha posición de memoria (ya sólo queda ver cómo se pasa esta, a través de la red de interconexión).

Esta descripción básica de la red de intercomunicación ya nos plantea una primera desventaja de los multiprocesadores frente a los multicomputadores: *la falta de escalabilidad*. Mientras que en multicomputadores si queremos añadir un nuevo procesador, nos será tan simple como conectar a la red de interconexión un nuevo procesador (junto con sus módulos de memoria y de E/S). Por contraparte, en multiprocesadores, deberemos también conectar el procesador a la red, teniendo en cuenta de que ahora tendremos un nuevo nodo que use esta red de forma probablemente simultánea al resto: las comunicaciones entre procesadores (que son no muy frecuentes) son el único uso de los multicomputadores de la red de interconexión, mientras que los multiprocesadores deben usarla para comunicaciones y acceso a memoria, lo que dificulta la ejecución de los procesadores de forma paralela, al tener estos que acceder constantemente a memoria de forma simultánea. Por tanto, nos es más fácil añadir procesadores a un sistema multicomputador antes que a uno multiprocesador, ante el temor de saturar la red de intercomunicaciones. Posteriormente comentaremos una mejora de los multiprocesadores que trata de parchear este problema.

A continuación, seguimos planteando diferencias entre estos:

**Latencia de acceso a memoria** El tiempo de acceso a memoria (como se puede esperar) es mayor en multiprocesadores que en multicomputadores, al tener que atravesar toda la infraestructura de red de interconexión, junto con lo que esto conlleva, ya que puede darse la posibilidad de que varios procesadores ocupen la red de forma simultánea (lo cual ya plantea un problema), pero además deberemos arbitrar el acceso de distintos procesadores a una misma posición de memoria. Cuanto mayor sea el número de procesadores, la probabilidad de conflicto aumenta (lo que refleja el problema de escalabilidad previamente comentado).

**Comunicaciones** Como hemos comentado anteriormente, los multiprocesadores pueden comunicarse entre sí mediante memoria, por lo que sólo será necesario implementar sencillas instrucciones de carga (load) y almacenamiento (save). Mientras que los multicomputadores necesitan desarrollar toda una estrategia de mensajes, junto con instrucciones de envío (send) y de recibo de datos (receive).

**Herramientas de programación** Antes de ejecutar una aplicación en un multicomputador (suponiendo que esta implementa paralelismo entre procesadores, que es el caso interesante), debemos ubicar en memoria (en la de cada procesador) el código del programa que estamos a punto de ejecutar, junto con los datos que este necesita. Es decir, es necesario realizar una distribución de carga de trabajo entre los distintos procesadores. Nótese que en multiprocesadores esta distribución no es necesaria, ya que todos los procesadores pueden acceder al mismo espacio de direcciones. Esto presenta un gran problema, ya que no es fácil prever el tiempo de ejecución de cada bloque de código, ni a cuánta carga de trabajo estará sometido cada procesador. Aún es esto parte de la responsabilidad del programador (aunque algunos compiladores ya intentan realizar esta distribución de trabajo). Por tanto, necesitamos herramientas de programación más sofisticadas a la hora de trabajar con multicomputadores.

## SMP frente a NUMA

Dentro de los multiprocesadores anteriormente comentados, tratamos de dar una solución que solvete el problema de escalabilidad anteriormente planteado. Algunas opciones temporales son el aumento del caché de cada procesador, así como el uso de redes de interconexión de menor latencia y mayor ancho de banda (así como de una forma de red que beneficie a nuestro sistema, más allá de un bus). Sin embargo, tratamos de buscar una solución que nos aporte más beneficios, que probablemente surja de cambiar un poco el planteamiento del sistema.

Para nosotros era lógico que un multiprocesador tuviera una arquitectura SMP, donde los módulos de memoria (y los de E/S) se encuentren centralizados y accedidos mediante una red de interconexión. Este era un ejemplo de arquitectura *UMA* (*Uniform Memory Access*), donde cada procesador tarda el mismo tiempo en acceder a cada módulo de memoria.

Sin embargo, planteamos ahora que, manteniendo la estructura de un multiprocesador (esto es, compartiendo el espacio de direcciones), repartir los módulos de memoria a lo largo del sistema, (estableciendo una asociación de un módulo por procesador), de forma que el tiempo de acceso a memoria sea menor para el procesador a su módulo correspondiente. De esta forma, un procesador podrá seguir accediendo al resto de módulos, aunque con una penalización en tiempo respecto a acceder a su módulo de memoria. A este tipo de arquitecturas de multiprocesadores se les conoce como *NUMA* (*Non-Uniform Memory Access*), provenientes de los 90. Al módulo de memoria próximo al procesador le llamaremos módulo de memoria local. Para que un NUMA sea realmente escalable (es la motivación de su creación), se deberá reducir la latencia media, reduciendo el número de accesos a la memoria local de otro procesador. Para ello, necesitamos distribuir (como hacíamos en multicomputadores) la carga de trabajo entre los módulos de memoria, de forma que en el módulo local se encuentren el código y los datos frecuentemente utilizados. Observemos que acabamos de crear un paradigma similar a la caché de dentro de un procesador. Podemos por tanto, aproximarnos a este reparto de forma estática (repartiendo antes de ejecutar) o dinámica (realizando el reparto en tiempo de ejecución).

Como resumen a la comparativa de multicomputadores y multiprocesadores, podemos plantear el siguiente esquema:

### Multicomputadores

- Múltiples espacios de direcciones: memoria no compartida.
- Memoria físicamente distribuida.
- Gran escalabilidad.

### Multiprocesadores

- Un único espacio de direcciones: memoria compartida.

#### NUMA

- Memoria físicamente distribuida.
- Sistema escalable.

#### UMA

- SMP: memoria físicamente centralizada.

- Plantea problemas de escalabilidad.

### 1.2.5. Clasificación según el paralelismo aprovechado

En función del tipo de paralelismo que aprovechen las máquinas, tenemos distintos tipos de clasificación:

#### **Arquitectura con ILP**

Las arquitecturas con paralelismo a nivel de instrucción ejecuta las instrucciones de forma concurrente o en paralelo. Se trata de cores escalares segmentados, superescalares o VLIW (very long instruction word).

#### **Arquitectura con DLP**

Las arquitecturas con paralelismo a nivel de datos ejecutan las operaciones de una instrucción de forma concurrente o en paralelo. Hacen referencia a unidades funcionales vectoriales o SIMD.

#### **Arquitectura con TLP y una instancia de SO**

Este tipo de arquitecturas con paralelismo a nivel de tareas ejecutan múltiples flujos de instrucciones de forma concurrente o paralela usando para ello una única instancia de sistema operativo (esto es, un único proceso). Pueden hacer referencia a cores que modifican la arquitectura escalar segmentada, superescalar o VLIW para ejecutar threads de forma concurrente o en paralelo. Por otra parte, también puede hacer referencia a multiprocesadores, los cuales ejecutan threads en paralelo en un computador con múltiples cores (incluye multicore).

#### **Arquitectura con TLP y múltiples instancias de SO**

Este tipo de arquitecturas con paralelismo a nivel de tareas ejecutan múltiples flujos de instrucción en paralelo. Hace referencia a los multicomputadores, los cuales ejecutan threads en paralelo en un sistema con muchos computadores.

## 1.3. Evaluación de prestaciones

### 1.3.1. Objetivos

En esta sección, aprenderemos a:

- Distinguir entre tiempo de CPU (sistema y usuario) de Unix y el tiempo de respuesta.
- Distinguir entre productividad y tiempo de respuesta.
- Obtener, de forma aproximada mediante cálculos, el tiempo de CPU, GFLOPS y los MIPS del código ejecutado en un núcleo de procesamiento.
- Calcular la ganancia en prestaciones/velocidad.
- Aplicar la ley de Amdahl.

### 1.3.2. Definiciones

#### Tiempo de respuesta.

El tiempo de respuesta (elapsed) es el tiempo transcurrido entre que se lanza la ejecución de un programa y se tienen sus resultados.

#### Productividad

La productividad es el número de entradas procesadas por unidad de tiempo. A mayor sea el número de entradas que un computador pueda procesar a la vez, mayor será su productividad. Por tanto, calculamos la productividad mediante la siguiente fórmula:

$$P(n) = \frac{n}{t} \quad (1.1)$$

Donde  $n$  es el número de entradas y  $t$  el tiempo en el que las ha procesado. Notemos que en un computador que no implementa paralelismo, la productividad es la inversa del tiempo, al no poder procesar más de una entrada al mismo tiempo.

#### Tiempo de CPU.

Este tiempo está incluido dentro del tiempo de respuesta. Se trata del tiempo que el procesador dedica a ejecutar instrucciones máquina de su repertorio, tanto en modo de usuario como las que corresponden a la actividad que se debe llevar a cabo por el sistema operativo para permitir la ejecución del programa. Sólo se tiene en cuenta el tiempo asociado con la ejecución de las instrucciones relativas al programa. Es común diferenciar dentro del tiempo de CPU el *Tiempo de CPU de usuario* (user) y el *Tiempo de CPU de sistema* (sys), cuyos nombres son autoexplicativos.

Notemos que entre el tiempo de respuesta y tiempo de CPU hay una diferencia de tiempo presente. Este puede deberse a:

- Tiempo de espera debido a las E/S.

- Tiempo de ejecución de otros programas que comparten procesador con el nuestro.

Estos dos tiempos también se incluyen en el tiempo de ejecución, pero no en el de CPU.

### 1.3.3. Tiempo de CPU

A lo largo de esta sección, nos centraremos exclusivamente en el estudio de tiempo de CPU. Para simplificar el estudio de este tiempo, suponemos que tanto el tiempo de espera por E/S como el tiempo de ejecución de otros programas en el procesador son despreciables. Por tanto, para nosotros, el tiempo de CPU será igual al tiempo de respuesta (de forma práctica, no teórica). Hecha esta asunción, podemos calcular el tiempo de CPU como:

$$T_{CPU} = \text{Ciclos del programa} \cdot T_{ciclo} = \frac{\text{Ciclos del programa}}{F} \quad (1.2)$$

Donde “Ciclos del programa” es el número de ciclos de reloj del procesador que tarda en ejecutarse el programa,  $T_{ciclo}$  el tiempo de ciclo del procesador (habitualmente, el tiempo que tarda en ejecutarse su instrucción más costosa); y  $F$  la frecuencia de reloj:

$$F = \frac{1}{T_{ciclo}} \quad (1.3)$$

Dado que el número de ciclos del programa se puede expresar en términos del número de instrucciones máquina del repertorio del procesador que se han procesado,  $NI$ , y del número medio de ciclos por instrucción,  $CPI$ , la expresión (1.2) se puede reescribir usando la relación:

$$\text{Ciclos del programa} = NI \cdot CPI \quad (1.4)$$

de donde obtenemos:

$$T_{CPU} = NI \cdot CPI \cdot T_{ciclo} = \frac{NI \cdot CPI}{F} \quad (1.5)$$

Asumiendo que el número de ciclos por instrucción es constante (es decir, todas las instrucciones tardan el mismo tiempo en ejecutarse). Esto no es realista, por lo que usaremos en su lugar el número de ciclos por instrucción medio (CPIM), que para abreviar seguiremos notando por  $CPI$ :

$$CPI = \frac{\sum_{i=1}^W NI_i \cdot CPI_i}{NI} \quad (1.6)$$

Donde  $NI_i$  es el número de instrucciones del tipo  $i$  que tiene el programa,  $CPI_i$  el número de ciclos del procesador que necesita una instrucción de tipo  $i$  para procesarse; y  $W$  el número de instrucciones diferentes en el programa. Sustituyendo esta nueva ecuación en (1.5) obtenemos:

$$T_{CPU} = \sum_{i=1}^W (NI_i \cdot CPI_i) \cdot T_{ciclo} \quad (1.7)$$

A veces, se hará referencia al número de instrucciones por ciclo (*IPC*). No debemos asustarnos, pues según una sencilla cuenta obtenemos:

$$CPI = \frac{1}{IPC} \quad (1.8)$$

Por ejemplo, cuando nos mencionen que en un ciclo se pueden realizar dos instrucciones de coma flotante, nos estarán diciendo que  $IPC_{flotante} = 2$ .

### 1.3.4. MIPS y FLOPS

Los MIPS (millones de instrucciones por segundo) miden el número (en millones) de instrucciones máquina ejecutadas por unidad de tiempo (que se considera el tiempo de CPU), medido en segundos. Se pueden obtener a partir de:

$$MIPS = \frac{NI}{T_{CPU} \cdot 10^6} = \frac{\mathcal{NI}}{\mathcal{NI} \cdot CPI \cdot T_{ciclo} \cdot 10^6} = \frac{F}{CPI \cdot 10^6} \quad (1.9)$$

Debido al incremento de las prestaciones en los computadores actuales, el tamaño de los MIPS es cada vez más grande, por lo que podemos encontrar muchas veces que esta medida se realiza en GIPS (sustituir  $10^6$  por  $10^9$  en la ecuación (1.9)).

Si vamos a usar los MIPS para comparar las prestaciones de dos ordenadores, debemos tener en cuenta que ambos deben tener el mismo repertorio de instrucciones máquina; ya que por ejemplo, si consideramos dos computadores, uno con un repertorio complejo de instrucciones y otro con otro más sencillo y suponemos que el programa tarda el mismo tiempo en ejecutarse en las dos máquinas, el computador con el repertorio más sencillo tendrá un mayor valor de MIPS (al necesitar más instrucciones que el de repertorio complejo para ejecutar el programa). Sin embargo, dado que el tiempo ha sido el mismo, podemos decir que las prestaciones en ambos son iguales. La cuestión es que los MIPS miden la velocidad con que cada procesador ejecuta las instrucciones de su repertorio. Por tanto, sólo sirven para esto.

Otra medida disponible similar a los MIPS son los MFLOPS (millones de operaciones de coma flotante por segundo), que se obtienen mediante la expresión:

$$MFLOPS = \frac{\text{Operaciones en coma flotante}}{T_{CPU} \cdot 10^6} \quad (1.10)$$

Como en el caso anterior, también podemos considerar los GFLOPS o, incluso, TFLOPS ( $10^{12}$ ), PFLOPS ( $10^{15}$ ), EFLOPS ( $10^{18}$ ), ...

No se trata de una medida adecuada para todos los programas, ya que sólo tiene en cuenta las operaciones de coma flotante. Además, ni las instrucciones de coma flotante son iguales en todas las máquinas ni su coste de ejecución. Se usa mayormente en evaluación de computadores dedicados a cálculo científico, donde las operaciones en coma flotante abundan.

### 1.3.5. Ganancia

Es común en Arquitectura de Computadores detectar cuellos de botella en la arquitectura del computador y proponer estrategias que nos ayuden a mejorar las



prestaciones. Para medir el resultado de una mejora, es habitual usar la ganancia de velocidad, que compara la velocidad de un computador antes y después de mejorar alguno de sus recursos. Gracias a la siguiente expresión definimos la ganancia de velocidad,  $S_p$ :

$$S_p = \frac{V_p}{V_b} = \frac{T_b}{T_p} \quad (1.11)$$

Donde  $V_b$  es la velocidad de ejecución del programa antes de aplicar la mejora (velocidad base),  $V_p$  es la velocidad tras aplicar la mejora; y  $T_b$  y  $T_p$  son los tiempos antes de aplicar la mejora y después, respectivamente. Notemos que, aplicando la fórmula (1.5) obtenemos:

$$S_p = \frac{T_{CPU}^b}{T_{CPU}^p} = \frac{NI^b \cdot CPI^b \cdot T_{ciclo}^b}{NI^p \cdot CPI^p \cdot T_{ciclo}^p} \quad (1.12)$$

La notación  $p$  se debe a que si tomamos  $b = 1$  (tiempo de referencia, que era el base), entonces estamos obteniendo una mejora que hace  $p$  veces más rápido algunos recursos del ordenador.

Ejemplos de la mejora en prestaciones son pasar de un computador no segmentado a uno segmentado, introducir unidades que permitan funcionamiento superescalar, unidades que permitan funcionalidades SIMD, ...

Uno de los mayores limitantes a la hora de introducir mejoras son los accesos a memoria (muy lentos en comparación a la velocidad del procesador) y los riesgos<sup>2</sup> (que recordamos que pueden ser de datos, de control y estructurales).

### 1.3.6. Ley de Amdahl

La Ley de Amdahl establece una cota superior a la ganancia de velocidad  $S_p$  que se puede conseguir al mejorar alguno de los recursos del computador en un factor  $p$  y según la frecuencia con la que se utiliza dicha mejora:

$$S_p \leq \frac{1}{f + \frac{1-f}{p}} = \frac{p}{1 + f \cdot (p - 1)} \quad (1.13)$$

Donde  $f$  es el porcentaje del tiempo de ejecución del sistema base durante el que no se usa el componente mejorado.

*Demostración.* Tenemos que:

$$S_p = \frac{T_b}{T_p} \stackrel{(*)}{\leq} \frac{T_b}{f \cdot T_b + (1 - f) \cdot \frac{T_b}{p}} = \frac{1}{f + \frac{1-f}{p}}$$

Notemos que, teóricamente, en  $(*)$  deberíamos haber puesto un igual en lugar de un menor o igual. La razón de este símbolo es debido a que, gracias a la mejora introducida que nos da un tiempo de  $T_p$ , esperamos un factor de mejora de  $p$  veces el tiempo base ( $T_b$ ). Sin embargo, debido a distintas variables que entran en juego (recordamos que estamos trabajando con un modelo infinitamente simple de la ejecución de un computador), probablemente el tiempo de mejora no sea tan bueno

---

<sup>2</sup>Vistos ya en la asignatura de EC

como nosotros queremos. Es por eso por lo que introducimos este menor o igual, ya que en la fracción de tiempo  $1 - f$  obtenemos un tiempo de mejora de a lo más  $p$  veces el base.  $\square$

Por ejemplo, si  $f = 1$  (el recurso mejorado no se usa en el programa), entonces  $S_p \leq 1$ , por lo que no se produce mejora alguna. Si en cambio,  $f = 0$  (el recurso mejorado se usa todo el rato), entonces  $S_p$  podría alcanzar un valor de  $p$ . Consultamos un caso intermedio:

**Ejemplo.** Si un programa pasa el 25 % del tiempo en una máquina ejecutando instrucciones de coma flotante y se mejora la máquina haciendo que dichas instrucciones se ejecuten en mitad de tiempo, calcule la ganancia máxima de velocidad.

En este caso, tenemos que el tiempo de ejecución de una instrucción de coma flotante se reduce a la mitad, por lo que se ha obtenido una mejora que hace a la ejecución de dichas instrucciones el doble de eficientes, luego obtenemos un factor  $p = 2$ . Por otra parte, como el 25 % del tiempo de ejecución del programa se debe a operaciones en coma flotante, el otro 75 % no usará estas operaciones, luego tenemos  $f = 0,75$ . Calculamos ahora la ganancia máxima de velocidad gracia a la Ley de Amdahl:

$$S_p \leq \frac{p}{1 + f \cdot (p - 1)} = \frac{2}{1 + 0,75 \cdot (2 - 1)} = \frac{2}{1,75} \approx 1,14$$

Por tanto, la ganancia máxima de velocidad será de 1,14.

### 1.3.7. Benchmarks

Un *benchmark* es un conjunto de programas de prueba diseñados para medir de forma fiable (evalúan distintos componentes del computador y permite comparar distintos sistemas entre sí) las prestaciones de un computador. Se usan en la fabricación, investigación y distribución de hardware (probar distintos componentes) y software (probar la eficacia de distintos sistemas operativos, o programas). Podemos encontrarnos distintos tipos de benchmarks:

**Benchmark de bajo nivel o microbenchmark.** Evalúan de forma genérica las prestaciones de la arquitectura o software de un ordenador, evaluando tanto el procesador como la memoria y la E/S.

**Núcleos (kernels).** Son trozos de código muy utilizados en diferentes aplicaciones (como resolución de sistemas de ecuaciones, multiplicación de matrices, productos escalares, ...). Junto con los microbenchmarks permiten encontrar los puntos fuertes de cada computador.

**Sintéticos.** Trozos de código que no permiten obtener un resultado con significado. Es la peor elección.

**Programas reales.** Programas disponibles comercialmente que tratan de evaluar bases de datos, servidores, ...

**Aplicaciones diseñadas.** Se diseñan aplicaciones que tratan de imitar a aquellas para las que se usará el computador.

## 2. Relaciones de Problemas

### 2.1. Arquitecturas Paralelas

**Ejercicio 2.1.1.** En el código de prueba (benchmark) que ejecuta un procesador no segmentado que funciona a 300 MHz, hay un 20 % de instrucciones **LOAD** que necesitan 4 ciclos, un 10 % de instrucciones **STORE** que necesitan 3 ciclos, un 25 % de instrucciones con operaciones de enteros que necesitan 6 ciclos, un 15 % de instrucciones con operandos en coma flotante que necesitan 8 ciclos por instrucción, y un 30 % de instrucciones de salto que necesitan 3 ciclos.

1. ¿Cuál es la ganancia que se puede obtener por reducción a 3 ciclos de las instrucciones con enteros?

Resumimos los datos del enunciado en la siguiente tabla:

$I_i$	$CPI_i^b$	$NI_i$
LOAD	4 ciclos	0,2 NI
STORE	3 ciclos	0,1 NI
FX. POINT	6 ciclos	0,25 NI
FLT. POINT	8 ciclos	0,15 NI
BRANCH	3 ciclos	0,3 NI

donde  $I_i$  es el tipo de instrucción,  $CPI_i^b$  es el número de ciclos por instrucción y  $NI_i$  es el número de instrucciones de ese tipo.

El tiempo base  $T_b$  que tardaría en ejecutarse el programa sin mejoras sería:

$$\begin{aligned}
 T_b &= NI \cdot CPI \cdot T_c = T_c \cdot \sum_i NI_i \cdot CPI_i = \\
 &= T_c \cdot NI \cdot \left( \underbrace{0,2 \cdot 4}_{LD} + \underbrace{0,1 \cdot 3}_{ST} + \underbrace{0,25 \cdot 6}_{FP} + \underbrace{0,15 \cdot 8}_{FLT \ POINT} + \underbrace{0,3 \cdot 3}_{BRANCH} \right) = \\
 &= T_c \cdot NI \cdot 4,7
 \end{aligned}$$

donde  $T_c$  representa el tiempo de ciclo. Respecto al tiempo mejorado  $T_p$ , sabiendo ahora que en caso de los números enteros el número de ciclos se reduce

a 3, tendríamos:

$$\begin{aligned}
 T_p &= NI \cdot CPI \cdot T_c = T_c \cdot \sum_i NI_i \cdot CPI_i = \\
 &= T_c \cdot NI \cdot \left( \underbrace{0,2 \cdot 4}_{LD} + \underbrace{0,1 \cdot 3}_{ST} + \underbrace{0,25 \cdot \mathbf{3}}_{FP} + \underbrace{0,15 \cdot 8}_{FLT \ POINT} + \underbrace{0,3 \cdot 3}_{BRANCH} \right) = \\
 &= T_c \cdot NI \cdot 3,95
 \end{aligned}$$

La expresión de la ganancia, por tanto, es:

$$S = \frac{T_b}{T_p} = \frac{\cancel{T_c} \cdot \cancel{NI} \cdot 4,7}{\cancel{T_c} \cdot \cancel{NI} \cdot 3,95} = \frac{4,7}{3,95} \approx 1,1898$$

2. ¿Cuál es la ganancia que se puede obtener por reducción a 3 ciclos de las instrucciones en coma flotante?

Tenemos que:

$$\begin{aligned}
 T_p &= NI \cdot CPI \cdot T_c = T_c \cdot \sum_i NI_i \cdot CPI_i = \\
 &= T_c \cdot NI \cdot \left( \underbrace{0,2 \cdot 4}_{LD} + \underbrace{0,1 \cdot 3}_{ST} + \underbrace{0,25 \cdot 6}_{FP} + \underbrace{0,15 \cdot \mathbf{3}}_{FLT \ POINT} + \underbrace{0,3 \cdot 3}_{BRANCH} \right) = \\
 &= T_c \cdot NI \cdot 3,95
 \end{aligned}$$

La expresión de la ganancia, por tanto, es:

$$S = \frac{T_b}{T_p} = \frac{\cancel{T_c} \cdot \cancel{NI} \cdot 4,7}{\cancel{T_c} \cdot \cancel{NI} \cdot 3,95} = \frac{4,7}{3,95} \approx 1,1898$$

Como podemos ver, la ganancia es la misma que en el caso anterior. Esto se debe a que, aun recudiendo más ciclos de reloj (5 en este caso, frente a 3 en el anterior), el número de instrucciones de coma flotante es menor que el número de instrucciones de enteros, por lo que la ganancia se compensa. Se tiene que  $0,25 \cdot 3 = 0,15 \cdot 5$ .

**Ejercicio 2.1.2.** Un circuito que implementaba una operación en un tiempo de  $T_{op} = 450$  ns se ha segmentado mediante un cauce lineal con cuatro etapas de duración  $T_1 = 100$  ns,  $T_2 = 125$  ns,  $T_3 = 125$  ns y  $T_4 = 100$  ns respectivamente, separadas por un registro de acoplo que introduce un retardo de 25 ns.

1. ¿Cuál es la máxima ganancia de velocidad posible? ¿Cuál es la productividad máxima del cauce?

Tenemos que el ciclo de reloj es de  $T_c = 125ns + 25ns = 150ns$ , ya que depende de la etepa de ejecución más lenta. La ganancia de velocidad, siendo  $N$  el número de operaciones, es:

$$S(N) = \frac{T^b(N)}{T^s(N)}$$

donde  $T^b(N)$  es el tiempo base y  $T^s(N)$  es el tiempo usando segmentación. El tiempo base es directo ver que es  $T^b(N) = N \cdot T_{op}$ , mientras que el tiempo segmentado es algo más complejo, ya que hay que tener en cuenta el tiempo que tarda el cauce en llenarse. Una vez está lleno, ejecuta una operación cada ciclo de reloj, pero la primera operación tarda  $N_{etapas} \cdot T_c$ . Por tanto, el tiempo segmentado es:

$$\begin{aligned} T^s(N) &= [1 \cdot N_{etapas} \cdot T_c] + [(N - 1) \cdot T_c] = N_{etapas} \cdot T_c + (N - 1)T_c = \\ &= 4 \cdot T_c + (N - 1)T_c \end{aligned}$$

donde el 4 se debe a que es el número de etapas del cauce. Por tanto, la ganancia de velocidad es:

$$S(N) = \frac{T^b(N)}{T^s(N)} = \frac{N \cdot T_{op}}{4 \cdot T_c + (N - 1)T_c} = \frac{N \cdot T_{op}}{T_c \cdot (4 + N - 1)} = \frac{N \cdot 450}{150 \cdot (3 + N)} = \frac{3N}{3 + N}$$

La ganancia máxima se presupone que se alcanza cuando  $N \rightarrow \infty$ , por lo que:

$$S_{\max} = S(N \gg) = \lim_{N \rightarrow \infty} S(N) = \lim_{N \rightarrow \infty} \frac{N \cdot T_{op}}{T_c \cdot (3 + N)} = \frac{T_{op}}{T_c} = \frac{450}{150} = 3$$

Respecto a la productividad del cauce, se tiene que:

$$P(N) = \frac{N}{T^s(N)} = \frac{N}{4 \cdot T_c + (N - 1)T_c} = \frac{N}{150 \cdot (3 + N)} \text{ op/ns} = \frac{N}{150 \cdot (3 + N)} \cdot 10^3 \text{ Mop/s}$$

La productividad máxima del cauce es:

$$P_{\max} = \lim_{N \rightarrow \infty} P(N) = \lim_{N \rightarrow \infty} \frac{N}{150 \cdot (3 + N)} \cdot 10^3 = \frac{10^3}{150} \approx 6,667 \text{ Mop/s}$$

2. ¿A partir de qué número de operaciones ejecutadas se consigue una productividad igual al 90 % de la productividad máxima?

Tenemos que:

$$\begin{aligned} \frac{N}{150 \cdot (3 + N)} \cdot 10^3 &= 0,9 \cdot P_{\max} = 0,9 \cdot \frac{10^3}{150} \implies \frac{N}{3 + N} = 0,9 \implies \\ &\implies N = 2,7 + 0,9N \implies 0,1N = 2,7 \implies N = 27 \end{aligned}$$

Por tanto, a partir de 27 operaciones ejecutadas se consigue una productividad igual al 90 % de la productividad máxima.

**Ejercicio 2.1.3.** En un procesador sin segmentación de cauce, determine cuál de estas dos alternativas para realizar un salto condicional es mejor:

- ALT1: Una instrucción **COMPARE** actualiza un código de condición y es seguida por una instrucción **BRANCH** que comprueba esa condición. Se usan dos instrucciones.

- ALT2: Una sola instrucción incluye la funcionalidad de las instrucciones **COMPARE** y **BRANCH**. Se usa una única instrucción.

Hay que tener en cuenta que hay un 20 % de instrucciones **BRANCH** para ALT1 en el conjunto de programas de prueba; que las instrucciones **BRANCH** en ALT1 y **COMPARE+BRANCH** en ALT2 necesitan 4 ciclos mientras que todas las demás necesitan sólo 3; y que el ciclo de reloj de la ALT1 es un 25 % menor que el de la ALT2, dado que en este caso la mayor funcionalidad de la instrucción **COMPARE+BRANCH** ocasiona una mayor complejidad en el procesador.

En todo el ejercicio, el superíndice 1 denotará la ALT1, mientras que el superíndice 2 denotará la ALT2. Como el tiempo de ciclo de reloj depende de la ejecución más lenta, es normal que este cambie (como se especifica en el enunciado). La relación entre los tiempos de ciclo, dada por el enunciado, es la siguiente:

$$T_c^1 = T_c^2 - 0,25T_c^2 = 0,75T_c^2$$

Resumimos los datos del enunciado en la siguiente tabla:

$I_i^1$	$CPI_i^1$	$NI_i^1$	$I_i^2$	$CPI_i^2$	$NI_i^2$
<b>BRANCH</b>	4 ciclos	$0,2 \cdot NI^1$	<b>COMPARE+BRANCH</b>	4 ciclos	$0,2 \cdot NI^1$
<b>COMPARE</b>	3 ciclos	$0,2 \cdot NI^1$			
Demás	3 ciclos	$0,6 \cdot NI^1$	Demás	3 ciclos	$0,6 \cdot NI^1$
		$NI^1$			$0,8 \cdot NI^1 = NI^2$

Hay que tener en cuenta que sabemos que cada salto conlleva un **BRANCH** y un **COMPARE** en la primera alternativa, por lo que hay el mismo número de instrucciones de dichos tipos. Además, como el programa es el mismo, tenemos que hay el mismo número de instrucciones de salto en ambos, por eso deducimos el número de instrucciones de salto en la segunda alternativa. Tiene sentido que  $NI^2 < NI^1$ , ya que cada instrucción de salto conlleva 2 órdenes en la primera alternativa, mientras que en la segunda conlleva una sola.

Tenemos que ver qué alternativa nos da un tiempo de ejecución menor (tengamos en cuenta que el tiempo de ciclo de cada uno no es el mismo, por lo que tenemos que pasarlo todo al mismo tiempo de ciclo):

$$T_{CPU}^1 = NI^1 \cdot (\underbrace{0,2 \cdot 4}_{BR} + \underbrace{0,8 \cdot 3}_{CMP+Resto}) \cdot T_c^1 = NI^1 \cdot 3,2 \cdot 0,75 \cdot T_c^2 = NI^1 \cdot 2,4 \cdot T_c^2$$

$$T_{CPU}^2 = NI^1 \cdot (\underbrace{0,2 \cdot 4}_{CMPBR} + \underbrace{0,6 \cdot 3}_{Resto}) \cdot T_c^2 = NI^1 \cdot 2,6 \cdot T_c^2$$

Por tanto,

$$\frac{T_{CPU}^1}{T_{CPU}^2} = \frac{2,4}{2,6} = \frac{12}{13} \approx 0,923 \implies T_{CPU}^1 < T_{CPU}^2$$

Por ser  $T_{CPU}^1 < T_{CPU}^2$ , concluimos que la opción ALT1 es la mejor, en cuanto a tiempos de ejecución.

**Ejercicio 2.1.4.** ¿Qué ocurriría en el problema del ejercicio anterior (Ejercicio 2.1.3) si el ciclo de reloj fuese únicamente un 10 % mayor para la ALT2?

En este caso, el tiempo de ciclo de la ALT1 sería:

$$T_c^1 = T_c^2 - 0,1T_c^2 = 0,9T_c^2$$

Por tanto, los tiempos de ejecución serían:

$$T_{CPU}^1 = NI^1 \cdot (\underbrace{0,2 \cdot 4}_{BR} + \underbrace{0,8 \cdot 3}_{CMP+Resto}) \cdot T_c^1 = NI^1 \cdot 3,2 \cdot 0,9 \cdot T_c^2 = NI^1 \cdot 2,88 \cdot T_c^2$$

$$T_{CPU}^2 = NI^1 \cdot (\underbrace{0,2 \cdot 4}_{CMPBR} + \underbrace{0,6 \cdot 3}_{Resto}) \cdot T_c^2 = NI^1 \cdot 2,6 \cdot T_c^2$$

Por tanto,

$$\frac{T_{CPU}^1}{T_{CPU}^2} = \frac{2,88}{2,6} = \frac{72}{65} \approx 1,1077 \implies T_{CPU}^1 > T_{CPU}^2$$

Por ser  $T_{CPU}^1 > T_{CPU}^2$ , concluimos que la opción ALT2 es la mejor, en cuanto a tiempos de ejecución.

**Ejercicio 2.1.5.** Considere un procesador no segmentado con una arquitectura de tipo LOAD/STORE en la que las operaciones sólo utilizan como operandos registros de la CPU. Para un conjunto de programas representativos de su actividad se tiene que el 43 % de las instrucciones son operaciones con la ALU (3 CPI), el 21 % LOADs (4 CPI), el 12 % STOREs (4 CPI) y el 24 % BRANCHs (4 CPI). Se ha podido comprobar que un 25 % de las operaciones con la ALU utilizan operandos en registros que no se vuelven a utilizar. Compruebe si mejorarían las prestaciones si, para sustituir ese 25 % de operaciones, se añaden instrucciones con un dato en un registro y otro en memoria. Tengan en cuenta en la comprobación que para estas nuevas instrucciones el valor de CPI es 4 y que añadirlas ocasiona un incremento de un ciclo en el CPI de los BRANCH, pero no afectan al ciclo de reloj.

Resumimos los datos del enunciado en la siguiente tabla, donde el superíndice 1 denotará la primera alternativa y el superíndice 2 denotará la segunda:

$I_i^1$	$CPI_i^1$	$NI_i^1$	$I_i^2$	$CPI_i^2$	$NI_i^2$
Instrucción ALU	3 ciclos	$0,43 \cdot NI^1$	ALU r,r	3 ciclos	$0,3225 \cdot NI^1$
			ALU r,m	4 ciclos	$0,1075 \cdot NI^1$
LOADs	4 ciclos	$0,21 \cdot NI^1$	LOADs	4 ciclos	$0,1025 \cdot NI^1$
STOREs	4 ciclos	$0,12 \cdot NI^1$	STOREs	4 ciclos	$0,12 \cdot NI^1$
BRANCHs	4 ciclos	$0,24 \cdot NI^1$	BRANCHs	5 ciclos	$0,24 \cdot NI^1$
					$0,8925 \cdot NI^1 = NI^2$

donde, cada  $NI_i^2$  se ha calculado de la siguiente forma:

- Para ALU r,r, se ha usado que son el 75 % de las operaciones con la ALU, es decir,  $NI_{ALU\ r,r}^2 = 0,75 \cdot 0,43 \cdot NI^1 = 0,3225 \cdot NI^1$ .

- Para ALU  $r, m$ , se ha usado que son el 25 % de las operaciones con la ALU, es decir,  $NI^2_{\text{ALU } r, m} = 0,25 \cdot 0,43 \cdot NI^1 = 0,1075 \cdot NI^1$ .
- Para LOADs, se ha usado que en la alternativa 2 se hacen  $0,1075 \cdot NI^1$  LOADs menos que en la alternativa 1, ya que las instrucciones que usan un operando de memoria no es necesario que se traigan de memoria. Por tanto, tenemos que son  $NI^2_{\text{LOADs}} = 0,21 \cdot NI^1 - 0,1075 \cdot NI^1 = 0,1025 \cdot NI^1$ .

Calculamos los tiempos en CPU de ambas alternativas:

$$\begin{aligned} T_{CPU}^1 &= NI^1[0,43 \cdot 3 + (0,21 + 0,12 + 0,24) \cdot 4] \cdot T_c \\ &= NI^1 \cdot 3,57 \cdot T_c \end{aligned}$$

$$\begin{aligned} T_{CPU}^2 &= NI^1[0,3225 \cdot 3 + (0,1075 + 0,1025 + 0,12) \cdot 4 + 0,24 \cdot 5] \cdot T_c \\ &= NI^1 \cdot 3,4875 \cdot T_c \end{aligned}$$

Y tenemos que  $T_{CPU}^2 < T_{CPU}^1$ , luego sí que mejorarían las prestaciones.

**Ejercicio 2.1.6.** Se ha diseñado un compilador para la máquina LOAD/STORE del problema anterior (Ejercicio 2.1.5). Ese compilador puede reducir en un 50 % el número de operaciones con la ALU, pero no reduce el número de LOADs, STOREs, y BRANCHs. Suponiendo que la frecuencia de reloj es de 50 Mhz, ¿Cuál es el número de MIPS y el tiempo de ejecución que se consigue con el código optimizado? Compárelos con los correspondientes del código no optimizado.

El código no optimizado se representa con el superíndice 1, mientras que el código optimizado se representa con el superíndice 2.

$I_i^1$	$CPI_i^1$	$NI_i^1$	$I_i^2$	$CPI_i^2$	$NI_i^2$
Instrucción ALU	3 ciclos	$0,43 \cdot NI^1$	Instrucción ALU	3 ciclos	$0,215 \cdot NI^1$
LOADs	4 ciclos	$0,21 \cdot NI^1$	LOADs	4 ciclos	$0,21 \cdot NI^1$
STOREs	4 ciclos	$0,12 \cdot NI^1$	STOREs	4 ciclos	$0,12 \cdot NI^1$
BRANCHs	4 ciclos	$0,24 \cdot NI^1$	BRANCHs	4 ciclos	$0,24 \cdot NI^1$
					$0,785 \cdot NI^1 = NI^2$

Calculamos los tiempos en CPU de ambas alternativas:

$$\begin{aligned} T_{CPU}^1 &= NI^1[0,43 \cdot 3 + (0,21 + 0,12 + 0,24) \cdot 4] \cdot T_c \\ &= NI^1 \cdot 3,57 \cdot T_c = NI^1 \cdot 3,57 \cdot \frac{1}{50 \cdot 10^6} \text{ seg} = NI^1 \cdot 7,14 \cdot 10^{-8} \text{ seg} \\ T_{CPU}^2 &= NI^1[0,215 \cdot 3 + (0,21 + 0,12 + 0,24) \cdot 4] \cdot T_c \\ &= NI^1 \cdot 2,925 \cdot T_c = NI^1 \cdot 2,925 \cdot \frac{1}{50 \cdot 10^6} \text{ seg} = NI^1 \cdot 5,85 \cdot 10^{-8} \text{ seg} \end{aligned}$$

Calculamos ahora el número de MIPS de ambas alternativas:

$$\begin{aligned} MIPS^1 &= \frac{NI^1}{T_{CPU}^1 \cdot 10^6} = \frac{NI^1}{NI^1 \cdot 7,14 \cdot 10^{-8} \cdot 10^6} = \frac{1}{7,14 \cdot 10^{-2}} = 14 \text{ MIPS} \\ MIPS^2 &= \frac{NI^2}{T_{CPU}^2 \cdot 10^6} = \frac{0,785 \cdot NI^1}{NI^1 \cdot 5,85 \cdot 10^{-8} \cdot 10^6} = \frac{1}{7,4522 \cdot 10^{-2}} = 13,4188 \text{ MIPS} \end{aligned}$$



Como podemos ver, de forma objetiva el código optimizado es mejor que el no optimizado, ya que  $T_{CPU}^2 < T_{CPU}^1$ . No obstante, si solo nos fijásemos en el número de MIPS, podríamos pensar que el código no optimizado es mejor que el optimizado, ya que  $MIPS^1 > MIPS^2$ ; pero sabemos que esta medida no es una medida objetiva, ya que tan solo depende de la frecuencia y de los ciclos por instrucción, y no tiene en cuenta el número de instrucciones.

**Ejercicio 2.1.7.** En un programa que se ejecutan en un procesador no segmentado que funciona a 100 MHz, hay un 20 % de instrucciones **LOAD** que necesitan 4 ciclos, un 15 % de instrucciones **STORE** que necesitan 3 ciclos, un 40 % de instrucciones con operaciones en la ALU que necesitan 6 ciclos, y un 25 % de instrucciones de salto que necesitan 3 ciclos.

1. Si en las instrucciones que usan la ALU el tiempo en la ALU supone 4 ciclos, determine cuál es la máxima ganancia que se puede obtener si se mejora el diseño de la ALU de forma que se reduce su tiempo de ejecución a la mitad de ciclos.

Resumimos los datos del enunciado en la siguiente tabla:

$I_i$	$CPI_i^b$	$NI_i$	$CPI_i^p$
LOAD	4 ciclos	0,2 NI	4 ciclos
STORE	3 ciclos	0,15 NI	3 ciclos
Instrucción ALU	6 ciclos	0,4 NI	4 ciclos
BRANCH	3 ciclos	0,25 NI	3 ciclos

Hemos de notar que el número de instrucciones de la ALU no cambia, ya que no se ha especificado que se reduzca el número de instrucciones de la ALU. Además, no se reduce de 6 a 3, ya que tan solo se reducen a la mitad los 4 ciclos que tarda en ejecutarse la instrucción de la ALU. Por tanto, se tiene que  $CPI_{ALU}^2 = 2 + 4 \cdot 1/2 = 4$ . Por tanto, la ganancia para un número de instrucciones  $NI$  es:

$$\begin{aligned}
 S(NI) &= \frac{T^b(NI)}{T^p(NI)} = \frac{NI \cdot (0,2 \cdot 4 + 0,15 \cdot 3 + 0,4 \cdot 6 + 0,25 \cdot 3) \cdot T_c}{NI \cdot (0,2 \cdot 4 + 0,15 \cdot 3 + 0,4 \cdot 4 + 0,25 \cdot 3) \cdot T_c} = \\
 &= \frac{4,4}{3,6} = \frac{11}{9} \approx 1,222
 \end{aligned}$$

2. ¿Con qué porcentaje de instrucciones con operaciones en la ALU se podría haber obtenido en los cálculos del apartado 1 una ganancia mayor que 2? Razone su respuesta.

Para ver que no es posible, usaremos la Ley de Amdahl. Supongamos que el porcentaje de instrucciones con operaciones que no son de la ALU es  $f$ . El factor de mejora de la ALU es  $p = \frac{6}{4} = 1,5$ . Por tanto, por la Ley de Amdahl, tenemos que:

$$S \leq \frac{p}{1 + f(p - 1)} = \frac{1,5}{1 + f \cdot 0,5} \leq 1,5 \quad \forall f \in [0, 1]$$

Por tanto, tenemos que la ganancia está acotada por 1,5, por lo que no es posible obtener una ganancia mayor que 2.

**Ejercicio 2.1.8.** Suponga que en los programas que constituyen la carga de trabajo habitual de un procesador las instrucciones de coma flotante consumen un promedio del 13 % del tiempo del procesador.

1. Ha aparecido en el mercado una nueva versión del procesador en la que la única mejora con respecto a la versión anterior es una nueva unidad de coma flotante que permite reducir el tiempo de las instrucciones de coma flotante a tres cuartas partes del tiempo que consumían antes. ¿Cuál es la máxima ganancia de velocidad que puede esperarse en los programas que constituyen la carga de trabajo si se utiliza la nueva versión del procesador?

El porcentaje de ejecución de las instrucciones que no son de coma flotante es  $f = 1 - 0,13 = 0,87$ ; mientras que el factor de mejora es  $p = 4/3$ . Por tanto, la ganancia máxima es:

$$S = \frac{T_b}{T_p} \leq \frac{p}{1 + f(p-1)} = \frac{4/3}{1 + 0,87 \cdot 1/3} \approx 1,0336$$

2. ¿Cuál es la máxima ganancia de velocidad con respecto a la versión inicial del procesador que, en promedio, puede esperarse en los programas debido a mejoras en la velocidad de las operaciones en coma flotante?

Sea  $p$  el factor de mejora de la unidad de coma flotante. Tenemos que:

$$S \leq \frac{p}{1 + f(p-1)} = \frac{p}{1 + 0,87(p-1)}$$

Suponiendo que el factor de mejora es muy grande, es decir,  $p \rightarrow \infty$ , tenemos que:

$$S_{\text{máx}} = \lim_{p \rightarrow \infty} \frac{p}{1 + 0,87(p-1)} = \frac{1}{0,87} \approx 1,149$$

3. ¿Cuál debería ser el porcentaje de tiempo de cálculo con datos en coma flotante en los programas para esperar una ganancia máxima de 4 en lugar de la obtenida en el apartado 2?

Calcularemos en primer lugar  $f$ , que representa el porcentaje de tiempo de cálculo con datos que no son en coma flotante:

$$4 = S_{\text{máx}} = \lim_{p \rightarrow \infty} \frac{p}{1 + f(p-1)} = \frac{1}{f} \implies f = \frac{1}{4} = 0,25$$

Por tanto, el porcentaje de tiempo de cálculo con datos en coma flotante es  $1 - f = 0,75$ ; es decir, el 75 %.

4. ¿Cuánto debería reducirse el tiempo de las operaciones en coma flotante con respecto a la situación inicial para que la ganancia máxima sea 2 suponiendo que en la versión inicial el porcentaje de tiempo de cálculo con coma flotante es el obtenido en el apartado 3?

Se trata de buscar  $p$ , suponiendo que tenemos un 75 % de operaciones de coma flotante; es decir,  $f = 0,25$ . Tenemos que:

$$2 = S_{\text{máx}} = \frac{p}{1 + f(p-1)} = \frac{p}{1 + 0,25(p-1)} = \frac{p}{0,75 + 0,25p} \Rightarrow \\ \Rightarrow 2(0,75 + 0,25p) = p \Rightarrow 1,5 + 0,5p = p \Rightarrow 1,5 = 0,5p \Rightarrow p = 3$$

Por tanto, el tiempo de las operaciones en coma flotante debería reducirse a un tercio del tiempo que consumían antes.

**Ejercicio 2.1.9.** Suponga que, en el código siguiente,  $a[]$  es un array de números de 32 bits en coma flotante y  $b$  un número de 32 bits en coma flotante y que debería ejecutarse en menos de 0,5 segundos para  $N = 10^9$ :

```
for (i=0; i<N; i++)
    a[i+2]=(a[i+2]+a[i+1]+a[i])*b;
```

1. ¿Cuántos GFLOPS se necesitan para poder ejecutar el código en menos de 0,5 segundos?

En este caso, necesitamos  $T_{CPU} \leq 0,5$  segundos. Sabemos que el número de operaciones en coma flotante es  $3 \cdot N$  (dos sumas y una multiplicación por cada iteración del bucle). Por tanto, necesitamos:

$$GFLOPS = \frac{n^{\circ} \text{ FP}}{T_{CPU} \cdot 10^9} = \frac{3 \cdot N}{T_{CPU} \cdot 10^9} \geq \frac{3 \cdot 10^9}{0,5 \cdot 10^9} = 6$$

Por tanto, necesitamos al menos 6 GFLOPS para poder ejecutar el código en menos de 0,5 segundos.

2. Suponiendo que este código en ensamblador tiene  $7N$  instrucciones y que se ha ejecutado en un procesador de 32 bits a 2 GHz. ¿Cual es el número medio de instrucciones que el procesador tiene que poder completar por ciclo para poder ejecutar el código en menos de 0,5 segundos?

Tenemos que:

$$T_{CPU} = NI \cdot CPI \cdot T_c = \frac{NI}{IPC \cdot F} \Rightarrow IPC = \frac{NI}{T_{CPU} \cdot F}$$

Como buscamos que  $T_{CPU} \leq 0,5$  segundos, tenemos que:

$$IPC \geq \frac{7 \cdot 10^9}{0,5 \cdot 2 \cdot 10^9} = 7$$

Por tanto, el número medio de instrucciones que el procesador tiene que poder completar por ciclo para poder ejecutar el código en menos de 0,5 segundos es al menos 7.

3. Estimando que el programa pasa el 75 % de su tiempo de ejecución realizando operaciones en coma flotante, ¿cuánto disminuiría como mucho el tiempo de ejecución si se redujesen un 75 % los tiempos de las unidades de coma flotante?

En este caso, sea  $f$  el porcentaje de tiempo de cálculo con datos que no son en coma flotante,  $f = 0,25$ ; y sea  $p$  el factor de mejora de la unidad de coma flotante,  $p = 4$ , ya que el tiempo se reduce a una cuarta parte. Tenemos que la mejora máxima sería:

$$S_{\text{máx}} = \frac{T_{CPU}^b}{T_{CPU}^p} \leq \frac{p}{1 + f(p-1)} = \frac{4}{1 + 0,25 \cdot 3} = \frac{4}{1,75} = \frac{16}{7} \approx 2,2857$$

Por tanto, tenemos que  $T_{CPU}^b \leq 2,2857 \cdot T_{CPU}^p$ ; o equivalentemente tenemos  $T_{CPU}^p \geq 0,4375 \cdot T_{CPU}^b$ ; es decir, el tiempo de ejecución disminuiría como mucho un  $(100 - 43,75) \% = 56,25 \%$ .

**Ejercicio 2.1.10.** Un compilador ha generado un código máquina optimizado para el siguiente programa

```
par=0; impar=0;
for (i=0; i<N; i++)
    if ((i%2) == 0)
        par=par+c*x[i];
    else
        impar=impar-c*x[i];
```

sin utilizar instrucciones de salto dentro de las iteraciones del bucle (porque se ha usado la técnica de desenrollado del bucle que veremos en el Seminario 4): el código tiene un número de iteraciones de  $N/2$ , 7 instrucciones fuera del bucle (2 de almacenamiento en memoria, 5 instrucciones para inicializar registros), 9 instrucciones dentro del bucle (4 instrucciones para implementar el bucle **for**: incremento de la variable de control  $i$ , comparación, salto condicional y un salto incondicional; 4 instrucciones coma flotante y 2 instrucciones de carga desde memoria a registro (se leen dos componentes de  $x$ ). El computador donde se ejecuta dispone de:

- Un procesador superescalar de 32 bits a 2 GHz capaz de terminar dos instrucciones de coma flotante por ciclo y dos instrucciones de cualquier otro tipo por ciclo, excepto instrucciones de carga, cuyo tiempo depende de si hay o no fallo de cache (si no hay fallo de cache suponen 1 ciclo), y las instrucciones de almacenamiento que suponen 1 ciclo.
- Dos caches integradas en el chip de procesamiento (una para datos y otra para instrucciones) de 512 KBytes cada una, mapeo directo, política de actualización de postescritura, líneas de 32 bytes, y latencia de un ciclo de reloj.
- Una memoria principal con latencia de 30 ns. y ciclos burst 6-1-1-1 a través de un bus de memoria de 200 MHz con 64 bits.

Conteste a las siguientes cuestiones:

1. ¿Cuál es la velocidad pico del procesador (en GFLOPS)?
2. ¿Cuál es el tiempo mínimo que tarda en ejecutarse el programa para  $N = 211$ ?
3. ¿Cuántos MFLOPS alcanza el programa?

*Observación.* Considere que el vector  $\mathbf{x}$  se almacena en memoria en una dirección múltiplo del tamaño de una línea de cache y que ningún componente está en cache cuando se referencia;  $N$ ,  $i$  estarán en registros de enteros, `par`, `impar`, `c`, y `x[]` son números de 32 bits en coma flotante; dentro del bucle `c`, `par` e `impar` estarán en registros.

### 2.1.1. Cuestiones

**Cuestión 2.1.1.** Indique cuál es la diferencia fundamental entre una arquitectura CC-NUMA y una arquitectura SMP.

Una arquitectura cc-NUMA es un tipo concreto de NUMA, y una SMP es un tipo concreto de UMA. La diferencia fundamental entre ambas arquitecturas es que en las NUMA la memoria no está unificada completamente, ya que cada procesador tiene su propio módulo local de memoria. Al igual que en el caso del UMA, en las NUMA se comparte el espacio de direcciones, pero hay un retardo si en vez de acceder a la memoria local se accede a la memoria de otro procesador.

**Cuestión 2.1.2.** ¿Cuándo diría que un computador es un multiprocesador y cuándo que es un multicomputador?

La diferencia entre ambos consiste en el mapa de memoria. En el caso de un multiprocesador, todos los procesadores comparten el mismo espacio de direcciones, es decir, la memoria es compartida. En cambio, en el caso de un multicomputador, cada procesador tiene su propio espacio de direcciones independiente y el cual no puede ser accedido por otro procesador; es decir, la memoria no es compartida.

**Cuestión 2.1.3.** ¿Un CC-NUMA escala más que un SMP? ¿Por qué?

Un CC-NUMA escala mejor que un SMP, ya que añadir un procesador nuevo en un SMP implica que un nuevo procesador accederá a la memoria compartida, provocando ahí más conflictos. En el caso del NUMA, como el nuevo procesador añadido tendrá su memoria local, sí es verdad que provocará conflictos cuando acceda a memorias de otros procesadores, pero no tantos como en el caso de un SMP, ya que estos accesos serán minoritarios.

**Cuestión 2.1.4.** Indique qué niveles de paralelismo implícito en una aplicación puede aprovechar un PC con un procesador de 4 cores, teniendo en cuenta que cada core tiene unidades funcionales SIMD (también llamadas unidades multimedia) y una microarquitectura segmentada y superscalar. Razone su respuesta.

Un PC con un procesador de 4 cores puede aprovechar los siguientes niveles de paralelismo implícito:

- Paralelismo de instrucción, ILP: cada core tiene una microarquitectura segmentada y superscalar, por lo que puede ejecutar varias instrucciones en paralelo.

- Paralelismo de datos: cada core tiene unidades funcionales SIMD, por lo que puede ejecutar varias operaciones en paralelo, como la suma de vectores, la multiplicación de matrices, ...
- Paralelismo de tareas: cada core es independiente, por lo que puede ejecutar tareas distintas en paralelo.

**Cuestión 2.1.5.** Si le dicen que un ordenador es de 20 GIPS ¿puede estar seguro que ejecutará cualquier programa de 20000 instrucciones en un microsegundo?

No. Si un programa que ejecuta 20000 instrucciones tarda 1 microsegundo, tendríamos efectivamente que el programa se ha ejecutado a una velocidad de 20 GIPS. Sin embargo, no podemos estar seguros de que cualquier programa de 20000 instrucciones tarde en ejecutarse un microsegundo, ya que depende de las características de las instrucciones que componen al programa:

- El número de instrucciones que constituyen un programa puede ser distinto del número de instrucciones que finalmente ejecuta el procesador (se trata por tanto de un número dinámico de instrucciones), ya que puede haber instrucciones de salto, bucles, ... que hacen que ciertas instrucciones del código se ejecuten más de una vez; y puede haber otras que no se ejecuten nunca.
- Por otro lado, el tipo de instrucciones que constituyen el programa y las dependencias entre ellas pueden variar los tiempos de ejecución que tardan en ejecutarse las instrucciones.

**Cuestión 2.1.6.** ¿Aceptaría financiar/embarcarse en un proyecto en el que se plantease el diseño e implementación de un computador de propósito general con arquitectura MISD? (Justifique su respuesta).

No, por diversos motivos:

- En primer lugar, estas se pueden implementar mediante una arquitectura MIMD, que es más flexible, por lo que es un caso concreto de algo que ya se puede hacer.
- Además, se tendría un gran cuello de botella, ya que aunque puedas ejecutar varias instrucciones en paralelo, tan solo puedes acceder a un dato a la vez por solo tener un cauce para estos, algo que provocaría que las instrucciones estuviesen esperando a que se accediese a los datos, realentizando entonces el proceso.

**Cuestión 2.1.7.** Deduzca la expresión que se usa para representar la ley de Amdahl suponiendo que se mejora un recurso del procesador, que hay una probabilidad  $f$  de no utilizar dicho recurso y que la mejora supone un incremento en un factor de  $p$  de la velocidad de procesamiento del recurso.

Razonado en la sección 1.3.6.

**Cuestión 2.1.8.** ¿Es cierto que si se mejora una parte de un sistema (por ejemplo, un recurso de un procesador) se observa experimentalmente que, al aumentar el factor de mejora, llega un momento en que se satura el incremento de velocidad que se consigue? (Justifique la respuesta).

Sí. Sea el factor de mejora  $p$  y la probabilidad de no utilizar el recurso  $f$ . Entonces, la ley de Amdahl nos dice que:

$$S \leq \frac{p}{1 + f(p - 1)}$$

Si  $p \rightarrow \infty$ , que representa que el recurso se mejora infinitamente, entonces:

$$\lim_{p \rightarrow \infty} S = \lim_{p \rightarrow \infty} \frac{p}{1 + f(p - 1)} = \frac{1}{f}$$

Esto se debe a que aunque esa parte del sistema se mejore, si no se utiliza en la ejecución del programa, no se verá reflejado en la mejora de la velocidad. Por tanto, llegará un momento en el que la mejora de la velocidad se sature.

**Cuestión 2.1.9.** ¿Es cierto que la cota para el incremento de velocidad que establece la ley de Amdahl crece a medida que aumenta el valor del factor de mejora aplicado al recurso o parte del sistema que se mejora? (Justifique la respuesta).

Tenemos que la cota, notada por  $S_{\text{máx}}$ , para la ganancia que establece la ley de Amdahl es:

$$S_{\text{máx}} = \frac{p}{1 + f(p - 1)}$$

Para ver si crece a medida que aumenta el valor del factor de mejora ( $p$  aumenta), derivamos la expresión respecto de  $p$ :

$$S'_{\text{máx}} = \frac{1 + f(p - 1) - pf}{(1 + f(p - 1))^2} = \frac{1 - f}{(1 + f(p - 1))^2} \geq 0 \quad \forall f \in [0, 1]$$

donde hemos afirmado que es positiva puesto que  $f \in [0, 1]$ . Por tanto, tenemos que efectivamente dicha función es creciente a medida que aumenta  $p$ , por lo que la cota para el incremento de velocidad que establece la ley de Amdahl crece a medida que aumenta el valor del factor de mejora aplicado al recurso o parte del sistema que se mejora.

**Cuestión 2.1.10.** ¿Qué podría ser mejor suponiendo velocidades pico, un procesador superescalar capaz de emitir cuatro instrucciones por ciclo, o un procesador vectorial cuyo repertorio permite codificar 8 operaciones por instrucción y emite una instrucción por ciclo? (Justifique su respuesta).

El tiempo que tardaría en el ordenador superescalar, fijado el número de operaciones  $N$ , sería:

$$T_{\text{superescalar}} = \frac{N \cdot T_{\text{ciclo superescalar}}}{IPC} = \frac{N \cdot T_{\text{ciclo superescalar}}}{4}$$

En el caso de un procesador vectorial, y suponiendo que cualquier instrucción puede ser empaquetada (algo que es complicado), el tiempo que tardaría en el ordenador vectorial sería:

$$T_{\text{vectorial}} = \frac{N \cdot T_{\text{ciclo vectorial}}}{IPC} = \frac{N \cdot T_{\text{ciclo vectorial}}}{8}$$

Por tanto, tenemos que:

$$\frac{T_{\text{superescalar}}}{T_{\text{vectorial}}} = \frac{N \cdot T_{\text{ciclo superescalar}}}{4} \cdot \frac{8}{N \cdot T_{\text{ciclo vectorial}}} = 2 \cdot \frac{T_{\text{ciclo superescalar}}}{T_{\text{ciclo vectorial}}} = 2 \cdot \frac{f_{\text{vectorial}}}{f_{\text{superescalar}}}$$

Por tanto, tan solo podemos establecer esta relación entre las frecuencias de reloj de ambos procesadores, ya que no se nos ha dado información sobre ellas. Suponiendo que fuesen iguales (algo que no tiene por qué ser así), entonces el procesador vectorial sería mejor. Para poder sacar más conclusiones, necesitaríamos más información.

**Cuestión 2.1.11.** En la Lección 2 de AC se han presentado diferentes criterios de clasificación de computadores y en el Seminario 0 de prácticas se ha presentado atcgrid. Clasifique atcgrid, sus nodos, sus encapsulados y sus núcleos dentro de la clasificación de Flynn y dentro de la clasificación que usa como criterio el sistema de memoria. Razone su respuesta.

**Cuestión 2.1.12.** En la Lección 1 de AC se han presentado diferentes criterios de clasificación del paralelismo implícito en una aplicación y en el Seminario 0 de prácticas se ha presentado atcgrid. ¿Qué tipos de paralelismo aprovecha atcgrid? Razone su respuesta.

## 2.1.2. Ejercicios adicionales

**Ejercicio 2.1.11.** En el bucle siguiente, los arrays `a[]`, `b[]`, `c[]` y `d[]`, son números en coma flotante de 64 bits y  $n = 2 \cdot 10^{10}$ :

```
for (i = 0; i < n; i++)
    d[i] = a[i] + b[i] + c[i];
```

Si el programa se ejecuta en un procesador a 2 GHz que puede terminar dos operaciones en coma flotante por ciclo, ¿cuál es el tiempo mínimo que tardaría en ejecutarse? ¿Cuántos GFLOPS de velocidad pico tiene el procesador?

Para calcular el tiempo mínimo que tardaría en ejecutarse, calculamos de forma teórica el tiempo que se necesita para ejecutar las instrucciones descritas en el código. Este es el tiempo mínimo ya que estamos despreciando muchos factores por simplificar el estudio que hacen que el tiempo de ejecución aumente. Hacemos uso de la fórmula del tiempo de CPU:

$$T_{CPU} = NI_{float} \cdot CPI_{float} \cdot T_{ciclo} = \frac{NI_{float}}{IPC_{float} \cdot F} = \frac{2 \cdot 10^{10}}{2 \cdot (2 \cdot 10^9)} = 5 \text{ segundos}$$

A continuación, calculamos el número de GFLOPS pico del procesador, haciendo uso de la fórmula:

$$GFLOPS = \frac{1}{CPI \cdot T_{ciclo} \cdot 10^9} = \frac{IPC \cdot F}{10^9} = \frac{2 \cdot (2 \cdot 10^9)}{10^9} = 4$$

Por lo que el procesador tiene 4 GFLOPS de velocidad pico.



**Ejercicio 2.1.12.** La empresa DataNimbus estima que debe adquirir un nuevo computador con una velocidad pico de 100 TFLOPS para alcanzar los niveles de tiempos de respuesta requeridos en su nueva generación de algoritmos para aplicaciones Big Data. Se ha decidido configurar la máquina a base de nodos HP ProLiant SL230s Gen8. Concretamente, cada uno de estos servidores tiene dos procesadores Sandy Bridge Intel<sup>®</sup> Xeon<sup>®</sup> E5-2670 a 2,60 GHz con 8 núcleos/procesador:

1. ¿Cuántos nodos (servidores HP ProLiant SL230s) se necesitan para configurar la máquina de 100 TFLOPS?
2. Clasifique el nuevo servidor que se pretende adquirir, sus nodos, sus encapsulados y sus núcleos dentro de la clasificación de Flynn y dentro de la clasificación que usa como criterio el sistema de memoria.
3. ¿Cuál es el número máximo de operaciones de coma flotante por ciclo de cada core del Intel Xeon E5-2670?

Nota: El Yellowstone National enter for Atmospheric Research, que utiliza el mismo procesador que queremos montar, tiene una velocidad pico de 1503590 GFLOPS y contiene 72288 núcleos.

1. Como sabemos, por la información que nos proporciona la nota, la velocidad pico de un núcleo para operaciones en coma flotante es:

$$\frac{1503590}{72288} = 20,8 \text{ GFLOPS/núcleo}$$

Dado que hay que alcanzar  $100 \text{ TFLOPS} = 100 \cdot 10^3 \text{ GFLOPS}$ , el número de núcleos que necesitamos es:

$$\frac{100 \cdot 10^3}{20,8} = 4807,7 \text{ núcleos}$$

Es decir, 4808 núcleos.

Como el servidor HP ProLiant SL230s que se utiliza en cada nodo tiene 16 núcleos (2 microprocesadores con 8 núcleos cada uno), el número de nodos necesarios sería:

$$\frac{4808}{16} = 300,5 \rightarrow 301 \text{ nodos}$$

2. Desde el punto de vista de la taxonomía Flynn, es un computador MIMD. Cada uno de los microprocesadores que hay en el nodo tiene 8 núcleos que comparten la memoria local del microprocesador y por tanto son multiprocesadores UMA. Estos dos microprocesadores se interconectan en el nodo constituyendo un procesador NUMA dado que cada uno de ellos tiene su memoria principal local. Los nodos están interconectados a través de una red y configuran un computador NORMA o cluster.
3. Para este último punto, simplemente tenemos que observar la fórmula de los GFLOPS:

$$GFLOPS = \frac{\text{Operaciones coma flotante}}{T_{CPU} \cdot 10^9} = \frac{\text{Operaciones coma flotante}}{\text{Ciclos de programa} \cdot T_{ciclo} \cdot 10^9}$$

De donde despejamos las operaciones de coma flotante ( $Ops$ ) entre los ciclos de programa ( $cdp$ ):

$$\frac{Ops}{cdp} = GFLOPS \cdot 10^9 \cdot T_{ciclo} = \frac{GFLOPS \cdot 10^9}{F} = \frac{20,8 \cdot 10^9}{2,6 \cdot 10^9} = 8$$

Por tanto, el número máximo de operaciones en coma flotante que puede terminar el núcleo por ciclo es 8.

**Ejercicio 2.1.13.** Un procesador superescalar de 64 bits a 1 GHz capaz de finalizar tres instrucciones por ciclo ejecuta el programa que se indica a continuación:

```

1  start:  ld      f0, a           // f0 = a
2          add     r8, r0, r2      // r8 = r2 (r0 = 0)
3          addi    r6, r8, #2048   // r6 = r8 + 2048
4          add     r12, r0, r4     // r12 = r4 (r0 = 0)
5  loop:   ld      f2, 0(r8)       // f2 = m(r8)
6          multd   f2, f0, f2      // f2 = f0 * f2
7          ld      f4, 0(r12)      // f4 = m(r12)
8          addd    f4, f2, f4      // f4 = f2 + f4
9          sd      0(r12), f4      // m(r12) = f4
10         addi    r8, r8, #8       // r8 = r8 + 8
11         addi    r12, r12, #8     // r12 = r12 + 8
12         sub     r16, r6, r8      // r16 = r6 - r8
13         bnez    r16, loop       // Si r16 != 0, salta

```

En el programa,  $a$  es un número real,  $r0$  es un registro que siempre está a cero,  $r2$  contiene la dirección a partir de la cual empieza un array,  $X$ , de números reales de 64 bits, y  $r4$  contiene la dirección a partir de la que empieza otro array también de números reales de 64 bits. ¿Qué hace el programa? ¿Cuál es el tiempo mínimo que tardaría en ejecutarse?

## 2.2. Programación paralela

**Ejercicio 2.2.1.** Un programa tarda 40 s en ejecutarse en un multiprocesador. Durante un 20 % de ese tiempo se ha ejecutado en cuatro procesadores; durante un 60 %, en tres; y durante el 20 % restante, en un procesador (consideramos que se ha distribuido la carga de trabajo por igual entre los procesadores que colaboran en la ejecución en cada momento, despreciamos sobrecarga).

1. ¿Cuánto tiempo tardaría en ejecutarse el programa en un único procesador?
2. ¿Cuál es la ganancia en velocidad obtenida con respecto al tiempo de ejecución secuencial?
3. ¿Cuál es la ganancia en eficiencia obtenida con respecto al tiempo de ejecución secuencial?

**Ejercicio 2.2.2.** Un programa tarda 20 s en ejecutarse en un procesador  $P_1$ , y requiere 30 s en otro procesador  $P_2$ . Si se dispone de los dos procesadores para la ejecución del programa (despreciamos sobrecarga):

1. ¿Qué tiempo tarda en ejecutarse el programa si la carga de trabajo se distribuye por igual entre los procesadores  $P_1$  y  $P_2$ ?
2. ¿Qué distribución de carga entre los dos procesadores  $P_1$  y  $P_2$  permite el menor tiempo de ejecución utilizando los dos procesadores en paralelo? ¿Cuál es este tiempo?

**Ejercicio 2.2.3.** ¿Cuál es fracción de código paralelo de un programa secuencial que, ejecutado en paralelo en 8 procesadores, tarda un tiempo de 100 ns, durante 50ns utiliza un único procesador y durante otros 50 ns utiliza 8 procesadores (distribuyendo la carga de trabajo por igual entre los procesadores)?

**Ejercicio 2.2.4.** Un 25 % de un programa no se puede paralelizar, el resto se puede distribuir por igual entre cualquier número de procesadores. ¿Cuál es el máximo valor de ganancia de velocidad que se podría conseguir al paralelizarlo en  $p$  procesadores, y con infinitos? ¿A partir de cuál número de procesadores se podrían conseguir ganancias mayores o iguales que 2?

**Ejercicio 2.2.5.** En la Figura 2.1, se presenta el grafo de dependencia entre tareas para una aplicación. La figura muestra la fracción del tiempo de ejecución secuencial que la aplicación tarda en ejecutar grupos de tareas del grafo. Suponiendo un tiempo de ejecución secuencial de 60 s, que las tareas no se pueden dividir en tareas de menor granularidad y que el tiempo de comunicación es despreciable, obtener el tiempo de ejecución en paralelo y la ganancia en velocidad en un computador con:

1. 4 procesadores.
2. 2 procesadores.

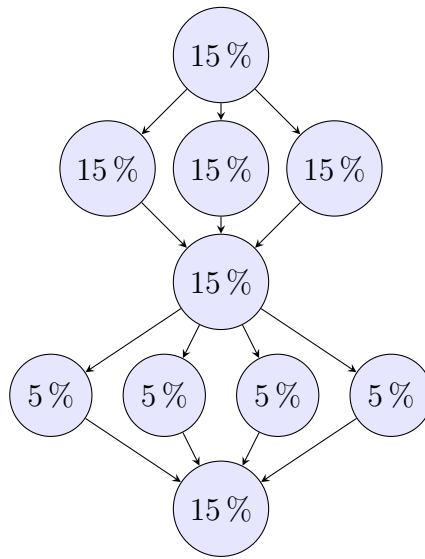


Figura 2.1: Grafo de tareas del Ejercicio 2.2.5

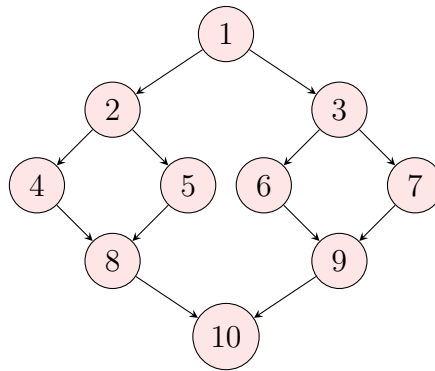


Figura 2.2: Grafo de tareas del Ejercicio 2.2.6

**Ejercicio 2.2.6.** Un programa se ha conseguido dividir en 10 tareas. El orden de precedencia entre las tareas se muestra con el grafo dirigido de la Figura 2.2. La ejecución de estas tareas en un procesador supone un tiempo de 2 sg. El 10 % de ese tiempo es debido a la ejecución de la tarea 1; el 15 % a la ejecución de la tarea 2; otro 15 % a la ejecución de 3; cada tarea 4, 5, 6 o 7 supone el 9 %; un 8 % supone la tarea 8; la tarea 9 un 10 %; por último, la tarea 10 supone un 6 %. Se dispone de una arquitectura con 8 procesadores para ejecutar la aplicación. Consideramos que el tiempo de comunicación se puede despreciar.

1. ¿Qué tiempo tarda en ejecutarse el programa en paralelo?
2. ¿Qué ganancia en velocidad se obtiene con respecto a su ejecución secuencial?

**Ejercicio 2.2.7.** Se quiere paralelizar el siguiente trozo de código:

```

// {Cálculos antes del bucle}
for( i=0; i<w; i++) {
    // Código para i
}
// {cálculos después del bucle}
  
```

Los cálculos antes y después del bucle suponen un tiempo de  $t_1$  y  $t_2$ , respectivamente. Una iteración del ciclo supone un tiempo  $t_i$ . En la ejecución paralela, la inicialización de  $p$  procesos supone un tiempo  $k_1p$  ( $k_1$  constante), los procesos se comunican y se sincronizan, lo que supone un tiempo  $k_2p$  ( $k_2$  constante);  $k_1p + k_2p$  constituyen la sobrecarga.

1. Obtener una expresión para el tiempo de ejecución paralela del trozo de código en  $p$  procesadores ( $T_p$ ).
2. Obtener una expresión para la ganancia en velocidad de la ejecución paralela con respecto a una ejecución secuencial ( $S_p$ ).
3. ¿Tiene el tiempo  $T_p$  con respecto a  $p$  una característica lineal o puede presentar algún mínimo? ¿Por qué? En caso de presentar un mínimo, ¿para qué número de procesadores  $p$  se alcanza?

**Ejercicio 2.2.8.** Supongamos que se va a ejecutar en paralelo la suma de  $n$  números en una arquitectura con  $p$  procesadores o cores ( $p$  y  $n$  potencias de dos) utilizando un grafo de dependencias en forma de árbol (divide y vencerás) para las tareas.

1. Dibujar el grafo de dependencias entre tareas para  $n = 16$  y  $p = 8$ . Hacer una asignación de tareas a procesos.
2. Obtener el tiempo de cálculo paralelo para cualquier  $n$  y  $p$  con  $n > p$  suponiendo que se tarda una unidad de tiempo en realizar una suma.
3. Obtener el tiempo comunicación del algoritmo suponiendo:
  - a) Que las comunicaciones en un nivel del árbol se pueden realizar en paralelo en un número de unidades de tiempo igual al número de datos que recibe o envía un proceso en cada nivel del grafo de tareas (tenga en cuenta la asignación de tareas a procesos que ha considerado en el apartado 1)
  - b) Que los procesadores que realizan las tareas de las hojas del árbol tienen acceso sin coste de comunicación a los datos que utilizan dichas tareas.
4. Suponiendo que el tiempo de sobrecarga coincide con el tiempo de comunicación calculado en el apartado 3, obtener la ganancia en prestaciones.
5. Obtener el número de procesadores para el que se obtiene la máxima ganancia con  $n$  números.

**Ejercicio 2.2.9.** Se va a paralelizar un decodificador JPEG en un multiprocesador. Se ha extraído para la aplicación el siguiente grafo de tareas que presenta una estructura segmentada (o de flujo de datos):

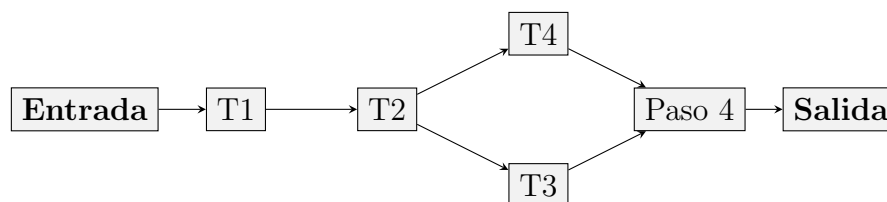


Figura 2.3: Segmentación del Ejercicio 2.2.9

La entrada tenemos que es el bloque de la imagen a decodificar (supone 8x8 pixels de la imagen). La salida será el bloque decodificado de 8x8 pixel. Las tareas 1, 2 y 5 se ejecutan en un tiempo igual a  $t$ , mientras que las tareas 3 y 4 suponen  $1,5t$ . El decodificador JPEG aplica el grafo de tareas de la figura a bloques de la imagen, cada uno de 8x8 píxeles. Si se procesa una imagen que se puede dividir en  $n$  bloques de 8x8 píxeles, a cada uno de esos  $n$  bloques se aplica el grafo de tareas de la figura. Obtenga la mayor ganancia en prestaciones que se puede conseguir paralelizando el decodificador JPEG en (suponga despreciable el tiempo de comunicación/sincronización):

1. 5 procesadores.
2. 4 procesadores.

En cualquier de los dos casos, la ganancia se tiene que calcular suponiendo que se procesa una imagen con un total de  $n$  bloques de 8x8 píxeles.

**Ejercicio 2.2.10.** Se quiere implementar un programa paralelo para un multi-computador que calcule la siguiente expresión para cualquier  $x$  (es el polinomio de interpolación de Lagrange):  $P(x) = \sum_{i=0}^n (b_i \cdot L_i(x))$ , donde:

$$L_i(x) = \frac{(x - a_0) \dots (x - a_{i-1})(x - a_{i+1}) \dots (x - a_n)}{k_i} = \frac{\prod_{\substack{j=0 \\ j \neq i}}^n (x - a_j)}{k_i} \quad i = 0, 1, \dots, n$$

$$k_i = (a_i - a_0) \dots (a_i - a_{i-1})(a_i - a_{i+1}) \dots (a_i - a_n) = \prod_{\substack{j=0 \\ j \neq i}}^n (a_i - a_j) \quad i = 0, 1, \dots, n$$

Inicialmente  $k_i$ ,  $a_i$  y  $b_i$  se encuentran en el nodo  $i$  y  $x$  en todos los nodos. Sólo se van a usar funciones de comunicación colectivas. Indique cuál es el número mínimo de funciones colectivas que se pueden usar, cuáles serían, en qué orden se utilizarían y para qué se usan en cada caso.

**Ejercicio 2.2.11.**

1. Escriba un programa secuencial con notación algorítmica (podría escribirlo en C) que determine si un número de entrada,  $x$ , es primo o no. El programa imprimirá si es o no primo. Tendrá almacenados en un vector, NP, los  $M$  números primos entre 1 y el máximo valor que puede tener un número de entrada al programa.
2. Escriba una versión paralela del programa anterior para un multicomputador usando un estilo de programación paralela de paso de mensajes. El proceso 0 tiene inicialmente el número  $x$  y el vector NP en su memoria e imprimirá en pantalla el resultado. Considere que la herramienta de programación ofrece funciones `send()/receive()` para implementar una comunicación uno-a-uno asíncrona, es decir, con función `send(buffer, count, datatype, idproc, group)` no bloqueante y `receive(buffer, count, datatype, idproc, group)` bloqueante. En las funciones `send()/receive()` se especifica:

- **group**: identificador del grupo de procesos que intervienen en la comunicación.
- **idproc**: identificador del proceso al que se envía o del que se recibe.
- **buffer**: dirección a partir de la cual se almacenan los datos que se envían o los datos que se reciben.
- **datatype**: tipo de los datos a enviar o recibir (entero de 32 bits, entero de 64 bits, flotante de 32 bits, flotante de 64 bits, ...).
- **count**: número de datos a transferir de tipo **datatype**.

**Ejercicio 2.2.12.** Escribir una versión paralela del programa secuencial del ejercicio 2.2.11 para un multicomputador usando un estilo de programación paralela de paso de mensajes y suponiendo que la herramienta de programación ofrece las funciones colectivas de difusión y reducción (escribir primero la versión secuencial). Sólo el proceso 0 imprimirá en pantalla. En la función de difusión, `broadcast(buffer, count, datatype, idproc, group)`, se especifica:

- **group**: identificador del grupo de procesos que intervienen en la comunicación, todos los procesos del grupo reciben.
- **idproc**: identificador del proceso que envía.
- **buffer**: dirección de comienzo en memoria de los datos que difunde **idproc** y que almacenará, en todos los procesos del grupo, los datos difundidos.
- **datatype**: tipo de los datos a enviar/recibir (entero de 32 bits, entero de 64 bits, flotante de 32 bits, flotante de 64 bits, ...).
- **count**: número de datos a transferir de tipo **datatype**.

En la función de reducción, `reduction(sendbuf, recvbuf, count, datatype, oper, idproc, group)`, se especifica:

- **group**: identificador del grupo de procesos que intervienen en la comunicación, todos los procesos del grupo envían.
- **idproc**: identificador del proceso que recibe.
- **recvbuf**: dirección en memoria a partir de la cual se almacena el escalar resultado de la reducción de todos los componentes de todos los vectores **sendbuf**.
- **sendbuf**: dirección en memoria a partir de la cual almacenan todos los procesos del grupo los datos de tipo **datatype** a reducir (uno o varios).
- **datatype**: tipo de los datos a enviar y recibir (entero de 32 bits, entero de 64 bits, flotante de 32 bits, flotante de 64 bits, ...).
- **oper**: tipo de operación de reducción. Puede tomar los valores **OR**, **AND**, **ADD**, **MUL**, **MIN**, **MAX**.
- **count**: número de datos de tipo **datatype**, del buffer **sendbuffer** de cada proceso, que se van a reducir.

**Ejercicio 2.2.13.**

1. Escribir una versión paralela del programa paralelo del ejercicio 2.2.12 suponiendo que, además de las dos funciones colectivas anteriores, se dispone de dispersión y que  $M$  es divisible entre el número de procesos (escribir primero la versión secuencial). Sólo el proceso 0 imprimirá en pantalla. La función `scatter(sendbuf, sendcnt, recvbuf, recvcnt, datatype, idproc, group)` especifica:
  - **group**: identificador del grupo de procesos que intervienen en la comunicación, todos los procesos del grupo envían.
  - **idproc**: identificador del proceso que envía.
  - **recvbuf**: dirección en memoria a partir de la cual se almacenan los datos recibidos.
  - **sendbuf**: dirección en memoria a partir de la cual almacena el proceso `idproc` los datos a enviar.
  - **datatype**: tipo de los datos a enviar y recibir.
  - **recvcnt**: número de datos de tipo `datatype` a recibir en `recvbuf`.
  - **sendcnt**: número de datos de tipo `datatype` a enviar.
2. ¿Qué estructura de procesos/tareas implementa el código paralelo del apartado 1? Justifique su respuesta.

**Ejercicio 2.2.14.** Escribir una versión paralela del programa secuencial del ejercicio 2.2.11 para un multiprocesador usando el estilo de programación paralela de variables compartidas; en particular, use OpenMP (escribir primero la versión secuencial).

**2.2.1. Cuestiones**

**Cuestión 2.2.1.** Indique las diferencias entre OpenMP y MPI.

**Cuestión 2.2.2.** Ventajas e inconvenientes de una asignación estática de tareas a procesos/threads frente a una asignación dinámica.

**Cuestión 2.2.3.** ¿Qué se entiende por escalabilidad lineal y por escalabilidad superlineal? Indique las causas por las que se puede obtener una escalabilidad superlineal.

**Cuestión 2.2.4.** Enuncie la ley de Amdahl en el contexto de procesamiento paralelo.

**Cuestión 2.2.5.** Deduzca la expresión matemática que se suele utilizar para caracterizar la ley de Gustafson. Defina claramente y sin ambigüedad el punto de partida que va a utilizar para deducir esta expresión y cada una de las etiquetas que utilice. ¿Qué nos quiere decir Gustafson con esta ley?

**Cuestión 2.2.6.** Deduzca la expresión que caracteriza a la ley de Amdahl. Defina claramente el punto de partida y todas las etiquetas que utilice.