

2023 Digital IC Design Homework 2

NAME	何坤霖
Student ID	N26112445
Functional Simulation Result	
Score	100
<pre> # # Pattern97: Expect= 1 Get= 1, PASS # # Pattern98: Expect= 1 Get= 1, PASS # # Pattern99: Expect= 1 Get= 1, PASS # # ----- # ---- Simulation finish, ALL PASS, Score = 100 ---- # ----- # ** Note: \$finish : D:/Master shit life/l11-2/dic2023/HWs/HW2/tb.v(139) # Time: 44750 ns Iteration: 1 Instance: /testfixture # 1 # Break in Module testfixture at D:/Master shit life/l11-2/dic2023/HWs/HW2/tb.v line 139 </pre>	
Description of your design	
<p>我區分成 4 個狀態分別是 SET_SIZE, SAVE_SEQ, CHECK, IDLE，因為 reset 是只有在開始拉起，所以針對幾個會使用的變數在 IDLE 以及 SET_SIZE 的 state reset，再來因為 data 的訊號設計，再接收完第一個 data (pop sequence size)，切換到 SAVE_SEQ 的 state 把之後要檢測的 sequence 收集 (popseq[seq_idx] = data;)，當收集完後會切換到 CHECK state 也就是主要演算法的 block。演算法會逐步把 train number push 到 stack 裡面，再來是如果有吻合 popseq 當前值(popseq [j])，則會開始 pop，並且更新 top, j(top--, j++)，當 stack 放完所有 train number，去檢查 j 是否有等於 stack_size (i.e. 確定 popseq 有完整被確認完)，相等表示合法 sequence, 反之相反，接著切回 IDLE state。</p>	