

**METODOLOGÍA DE DISEÑO E
IMPLEMENTACIÓN DE SISTEMAS
EMBEBIDOS**

—Utilizando Herramientas Abiertas—

CARLOS IVÁN CAMARGO BAREÑO

ÍNDICE GENERAL

Índice general	I
1 Implementación de tareas Software utilizando procesadores Soft Core	3
1.1. Introducción	3
1.2. Arquitectura del procesador LM32	4
Banco de Registros	4
Registro de estado y control	4
1.3. Set de Instrucciones del procesador Mico32	7
Instrucciones aritméticas	7
Saltos	10
Comunicación con la memoria de datos	17
Interrupciones	20
Retorno de función y de excepción	27
1.4. Arquitectura del SoC LM32	27
Bus wishbone	30
Arquitectura de los periféricos	33
Interfaz Software	37
Bibliografía	43
2 Implementación de tareas Software utilizando procesadores Soft Core	45
2.1. Introducción	45
2.2. Arquitectura del procesador LM32	46
Banco de Registros	46
Registro de estado y control	46
2.3. Set de Instrucciones del procesador Mico32	49
Instrucciones aritméticas	49
Saltos	52
Comunicación con la memoria de datos	59
Interrupciones	62
Retorno de función y de excepción	69
2.4. Arquitectura del SoC LM32	69
Bus wishbone	72

II

Arquitectura de los periféricos	75
Interfaz Software	79
Bibliografía	85

iiiiii HEAD

CAPÍTULO 1

IMPLEMENTACIÓN DE TAREAS SOFTWARE UTILIZANDO PROCESADORES SOFT CORE

1.1. Introducción

En el capítulo anterior se estudió la forma de implementar tareas hardware utilizando máquinas de estado algorítmicas. La implementación de tareas hardware es un proceso un poco tedioso ya que involucra la realización de una máquina de estados por cada tarea; la implementación del camino de datos se simplifica de forma considerable ya que existe un conjunto de bloques constructores que pueden ser tomados de una librería creada por el diseñador. El uso de tareas hardware se debe realizar únicamente cuando las restricciones temporales del diseño lo requieran, ya que como veremos en este capítulo, la implementación de tareas software es más sencilla y rápida.

La estructura de una máquina de estados algorítmica permite entender de forma fácil la estructura de un procesador ya que tienen los mismos componentes principales (unidad de control y camino de datos), la diferencia entre ellos es la posibilidad de programación y la configuración fija del camino de datos del procesador.

En este capítulo se estudiará la arquitectura del procesador MICO32 creado por la empresa Lattice semiconductor y gracias a que fué publicado bajo la licencia GNU, es posible su estudio, uso y modificación. En la primera sección se hace la presentación de la arquitectura; a continuación se realiza el análisis de la forma en que el procesador implementa las diferentes instrucciones, iniciando con las operaciones aritméticas y lógicas siguiendo con las de control de flujo de programa (saltos, llamado a función); después se analizarán la comunicación con la memoria de datos; y finalmente el manejo de interrupciones.

En la segunda sección se abordará la arquitectura de un SoC (System on a Chip) basado en el procesador LM32, se analizará la forma de conexión entre los periféricos y la CPU utilizando el bus wishbone; se realizará una descripción detallada de la programación de esta arquitectura utilizando herramientas GNU.

1.2. Arquitectura del procesador LM32

La figura 2.1 muestra el diagrama de bloques del soft-core LM32, este procesador utiliza 32 bits y una arquitectura de 6 etapas del pipeline; las 6 etapas del pipeline son:

1. *Address*: Se calcula la dirección de la instrucción a ser ejecutada y es enviada al registro de instrucciones.
2. *Fetch*: La instrucción se lee de la memoria.
3. *Decode*: Se decodifica la instrucción y se toman los operandos del banco de registros o tomados del bypass.
4. *Execute*: Se realiza la operación especificada por la instrucción. Para instrucciones simples como las lógicas o suma, la ejecución finaliza en esta etapa, y el resultado se hace disponible para el bypass.
5. *Memory*: Para instrucciones más complejas como acceso a memoria externa, multiplicación, corrimiento, división, es necesaria otra etapa.
6. *Write back*: Los resultados producidos por la instrucción son escritas al banco de registros.

Banco de Registros

El LM32 posee 32 registros de 32 bits; el registro *r0* siempre contiene el valor 0, esto es necesario para el correcto funcionamiento de los compiladores de C y ensamblador; los siguientes 8 registros (*r1* a *r7*) son utilizados para paso de argumentos y retorno de resultados en llamados a funciones; si una función requiere más de 8 argumentos, se utiliza la pila (*stack*). Los registros *r1* - *r28* pueden ser utilizados como fuente o destino de cualquier instrucción. El registro *r29* (*ra*) es utilizado por la instrucción *call* para almacenar la dirección de retorno. El registro *r30* (*ea*) es utilizado para almacenar el valor del *contador de programa* cuando se presenta una excepción. El registro *r31* (*ba*) almacena el valor del contador de programa cuando se presenta una excepción tipo *break-point* o *watchpoint*. Los registros *r26* (*gp*) *r27* (*fp*) y *r28* (*sp*) son el puntero global, de frame y de pila respectivamente. Después del reset el valor no se define el valor de los registros, por lo que la primera acción que debe ejecutar el programa de inicialización es colocar un cero en el registro *r0* (*xor r0, r0, r0*)

Registro de estado y control

La tabla 2.1 muestra los registros de estado y control (CSR), indicando si son de lectura o escritura y el índice que se utiliza para acceder al registro.

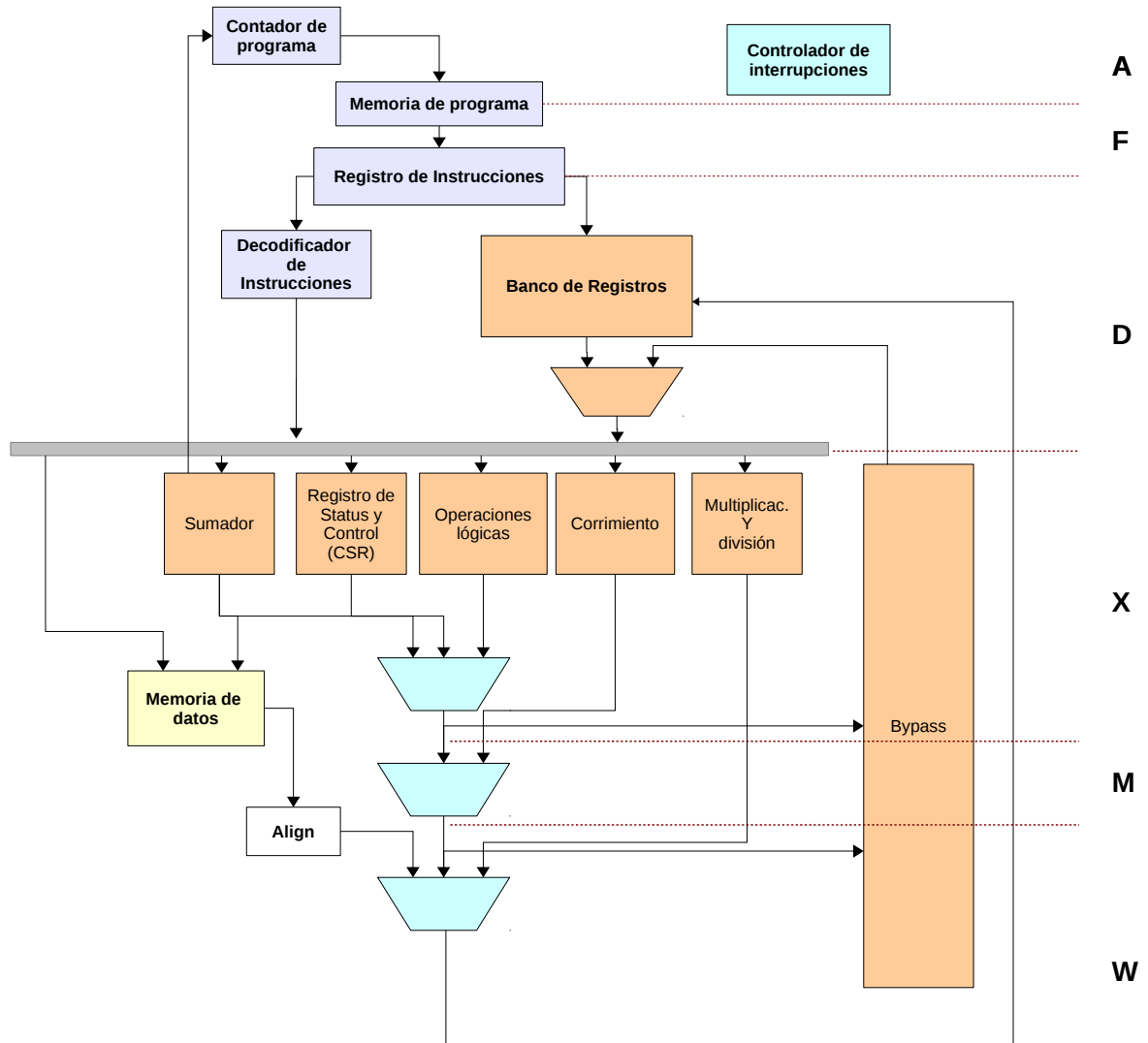


Figura 1.1: Diagrama de bloques del LM32

Cuadro 1.1: Registro de Estado y Control

Nombre	Index	Descripción
IE	0x00	(R/W)Interrupt enable
EID	—	(R) Exception ID
IM	0x01	(R/W)Interrupt mask
IP	0x02	(R) Interrupt pending
ICC	0x03	(W) Instruction cache control
DCC	0x04	(W) Data cache control
CC	0x05	(R) Cycle counter
CFG	0x06	(R) Configuration
EBA	0x07	(R/W)Exception base address

Contador de Programa (PC)

El contador de programa es un registro de 32 bits que contiene la dirección de la instrucción que se ejecuta actualmente. Debido a que todas las instrucciones son de 32 bits, los dos bits menos significativos del PC siempre son zero. El valor de este registro después del reset es *h00000000*

EID Exception ID

El índice de la excepción es un número de 3 bits que indica la causa de la detención de la ejecución del programa. Las excepciones son eventos que ocurren al interior o al exterior del procesador y cambian el flujo normal de ejecución del programa. Los valores y eventos correspondientes son:

- 0: Reset; se presenta cuando se activa la señal de reset del procesador.
- 1: Breakpoint; se presenta cuando se ejecuta la instrucción break o cuando se alcanza un punto de break hardware.
- 2: Instruction Bus Error; se presenta cuando falla la captura e una instrucción, típicamente cuando la dirección no es válida.
- 3: Watchpoint; se presenta cuando se activa un watchpoint.
- 4: Data Bus Error; se presenta cuando falla el acceso a datos, típicamente porque la dirección solicitada es inválida o porque el tipo de acceso no es permitido.
- 5: División por cero; Se presenta cuando se hace una división por cero.
- 6: Interrupción; se presenta cuando un periférico solicita atención por parte del procesador, para que esta excepción se presente se deben habilitar las interrupciones globales (IE) y la interrupción del periférico (IM).
- 7: System Call; se presenta cuando se ejecuta la instrucción *scall*.

IE Habilitación de interrupción

El registro IE contiene el flag IE, que determina si se habilitan o no las interrupciones. Si este flag se desactiva, no se presentan interrupciones a pesar de la activación individual realizada con IM. Existen dos bits *BIE* y *EIE* que se utilizan para almacenar el estado de IE cuando se presenta una excepción tipo breakpoint u otro tipo de excepción; esto se explicará más adelante cuando se estudien las instrucciones relacionadas con las excepciones.

IM Máscara de interrupción

La máscara de interrupción contiene un bit de habilitación para cada una de las 32 interrupciones, el bit 0 corresponde a la interrupción 0. Para que la interrupción se presente es necesario que el bit correspondiente a la interrupción y el flag IE sean igual a 1. Después del reset el valor de IM es *h00000000*

IP Interrupción pendiente

El registro IP contiene un bit para cada una de las 32 interrupciones, este bit se activa cuando se presenta la interrupción asociada. Los bits del registro IP deben ser borrados escribiendo un 1 lógico.

- Compilación de programas para el LM32, explicar un ejemplo sencillo puede ser el de tipos de datos comentando todos los archivos, *lm32*, *crt0.s*, etc - Set de instrucciones, con ejemplos en donde sea necesario como en: - llamado a funciones: Ejemplo sencillo que muestre como se pasan parámetros a través de *r0*, *r1*, *r2*. - saltos: *If*, *while*, forma - interrupciones explicar como se debe modificar el *crt0.s* para incluir los vectores de excepción y como se atiende la interrupción. - acceso a memoria externa: Explicar como se mapean los registros de los periféricos a C, y tipos de datos. - Acceso a memoria externa: Bus wishbone: Topologías, señales del WB, arquitectura del conbus, explicar *uart* y *timer*. - Como se forma el SoC con el LM32. Diagrama de bloques del SoC, explicando donde quedan los diferentes periféricos.

1.3. Set de Instrucciones del procesador Mico32

En esta sección se realizará un análisis del conjunto de instrucciones del procesador Mico32; para facilitar el estudio se realizó una división en cuatro grupos comenzando con las instrucciones aritméticas y lógicas, siguiendo con las relacionadas con saltos, después se analizará la comunicación con la memoria de datos y finalmente las relacionadas con interrupciones y excepciones. Para cada uno de estos grupos se mostrará el camino de datos (simplificado) asociado al conjunto de instrucciones.

Instrucciones aritméticas

En la figura 2.2 se muestra el camino de datos simplificado de las operaciones aritméticas y lógicas cuyos operandos son registros, y el resultado se

almacena en un registro; en otras palabras son de la forma: **gpr[RX] = gpr[RY]** **OP gpr[RZ]**, donde: OP puede ser *nor, xor, and, xnor, add, divu, modu, mul, or, sl, sr, sru, sub*. Como puede verse en esta figura la instrucción contiene la información necesaria para direccionar los registros que almacenan los operandos **RY** (*instruction_d* 25:21) y **RZ** (*instruction_d* 20:16), estas señales de 5 bits direccionan el banco de registros y el valor almacenado en ellos puede obtenerse en dos salidas diferentes (**gpr[rz]** y **gpr[ry]**). En el archivo *rtl/lm32/lm32_cpu.v* se implementa el banco de registros de la siguiente forma:

```
assign reg_data_0 = registers[read_idx_0_d];
assign reg_data_1 = registers[read_idx_1_d];
```

En este código *reg_data_0* y *reg_data_1* son las dos salidas **gpr[rz]** y **gpr[ry]**; las señales *read_idx_0_d* y *read_idx_1_d* corresponden a *instruction_d* 25:21 y *instruction_d* 20:16 respectivamente. El contenido de los registros direccionados de esta forma son llevados al modulo *logic_op* donde se realiza la operacion correspondiente a la instrucción y el resultado pasa a través de los estados del pipeline hasta llegar a la señal *w_result* (parte inferior de la figura) esta señal entra al banco de registros para ser almacenada en la dirección dada por la señal *write_idx_w* la cual es fijada por la instrucción, más específicamente por (*instruction_d* 15:11). En el archivo *rtl/lm32/lm32_cpu.v* se implementa esta escritura al banco de registros de la siguiente forma:

```
always @(posedge clk_i)
begin
    if (reg_write_enable_q_w == 'TRUE)
        registers[write_idx_w] <= w_result;
end
```

Entre registros

Inmediatas

Existe otro grupo de operaciones lógicas y aritméticas en las que uno de los operandos es un registro y el otro es un número fijo, esto permite realizar operaciones con constantes que nos son almacenadas previamente en registros, sino que son almacenadas en la memoria de programa. En la figura 2.3 se muestra como se modifica el camino de datos para este tipo de instrucciones; en ella, podemos observar que *instruction_d* 25:21 direcciona uno de los operandos que está almacenado en el banco de registros y de forma similar al caso anterior el dato almacenado es llevado al bloque *logic_op*. El segundo operando es llevado a este bloque desde un multiplexor donde se hace una extensión de signo de *instruction_d* 15:0 o se hace un corrimiento a la derecha de 16 posiciones; esto, para convertir el número de 16 bits a uno de 32 bits, lo que da como resultado *16instruction_d[15]*, *instruction_d[15:0]* y *instruction_d[15:0]*,

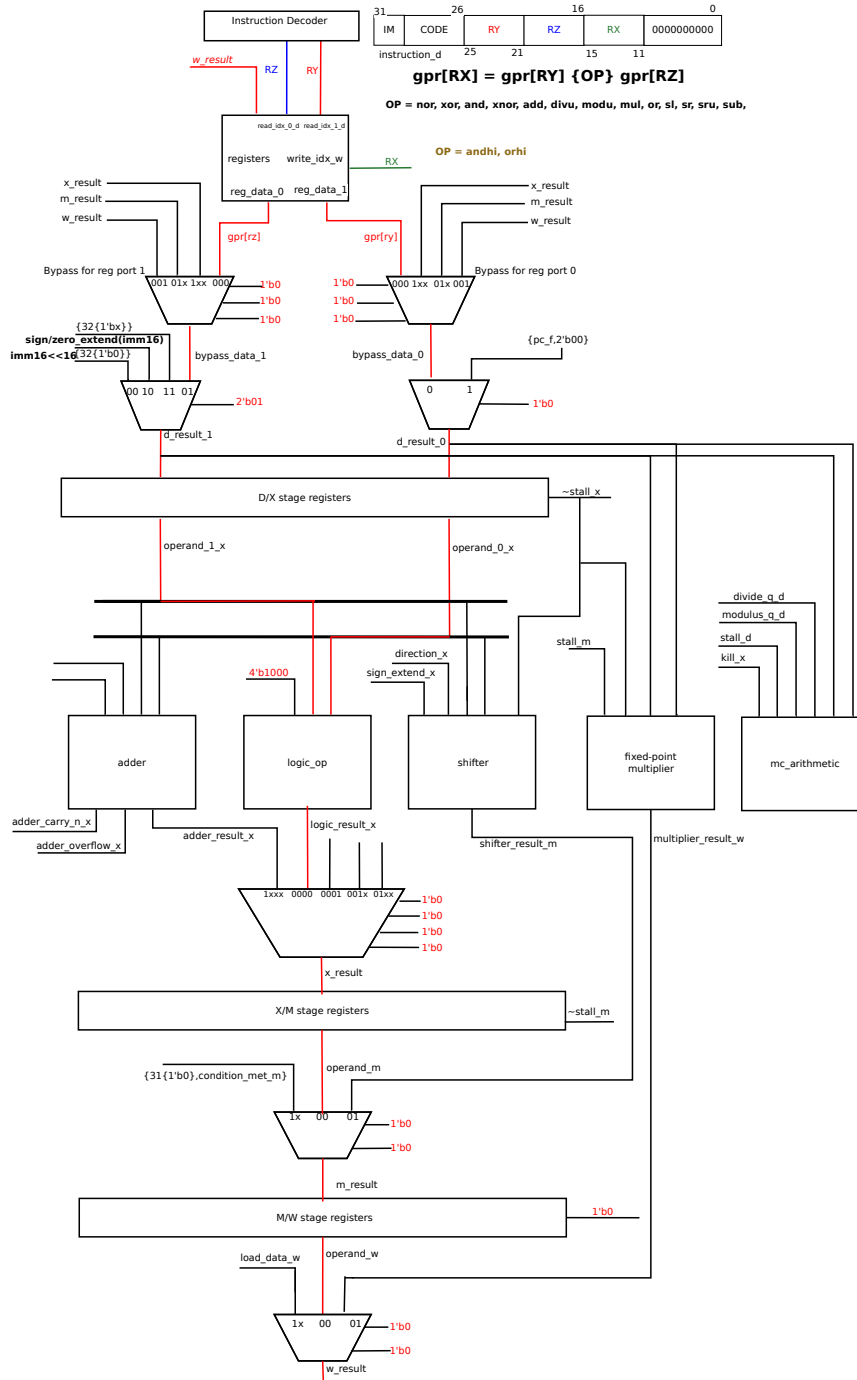


Figura 1.2: Camino de datos de las operaciones aritméticas y lógicas entre registros

16'h0000 respectivamente; el corrimiento de 16 bits a la derecha se hace para poder realizar las operaciones *andhi* y *orhi*, las cuales solo operan sobre la parte alta de los operandos.

Saltos

Los saltos permiten controlar el flujo de ejecución del programa posibilitando la implementación de ciclos, llamado a funciones, y toma de decisiones. En esta subsección estudiaremos el camino de datos resultante para este tipo de instrucciones. A diferencia de las instrucciones aritméticas y lógicas, en este tipo de instrucciones se modifica el valor del contador de programa.

Condicionales

En la instrucción se almacena la dirección de los registros que deben ser comparados, específicamente en *instruction.d* 25:21 y *instruction.d* 20:16; los valores almacenados en estos registros son llevados al sumador y a un bloque especial que determina si se cumple o no la condición (señales rojas en la gráfica); la señal *condition_met_x* se activa si la condición se cumple.

Para que el valor del contador de programa se modifique, es necesario que las señales *condition_met_x*, *branch_m* y *valid_m* se encuentren activas (señales amarillas en la gráfica); la señal *branch_m* se activa cuando la instrucción es de tipo *branch* o *call*; la señal *valid_m* se activa cuando se presenta una instrucción válida. Adicionalmente, es necesario que el procesador no se encuentre en un estado de *stall*. Si se cumplen las condiciones anteriores, se activará la señal *branch_taken_m*, la que le indicará a la unidad de instrucciones que cargue el valor de la señal *branch_target_m* en el contador de programa.

El valor de *branch_target_m* (señal azul en la gráfica) es fijado por dos diferentes métodos: cuando se produce una excepción o cuando se produce un salto, la señal *exception_x* selecciona el valor adecuado para cada caso. La señal *branch_target_x* es el resultado de la suma de *pc.d* y de *branch_offset.d* (para esta suma no se utiliza el bloque sumador). El valor de *branch_offset* es seleccionado por la señal *select_call_immediate* entre las señales *call_immediate* (para instrucciones de llamado a función) y *branch_immediate*; esta última tiene como valor 16*inst*[15], *inst*[15:0], lo que es una extensión de signo de la constante de 16 bits almacenado en la memoria de programa.

En la figura 2.4 se muestra el camino de datos equivalente a las instrucciones relacionadas con condicionales;

En la figura 2.5 se ilustran 3 ciclos que utilizan condicionales; en color azul se muestra el código en C y en negro se muestra el código implementado por el compilador.

Llamado a función y salto incondicional

Existen dos tipos de llamado a función y de salto incondicional; su diferencia radica en la forma de almacenar la dirección a la que deben saltar. En la

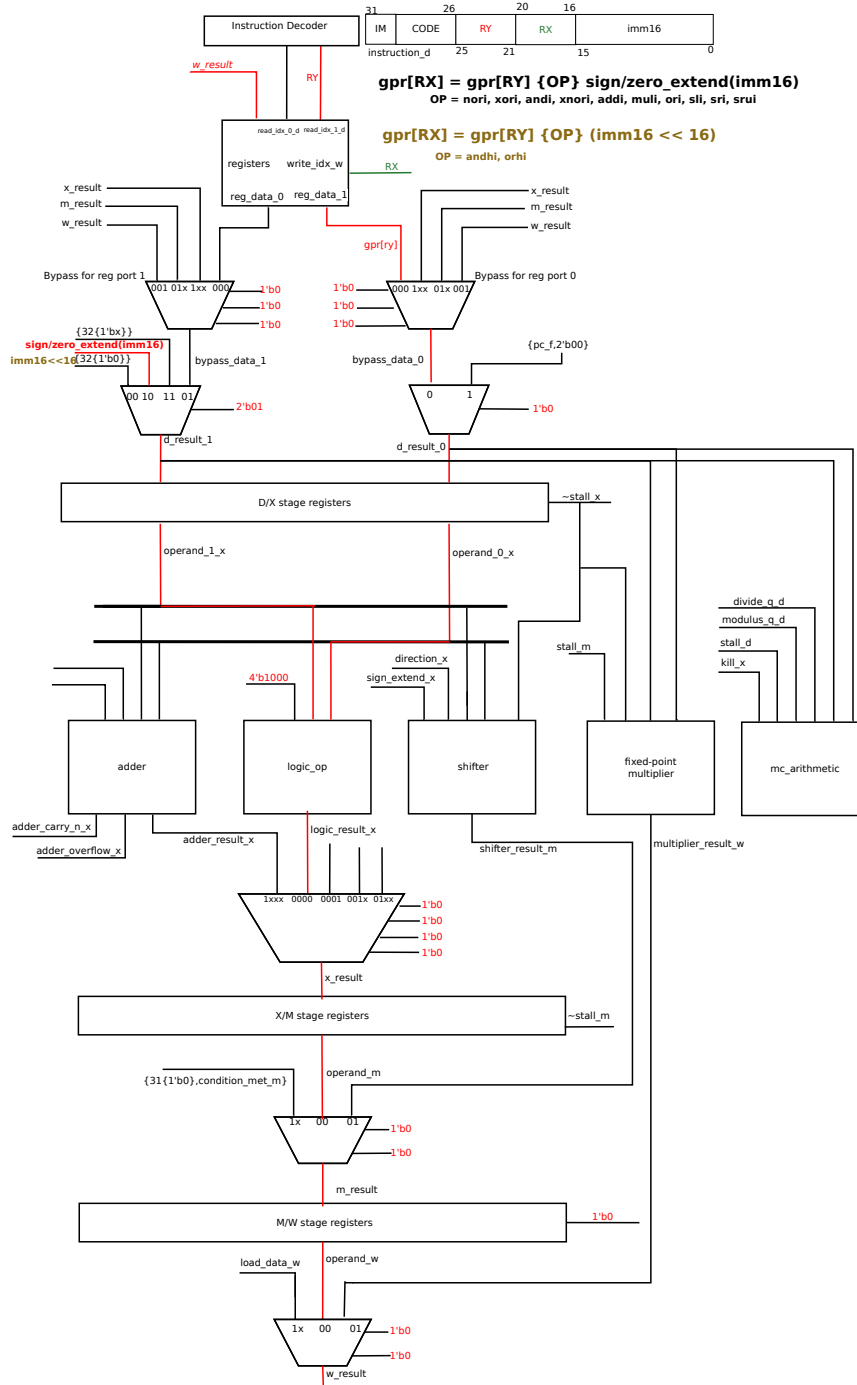


Figura 1.3: Camino de datos de las operaciones aritméticas y lógicas inmediatas

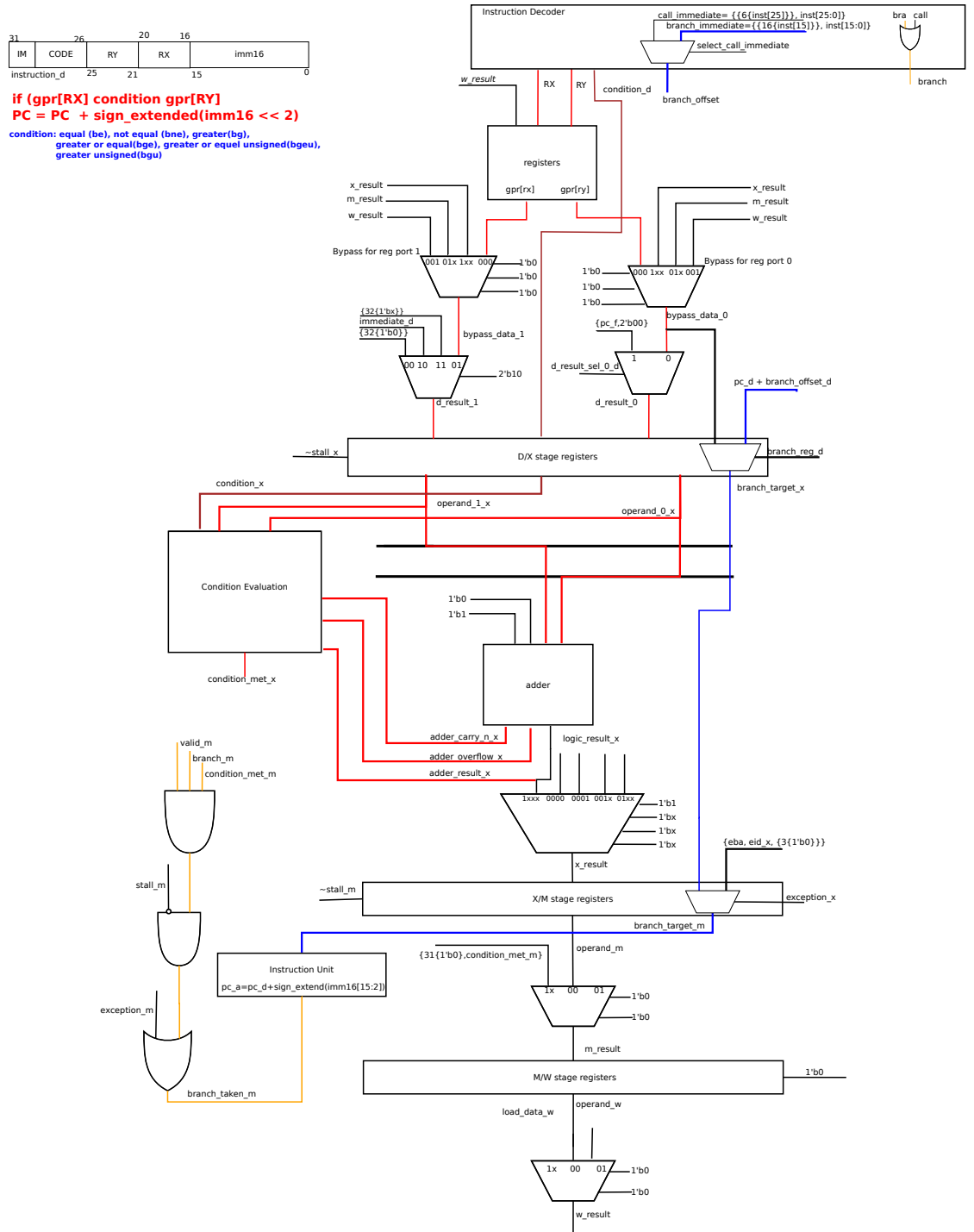


Figura 1.4: Camino de datos de los saltos condicionales

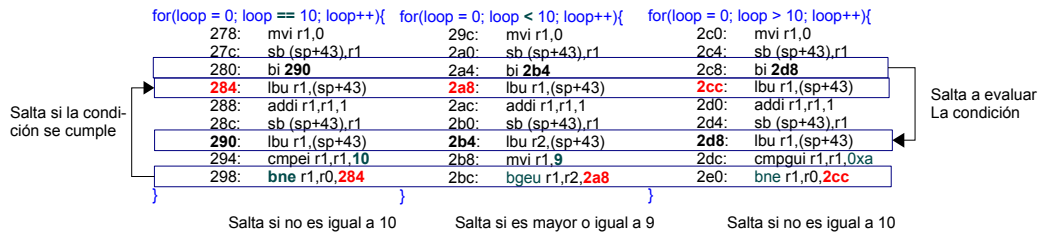


Figura 1.5: Ejemplo de código: saltos condicionales

figura 2.7 se muestra el camino de datos correspondiente a las instrucciones *calli* y *bi*, estas almacenan en la instrucción la dirección y en la figura 2.7 se muestra el camino de dato correspondiente a las instrucciones *call* y *b* las que almacenan la dirección en un registro.

Para ambos casos el contador de programa es modificado si se activan las señales *condition_met_x*, *branch_m* y *valid_m*; la señal *valid_m* se activa cuando se presenta una instrucción válida; *branch_m* (color amarillo en los graficos) se activa cuando la instrucción que se está ejecutando es un salto o un llamado a función; y *condition_met_x* se activa cuando se cumple con la condición para el salto, debido a que estos saltos y llamados son incondicionales, el MI-CO32 contempla dos casos en los que activa esta señal, tal como se muestra a continuación (tomado de *rtl/lm32/lm32_cpu.v*):

```
always @*
begin
    case (instruction[28:26])
        3'b000: condition_met_x = 'TRUE;
        3'b110 condition_met_x = 'TRUE;
        ....
        ....
        ....
        default: condition_met_x = 1'bx;
    endcase
end
```

Los bits *instruction[28:26]* hacen parte del código de la instrucción; el valor para las instrucciones *bi* y *b* es 000 y para *call* y *calli* es 110, lo que activa *condition_met_x* cada vez que se presentan estas instrucciones.

De forma similar a las instrucciones relacionadas con saltos condicionales el valor del contador de programa es igual al valor de la señal *branch_target_x* (señal de color verde en las figuras); el valor de esta señal para las instruc-

ciones *call* y *b* proviene del valor almacenado en el registro seleccionado por *instruction.d* [25:21]. Para las instrucciones *calli* y *bi* el valor está dado por la señal *branch_offset* la que toma como valor *6ins[25],ins[25:0]* o *16ins[15],ins[15:0]* para una instrucción *call* o *b* respectivamente.

Adicionalmente, para las instrucciones de llamado a función *call* y *calli* se debe almacenar en el registro R29 la dirección de memoria siguiente a la que se realizó el llamado a la función, esto con el fin de retornar al flujo de programa principal, esto se logra haciendo uso del pipeline y se utiliza el valor del contador de programa *pc.m* cuyo valor contiene el valor adecuado para el retorno del llamado a función; el valor de *pc.m* (señal color morado en las figuras) es asignado a la señal *w_result* del banco de registros para ser almacenado en el registro indicado por *write_idx* (señal marrón en los gráficos); la que toma el valor de 29 cuando se presenta una instrucción *calli* o *call*.

En la figura 2.8 se muestra un ejemplo de uso de la función *call*. El código en C utilizado para este ejemplo se muestra en color azul. La línea de código *result1 = function(0x30)* hace el llamado a la función *function* pasándole el parámetro *0x30* (decimal 48); el código implementado por el compilador se muestra junto al código en C; como se mencionó anteriormente, los primeros registros del banco de registros se usan para pasar parámetros entre funciones, en el paso 1, se almacena el valor *0x30* (48 decimal) en *r1*; en el paso dos se hace un llamado inmediato a función a la dirección de memoria *0x8C*, lo que hace que el valor del contador de programa tome el valor *0x8C* y se almacene el valor *0x310* en el registro *ra*.

La función *function* está declarada como *int function(int x)* y reside en la posición de memoria *0x8C*. En el paso 3, se almacena el valor de los registros que se utilizan en la función con el fin de restaurarlos antes de retornar al programa donde fué llamada, esto se hace debido a que solo existe un banco de registros en el procesador y si no se hace esto el valor de los registros antes y después del llamado será diferente lo que ocasionará errores en los algoritmos implementados. El registro *ra* almacena el valor de la dirección de retorno, y se almacena para asegurar que cuando se hagan llamados a función anidados se retorne a la dirección adecuada. En el paso 4 se restaura el valor de los registros, garantizando la continuidad del programa principal; finalmente, en el paso 6 la función *ret* carga el valor del *ra* en el contador de programa.

En la figura 2.9 se ilustra la importancia del almacenamiento de los registros en los llamados a funciones, para este ejemplo se consideró el registro *ra*; cuando se almacena el registro *ra* en la función *F2* para ser restaurado al finalizar la función el flujo de programa retorna a la función *F1*, lo que se ejecuta correctamente en los dos casos. Cuando finaliza *F1* el valor de *ra* varía; cuando no se almacena el valor la dirección de retorno de *F1* es modificada por lo que cuando se retorna el contador de programa se hace igual a la dirección de retorno de *F2*.



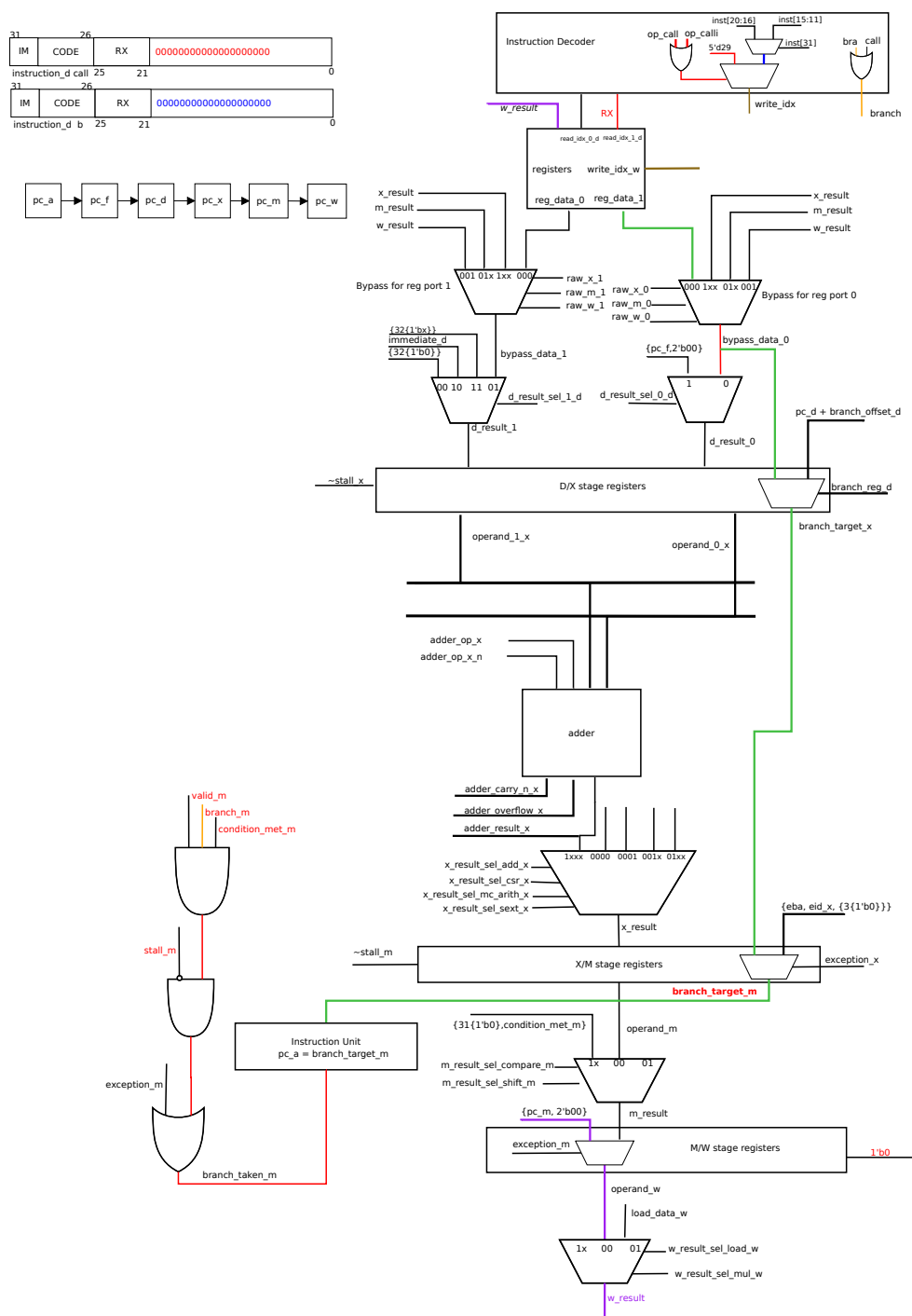


Figura 1.7: Camino de datos de los saltos y llamado a funciones

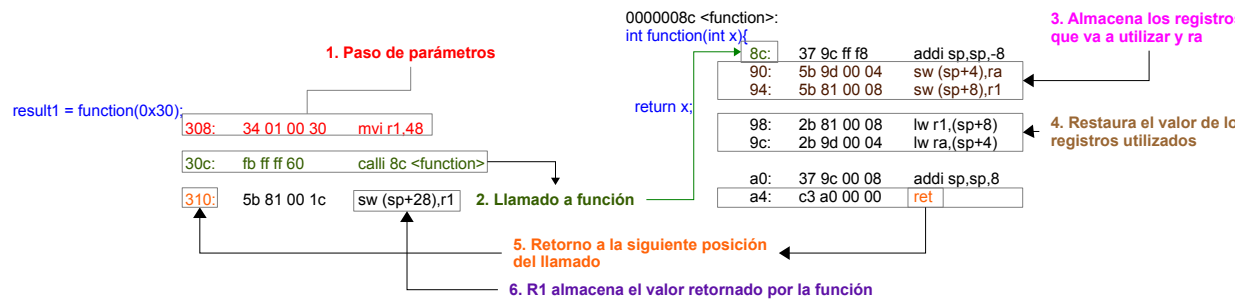


Figura 1.8: Ejemplo de código: llamado a función

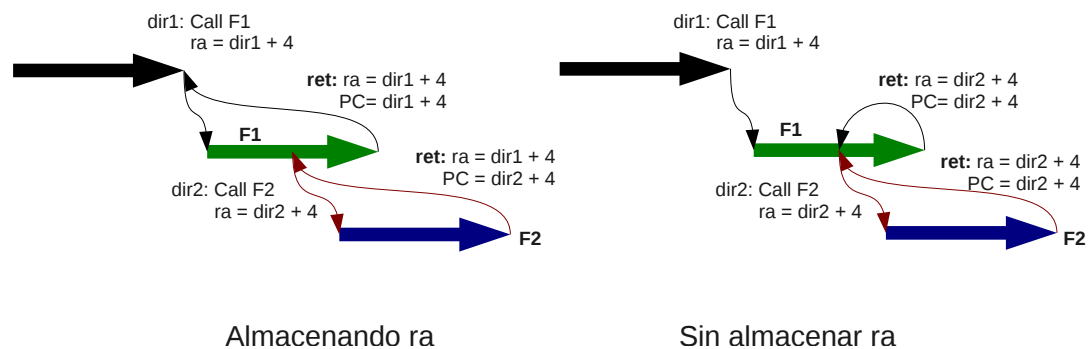


Figura 1.9: Llamado a función anidado

Comunicación con la memoria de datos

Antes de estudiar el camino de datos correspondiente a este grupo de instrucciones, hablaremos de los tipos de datos que soporta el procesador MI-CO32. En la figura 2.10 se muestran ejemplos de manipulación de diferentes tipos de datos y como estos son tratados en la memoria del procesador.

Tipos de datos

El primer tipo de datos que se muestra en esta figura es el *char*, la variable *data8* es declarada como un *volatile unsigned char **, es decir un puntero a un *char* sin signo tipo *volatile*; los tipos de datos *volatile* le indican al compilador que no realice optimizaciones sobre esta variable, lo que es importante cuando se direccionan periféricos. Al puntero *data8* se le asigna la dirección *0x400* y el valor *0x44*. Si se aumenta el valor de la dirección del puntero en una posición *data8++* la nueva dirección será *0x401* y si se aumenta de nuevo pasará a ser *0x402*; lo que indica que el procesador a pesar de ser de 32 bits puede realizar direccionamiento con granularidad byte; esto es muy conveniente para un al-

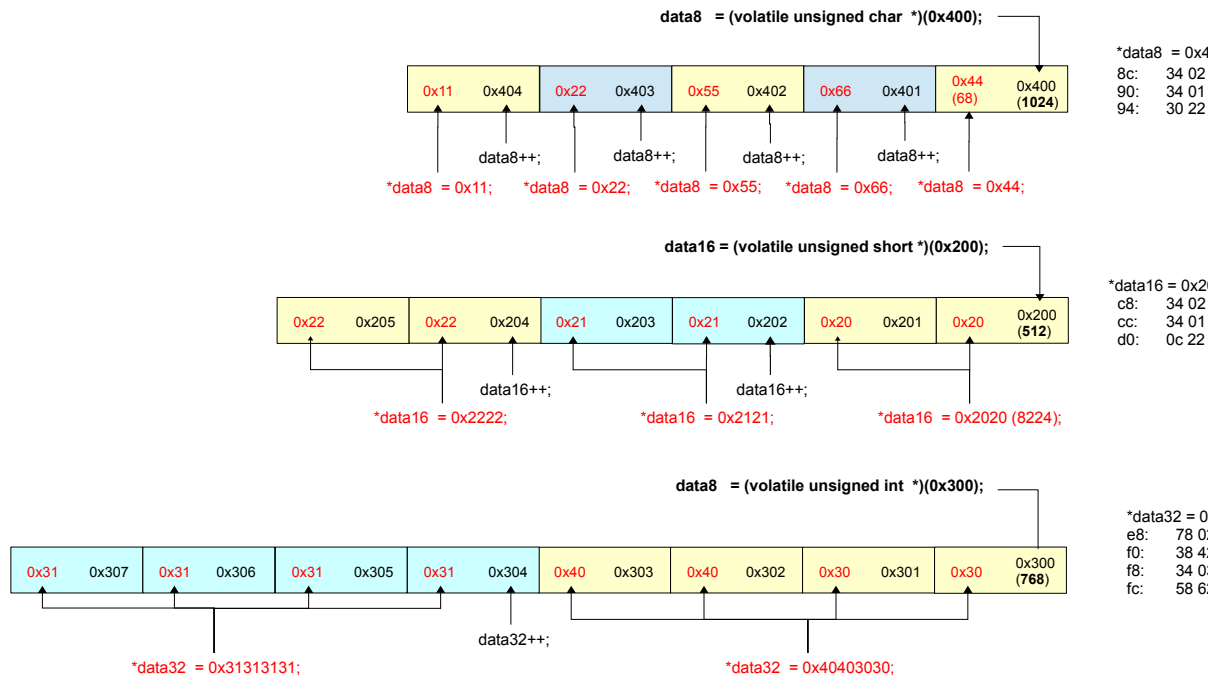


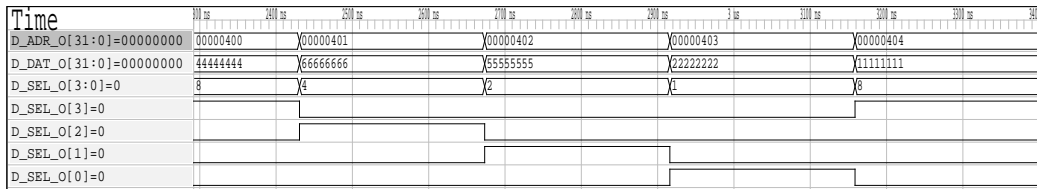
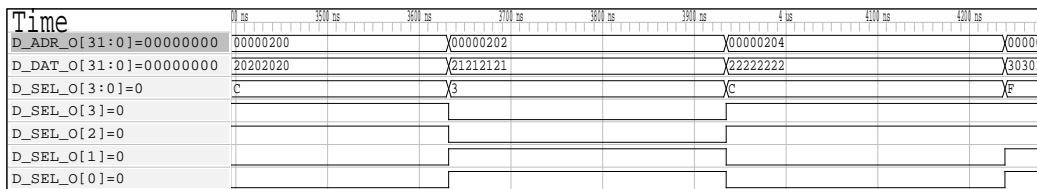
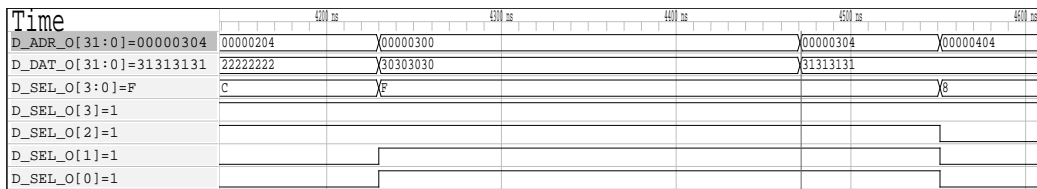
Figura 1.10: Tipos de datos soportados por el procesador Mico32

macenamiento eficiente de información, de no ser así se utilizaría una palabra de 32 bits para almacenar 8 bits.

La segunda parte de la figura 2.10 ilustra el manejo del tipo de dato *short* el cual es de 16 bits; para esto se utiliza en puntero *data16* con una dirección inicial de 0x200 y un valor de 0x2020; al aumentar la dirección del puntero en 1 (`data16++`) la dirección resultante es 0x202, lo que permite el almacenamiento eficiente de este tipo de dato.

Finalmente se ilustra el tipo de datos *int* y se observa como las direcciones de memoria inicial y final después de aumentar el valor del puntero son 0x300 0x304; lo que muestra que el direccionamiento interno de la memoria depende del tipo de datos.

El procesador MICO32 posee 4 señales *D_SEL_O[3:0]* que son utilizadas para indicarle a los periféricos el tipo de operación de lectura/escritura que se está efectuando; en la figura 2.11 se observa que estas señales se activan de forma individual indicando el byte que se está direccionando; en la figura 2.12 las señales se activan por parejas indicando el grupo de 2 bytes que se está direccionando; finalmente en la figura 2.13 las 4 señales se activan al tiempo lo que indica un acceso a los 4 bytes al mismo tiempo.

Figura 1.11: Acceso a un data tipo *char*Figura 1.12: Acceso a un data tipo *short*Figura 1.13: Acceso a un data tipo *int*

Escritura a la memoria de datos

El acceso a memoria de datos permite extender las capacidades del procesador posibilitando la conexión de periféricos; los que a su vez, realizan la comunicación con el exterior utilizando diferentes protocolos de comunicación y medios físicos. En esta subsección se describirá la forma en la que el MICO32 implementa las operaciones de lectura y escritura a la memoria de datos.

En la figura 2.14 se ilustra el camino de datos asociado a las instrucciones *sb*, *sh* y *sw*. En las tres, el valor contenido en el registro direccionado por *instruction.d[25:21]* (RX señales color rojo en la figura) más el valor de 16 bits (con signo extendido a 32 bits) forman la dirección a la que se desea escribir. El valor contenido en el registro direccionado por *instruction.d[20:16]* (RY señales color azul en la figura) corresponde al dato que será escrito en esa posición de memoria; de esta forma se construyen los buses de datos y direcciones del procesador. Como se dijo anteriormente el MICO32 direcciona con granulari-

dad de byte, por esta razón en las instrucciones *sh* y *sw* se indica el valor escrito en las direcciones +1 y +1, +2 y +3 respectivamente; indicando el tamaño en bytes del tipo de dato escrito. Estas señales ingresan a un módulo llamado *load_store_unit* que se encarga de generar las señales correspondientes al bus *wishbone*, más adelante estudiaremos en detalle el funcionamiento de este bus.

En la figura 2.11, y 2.13 se muestran las formas de onda cuando se escribe un dato tipo char (0x44) a la dirección 0x400, el dato escrito en el bus es 0x44444444 para que el periférico pueda utilizar cualquiera de las cuatro partes del bus de datos *D_DAT_O[7:0]*, *D_DAT_O[15:8]*, *D_DAT_O[23:16]*, *D_DAT_O[31:24]*, algo similar ocurre en la escritura del tipo de dato *short* (con valor 0x2020) mostrado en la figura 2.12, aquí se repite el dato para poder utilizar dos partes del bus de datos *D_DAT_O[15:0]* y *D_DAT_O[31:16]*.

Lectura

En la figura 2.15 se muestra el camino de datos asociado a las instrucciones *lb/lbu*, *lh/lhu* y *lw*. La dirección de la cual se lea se calcula de forma similar al caso de la escritura; el valor contenido en el registro direccionado por *instruction_d[25:21]* (RY señales color rojo en la figura). El dato leído por el módulo *load_store_unit* (señal morada en la figura) es almacenado en el registro cuya dirección está dada por *instruction_d[20:16]*.

Interrupciones

Existen dos formas de conocer si un periférico conectado al procesador requiere atención por parte del procesador; examinando de forma constante los registros de estado del periférico o utilizando interrupciones. La consulta constante de los registros de estado del periférico requiere incluir en el código una rutina que realice esta operación, la cual debe ser llamada de forma regular en el programa principal, la velocidad con que se realice esta consulta debe ser la adecuada para que no se pierdan eventos; debido a esto; uno de los problemas de esta técnica es que al aumentar el número de periféricos aumenta el tiempo entre consultas para un periférico, lo que aumenta la posibilidad de pérdida de eventos; adicionalmente, aumenta el tiempo dedicado a la consulta, lo que disminuye el tiempo disponible para ejecutar las tareas software en el procesador.

Las interrupciones modifican el flujo normal de ejecución del sistema y son originadas por señales dedicadas, lo que hace que su atención ocurra de forma inmediata. Cuando se presenta una interrupción, el valor del contador de programa toma un valor fijo que recibe el nombre de vector de interrupción, el valor del vector de interrupción está formado por (ver figura 2.16 señales de color rojo) una dirección base *EBA* (Exception Base Address) que por defecto es 0x00, un índice que indica la excepción que se presentó *eid_x* (6 para la interrupción) y tres ceros; estos tres ceros hacen que el espacio entre vectores de excepción sea de 8 palabras de 32 bits, por lo que la rutina de atención a la

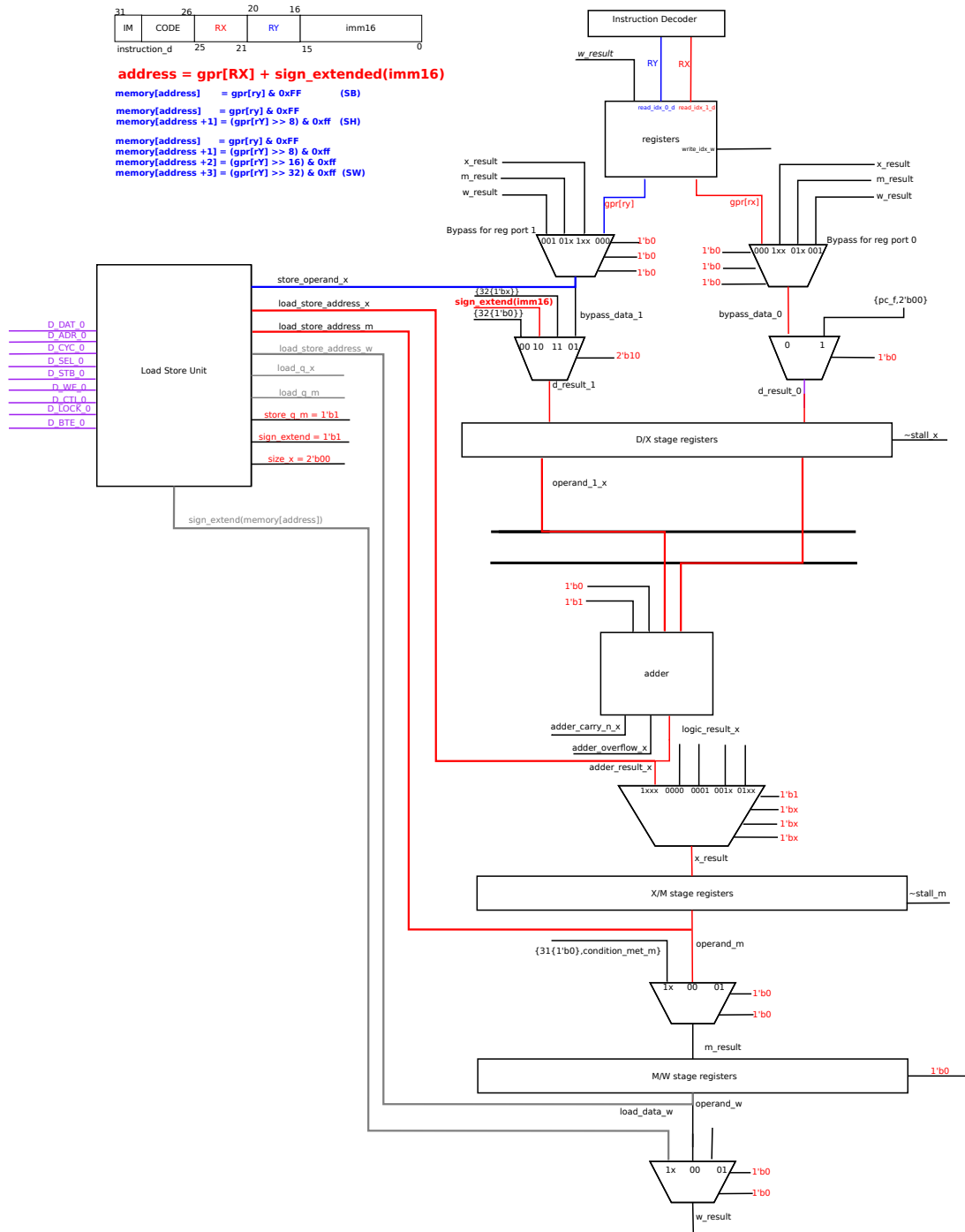


Figura 1.14: Camino de datos de las instrucciones de escritura a memoria

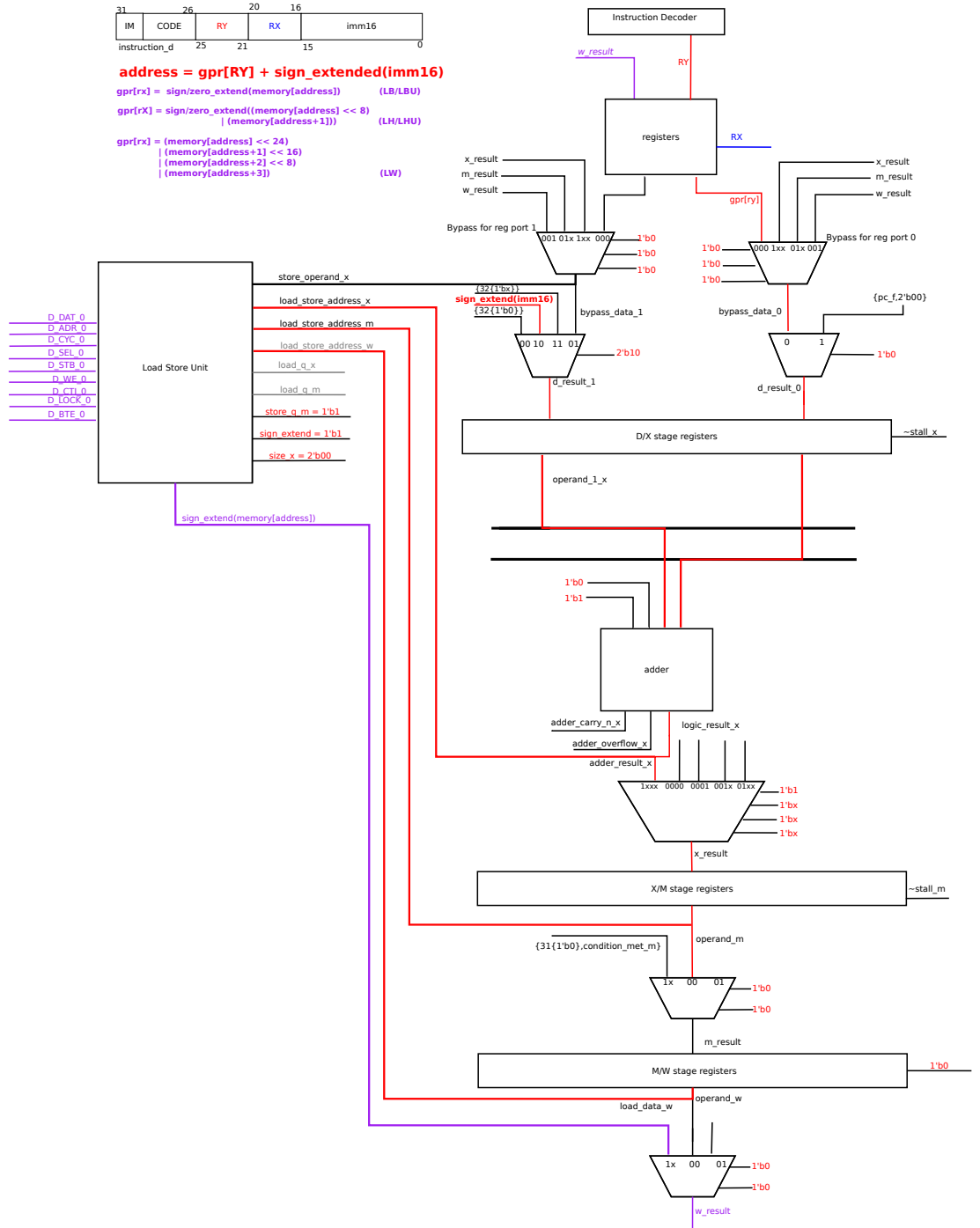


Figura 1.15: Camino de datos de las instrucciones de escritura a memoria

interrupción debe tener máximo 8 instrucciones (esta rutina se explicará más adelante); para la interrupción el valor del vector es de *0x30*.

Como se puede observar en la figura 2.16 para que se genere una excepción (señales de color azul), se debe activar cualquiera de las señales *instruction_bus_error_exception*, *sysrem_call_exception_exception*, *data_bus_error_exception*, *divide_by_zero_exception* o *interrupt_exception*; lo que activará la señal *branch_taken_m* quien a su vez realiza el cambio en el contador de programa *pc.a*. Para que la señal *interrupt_exception* se active es necesario: 1- habilitar la generación de interrupciones, es decir, que el flag *ie* (interrupt enable) está activo; 2- habilitar la generación de la interrupción deseada, para esto el bit correspondiente a la interrupción debe ser igual a 1 en la señal *im* (interrupt mask), lo que recibe el nombre de *enmascaramiento* y 3 - Que el periférico asociado a la interrupción realice una solicitud de atención activando su señal de interrupción, lo que origina una activación de la señal correspondiente en *ip* (interrupt pending).

Al activarse la señal *exception_x* la variable que direcciona el registro a ser escrito en el banco de registros *write_idx* toma el valor *30 decimal* (*ea* - exception address) y el valor a ser escrito (*w_result*) será *pc.m*, *2'b00* (los saltos en el contador de programa es de a 4 bytes, debido a que las instrucciones son de 32 bits, por esta razón los dos bits menos significativos no son tomados en cuenta); lo que garantiza que al salir de la interrupción, el programa principal continuará donde se interrumpió.

Rutina de atención a la interrupción

A continuación se lista la rutina que se ejecuta cada vez que se presenta una interrupción; como se dijo anteriormente, la dirección del vector de interrupción debe ser *0x48*, por lo que este código debe residir en la memoria de programa en dicha dirección.

```

48  sw      (sp+0), ra
49  calli   _save_all
50  rcsr    r1, IP
51  calli   irq_handler
52  mvhi    r1, 0xffff
53  ori     r1, r1, 0xffff
54  wcsr    IP, r1
55  bi      _restore_all_and_eret

```

En la línea 48 se almacena el valor del registro *ra* en la pila (la pila es una región de la memoria RAM que se utiliza para diferentes propósitos en la ejecución de un programa), esto se hace para que al salir de la rutina de atención a la interrupción el programa continúe de forma adecuada, de no hacer esto, si la interrupción se produjo cuando se estaba ejecutando una función el valor de retorno de la interrupción se modificaría.

En la línea 49 se hace un llamado a la función *save_all*:

```

addi    sp, sp, -128
sw      (sp+4), r1
...
sw      (sp+108), r27

```

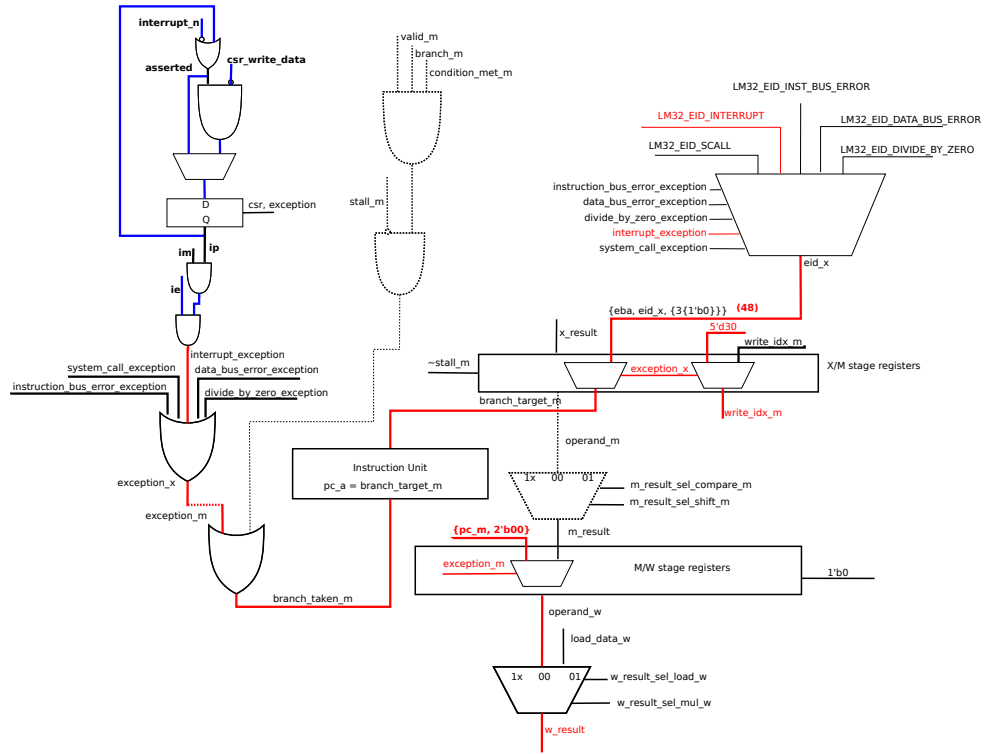


Figura 1.16: Camino de datos correspondiente a las generación de excepciones

```
#endif
sw      (sp+120), ea
sw      (sp+124), ba
/* ra and sp need special handling, as they have been modified */
lw      r1, (sp+128)
sw      (sp+116), r1
mv      r1, sp
addi    r1, r1, 128
sw      (sp+112), r1
ret
```

En esta función, toma una “fotografía” del estado del procesador en el instante en que se presenta la interrupción, almacenando el valor de todos los registros en la pila, esto se hace para garantizar que el estado del procesador antes y después de la interrupción sea el mismo.

En la línea 49 se almacena el valor de la señal *ip* (interrupt pending) en el registro *r1*, esto se hace para pasar parámetros a la función que será llamada en la línea 50. *irq_handler* es la función que realizará las acciones correspondientes a una determinada interrupción, esta función debe ser declarada

en C en cualquier archivo que haga parte del código fuente de la aplicación (en los ejemplos del repositorio se declara en el archivo *soc-hw.c*) como: *void irq_handler(uint32_t pending)*.

En las líneas 51 - 53 se llena con unos la señal *IP*, lo que equivale a una restauración de esta señal, y puede verse como una forma de informarle al procesador que las interrupciones ya fueron atendidas. Finalmente en la línea 54 se hace un llamado a la función *restore_all_and_eret*:

```
lw      r1, (sp+4)
...
lw      r27, (sp+108)
lw      ra, (sp+116)
lw      ea, (sp+120)
lw      ba, (sp+124)
/* Stack pointer must be restored last, in case it has been updated */
lw      sp, (sp+112)
eret
```

Esta función: restaura el valor de todos los registros del procesador, incluyendo los registros *ra*, *ea* y *ba*, el registro *ea* se almacena para asegurar el correcto funcionamiento ante el caso de excepciones anidadas; y ejecuta la instrucción *eret* la que hace que el contador de programa tome el valor almacenado en el registro *ea* con lo que el programa retorna a la siguiente instrucción del punto donde se generó la interrupción.

Como se mencionó anteriormente, para que la interrupción se presente es necesario habilitar las interrupciones globales y la máscara asociada al periférico. Para esto, el archivo *crt0ram.S* suministra las siguientes funciones:

```
irq_enable:
    mvi    r1, 1
    wcsr   IE, r1
    ret

irq_disable:
    mvi    r1, 0
    wcsr   IE, r1
    ret

irq_set_mask:
    wcsr   IM, r1
    ret
```

En este código se utiliza la instrucción *wcsr* y en la función de atención a la interrupción ya se había utilizado la instrucción *rcsr* (*rcsr r1, IP*); estas instrucciones realizan operaciones de escritura y lectura sobre los registros de estatus y control del procesador. En la figura 2.17 se muestra el camino de datos relacionado con estas intrucciones.

El camino de color rojo muestra la escritura utilizando la instrucción *wcsr*; *instruction_d[20:16]* contiene la dirección del registro a ser escrito en *csr*; y *instruction_d[25:21]* el registro de estatus y control a escribir.

La lectura de los registros de estado y control se muestra en color morado en la figura; de forma similar a la escritura *instruction_d[25:21]* direcciona el

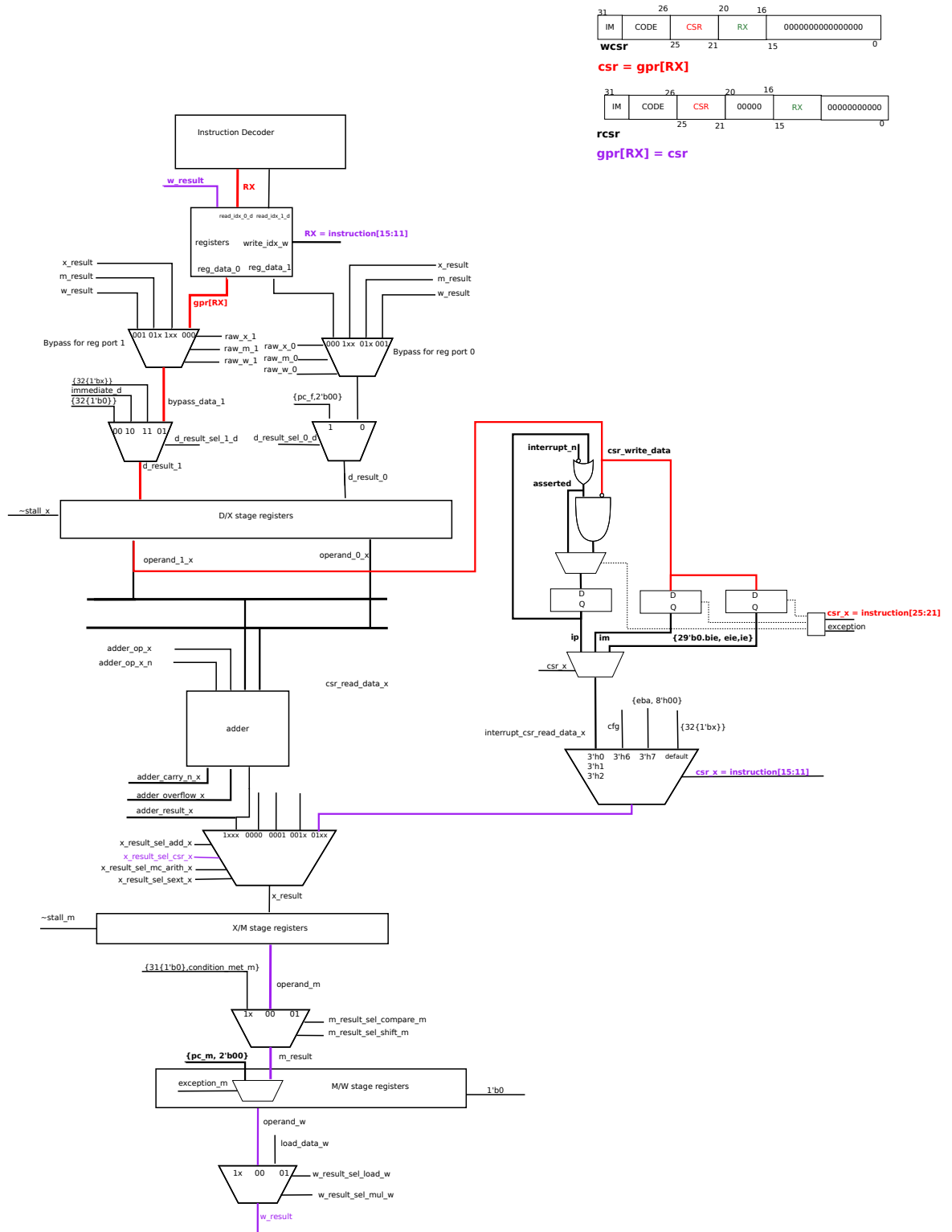


Figura 1.17: Camino de datos correspondiente al acceso de los registros asociados a las excepciones

registro a leer y *instruction_d[15:11]* la dirección del registro que almacenará el valor leído.

Retorno de función y de excepción

La figura 2.18 muestra el camino de datos asociado a las instrucciones de retorno de excepción y de función *eret* y *ret*; en estas instrucciones, el valor de la dirección del registro que va a ser almacenado en el contador de programa es fijo (*instruction_d[25:21]*), siendo 30 para la instrucción *eret* y 29 para la instrucción *ret*. El valor contenido en estos registros pasa a la señal *branch_target* y su valor será almacenado en el contador de programa retornando a la dirección siguiente a la que se produjo la excepción o el llamado a función.

En la Figura 2.19 se resume el proceso de atención a la interrupción. La solicitud de atención por parte de un periférico recibe el nombre de **IRQ** (interrupt request) y la rutina que atiende esta solicitud recibe el nombre de *ISR* (interrupt service routine)

1.4. Arquitectura del SoC LM32

En la sección anterior se explicó el funcionamiento detallado de cada grupo de instrucciones del procesador MICO32; en esta sección se realizará una descripción de un SoC (sistema sobre silicio) basado en el procesador MICO32; esta arquitectura permitirá entender los SoC modernos desde el punto de vista estructural y de programación

En la figura 2.20 se muestra el diagrama de bloques del SoC *LM32*, el cual tiene como unidad de procesamiento central el procesador MICO32; esta CPU se conecta a una serie de periféricos a través de el bus *wishbone*. La funcionalidad del SoC está determinada por los periféricos implementados, en esta sección se realizará una descripción de cuatro periféricos básicos para el desarrollo de operaciones básicas de entrada/salida:

- **Boot-RAM:** Esta memoria almacena la aplicación que se ejecutará al inicializar el SoC.
- **UART (Universal Asynchronous Receiver-Transmitter):** Puerto serie que permite comunicarse con el exterior y es utilizado como medio de depuración.
- **TIMER:** Encargado de generar bases de tiempo precisas, de vital importancia en el funcionamiento de la mayoría de las aplicaciones.
- **GPIO:** Pines de entrada/salida de propósito general.

Adicionalmente, existe un módulo llamado *conbus* que realiza la interconexión entre los periféricos y el procesador, su arquitectura y funcionamiento se explicarán más adelante.

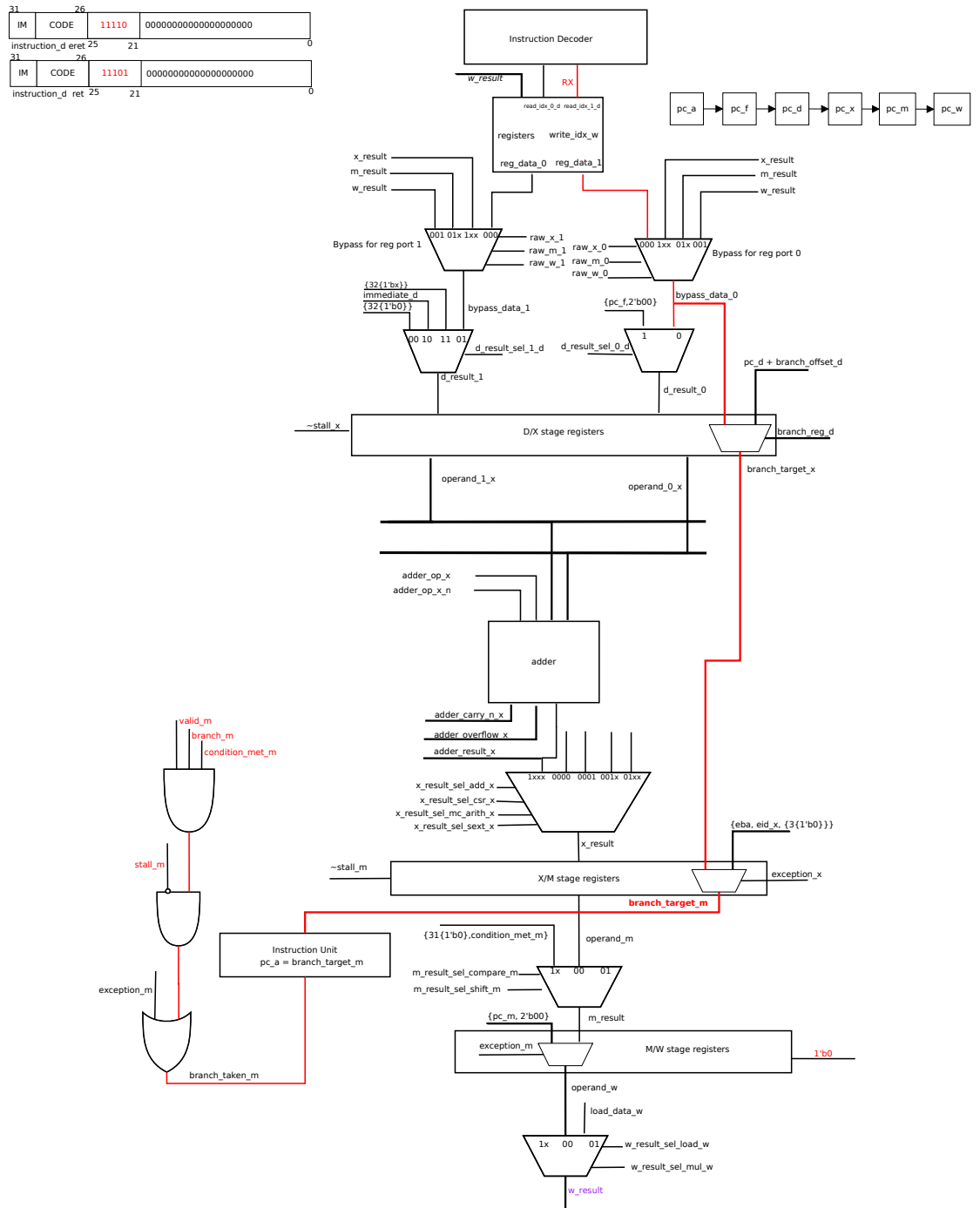


Figura 1.18: Camino de datos asociado al retorno de función y de excepción

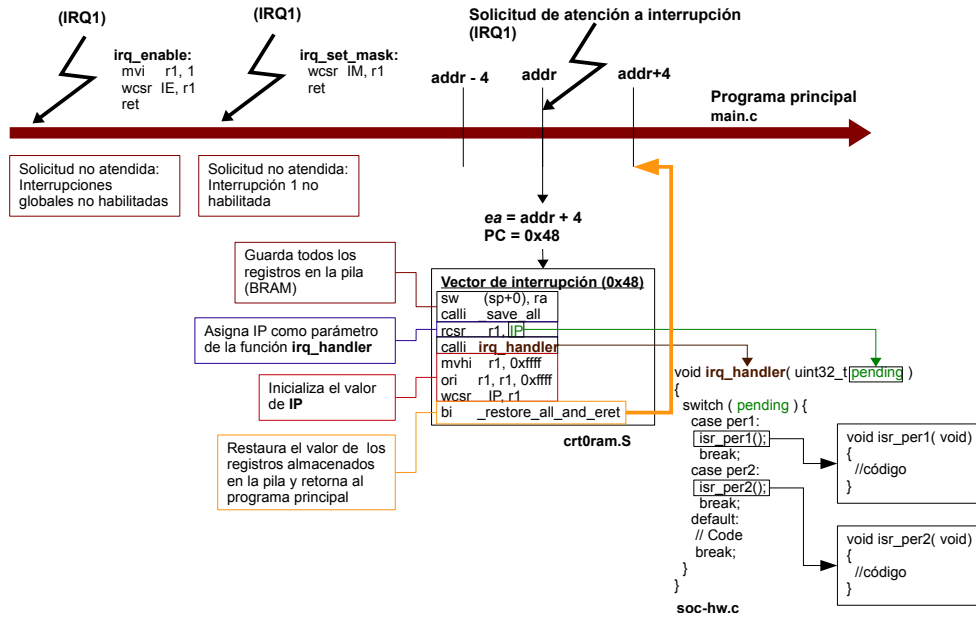


Figura 1.19: Flujo asociado a la atención de una interrupción

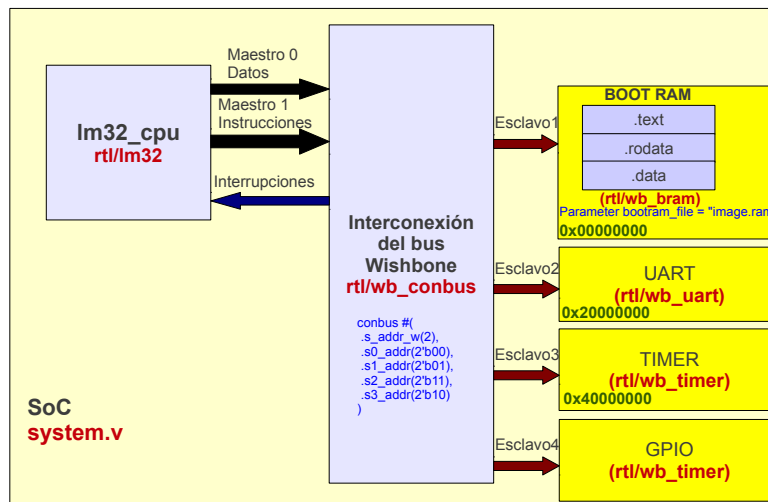


Figura 1.20: Diagrama de bloques del SoC LM32

Bus wishbone

El bus *wishbone* es un bus diseñado para comunicar los diferentes componentes de un SoC, este bus es abierto y puede ser utilizado libremente. A continuación se listan las señales que componen este bus:

- *ack_o*: La activación de esta señal indica la terminación normal de un ciclo del bus.
- *addr_i*: Bus de direcciones.
- *cyc_i*: Esta señal se activa cuando un ciclo de bus válido se encuentra en progreso.
- *sel_i*: Estas señales indican cuando se coloca un dato válido en el bus *dat_i* durante un ciclo de escritura, y cuando deberían estar presentes en el bus *dat_o* durante un ciclo de lectura. El número de señales depende de la granularidad del puerto. El LM32 maneja una granularidad de 8 bits sobre un bus de 32 bits, por lo tanto existen 4 señales para seleccionar el byte deseado (*sel_i(3:0)*).
- *stb_i*: Esta señal se activa cuando se selecciona un esclavo; el cual debe responder a las otras señales únicamente cuando se activa esta señal. El esclavo debe activar la señal *ack_o* como respuesta a la activación de *stb_i*.
- *we_i*: Esta señal indica la dirección del flujo de datos; en un ciclo de lectura tiene un nivel lógico bajo y en escritura tiene un nivel lógico alto.
- *dat_i*: Bus de datos de entrada.
- *dat_o*: Bus de datos de salida.

En la figura 2.21 se muestra un ciclo de lectura típico a un periférico con dirección de memoria *0xF0000000*, en ella podemos observar la activación de las señales *wb_cyc_i* y *wb_stb_i* indicando un ciclo de bus válido y la selección del esclavo, el valor de *wb_we_i* indica que el acceso es de lectura, a lo que el esclavo debe responder colocando el dato requerido por el procesador en el bus de salida *wb_dat_o* y con la activación de la señal *wb_ack_o*.

En la figura 2.32 se muestra la escritura del valor *0x2A* a la dirección de memoria *0xF0000004*, las formas de onda son similares a las del ciclo de lectura, salvo que el valor de la señal *wb_we_i* es uno indicando la escritura.

Interface del bus wishbone (conmax)

El bus wishbone tiene una arquitectura maestro/esclavo en la que solo los maestros pueden iniciar las operaciones de lectura y escritura y únicamente el esclavo al que se le hace el requerimiento debe responder. Para coordinar la comunicación entre múltiples maestros se debe incluir un árbitro, que en el LM32 recibe el nombre de *conmax*. La figura 2.23 muestra el diagrama de bloques de este árbitro.

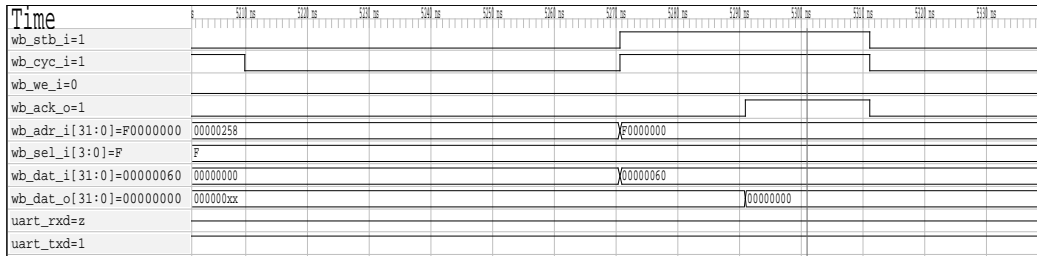


Figura 1.21: Ciclo de lectura del bus wishbone

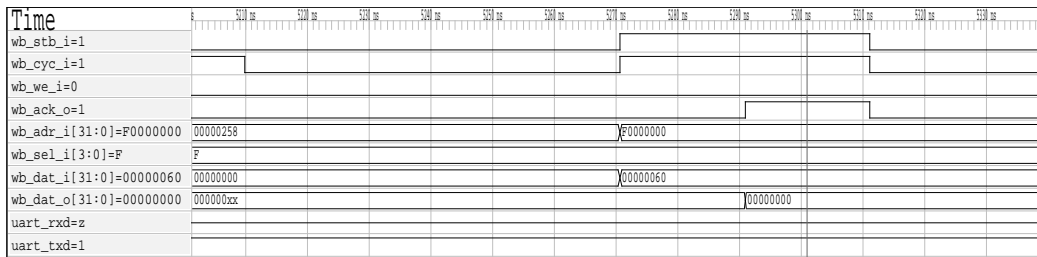


Figura 1.22: Ciclo de escritura del bus wishbone

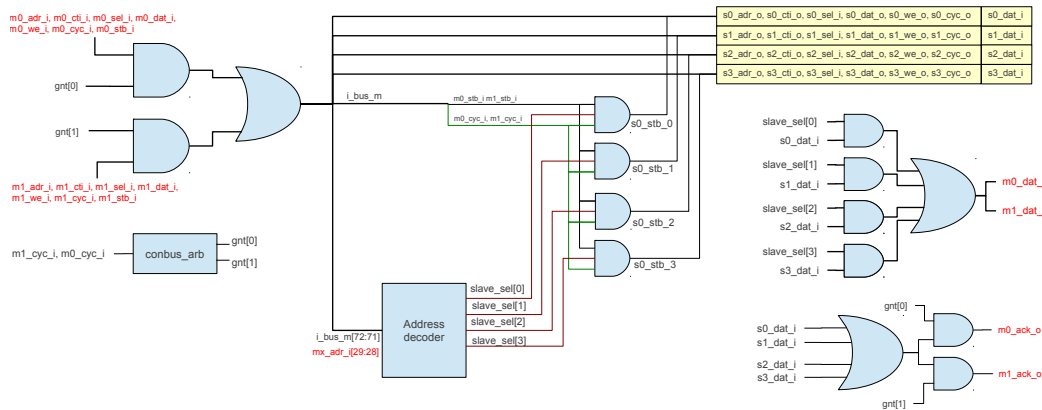


Figura 1.23: Circuito de interconexión del bus wishbone

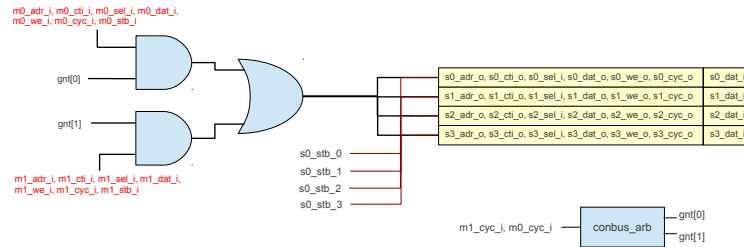


Figura 1.24: Circuito equivalente a una operación de escritura para el árbitro del bus wishbone

Una de las funciones del árbitro *conmax* es fijarle un rango de direcciones único a cada periférico, por esta razón todo árbitro debe tener un decodificador de direcciones (módulo *ADDRESS DECODER* en la figura 2.23) que tiene como entradas los bits más significativos del bus de direcciones, en este caso solo se usan dos bits (*mx_addr_i[29:28]*) ya que solo se cuenta con cuatro periféricos; este decodificador activa las señales *slave_sel[3:0]* de acuerdo a la definición en el archivo *system.v*:

```
conbus #(
  .s_addr_w(2),
  .s0_addr(2'b00), // bram      0x00000000
  .s1_addr(2'b01), // uart      0x20000000
  .s2_addr(2'b11), // timer    0x60000000
  .s3_addr(2'b10) // gpio      0x40000000
) conbus0(
```

Asignado las direcciones de memoria *0x00000000 - 0x1FFFFFFF*, *0x20000000 - 0x3FFFFFFF*, *0x60000000 - 0x7FFFFFFF* y *0x40000000 - 0x5FFFFFFF* a la BRAM, UART, TIMER y GPIO respectivamente, la activación de *slave_sel[3:0]* hace que se active su correspondiente señal *s0_stb[3:0]* (y se presenta un ciclo válido de bus) indicándole al periférico que ha sido seleccionado para una operación de lectura o escritura.

En la figura 2.24 se muestra el circuito simplificado del árbitro *conmax* para una operación de escritura; en ella se puede observar que todos los esclavos comparten las señales *s0_addr_o*, *s0_cti_o*, *s0_sel_i*, *s0_dat_o*, *s0_we_o*, *s0_cyc_o* y *sx_dat_i*, las cuales son la salida de un multiplexor que selecciona entre las señales correspondientes a los diferentes maestros del SoC (m0 y m1 en este caso); las señales *gnt[0]* y *gnt[1]* seleccionan al maestro que se conectará con todos los esclavos, por esta razón nunca se activarán las dos al tiempo. Las únicas señales que no comparten los esclavos wishbone son las que indican a los periféricos que han sido seleccionados para una transferencia de información *s0_stb[3:0]*, *slave_sel[3:0]*

En la figura 2.25 se muestra el circuito simplificado del árbitro *conmax* para una operación de lectura; en ella podemos observar que los buses de datos de los periféricos *s[3:0]_dat_i* se conectan a los buses de datos de los maestros

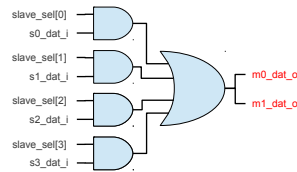


Figura 1.25: Circuito equivalente a una operación de lectura para el árbitro del bus wishbone

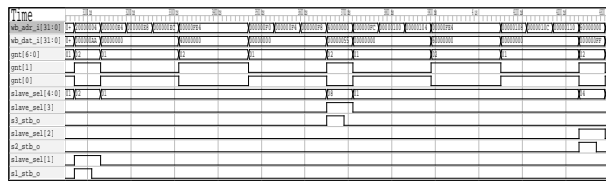


Figura 1.26: Formas de onda del proceso de comunicación entre la CPU y los periféricos usando el bus wishbone

$m[1:0]_{\text{dat_o}}$; las señales $slave_sel[3:0]$ se activan una a la vez y seleccionan el esclavo que se conectará con el maestro.

Para ilustrar de forma gráfica la operación del árbitro se implementó un programa que escribe los siguientes valores a las direcciones de los periféricos UART, TIMER y GPIO:

1. $0xAA$ a la dirección del esclavo 1 $0x20000004$
2. $0x55$ a la dirección del esclavo 3 $0x40000000$
3. $0xFF$ a la dirección del esclavo 2 $0x60000000$

Como podemos ver en la figura 2.26, las señales $gnt[0]$ y $gnt[1]$ se activan de forma alterna y solo esta activa una de ellas, cuando se escribe el valor $0xAA$ a la dirección $0x20000004$ se activan las señales $slave_sel[1]$ y $s1_stb_o$ indicando la activación del primer periférico; similarmente, cuando se escribe el valor $0x55$ a la dirección $0x40000000$ se activan las señales $slave_sel[3]$ y $s3_stb_o$ indicando la activación del tercer periférico y finalmente, cuando se escribe el valor $0xFF$ a la dirección $0x60000000$ se activan las señales $slave_sel[2]$ y $s2_stb_o$ indicando la activación del segundo periférico.

Arquitectura de los periféricos

En esta subsección se realizará un estudio de la arquitectura de los esclavos wishbone, se analizarán tres periféricos: GPIO, UART y TIMER

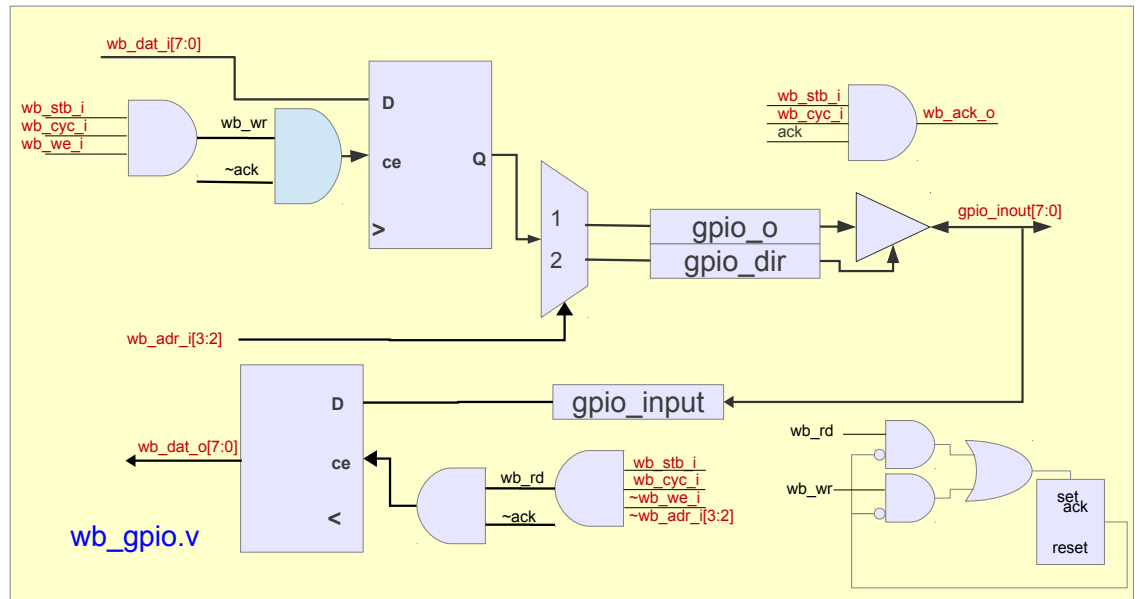


Figura 1.27: Ejemplo de periférico wishbone: GPIO

Periférico GPIO

En todo SoC es necesario contar con pines de entrada/salida de propósito general, este sencillo periférico permite controlar la dirección de un pin, controlar el valor de un pin de salida y leer el valor de un pin de entrada; en la figura 2.27 se muestra el diagrama de bloques de este periférico.

La dirección del pin es fijada con un buffer tri-estado que a su vez es controlado por el valor almacenado en el registro *gpio_dir* los registros *gpio_o* y *gpio_input* almacenan los valores escritos y leídos de los pines respectivamente.

Para entender el comportamiento de este periférico analizaremos los circuitos de lectura y escritura de forma separada. En la figura 2.28 se muestra el circuito de lectura; el valor del registro *gpio_input* es almacenado en un registro que está conectado al bus de datos de salida del periférico *wb_dat_o* cuando la señal *wb_rd* sea igual a 1 y la señal *ack* sea igual a cero. *wb_rd* es igual a 1 cuando se presente un ciclo de bus válido, se seleccione el periférico y se realice una operación de lectura.

El circuito simplificado de escritura se muestra en la figura 2.29; en este periférico el bus de datos proveniente del maestro puede almacenarse en los registros *gpio_dir* y *gpio_o*; el multiplexor controlado por *wb_adr_i[3:2]* selecciona donde será almacenado el dato. La transferencia al registro seleccionado se realiza únicamente cuando la señal *wb_wr* sea igual a 1 y la señal *ack* sea

igual a cero. *wb_wrr* es igual a 1 cuando se presente un ciclo de bus válido, se seleccione el periférico y se realice una operación de escritura.

Tanto en la operación de lectura como en la de escritura se debe generar la señal *wb_ack_o* para indicarle al maestro que la solicitud de comunicación ha sido recibida y atendida; para esto se implementó el circuito compuesto de las 2 compuertas AND, una compuerta OR y un FLIP FLOP, este circuito hace que la señal *ack* sea igual a 1 cuando cualquiera de las señales *wb_rd* o *wb_wr* sea igual a 1 y el estado de la señal *ack* sea igual a 0; es decir, cuando

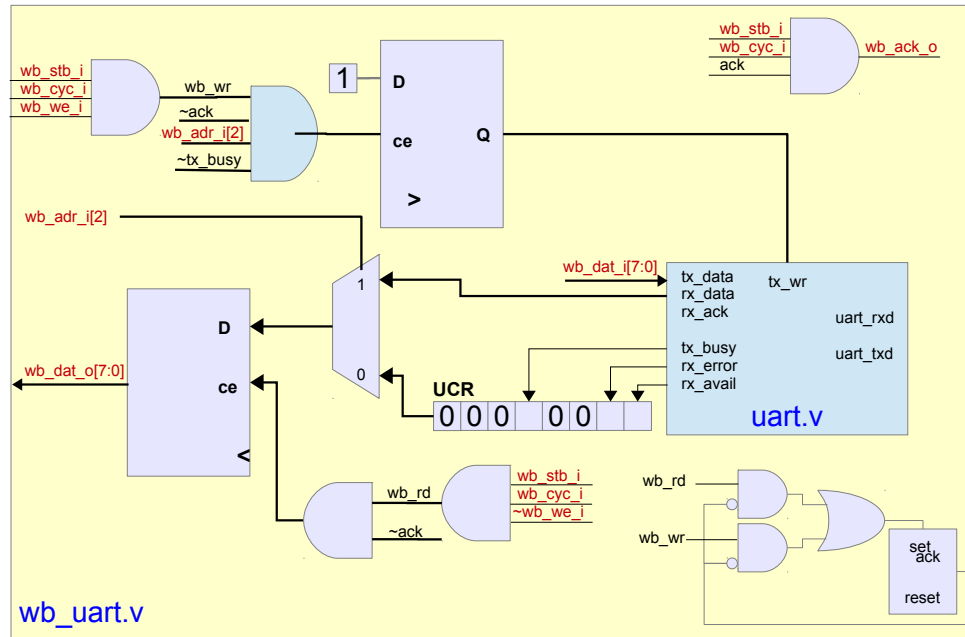


Figura 1.30: Ejemplo de periférico wishbone: UART

el dispositivo pasa del estado no seleccionado a ser seleccionado para una operación de lectura o escritura.

Periférico UART

En la figura 2.30 se muestra el diagrama de bloques de un periférico un poco más complejo una UART, su arquitectura se basa en un módulo que implementa las tareas de comunicación que se encuentra descrito en el archivo *uart.v*; en el archivo *wb_uart.v* se hace la adaptación de esta unidad funcional al bus wishbone, esta arquitectura permite que el módulo funcional pueda ser conectado a diferentes buses sin tener que re-escribir todo el código.

Del diagrama de bloques de la UART podemos observar que su arquitectura es similar a la del GPIO, existen los mismos bloques de interconexión con los buses de datos de entrada y de salida y se utiliza el mismo circuito para generar la señal *ack*.

El circuito simplificado de salida se muestra en la figura 2.31, se observa que existen dos valores que pueden ser leídos desde el procesador: la señal *rx_data* y los bits de estado *tx_*, *tx_error* y *tx_avail*; en este caso la línea de dirección *wb_adr_i[2]* selecciona la información que será transmitida al procesador.

wb_adr_i[3:2]

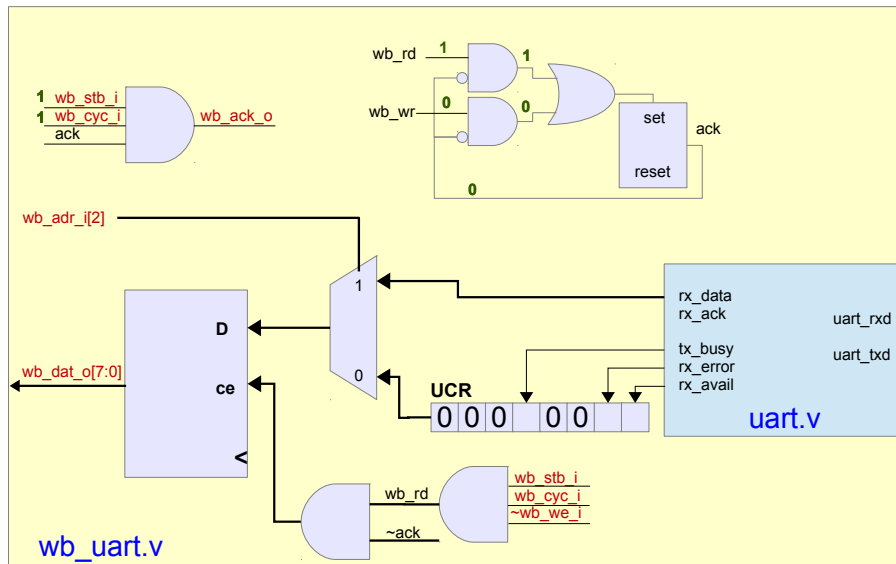


Figura 1.31: Circuito equivalente de lectura de la UART

El circuito de escritura se muestra en la figura 2.32, en este ejemplo el bus de datos proveniente del maestro se conecta directamente a la señal *tx_data* ya que este periférico no permite modificar otros parámetros. Por esta razón el circuito solo transmite un 1 a la señal *uart_txd* lo que hace que la *uart* transmita el valor fijado por la señal *tx_data*.

Periférico TIMER

En la figura 2.33 se muestra el diagrama de bloques resumido del periférico TIMER; el cual posee 6 registros que pueden ser modificados y leídos por el procesador. De nuevo la arquitectura de este periférico es similar a los anteriores así como el circuito de generación de la señal *ack*.

En la figura 2.34 se muestra el circuito de lectura del periférico timer. La diferencia frente a los anteriores es la posibilidad de leer 6 diferentes variables; por esta razón se utilizan tres señales del bus de direcciones *wb_addr_i[5:3]*.

En la figura 2.35 se muestra el diagrama de escritura del timer, de forma similar al circuito de lectura la señal *wb_addr_i[5:3]* selecciona el registro que almacenará el valor proveniente del procesador.

Interfaz Software

En la subsección anterior se hizo una descripción de los diferentes componentes de la configuración básica del SoC LM32; aquí, se explicará como controlar desde un programa en C la comunicación con los periféricos.

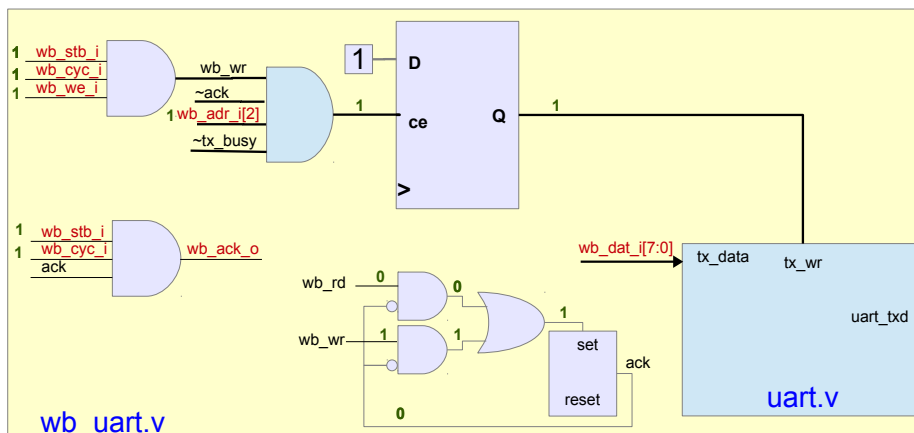


Figura 1.32: Circuito equivalente de escritura de la UART

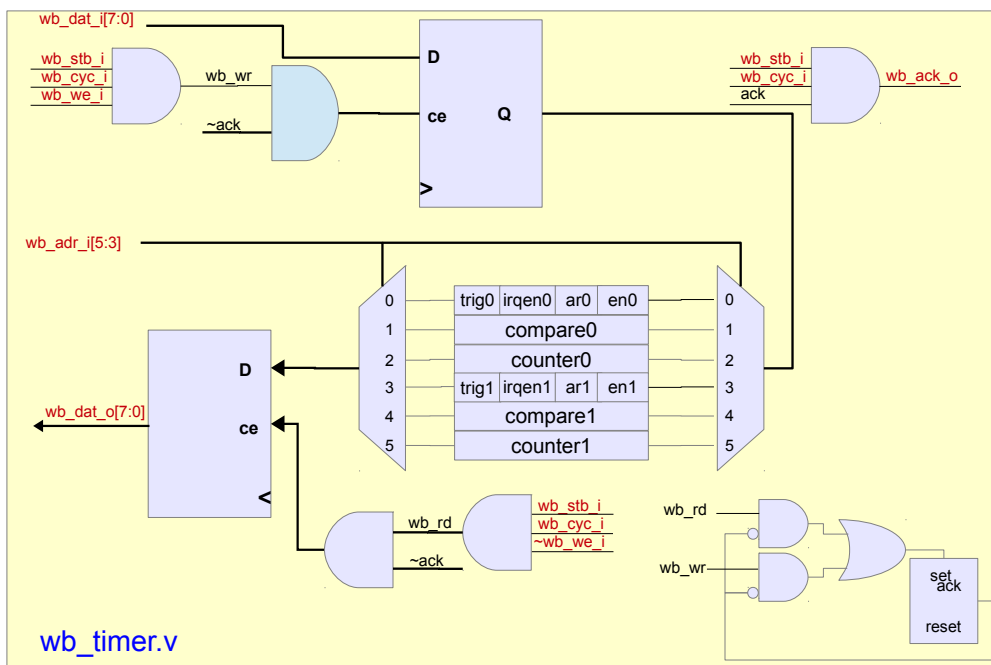


Figura 1.33: Ejemplo de periférico wishbone: TIMER

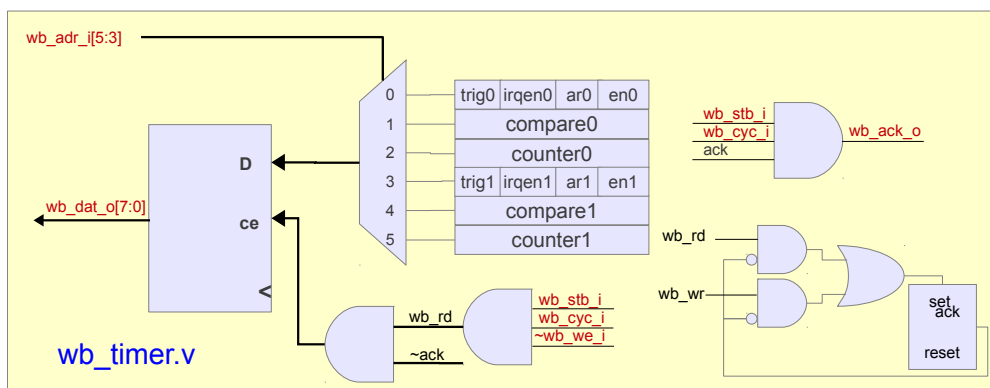


Figura 1.34: Circuito equivalente de lectura del periférico TIMER

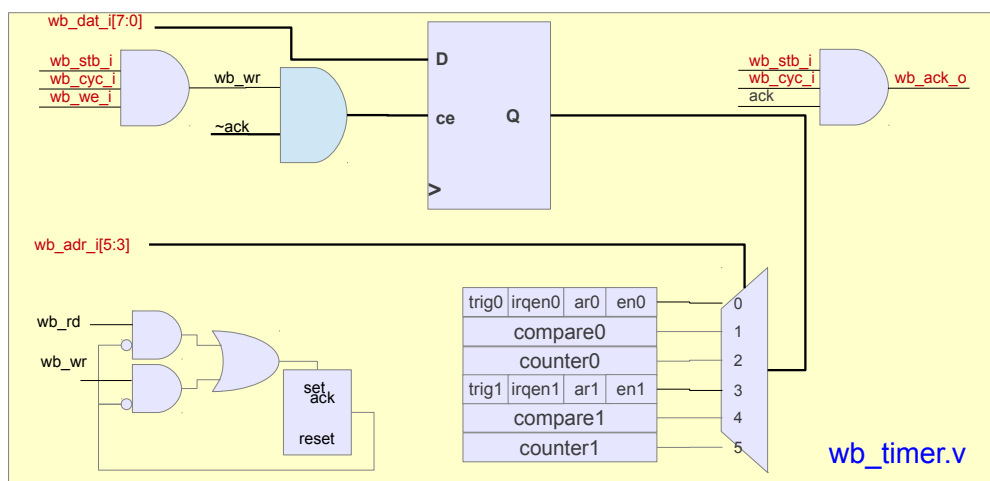


Figura 1.35: Circuito equivalente de escritura del periférico TIMER

Estructura de datos del periférico

Para facilitar el acceso a los diferentes registros de un periférico es conveniente declarar un nuevo tipo de dato que haga una representación de su mapa de memoria.

En la figura 2.36 se muestra el diagrama de bloques del GPIO y la declaración del tipo de dato *gpio_t*; el multiplexor que selecciona el sitio donde se almacenará el dato proveniente del procesador está controlado por las líneas de dirección *wb_adr_i[3:2]* cuando estas señales tengan el valor de *01* o lo que es lo mismo la dirección termine en *0x04* se seleccionará el registro *gpio_o*; si estas señales tengan el valor de *10* o lo que es lo mismo la dirección termine en *0x08* se seleccionará el registro *gpio_dir*. De aquí la posición de los elementos *write* y *w_dir* de la estructura *gpio_t*; al ser declarada la variable *read* como *uint32_t* se reservan cuatro bytes (*0x00*, *0x01*, *0x02* y *0x03*) para almacenar esta variable, la siguiente posición de memoria (*0x04*) corresponde a la variable *write*, la cual es declarada como un tipo de dato *uint32_t* por lo que se reservan cuatro bytes para su almacenamiento (*0x04*, *0x05*, *0x06* y *0x07*), en la siguiente posición de memoria (*0x08*) se almacenará la variable *w_dir* y se reservarán cuatro bytes (*0x08*, *0x09*, *0x0A* y *0x0B*) para su almacenamiento.

Como puede observarse en la figura 2.36, el contenido del registro *gpio_input* siempre está disponible sin importar el valor de la dirección, lo que indica que el dato estará disponible siempre que se seleccione el periférico para una operación de lectura, en este caso se colocó en la primera posición de memoria por conveniencia.

Todos los tipos de datos declarados en la estructura *gpio_t* son del tipo *volatile*. este tipo de dato le indica al compilador que no realice optimizaciones sobre esta variable.

En la figura 2.37 se observa la declaración del tipo de dato *uart_t* y su relación con el circuito interno de la UART. Aquí, *wb_adr_i[2]* controla el valor que será pasado al bus de datos del maestro; si *wb_adr_i[2]* es 0, se transmite el valor del registro *UCR*, si el valor de *wb_adr_i[2]* es 1, se transmitirá el valor de la señal *rx_data*. Al definir la variable *ucr* al comienzo de la estructura y al asignarle el tipo *uint32_t* se reservan los bytes *0x00*, *0x01*, *0x02* y *0x03* para su almacenamiento; al declarar a continuación la variable *uint32_t rxtx* se reservan los siguientes cuatro bytes (*0x04*, *0x05*, *0x06* y *0x07*) para su almacenamiento.

Finalmente, en la figura 2.38 se muestra la declaración del tipo de dato *timer_t* y su relación con los registros internos del periférico.

Dirección de memoria de los periféricos

Una vez creados los tipos de datos que representan los registros internos de los periféricos se debe asignar un valor a la dirección base de cada uno de ellos, esta dirección debe ser la misma que le asigna el decodificador de direcciones del árbitro wishbone. En la figura 2.39 se muestra el valor que deben tomar estas direcciones.

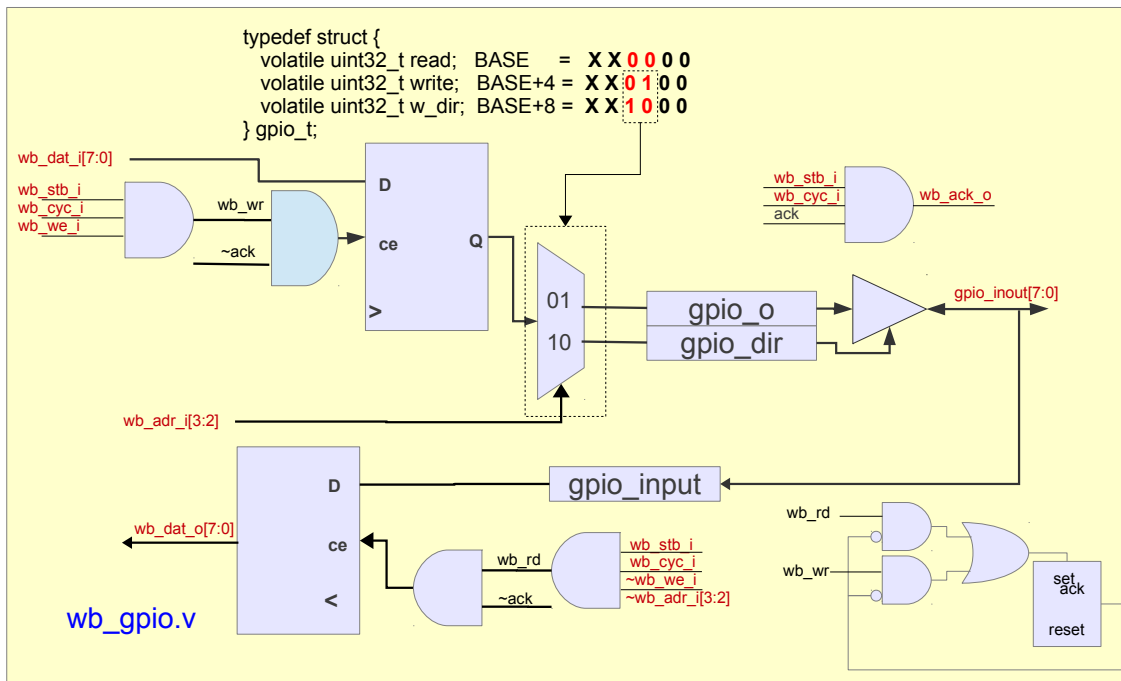


Figura 1.36: Definición de la dirección de los registros internos del GPIO

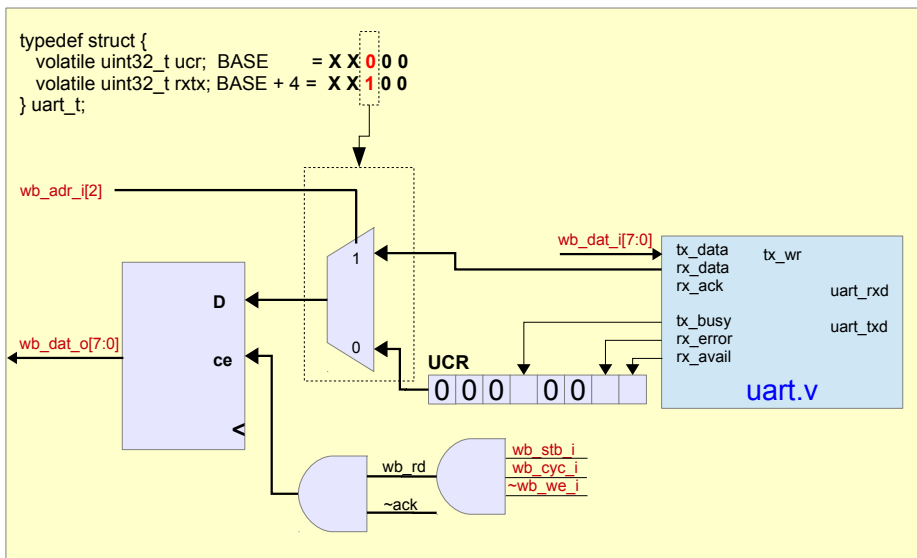


Figura 1.37: Definición de la dirección de los registros internos de la UART

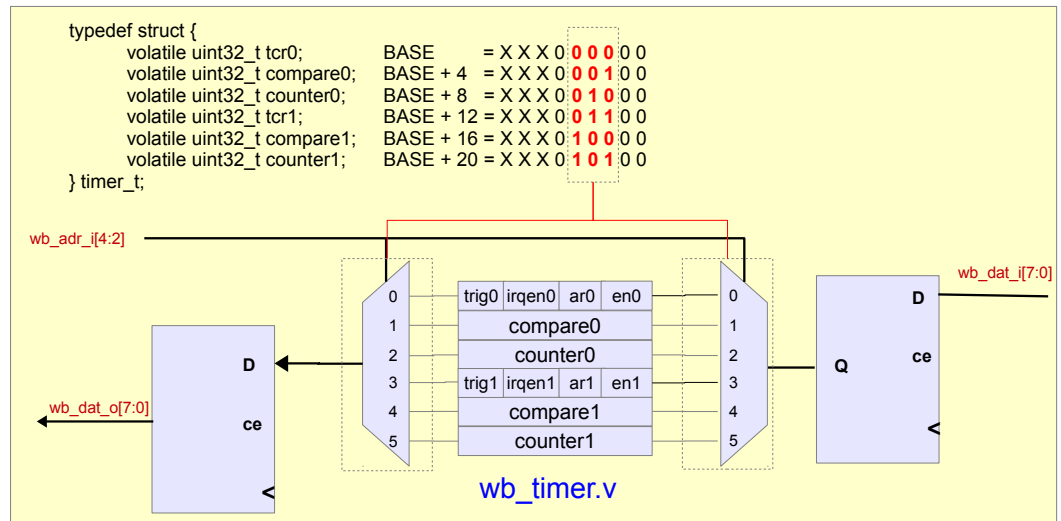


Figura 1.38: Definición de la dirección de los registros internos del TIMER

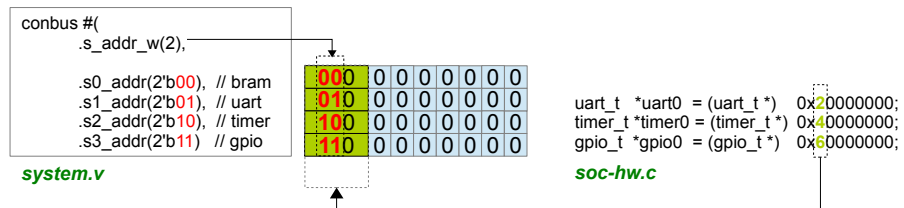


Figura 1.39: Asignación de la dirección de memoria a los periféricos

BIBLIOGRAFÍA

=====

CAPÍTULO 2

IMPLEMENTACIÓN DE TAREAS SOFTWARE UTILIZANDO PROCESADORES SOFT CORE

2.1. Introducción

En el capítulo anterior se estudió la forma de implementar tareas hardware utilizando máquinas de estado algorítmicas. La implementación de tareas hardware es un proceso un poco tedioso ya que involucra la realización de una máquina de estados por cada tarea; la implementación del camino de datos se simplifica de forma considerable ya que existe un conjunto de bloques constructores que pueden ser tomados de una librería creada por el diseñador. El uso de tareas hardware se debe realizar únicamente cuando las restricciones temporales del diseño lo requieran, ya que como veremos en este capítulo, la implementación de tareas software es más sencilla y rápida.

La estructura de una máquina de estados algorítmica permite entender de forma fácil la estructura de un procesador ya que tienen los mismos componentes principales (unidad de control y camino de datos), la diferencia entre ellos es la posibilidad de programación y la configuración fija del camino de datos del procesador.

En este capítulo se estudiará la arquitectura del procesador MICO32 creado por la empresa Lattice semiconductor y gracias a que fué publicado bajo la licencia GNU, es posible su estudio, uso y modificación. En la primera sección se hace la presentación de la arquitectura; a continuación se realiza el análisis de la forma en que el procesador implementa las diferentes instrucciones, iniciando con las operaciones aritméticas y lógicas siguiendo con las de control de flujo de programa (saltos, llamado a función); después se analizarán la comunicación con la memoria de datos; y finalmente el manejo de interrupciones.

En la segunda sección se abordará la arquitectura de un SoC (System on a Chip) basado en el procesador LM32, se analizará la forma de conexión entre los periféricos y la CPU utilizando el bus wishbone; se realizará una descripción detallada de la programación de esta arquitectura utilizando herramientas GNU.

2.2. Arquitectura del procesador LM32

La figura 2.1 muestra el diagrama de bloques del soft-core LM32, este procesador utiliza 32 bits y una arquitectura de 6 etapas del pipeline; las 6 etapas del pipeline son:

1. *Address*: Se calcula la dirección de la instrucción a ser ejecutada y es enviada al registro de instrucciones.
2. *Fetch*: La instrucción se lee de la memoria.
3. *Decode*: Se decodifica la instrucción y se toman los operandos del banco de registros o tomados del bypass.
4. *Execute*: Se realiza la operación especificada por la instrucción. Para instrucciones simples como las lógicas o suma, la ejecución finaliza en esta etapa, y el resultado se hace disponible para el bypass.
5. *Memory*: Para instrucciones más complejas como acceso a memoria externa, multiplicación, corrimiento, división, es necesaria otra etapa.
6. *Write back*: Los resultados producidos por la instrucción son escritas al banco de registros.

Banco de Registros

El LM32 posee 32 registros de 32 bits; el registro *r0* siempre contiene el valor 0, esto es necesario para el correcto funcionamiento de los compiladores de C y ensamblador; los siguientes 8 registros (*r1* a *r7*) son utilizados para paso de argumentos y retorno de resultados en llamados a funciones; si una función requiere más de 8 argumentos, se utiliza la pila (*stack*). Los registros *r1* - *r28* pueden ser utilizados como fuente o destino de cualquier instrucción. El registro *r29* (*ra*) es utilizado por la instrucción *call* para almacenar la dirección de retorno. El registro *r30* (*ea*) es utilizado para almacenar el valor del *contador de programa* cuando se presenta una excepción. El registro *r31* (*ba*) almacena el valor del contador de programa cuando se presenta una excepción tipo *break-point* o *watchpoint*. Los registros *r26* (*gp*) *r27* (*fp*) y *r28* (*sp*) son el puntero global, de frame y de pila respectivamente. Después del reset el valor no se define el valor de los registros, por lo que la primera acción que debe ejecutar el programa de inicialización es colocar un cero en el registro *r0* (*xor r0, r0, r0*)

Registro de estado y control

La tabla 2.1 muestra los registros de estado y control (CSR), indicando si son de lectura o escritura y el índice que se utiliza para acceder al registro.

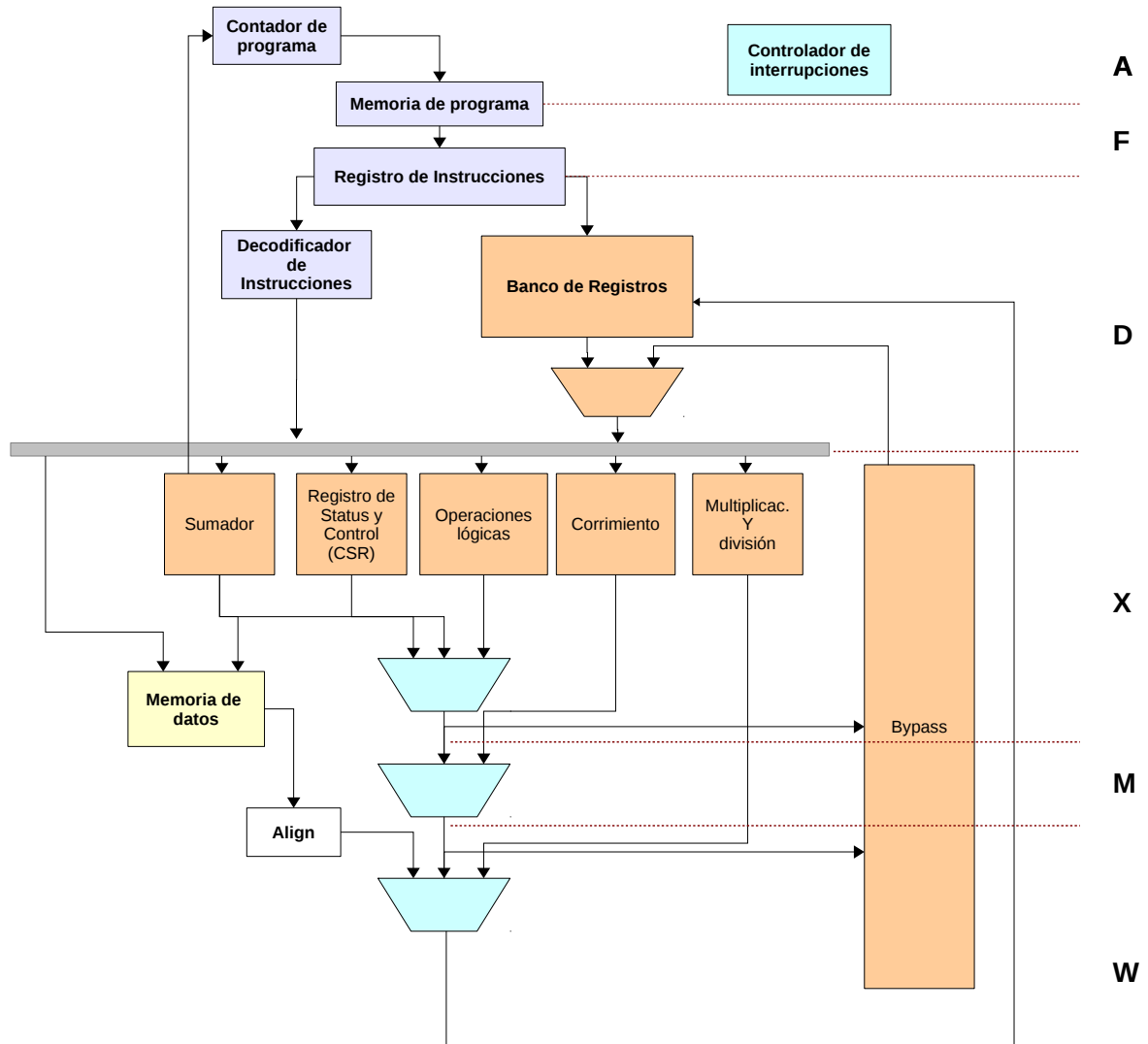


Figura 2.1: Diagrama de bloques del LM32

Cuadro 2.1: Registro de Estado y Control

Nombre	Index	Descripción
IE	0x00	(R/W)Interrupt enable
EID	—	(R) Exception ID
IM	0x01	(R/W)Interrupt mask
IP	0x02	(R) Interrupt pending
ICC	0x03	(W) Instruction cache control
DCC	0x04	(W) Data cache control
CC	0x05	(R) Cycle counter
CFG	0x06	(R) Configuration
EBA	0x07	(R/W)Exception base address

Contador de Programa (PC)

El contador de programa es un registro de 32 bits que contiene la dirección de la instrucción que se ejecuta actualmente. Debido a que todas las instrucciones son de 32 bits, los dos bits menos significativos del PC siempre son zero. El valor de este registro después del reset es *h00000000*

EID Exception ID

El índice de la excepción es un número de 3 bits que indica la causa de la detención de la ejecución del programa. Las excepciones son eventos que ocurren al interior o al exterior del procesador y cambian el flujo normal de ejecución del programa. Los valores y eventos correspondientes son:

- 0: Reset; se presenta cuando se activa la señal de reset del procesador.
- 1: Breakpoint; se presenta cuando se ejecuta la instrucción break o cuando se alcanza un punto de break hardware.
- 2: Instruction Bus Error; se presenta cuando falla la captura e una instrucción, típicamente cuando la dirección no es válida.
- 3: Watchpoint; se presenta cuando se activa un watchpoint.
- 4: Data Bus Error; se presenta cuando falla el acceso a datos, típicamente porque la dirección solicitada es inválida o porque el tipo de acceso no es permitido.
- 5: División por cero; Se presenta cuando se hace una división por cero.
- 6: Interrupción; se presenta cuando un periférico solicita atención por parte del procesador, para que esta excepción se presente se deben habilitar las interrupciones globales (IE) y la interrupción del periférico (IM).
- 7: System Call; se presenta cuando se ejecuta la instrucción *scall*.

IE Habilitación de interrupción

El registro IE contiene el flag IE, que determina si se habilitan o no las interrupciones. Si este flag se desactiva, no se presentan interrupciones a pesar de la activación individual realizada con IM. Existen dos bits *BIE* y *EIE* que se utilizan para almacenar el estado de IE cuando se presenta una excepción tipo breakpoint u otro tipo de excepción; esto se explicará más adelante cuando se estudien las instrucciones relacionadas con las excepciones.

IM Máscara de interrupción

La máscara de interrupción contiene un bit de habilitación para cada una de las 32 interrupciones, el bit 0 corresponde a la interrupción 0. Para que la interrupción se presente es necesario que el bit correspondiente a la interrupción y el flag IE sean igual a 1. Después del reset el valor de IM es *h00000000*

IP Interrupción pendiente

El registro IP contiene un bit para cada una de las 32 interrupciones, este bit se activa cuando se presenta la interrupción asociada. Los bits del registro IP deben ser borrados escribiendo un 1 lógico.

- Compilación de programas para el LM32, explicar un ejemplo sencillo puede ser el de tipos de datos comentando todos los archivos, *lm32*, *crt0.s*, etc - Set de instrucciones, con ejemplos en donde sea necesario como en: - llamado a funciones: Ejemplo sencillo que muestre como se pasan parámetros a través de *r0*, *r1*, *r2*. - saltos: *If*, *while*, forma - interrupciones explicar como se debe modificar el *crt0.s* para incluir los vectores de excepción y como se atiende la interrupción. - acceso a memoria externa: Explicar como se mapean los registros de los periféricos a C, y tipos de datos. - Acceso a memoria externa: Bus wishbone: Topologías, señales del WB, arquitectura del conbus, explicar *uart* y *timer*. - Como se forma el SoC con el LM32. Diagrama de bloques del SoC, explicando donde quedan los diferentes periféricos.

2.3. Set de Instrucciones del procesador Mico32

En esta sección se realizará un análisis del conjunto de instrucciones del procesador Mico32; para facilitar el estudio se realizó una división en cuatro grupos comenzando con las instrucciones aritméticas y lógicas, siguiendo con las relacionadas con saltos, después se analizará la comunicación con la memoria de datos y finalmente las relacionadas con interrupciones y excepciones. Para cada uno de estos grupos se mostrará el camino de datos (simplificado) asociado al conjunto de instrucciones.

Instrucciones aritméticas

En la figura 2.2 se muestra el camino de datos simplificado de las operaciones aritméticas y lógicas cuyos operandos son registros, y el resultado se

almacena en un registro; en otras palabras son de la forma: **gpr[RX] = gpr[RY]** **OP gpr[RZ]**, donde: OP puede ser *nor, xor, and, xnor, add, divu, modu, mul, or, sl, sr, sru, sub*. Como puede verse en esta figura la instrucción contiene la información necesaria para direccionar los registros que almacenan los operandos **RY** (*instruction_d* 25:21) y **RZ** (*instruction_d* 20:16), estas señales de 5 bits direccionan el banco de registros y el valor almacenado en ellos puede obtenerse en dos salidas diferentes (**gpr[rz]** y **gpr[ry]**). En el archivo *rtl/lm32/lm32_cpu.v* se implementa el banco de registros de la siguiente forma:

```
assign reg_data_0 = registers[read_idx_0_d];
assign reg_data_1 = registers[read_idx_1_d];
```

En este código *reg_data_0* y *reg_data_1* son las dos salidas **gpr[rz]** y **gpr[ry]**; las señales *read_idx_0_d* y *read_idx_1_d* corresponden a *instruction_d* 25:21 y *instruction_d* 20:16 respectivamente. El contenido de los registros direccionados de esta forma son llevados al modulo *logic_op* donde se realiza la operacion correspondiente a la instrucción y el resultado pasa a través de los estados del pipeline hasta llegar a la señal *w_result* (parte inferior de la figura) esta señal entra al banco de registros para ser almacenada en la dirección dada por la señal *write_idx_w* la cual es fijada por la instrucción, más específicamente por (*instruction_d* 15:11). En el archivo *rtl/lm32/lm32_cpu.v* se implementa esta escritura al banco de registros de la siguiente forma:

```
always @(posedge clk_i)
begin
    if (reg_write_enable_q_w == 'TRUE)
        registers[write_idx_w] <= w_result;
end
```

Entre registros

Inmediatas

Existe otro grupo de operaciones lógicas y aritméticas en las que uno de los operandos es un registro y el otro es un número fijo, esto permite realizar operaciones con constantes que nos son almacenadas previamente en registros, sino que son almacenadas en la memoria de programa. En la figura 2.3 se muestra como se modifica el camino de datos para este tipo de instrucciones; en ella, podemos observar que *instruction_d* 25:21 direcciona uno de los operandos que está almacenado en el banco de registros y de forma similar al caso anterior el dato almacenado es llevado al bloque *logic_op*. El segundo operando es llevado a este bloque desde un multiplexor donde se hace una extensión de signo de *instruction_d* 15:0 o se hace un corrimiento a la derecha de 16 posiciones; esto, para convertir el número de 16 bits a uno de 32 bits, lo que da como resultado *16instruction_d[15]*, *instruction_d[15:0]* y *instruction_d[15:0]*,

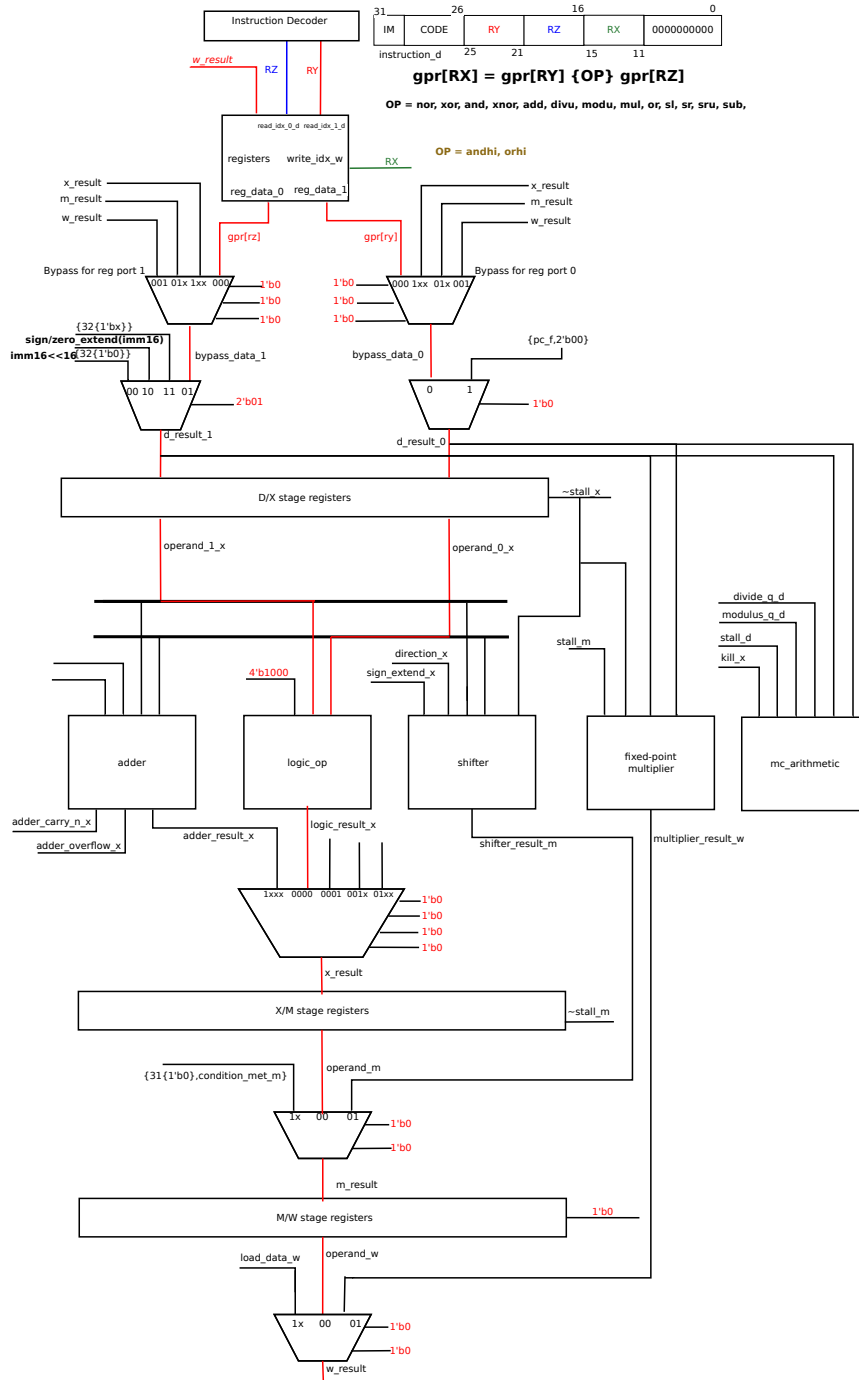


Figura 2.2: Camino de datos de las operaciones aritméticas y lógicas entre registros

16'h0000 respectivamente; el corrimiento de 16 bits a la derecha se hace para poder realizar las operaciones *andhi* y *orhi*, las cuales solo operan sobre la parte alta de los operandos.

Saltos

Los saltos permiten controlar el flujo de ejecución del programa posibilitando la implementación de ciclos, llamado a funciones, y toma de decisiones. En esta subsección estudiaremos el camino de datos resultante para este tipo de instrucciones. A diferencia de las instrucciones aritméticas y lógicas, en este tipo de instrucciones se modifica el valor del contador de programa.

Condicionales

En la instrucción se almacena la dirección de los registros que deben ser comparados, específicamente en *instruction.d* 25:21 y *instruction.d* 20:16; los valores almacenados en estos registros son llevados al sumador y a un bloque especial que determina si se cumple o no la condición (señales rojas en la gráfica); la señal *condition_met_x* se activa si la condición se cumple.

Para que el valor del contador de programa se modifique, es necesario que las señales *condition_met_x*, *branch_m* y *valid_m* se encuentren activas (señales amarillas en la gráfica); la señal *branch_m* se activa cuando la instrucción es de tipo *branch* o *call*; la señal *valid_m* se activa cuando se presenta una instrucción válida. Adicionalmente, es necesario que el procesador no se encuentre en un estado de *stall*. Si se cumplen las condiciones anteriores, se activará la señal *branch_taken_m*, la que le indicará a la unidad de instrucciones que cargue el valor de la señal *branch_target_m* en el contador de programa.

El valor de *branch_target_m* (señal azul en la gráfica) es fijado por dos diferentes métodos: cuando se produce una excepción o cuando se produce un salto, la señal *exception_x* selecciona el valor adecuado para cada caso. La señal *branch_target_x* es el resultado de la suma de *pc.d* y de *branch_offset.d* (para esta suma no se utiliza el bloque sumador). El valor de *branch_offset* es seleccionado por la señal *select_call_immediate* entre las señales *call_immediate* (para instrucciones de llamado a función) y *branch_immediate*; esta última tiene como valor 16*inst*[15], *inst*[15:0], lo que es una extensión de signo de la constante de 16 bits almacenado en la memoria de programa.

En la figura 2.4 se muestra el camino de datos equivalente a las instrucciones relacionadas con condicionales;

En la figura 2.5 se ilustran 3 ciclos que utilizan condicionales; en color azul se muestra el código en C y en negro se muestra el código implementado por el compilador.

Llamado a función y salto incondicional

Existen dos tipos de llamado a función y de salto incondicional; su diferencia radica en la forma de almacenar la dirección a la que deben saltar. En la

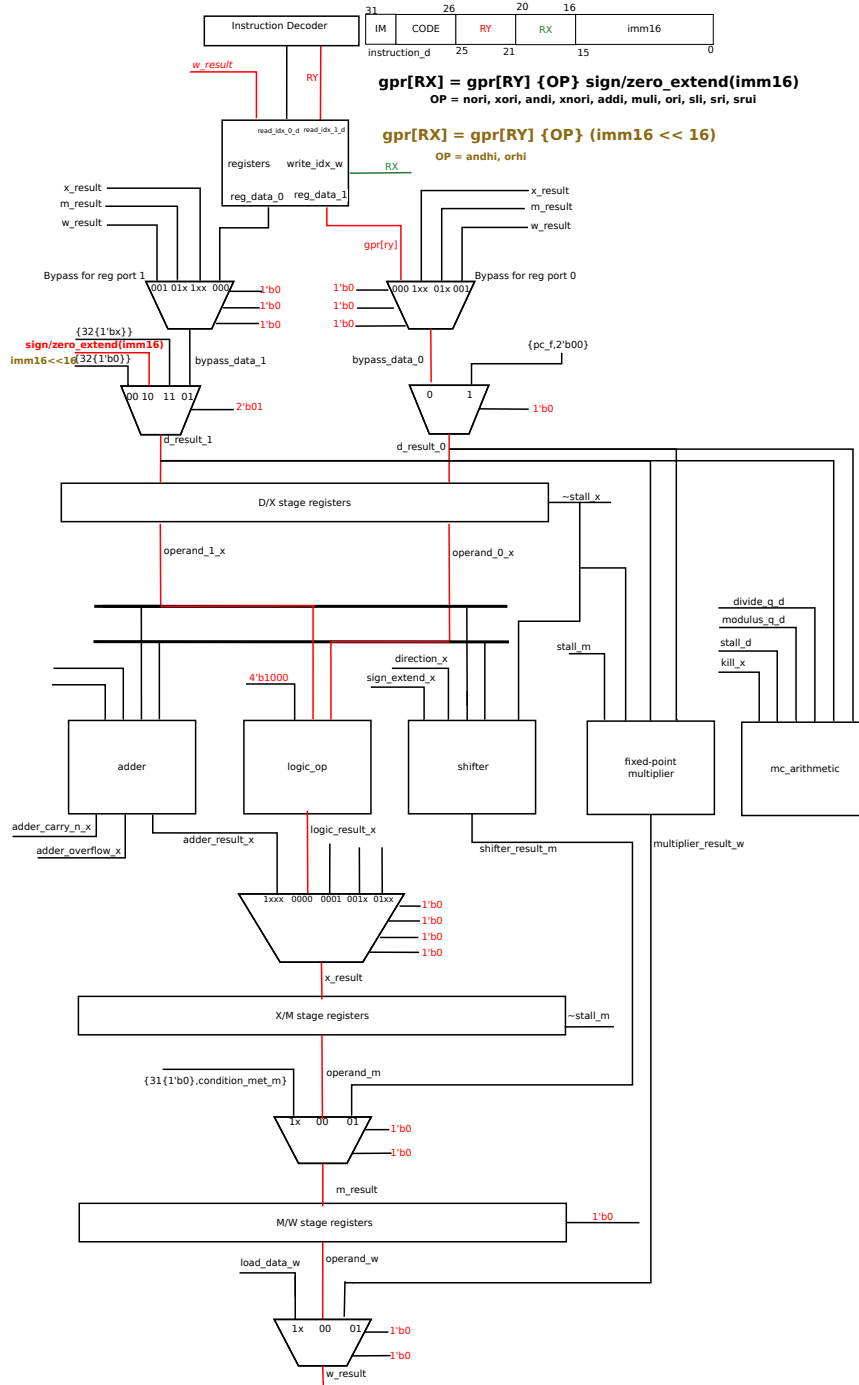


Figura 2.3: Camino de datos de las operaciones aritméticas y lógicas inmediatas

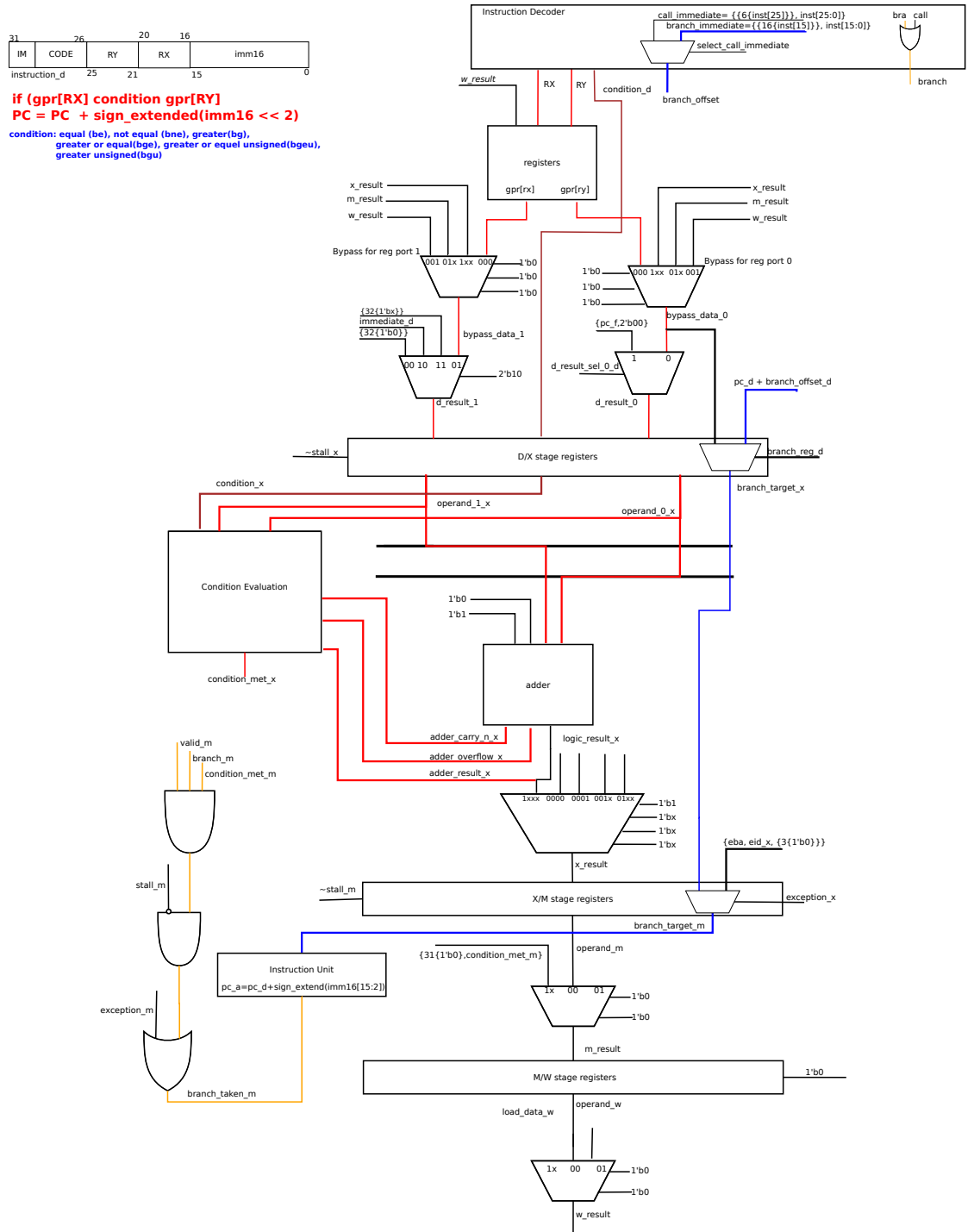


Figura 2.4: Camino de datos de los saltos condicionales

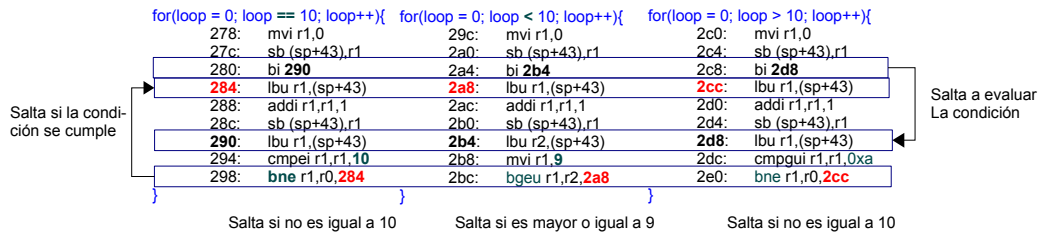


Figura 2.5: Ejemplo de código: saltos condicionales

figura 2.7 se muestra el camino de datos correspondiente a las instrucciones *calli* y *bi*, estas almacenan en la instrucción la dirección y en la figura 2.7 se muestra el camino de dato correspondiente a las instrucciones *call* y *b* las que almacenan la dirección en un registro.

Para ambos casos el contador de programa es modificado si se activan las señales *condition_met_x*, *branch_m* y *valid_m*; la señal *valid_m* se activa cuando se presenta una instrucción válida; *branch_m* (color amarillo en los graficos) se activa cuando la instrucción que se está ejecutando es un salto o un llamado a función; y *condition_met_x* se activa cuando se cumple con la condición para el salto, debido a que estos saltos y llamados son incondicionales, el MI-CO32 contempla dos casos en los que activa esta señal, tal como se muestra a continuación (tomado de *rtl/lm32/lm32_cpu.v*):

```
always @*
begin
    case (instruction[28:26])
        3'b000: condition_met_x = 'TRUE;
        3'b110: condition_met_x = 'TRUE;
        ....
        ....
        ....
        default: condition_met_x = 1'bx;
    endcase
end
```

Los bits *instruction[28:26]* hacen parte del código de la instrucción; el valor para las instrucciones *bi* y *b* es 000 y para *call* y *calli* es 110, lo que activa *condition_met_x* cada vez que se presentan estas instrucciones.

De forma similar a las instrucciones relacionadas con saltos condicionales el valor del contador de programa es igual al valor de la señal *branch_target_x* (señal de color verde en las figuras); el valor de esta señal para las instruc-

ciones *call* y *b* proviene del valor almacenado en el registro seleccionado por *instruction_d* [25:21]. Para las instrucciones *calli* y *bi* el valor está dado por la señal *branch_offset* la que toma como valor *6ins[25],ins[25:0]* o *16ins[15],ins[15:0]* para una instrucción *call* o *b* respectivamente.

Adicionalmente, para las instrucciones de llamado a función *call* y *calli* se debe almacenar en el registro R29 la dirección de memoria siguiente a la que se realizó el llamado a la función, esto con el fin de retornar al flujo de programa principal, esto se logra haciendo uso del pipeline y se utiliza el valor del contador de programa *pc.m* cuyo valor contiene el valor adecuado para el retorno del llamado a función; el valor de *pc.m* (señal color morado en las figuras) es asignado a la señal *w_result* del banco de registros para ser almacenado en el registro indicado por *write_idx* (señal marrón en los gráficos); la que toma el valor de 29 cuando se presenta una instrucción *calli* o *call*.

En la figura 2.8 se muestra un ejemplo de uso de la función *call*. El código en C utilizado para este ejemplo se muestra en color azul. La línea de código *result1 = function(0x30)* hace el llamado a la función *function* pasándole el parámetro *0x30* (decimal 48); el código implementado por el compilador se muestra junto al código en C; como se mencionó anteriormente, los primeros registros del banco de registros se usan para pasar parámetros entre funciones, en el paso 1, se almacena el valor *0x30* (48 decimal) en *r1*; en el paso dos se hace un llamado inmediato a función a la dirección de memoria *0x8C*, lo que hace que el valor del contador de programa tome el valor *0x8C* y se almacene el valor *0x310* en el registro *ra*.

La función *function* está declarada como *int function(int x)* y reside en la posición de memoria *0x8C*. En el paso 3, se almacena el valor de los registros que se utilizan en la función con el fin de restaurarlos antes de retornar al programa donde fué llamada, esto se hace debido a que solo existe un banco de registros en el procesador y si no se hace esto el valor de los registros antes y después del llamado será diferente lo que ocasionará errores en los algoritmos implementados. El registro *ra* almacena el valor de la dirección de retorno, y se almacena para asegurar que cuando se hagan llamados a función anidados se retorne a la dirección adecuada. En el paso 4 se restaura el valor de los registros, garantizando la continuidad del programa principal; finalmente, en el paso 6 la función *ret* carga el valor del *ra* en el contador de programa.

En la figura 2.9 se ilustra la importancia del almacenamiento de los registros en los llamados a funciones, para este ejemplo se consideró el registro *ra*; cuando se almacena el registro *ra* en la función *F2* para ser restaurado al finalizar la función el flujo de programa retorna a la función *F1*, lo que se ejecuta correctamente en los dos casos. Cuando finaliza *F1* el valor de *ra* varía; cuando no se almacena el valor la dirección de retorno de *F1* es modificada por lo que cuando se retorna el contador de programa se hace igual a la dirección de retorno de *F2*.

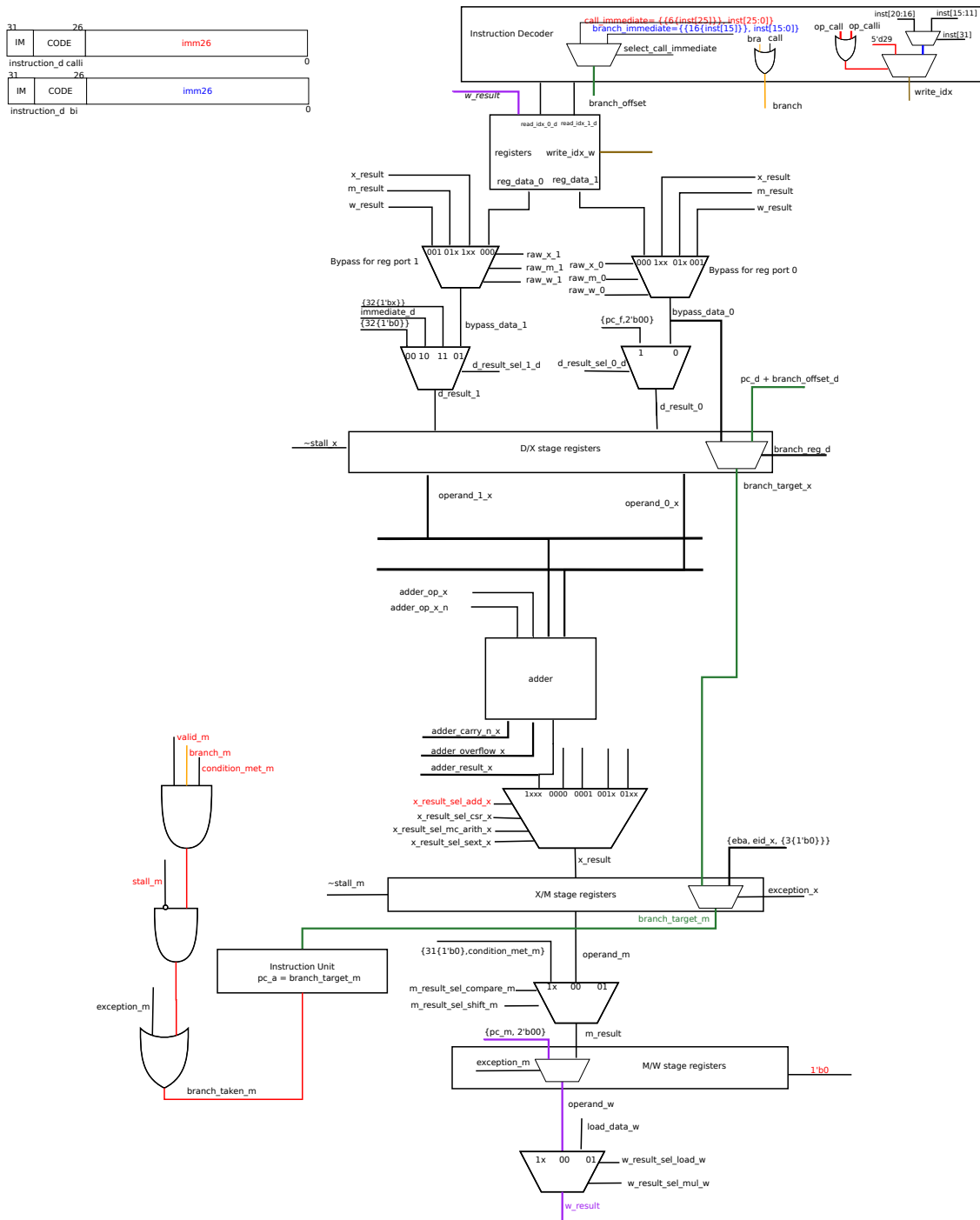


Figura 2.6: Camino de datos de los saltos y llamado a funciones inmediatos

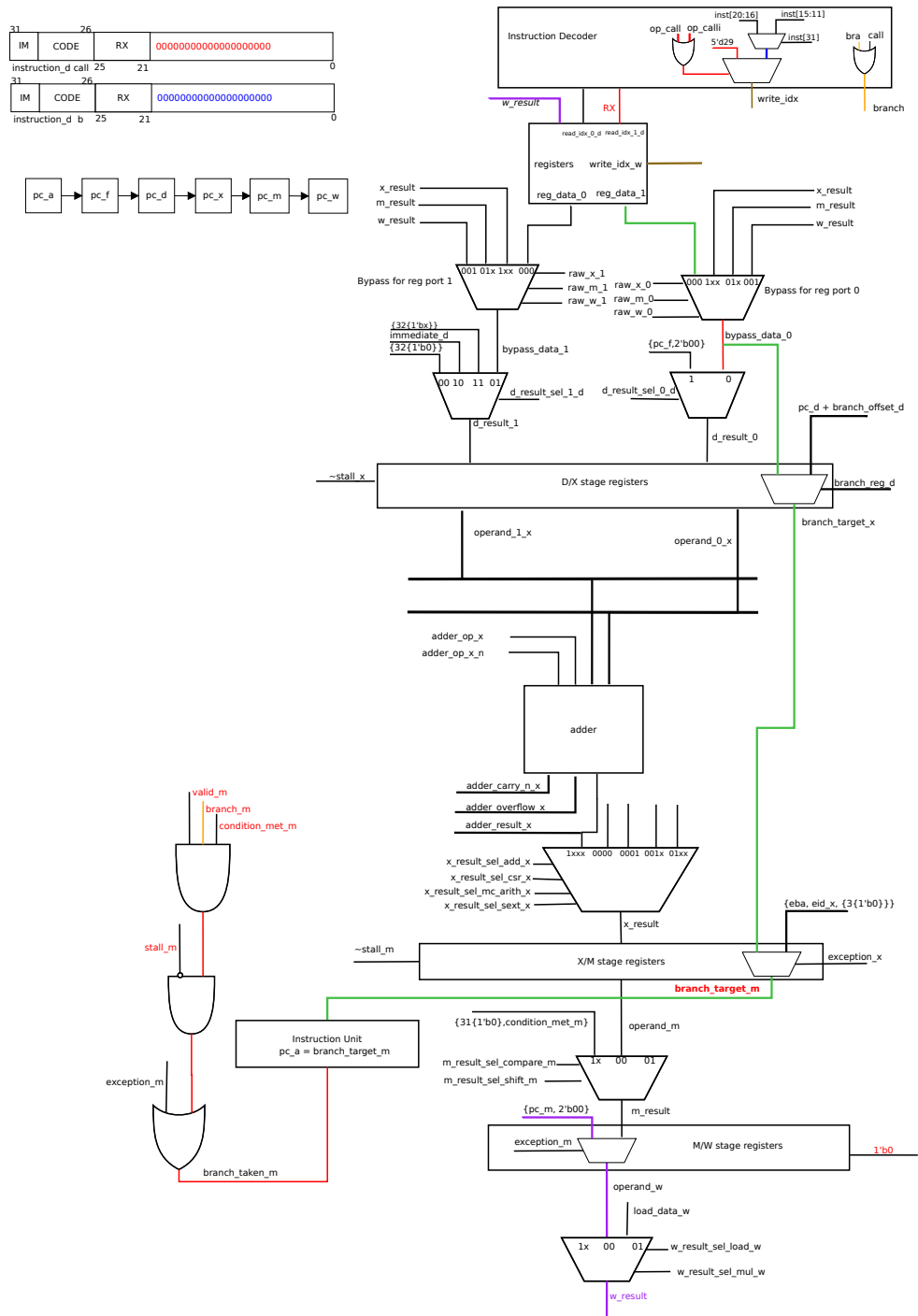


Figura 2.7: Camino de datos de los saltos y llamado a funciones

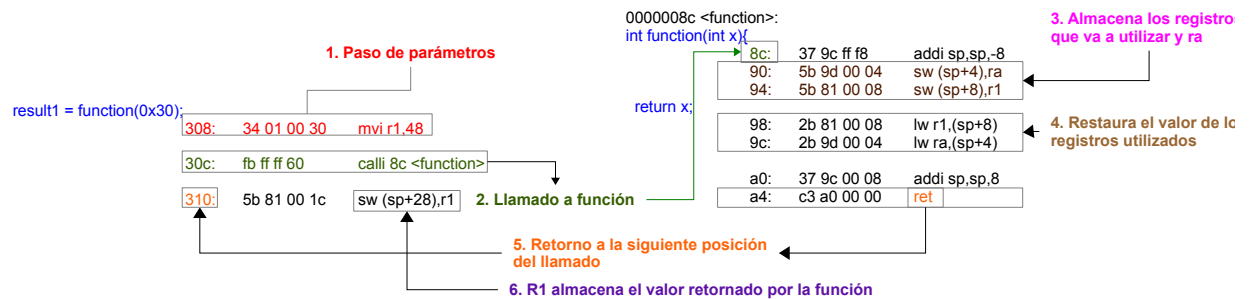


Figura 2.8: Ejemplo de código: llamado a función

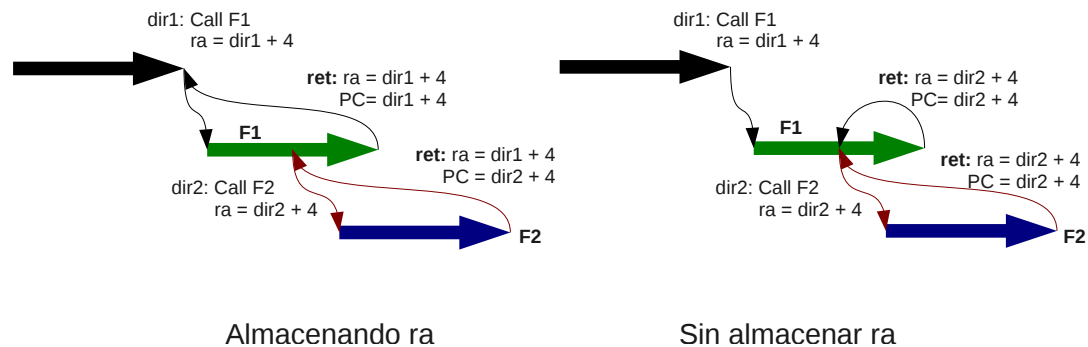


Figura 2.9: Llamado a función anidado

Comunicación con la memoria de datos

Antes de estudiar el camino de datos correspondiente a este grupo de instrucciones, hablaremos de los tipos de datos que soporta el procesador MI-CO32. En la figura 2.10 se muestran ejemplos de manipulación de diferentes tipos de datos y como estos son tratados en la memoria del procesador.

Tipos de datos

El primer tipo de datos que se muestra en esta figura es el *char*, la variable `data8` es declarada como un *volatile unsigned char **, es decir un puntero a un *char* sin signo tipo *volatile*; los tipos de datos *volatile* le indican al compilador que no realice optimizaciones sobre esta variable, lo que es importante cuando se direccionan periféricos. Al puntero `data8` se le asigna la dirección `0x400` y el valor `0x44`. Si se aumenta el valor de la dirección del puntero en una posición `data8++` la nueva dirección será `0x401` y si se aumenta de nuevo pasará a ser `0x402`; lo que indica que el procesador a pesar de ser de 32 bits puede realizar direccionamiento con granularidad byte; esto es muy conveniente para un al-

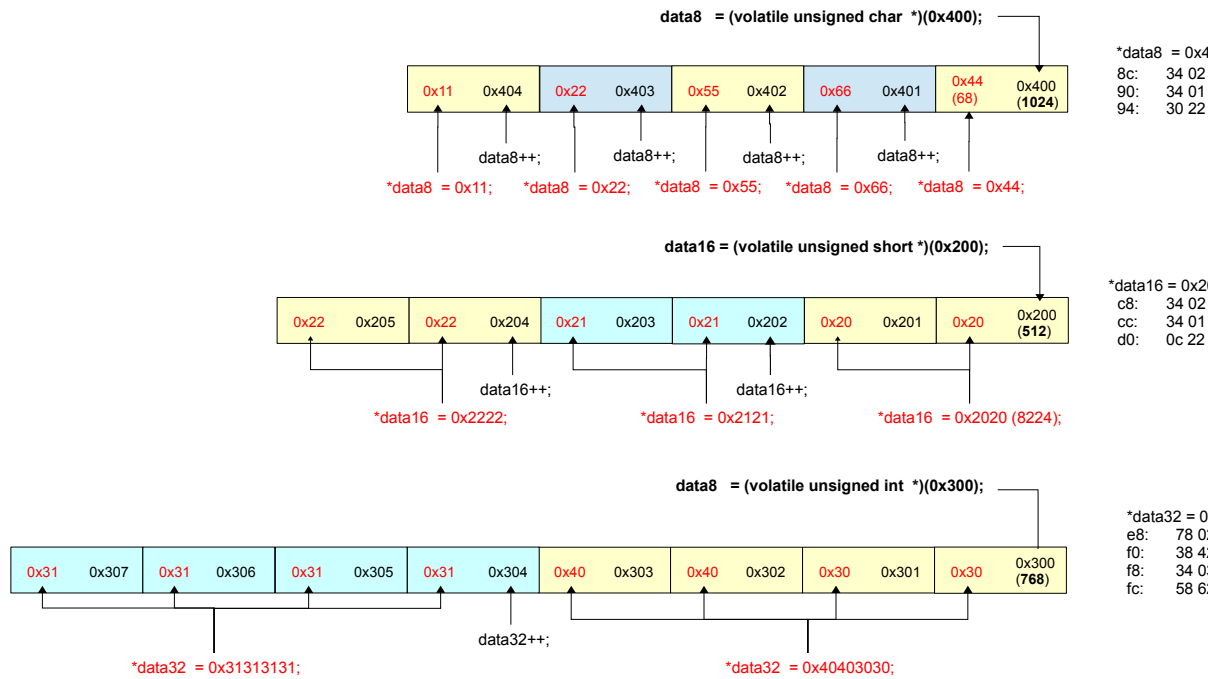


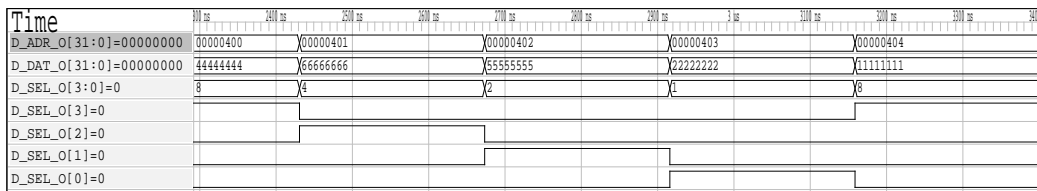
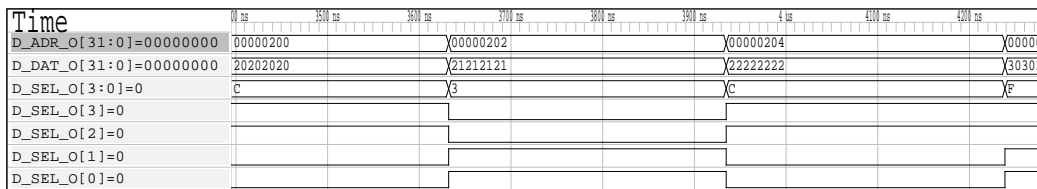
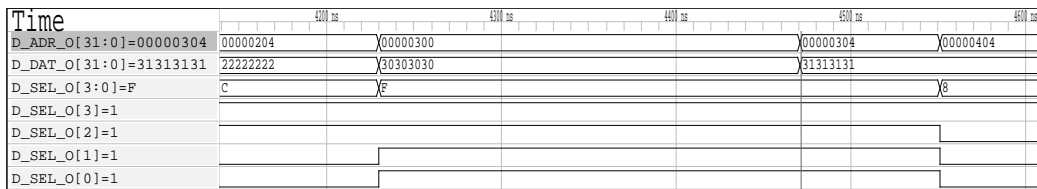
Figura 2.10: Tipos de datos soportados por el procesador Mico32

macenamiento eficiente de información, de no ser así se utilizaría una palabra de 32 bits para almacenar 8 bits.

La segunda parte de la figura 2.10 ilustra el manejo del tipo de dato *short* el cual es de 16 bits; para esto se utiliza en puntero *data16* con una dirección inicial de 0x200 y un valor de 0x2020; al aumentar la dirección del puntero en 1 (*data16++*) la dirección resultante es 0x202, lo que permite el almacenamiento eficiente de este tipo de dato.

Finalmente se ilustra el tipo de datos *int* y se observa como las direcciones de memoria inicial y final después de aumentar el valor del puntero son 0x300 0x304; lo que muestra que el direccionamiento interno de la memoria depende del tipo de datos.

El procesador MICO32 posee 4 señales *D_SEL_O[3:0]* que son utilizadas para indicarle a los periféricos el tipo de operación de lectura/escritura que se está efectuando; en la figura 2.11 se observa que estas señales se activan de forma individual indicando el byte que se está direccionando; en la figura 2.12 las señales se activan por parejas indicando el grupo de 2 bytes que se está direccionando; finalmente en la figura 2.13 las 4 señales se activan al tiempo lo que indica un acceso a los 4 bytes al mismo tiempo.

Figura 2.11: Acceso a un data tipo *char*Figura 2.12: Acceso a un data tipo *short*Figura 2.13: Acceso a un data tipo *int*

Escritura a la memoria de datos

El acceso a memoria de datos permite extender las capacidades del procesador posibilitando la conexión de periféricos; los que a su vez, realizan la comunicación con el exterior utilizando diferentes protocolos de comunicación y medios físicos. En esta subsección se describirá la forma en la que el MICO32 implementa las operaciones de lectura y escritura a la memoria de datos.

En la figura 2.14 se ilustra el camino de datos asociado a las instrucciones *sb*, *sh* y *sw*. En las tres, el valor contenido en el registro direccionado por *instruction.d[25:21]* (RX señales color rojo en la figura) más el valor de 16 bits (con signo extendido a 32 bits) forman la dirección a la que se desea escribir. El valor contenido en el registro direccionado por *instruction.d[20:16]* (RY señales color azul en la figura) corresponde al dato que será escrito en esa posición de memoria; de esta forma se construyen los buses de datos y direcciones del procesador. Como se dijo anteriormente el MICO32 direcciona con granulari-

dad de byte, por esta razón en las instrucciones *sh* y *sw* se indica el valor escrito en las direcciones +1 y +1, +2 y +3 respectivamente; indicando el tamaño en bytes del tipo de dato escrito. Estas señales ingresan a un módulo llamado *load_store_unit* que se encarga de generar las señales correspondientes al bus *wishbone*, más adelante estudiaremos en detalle el funcionamiento de este bus.

En la figura 2.11, y 2.13 se muestran las formas de onda cuando se escribe un dato tipo char (0x44) a la dirección 0x400, el dato escrito en el bus es 0x44444444 para que el periférico pueda utilizar cualquiera de las cuatro partes del bus de datos *D_DAT_O[7:0]*, *D_DAT_O[15:8]*, *D_DAT_O[23:16]*, *D_DAT_O[31:24]*, algo similar ocurre en la escritura del tipo de dato *short* (con valor 0x2020) mostrado en la figura 2.12, aquí se repite el dato para poder utilizar dos partes del bus de datos *D_DAT_O[15:0]* y *D_DAT_O[31:16]*.

Lectura

En la figura 2.15 se muestra el camino de datos asociado a las instrucciones *lb/lbu*, *lh/luh* y *lw*. La dirección de la cual se lea se calcula de forma similar al caso de la escritura; el valor contenido en el registro direccionado por *instruction_d[25:21]* (RY señales color rojo en la figura). El dato leído por el módulo *load_store_unit* (señal morada en la figura) es almacenado en el registro cuya dirección está dada por *instruction_d[20:16]*.

Interrupciones

Existen dos formas de conocer si un periférico conectado al procesador requiere atención por parte del procesador; examinando de forma constante los registros de estado del periférico o utilizando interrupciones. La consulta constante de los registros de estado del periférico requiere incluir en el código una rutina que realice esta operación, la cual debe ser llamada de forma regular en el programa principal, la velocidad con que se realice esta consulta debe ser la adecuada para que no se pierdan eventos; debido a esto; uno de los problemas de esta técnica es que al aumentar el número de periféricos aumenta el tiempo entre consultas para un periférico, lo que aumenta la posibilidad de pérdida de eventos; adicionalmente, aumenta el tiempo dedicado a la consulta, lo que disminuye el tiempo disponible para ejecutar las tareas software en el procesador.

Las interrupciones modifican el flujo normal de ejecución del sistema y son originadas por señales dedicadas, lo que hace que su atención ocurra de forma inmediata. Cuando se presenta una interrupción, el valor del contador de programa toma un valor fijo que recibe el nombre de vector de interrupción, el valor del vector de interrupción está formado por (ver figura 2.16 señales de color rojo) una dirección base *EBA* (Exception Base Address) que por defecto es 0x00, un índice que indica la excepción que se presentó *eid_x* (6 para la interrupción) y tres ceros; estos tres ceros hacen que el espacio entre vectores de excepción sea de 8 palabras de 32 bits, por lo que la rutina de atención a la

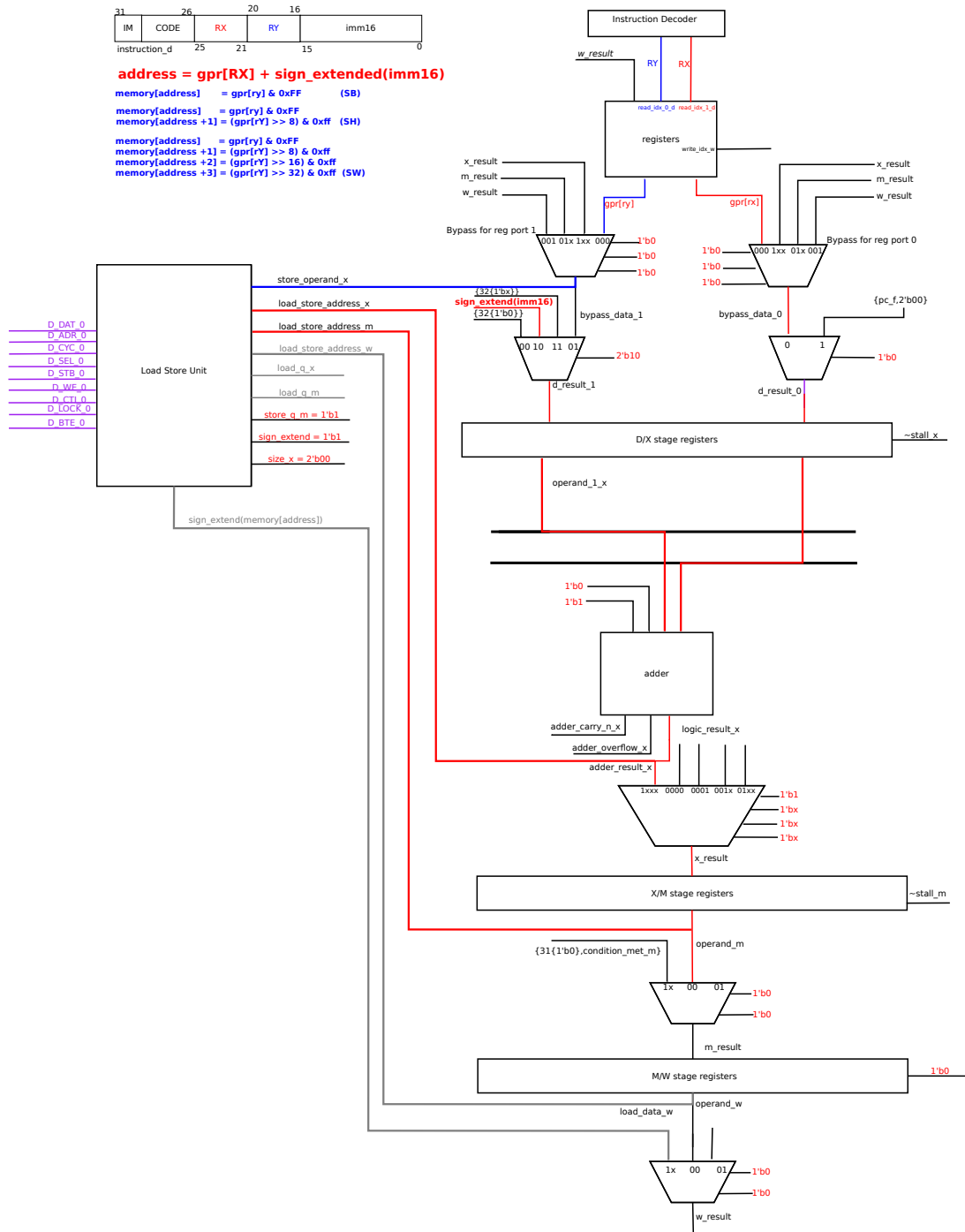


Figura 2.14: Camino de datos de las instrucciones de escritura a memoria

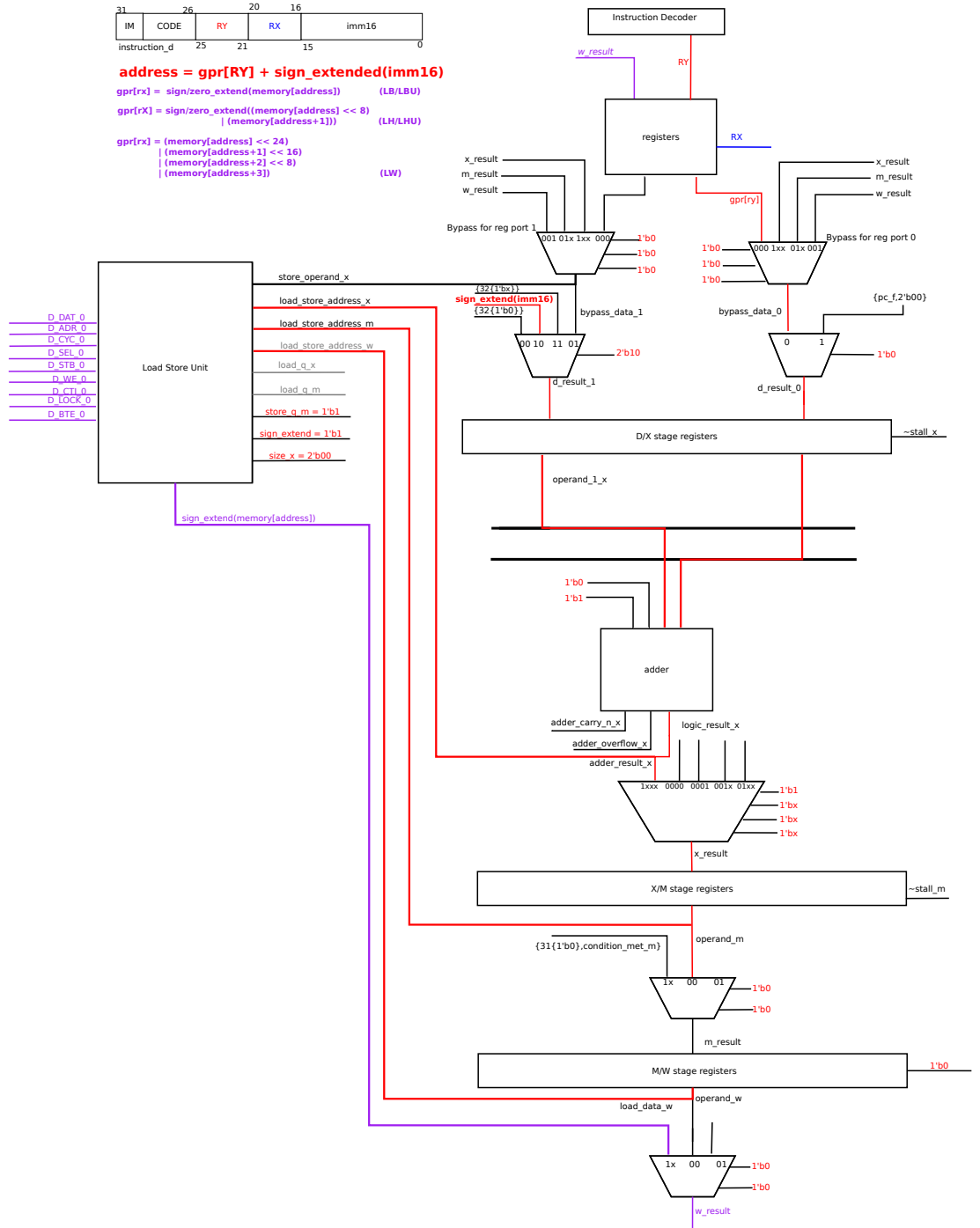


Figura 2.15: Camino de datos de las instrucciones de escritura a memoria

interrupción debe tener máximo 8 instrucciones (esta rutina se explicará más adelante); para la interrupción el valor del vector es de *0x30*.

Como se puede observar en la figura 2.16 para que se genere una excepción (señales de color azul), se debe activar cualquiera de las señales *instruction_bus_error_exception*, *sysrem_call_exception_exception*, *data_bus_error_exception*, *divide_by_zero_exception* o *interrupt_exception*; lo que activará la señal *branch_taken_m* quien a su vez realiza el cambio en el contador de programa *pc.a*. Para que la señal *interrupt_exception* se active es necesario: 1- habilitar la generación de interrupciones, es decir, que el flag *ie* (interrupt enable) está activo; 2- habilitar la generación de la interrupción deseada, para esto el bit correspondiente a la interrupción debe ser igual a 1 en la señal *im* (interrupt mask), lo que recibe el nombre de *enmascaramiento* y 3 - Que el periférico asociado a la interrupción realice una solicitud de atención activando su señal de interrupción, lo que origina una activación de la señal correspondiente en *ip* (interrupt pending).

Al activarse la señal *exception_x* la variable que direcciona el registro a ser escrito en el banco de registros *write_idx* toma el valor *30 decimal* (*ea* - exception address) y el valor a ser escrito (*w_result*) será *pc.m*, *2'b00* (los saltos en el contador de programa es de a 4 bytes, debido a que las instrucciones son de 32 bits, por esta razón los dos bits menos significativos no son tomados en cuenta); lo que garantiza que al salir de la interrupción, el programa principal continuará donde se interrumpió.

Rutina de atención a la interrupción

A continuación se lista la rutina que se ejecuta cada vez que se presenta una interrupción; como se dijo anteriormente, la dirección del vector de interrupción debe ser *0x48*, por lo que este código debe residir en la memoria de programa en dicha dirección.

```

48  sw      (sp+0), ra
49  calli   _save_all
50  rcsr    r1, IP
51  calli   irq_handler
52  mvhi    r1, 0xffff
53  ori     r1, r1, 0xffff
54  wcsr    IP, r1
55  bi      _restore_all_and_eret

```

En la línea 48 se almacena el valor del registro *ra* en la pila (la pila es una región de la memoria RAM que se utiliza para diferentes propósitos en la ejecución de un programa), esto se hace para que al salir de la rutina de atención a la interrupción el programa continúe de forma adecuada, de no hacer esto, si la interrupción se produjo cuando se estaba ejecutando una función el valor de retorno de la interrupción se modificaría.

En la línea 49 se hace un llamado a la función *save_all*:

```

addi    sp, sp, -128
sw      (sp+4), r1
...
sw      (sp+108), r27

```

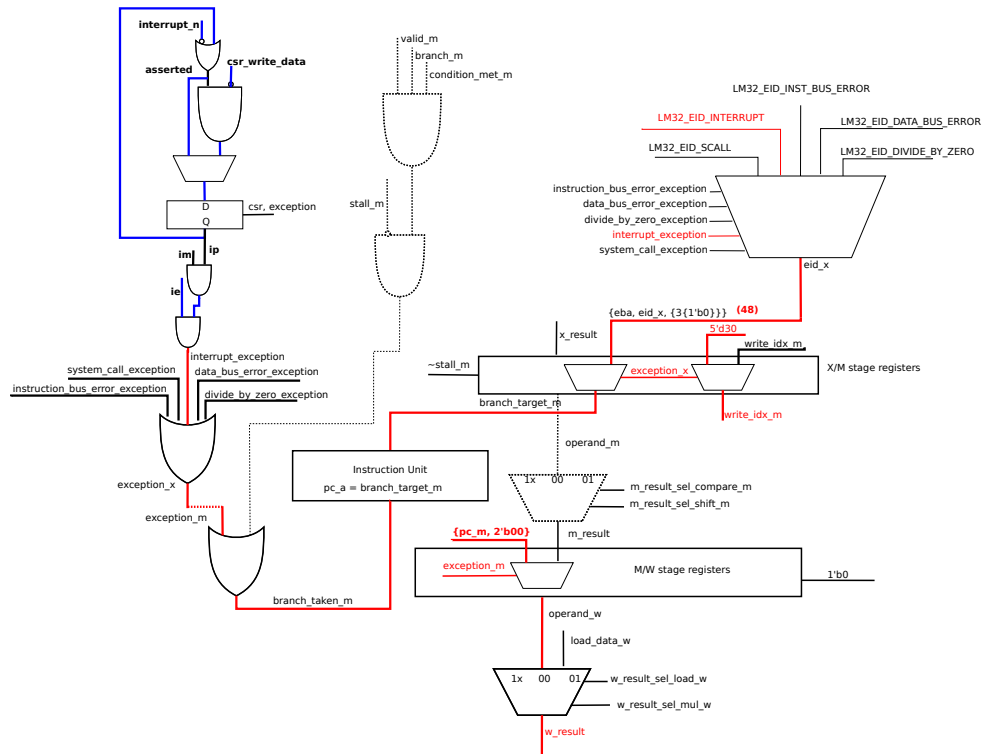


Figura 2.16: Camino de datos correspondiente a las generación de excepciones

```
#endif
sw      (sp+120), ea
sw      (sp+124), ba
/* ra and sp need special handling, as they have been modified */
lw      r1, (sp+128)
sw      (sp+116), r1
mv      r1, sp
addi    r1, r1, 128
sw      (sp+112), r1
ret
```

En esta función, toma una “fotografía” del estado del procesador en el instante en que se presenta la interrupción, almacenando el valor de todos los registros en la pila, esto se hace para garantizar que el estado del procesador antes y después de la interrupción sea el mismo.

En la línea 49 se almacena el valor de la señal *ip* (interrupt pending) en el registro *r1*, esto se hace para pasar parámetros a la función que será llamada en la línea 50. *irq_handler* es la función que realizará las acciones correspondientes a una determinada interrupción, esta función debe ser declarada

en C en cualquier archivo que haga parte del código fuente de la aplicación (en los ejemplos del repositorio se declara en el archivo *soc-hw.c*) como: *void irq_handler(uint32_t pending)*.

En las líneas 51 - 53 se llena con unos la señal *IP*, lo que equivale a una restauración de esta señal, y puede verse como una forma de informarle al procesador que las interrupciones ya fueron atendidas. Finalmente en la línea 54 se hace un llamado a la función *restore_all_and_eret*:

```
lw      r1, (sp+4)
...
lw      r27, (sp+108)
lw      ra, (sp+116)
lw      ea, (sp+120)
lw      ba, (sp+124)
/* Stack pointer must be restored last, in case it has been updated */
lw      sp, (sp+112)
eret
```

Esta función: restaura el valor de todos los registros del procesador, incluyendo los registros *ra*, *ea* y *ba*, el registro *ea* se almacena para asegurar el correcto funcionamiento ante el caso de excepciones anidadas; y ejecuta la instrucción *eret* la que hace que el contador de programa tome el valor almacenado en el registro *ea* con lo que el programa retorna a la siguiente instrucción del punto donde se generó la interrupción.

Como se mencionó anteriormente, para que la interrupción se presente es necesario habilitar las interrupciones globales y la máscara asociada al periférico. Para esto, el archivo *crt0ram.S* suministra las siguientes funciones:

```
irq_enable:
    mvi    r1, 1
    wcsr   IE, r1
    ret

irq_disable:
    mvi    r1, 0
    wcsr   IE, r1
    ret

irq_set_mask:
    wcsr   IM, r1
    ret
```

En este código se utiliza la instrucción *wcsr* y en la función de atención a la interrupción ya se había utilizado la instrucción *rcsr* (*rcsr r1, IP*); estas instrucciones realizan operaciones de escritura y lectura sobre los registros de estatus y control del procesador. En la figura 2.17 se muestra el camino de datos relacionado con estas intrucciones.

El camino de color rojo muestra la escritura utilizando la instrucción *wcsr*; *instruction_d[20:16]* contiene la dirección del registro a ser escrito en *csr*; y *instruction_d[25:21]* el registro de estatus y control a escribir.

La lectura de los registros de estado y control se muestra en color morado en la figura; de forma similar a la escritura *instruction_d[25:21]* direcciona el

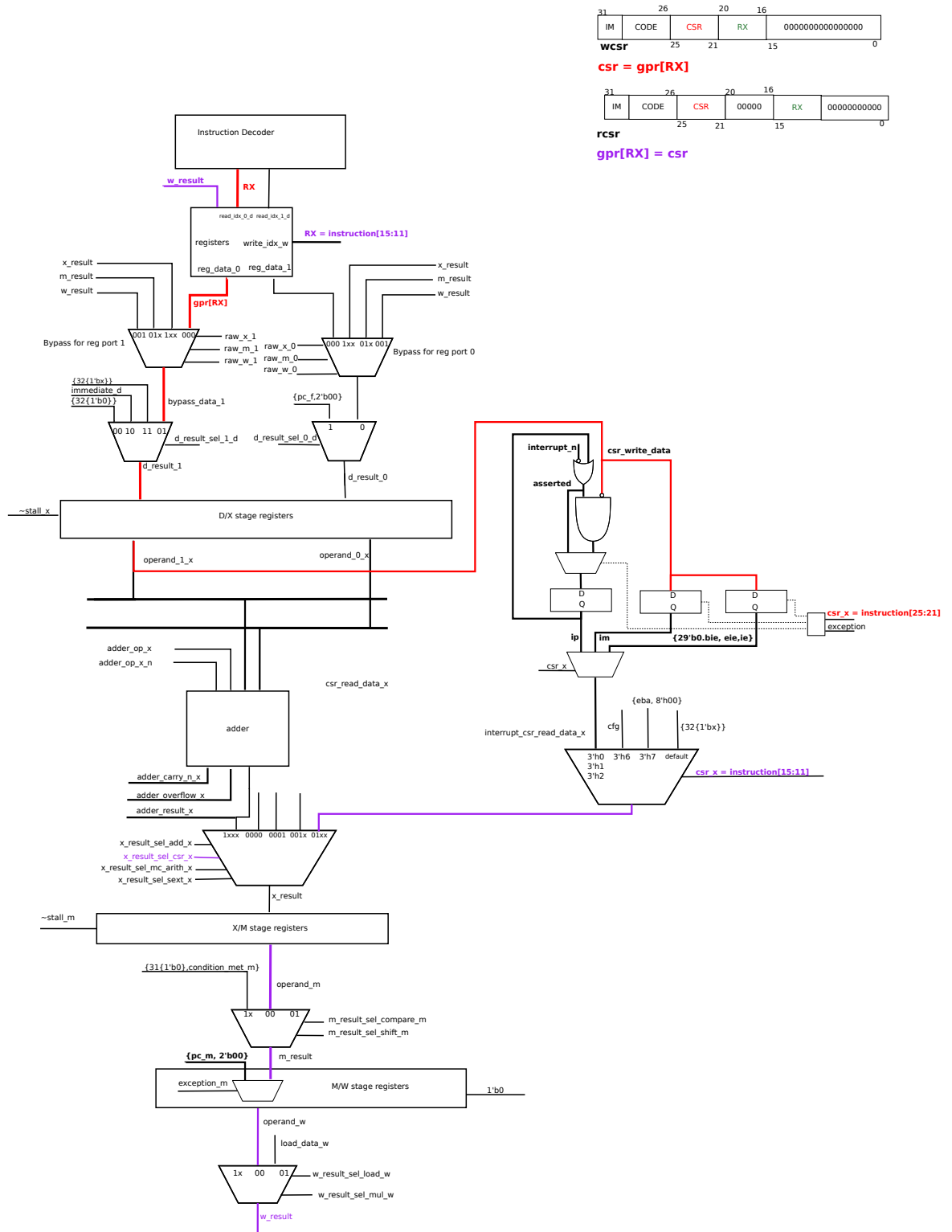


Figura 2.17: Camino de datos correspondiente al acceso de los registros asociados a las excepciones

registro a leer y *instruction_d[15:11]* la dirección del registro que almacenará el valor leído.

Retorno de función y de excepción

La figura 2.18 muestra el camino de datos asociado a las instrucciones de retorno de excepción y de función *eret* y *ret*; en estas instrucciones, el valor de la dirección del registro que va a ser almacenado en el contador de programa es fijo (*instruction_d[25:21]*), siendo 30 para la instrucción *eret* y 29 para la instrucción *ret*. El valor contenido en estos registros pasa a la señal *branch_target* y su valor será almacenado en el contador de programa retornando a la dirección siguiente a la que se produjo la excepción o el llamado a función.

En la Figura 2.19 se resume el proceso de atención a la interrupción. La solicitud de atención por parte de un periférico recibe el nombre de **IRQ** (interrupt request) y la rutina que atiende esta solicitud recibe el nombre de *ISR* (interrupt service routine)

2.4. Arquitectura del SoC LM32

En la sección anterior se explicó el funcionamiento detallado de cada grupo de instrucciones del procesador MICO32; en esta sección se realizará una descripción de un SoC (sistema sobre silicio) basado en el procesador MICO32; esta arquitectura permitirá entender los SoC modernos desde el punto de vista estructural y de programación

En la figura 2.20 se muestra el diagrama de bloques del SoC *LM32*, el cual tiene como unidad de procesamiento central el procesador MICO32; esta CPU se conecta a una serie de periféricos a través de el bus *wishbone*. La funcionalidad del SoC está determinada por los periféricos implementados, en esta sección se realizará una descripción de cuatro periféricos básicos para el desarrollo de operaciones básicas de entrada/salida:

- **Boot-RAM:** Esta memoria almacena la aplicación que se ejecutará al inicializar el SoC.
- **UART (Universal Asynchronous Receiver-Transmitter):** Puerto serie que permite comunicarse con el exterior y es utilizado como medio de depuración.
- **TIMER:** Encargado de generar bases de tiempo precisas, de vital importancia en el funcionamiento de la mayoría de las aplicaciones.
- **GPIO:** Pines de entrada/salida de propósito general.

Adicionalmente, existe un módulo llamado *conbus* que realiza la interconexión entre los periféricos y el procesador, su arquitectura y funcionamiento se explicarán más adelante.

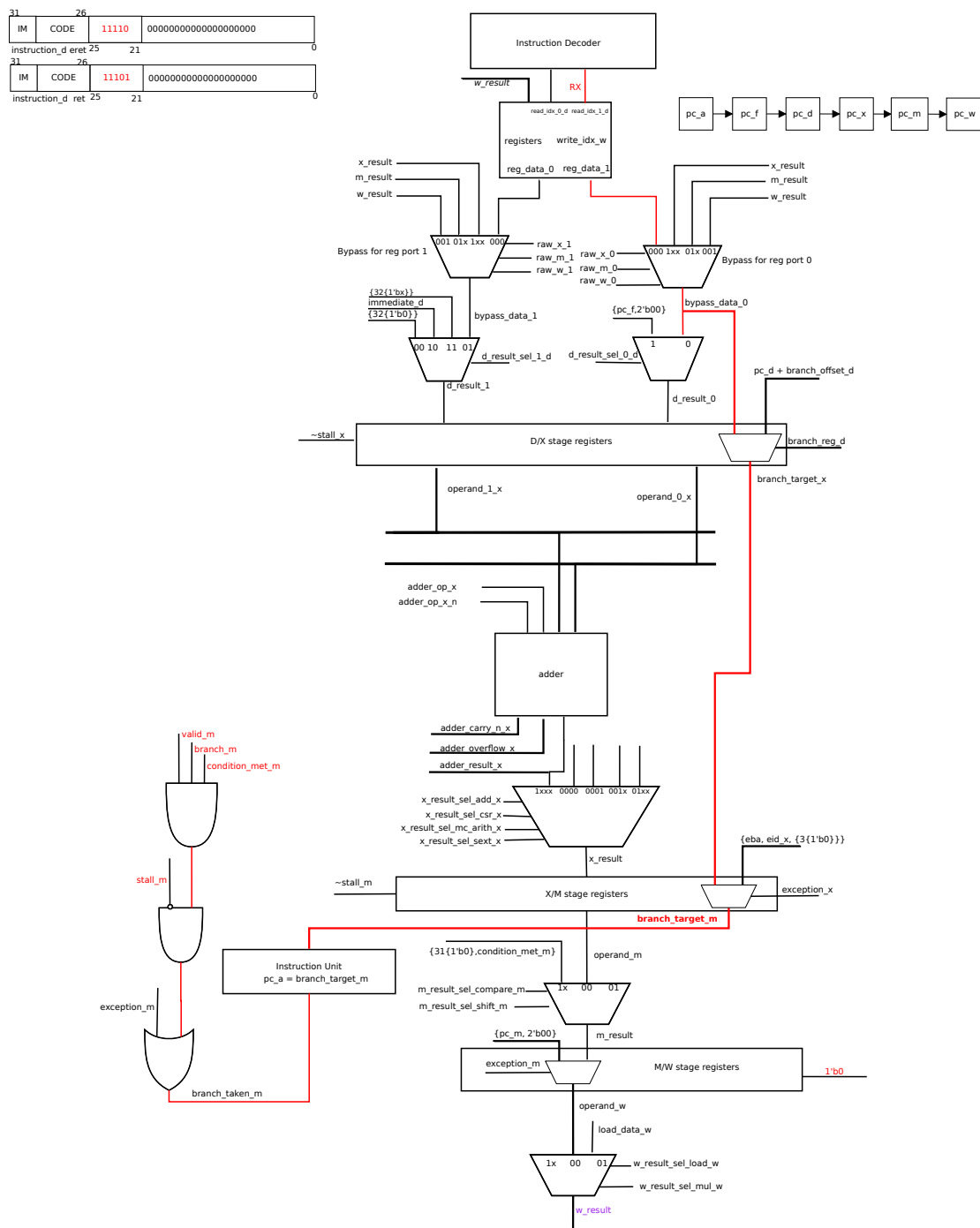


Figura 2.18: Camino de datos asociado al retorno de función y de excepción

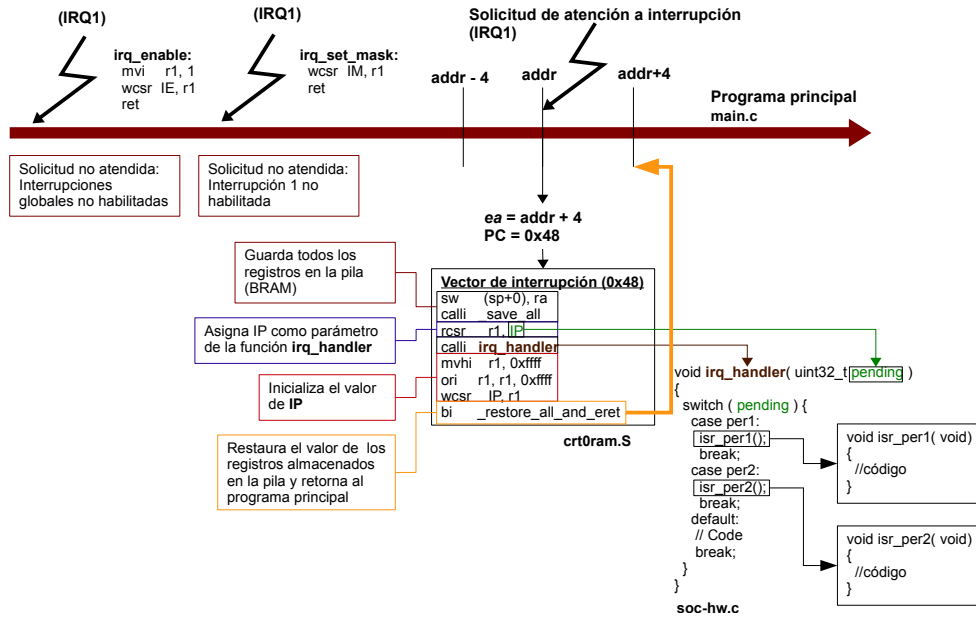


Figura 2.19: Flujo asociado a la atención de una interrupción

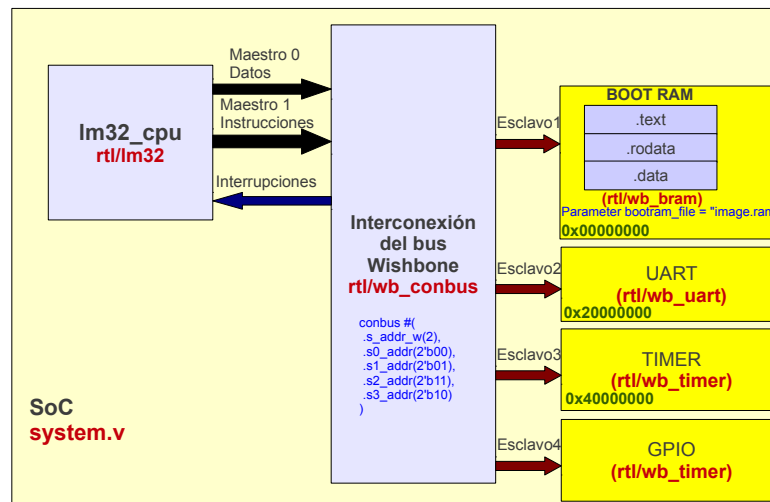


Figura 2.20: Diagrama de bloques del SoC LM32

Bus wishbone

El bus *wishbone* es un bus diseñado para comunicar los diferentes componentes de un SoC, este bus es abierto y puede ser utilizado libremente. A continuación se listan las señales que componen este bus:

- *ack_o*: La activación de esta señal indica la terminación normal de un ciclo del bus.
- *addr_i*: Bus de direcciones.
- *cyc_i*: Esta señal se activa cuando un ciclo de bus válido se encuentra en progreso.
- *sel_i*: Estas señales indican cuando se coloca un dato válido en el bus *dat_i* durante un ciclo de escritura, y cuando deberían estar presentes en el bus *dat_o* durante un ciclo de lectura. El número de señales depende de la granularidad del puerto. El LM32 maneja una granularidad de 8 bits sobre un bus de 32 bits, por lo tanto existen 4 señales para seleccionar el byte deseado (*sel_i(3:0)*).
- *stb_i*: Esta señal se activa cuando se selecciona un esclavo; el cual debe responder a las otras señales únicamente cuando se activa esta señal. El esclavo debe activar la señal *ack_o* como respuesta a la activación de *stb_i*.
- *we_i*: Esta señal indica la dirección del flujo de datos; en un ciclo de lectura tiene un nivel lógico bajo y en escritura tiene un nivel lógico alto.
- *dat_i*: Bus de datos de entrada.
- *dat_o*: Bus de datos de salida.

En la figura 2.21 se muestra un ciclo de lectura típico a un periférico con dirección de memoria *0xF0000000*, en ella podemos observar la activación de las señales *wb_cyc_i* y *wb_stb_i* indicando un ciclo de bus válido y la selección del esclavo, el valor de *wb_we_i* indica que el acceso es de lectura, a lo que el esclavo debe responder colocando el dato requerido por el procesador en el bus de salida *wb_dat_o* y con la activación de la señal *wb_ack_o*.

En la figura 2.32 se muestra la escritura del valor *0x2A* a la dirección de memoria *0xF0000004*, las formas de onda son similares a las del ciclo de lectura, salvo que el valor de la señal *wb_we_i* es uno indicando la escritura.

Interface del bus wishbone (conmax)

El bus wishbone tiene una arquitectura maestro/esclavo en la que solo los maestros pueden iniciar las operaciones de lectura y escritura y únicamente el esclavo al que se le hace el requerimiento debe responder. Para coordinar la comunicación entre múltiples maestros se debe incluir un árbitro, que en el LM32 recibe el nombre de *conmax*. La figura 2.23 muestra el diagrama de bloques de este árbitro.

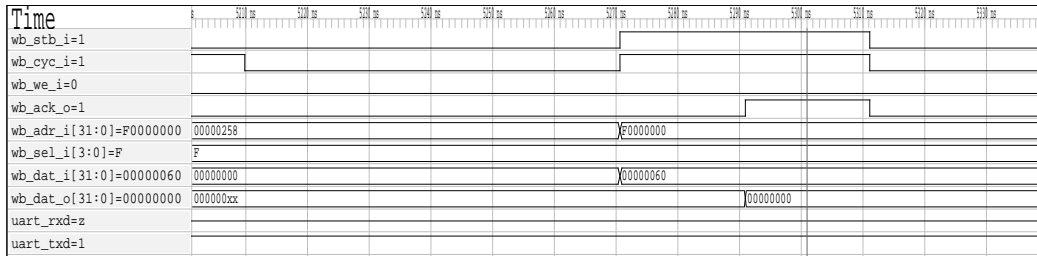


Figura 2.21: Ciclo de lectura del bus wishbone

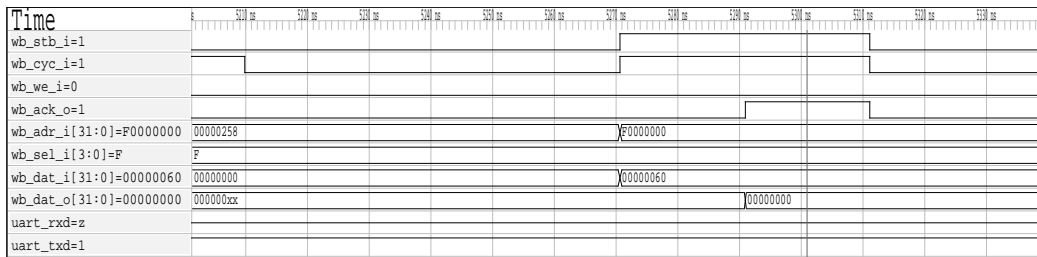


Figura 2.22: Ciclo de escritura del bus wishbone

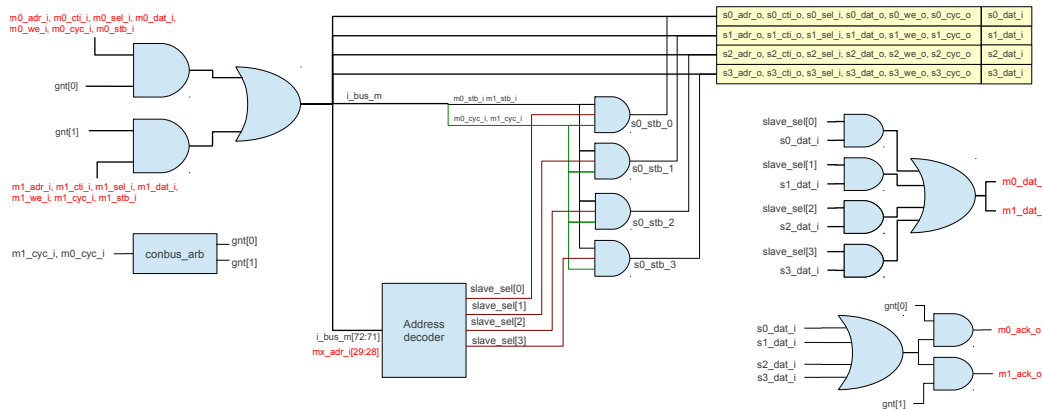


Figura 2.23: Circuito de interconexión del bus wishbone

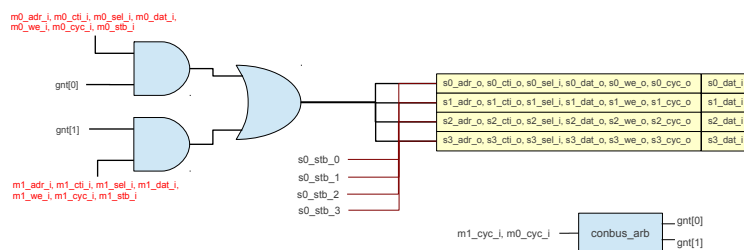


Figura 2.24: Circuito equivalente a una operación de escritura para el árbitro del bus wishbone

Una de las funciones del árbitro *conmax* es fijarle un rango de direcciones único a cada periférico, por esta razón todo árbitro debe tener un decodificador de direcciones (módulo *ADDRESS DECODER* en la figura 2.23) que tiene como entradas los bits más significativos del bus de direcciones, en este caso solo se usan dos bits (*mx_adr_i[29:28]*) ya que solo se cuenta con cuatro periféricos; este decodificador activa las señales *slave_sel[3:0]* de acuerdo a la definición en el archivo *system.v*:

```
conbus #(  
    .s_addr_w(2),  
    .s0_addr(2'b00), // bram      0x00000000  
    .s1_addr(2'b01), // uart      0x20000000  
    .s2_addr(2'b11), // timer     0x60000000  
    .s3_addr(2'b10) // gpio       0x40000000  
) conbus0(  

```

Asignado las direcciones de memoria 0x00000000 - 0x1FFFFFFF, 0x20000000 - 0x3FFFFFFF, 0x60000000 - 0x7FFFFFFF y 0x40000000 - 0x5FFFFFFF a la BRAM, UART, TIMER y GPIO respectivamente, la activación de *slave_sel[3:0]* hace que se active su correspondiente señal *s0_stb[3:0]* (y se presenta un ciclo válido de bus) indicándole al periférico que ha sido seleccionado para una operación de lectura o escritura.

En la figura 2.24 se muestra el circuito simplificado del árbitro *conmax* para una operación de escritura; en ella se puede observar que todos los esclavos comparten las señales *s0_adr_o*, *s0_cti_o*, *s0_sel_i*, *s0_dat_o*, *s0_we_o*, *s0_cyc_o* y *sx_dat_i*, las cuales son la salida de un multiplexor que selecciona entre las señales correspondientes a los diferentes maestros del SoC (m0 y m1 en este caso); las señales *gnt[0]* y *gnt[1]* seleccionan al maestro que se conectará con todos los esclavos, por esta razón nunca se activarán las dos al tiempo. Las únicas señales que no comparten los esclavos wishbone son las que indican a los periféricos que han sido seleccionados para una transferencia de información *s0_stb[3:0]*, *slave_sel[3:0]*

En la figura 2.25 se muestra el circuito simplificado del árbitro *commax* para una operación de lectura; en ella podemos observar que los buses de datos de los periféricos *s[3:0].dat.i* se conectan a los buses de datos de los maestros

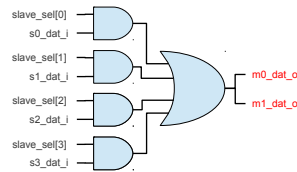


Figura 2.25: Circuito equivalente a una operación de lectura para el árbitro del bus wishbone

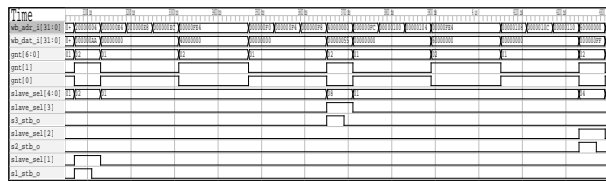


Figura 2.26: Formas de onda del proceso de comunicación entre la CPU y los periféricos usando el bus wishbone

$m[1:0]_{\text{dat_o}}$; las señales $slave_sel[3:0]$ se activan una a la vez y seleccionan el esclavo que se conectará con el maestro.

Para ilustrar de forma gráfica la operación del árbitro se implementó un programa que escribe los siguientes valores a las direcciones de los periféricos UART, TIMER y GPIO:

1. $0xAA$ a la dirección del esclavo 1 $0x20000004$
2. $0x55$ a la dirección del esclavo 3 $0x40000000$
3. $0xFF$ a la dirección del esclavo 2 $0x60000000$

Como podemos ver en la figura 2.26, las señales $gnt[0]$ y $gnt[1]$ se activan de forma alterna y solo esta activa una de ellas, cuando se escribe el valor $0xAA$ a la dirección $0x20000004$ se activan las señales $slave_sel[1]$ y $s1_stb_o$ indicando la activación del primer periférico; similarmente, cuando se escribe el valor $0x55$ a la dirección $0x40000000$ se activan las señales $slave_sel[3]$ y $s3_stb_o$ indicando la activación del tercer periférico y finalmente, cuando se escribe el valor $0xFF$ a la dirección $0x60000000$ se activan las señales $slave_sel[2]$ y $s2_stb_o$ indicando la activación del segundo periférico.

Arquitectura de los periféricos

En esta subsección se realizará un estudio de la arquitectura de los esclavos wishbone, se analizarán tres periféricos: GPIO, UART y TIMER

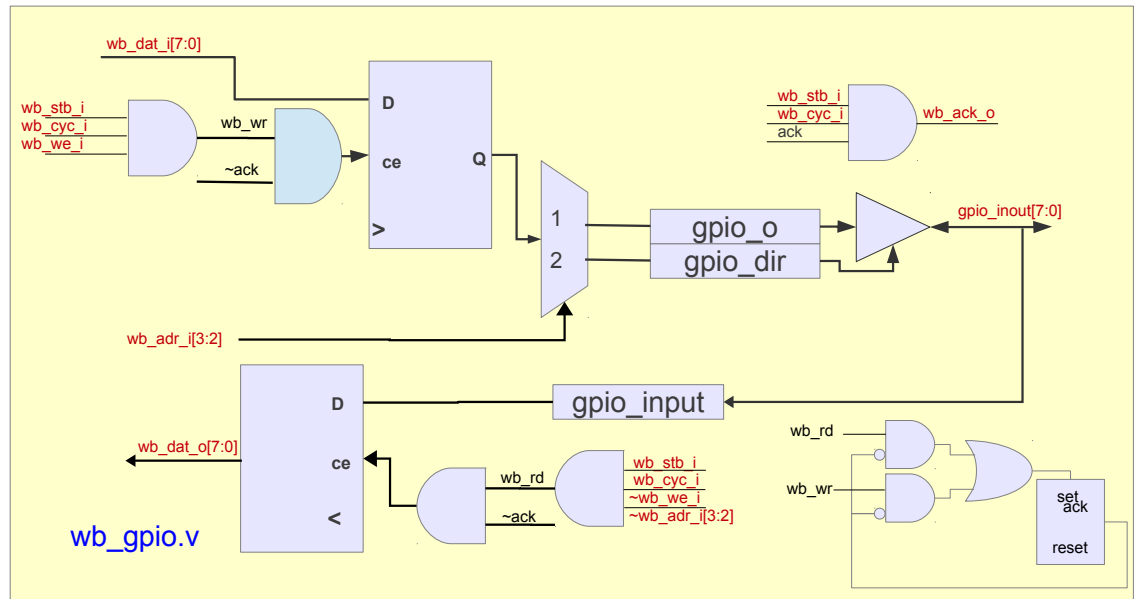


Figura 2.27: Ejemplo de periférico wishbone: GPIO

Periférico GPIO

En todo SoC es necesario contar con pines de entrada/salida de propósito general, este sencillo periférico permite controlar la dirección de un pin, controlar el valor de un pin de salida y leer el valor de un pin de entrada; en la figura 2.27 se muestra el diagrama de bloques de este periférico.

La dirección del pin es fijada con un buffer tri-estado que a su vez es controlado por el valor almacenado en el registro *gpio_dir* los registros *gpio_o* y *gpio_input* almacenan los valores escritos y leídos de los pines respectivamente.

Para entender el comportamiento de este periférico analizaremos los circuitos de lectura y escritura de forma separada. En la figura 2.28 se muestra el circuito de lectura; el valor del registro *gpio_input* es almacenado en un registro que está conectado al bus de datos de salida del periférico *wb_dat_o* cuando la señal *wb_rd* sea igual a 1 y la señal *ack* sea igual a cero. *wb_rd* es igual a 1 cuando se presente un ciclo de bus válido, se seleccione el periférico y se realice una operación de lectura.

El circuito simplificado de escritura se muestra en la figura 2.29; en este periférico el bus de datos proveniente del maestro puede almacenarse en los registros *gpio_dir* y *gpio_o*; el multiplexor controlado por *wb_adr_i[3:2]* selecciona donde será almacenado el dato. La transferencia al registro seleccionado se realiza únicamente cuando la señal *wb_wr* sea igual a 1 y la señal *ack* sea

The diagram illustrates the internal logic of the `wb_gpio.v` module. It features a D flip-flop that stores the current GPIO output. The flip-flop is clocked by `wb_wr` and has a reset signal `ack`. Its data input `D` is connected to `wb_dat_i[7:0]`. The flip-flop's output `Q` is connected to a 2-to-1 multiplexer. The multiplexer's inputs are `wb_adr_i[3:2]` (input 2) and a constant 1 (input 1). The output of the multiplexer is connected to the `gpio_o` and `gpio_dir` registers. The output of the `gpio_dir` register is connected to an OR gate, which produces the `gpio_inout[7:0]` signal. A feedback loop exists from the `gpio_inout[7:0]` signal back to the multiplexer's input 1. A control logic block at the top right manages the flip-flop's clock and reset, using `wb_rd`, `wb_wr`, and `ack` signals.

igual a cero. *wb_wrr* es igual a 1 cuando se presente un ciclo de bus válido, se seleccione el periférico y se realice una operación de escritura.

Tanto en la operación de lectura como en la de escritura se debe generar la señal *wb_ack_o* para indicarle al maestro que la solicitud de comunicación ha sido recibida y atendida; para esto se implementó el circuito compuesto de las 2 compuertas AND, una compuerta OR y un FLIP FLOP, este circuito hace que la señal *ack* sea igual a 1 cuando cualquiera de las señales *wb_rd* o *wb_wr* sea igual a 1 y el estado de la señal *ack* sea igual a 0; es decir, cuando

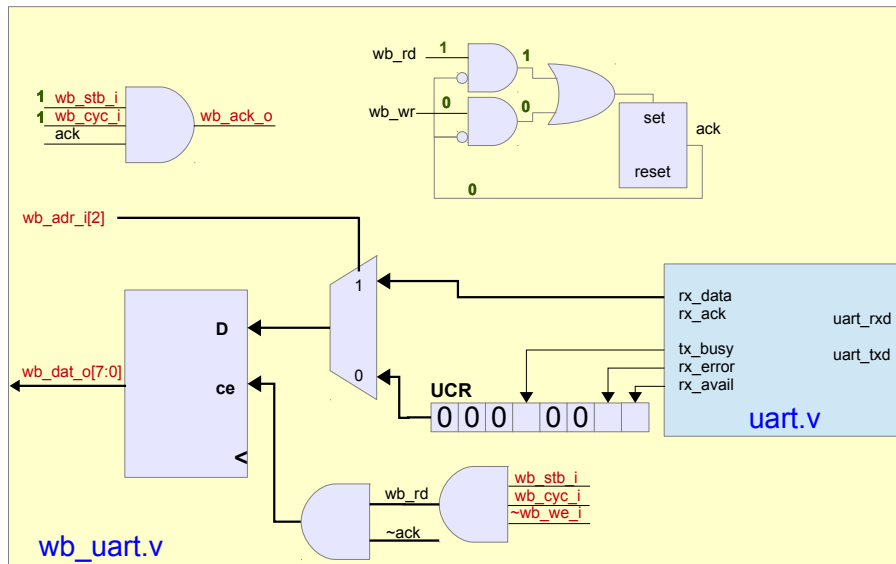


Figura 2.31: Circuito equivalente de lectura de la UART

El circuito de escritura se muestra en la figura 2.32, en este ejemplo el bus de datos proveniente del maestro se conecta directamente a la señal *tx_data* ya que este periférico no permite modificar otros parámetros. Por esta razón el circuito solo transmite un 1 a la señal *uart_txd* lo que hace que la *uart* transmita el valor fijado por la señal *tx_data*.

Periférico TIMER

En la figura 2.33 se muestra el diagrama de bloques resumido del periférico TIMER; el cual posee 6 registros que pueden ser modificados y leídos por el procesador. De nuevo la arquitectura de este periférico es similar a los anteriores así como el circuito de generación de la señal *ack*

En la figura 2.34 se muestra el circuito de lectura del periférico timer. La diferencia frente a los anteriores es la posibilidad de leer 6 diferentes variables; por esta razón se utilizan tres señales del bus de direcciones *wb_addr_i[5:3]*.

En la figura 2.35 se muestra el diagrama de escritura del timer, de forma similar al circuito de lectura la señal *wb_addr_i[5:3]* selecciona el registro que almacenará el valor proveniente del procesador.

Interfaz Software

En la subsección anterior se hizo una descripción de los diferentes componentes de la configuración básica del SoC LM32; aquí, se explicará como controlar desde un programa en C la comunicación con los periféricos.



Figura 2.32: Circuito equivalente de escritura de la UART



Figura 2.33: Ejemplo de periférico wishbone: TIMER

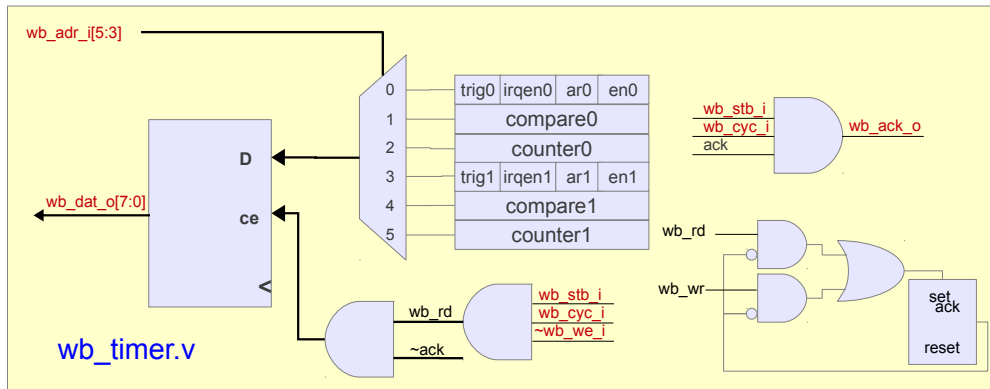


Figura 2.34: Circuito equivalente de lectura del periférico TIMER

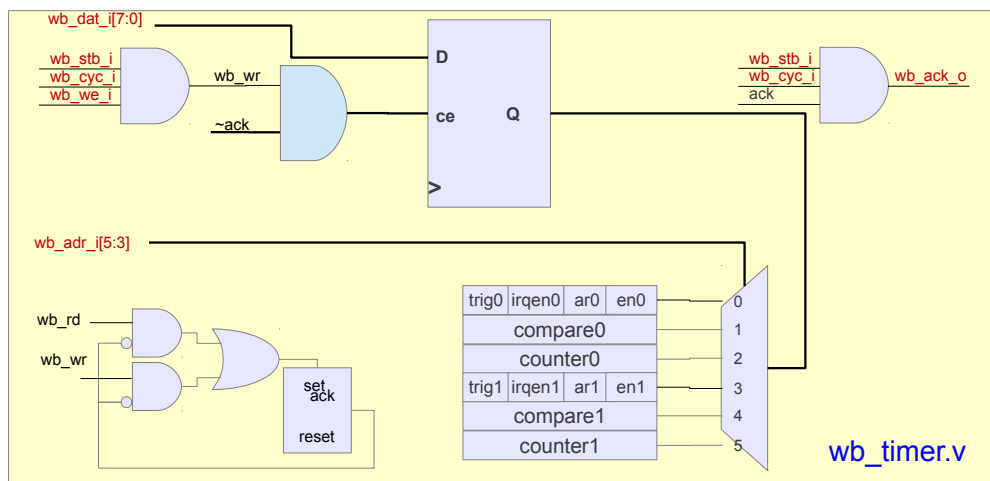


Figura 2.35: Circuito equivalente de escritura del periférico TIMER

Estructura de datos del periférico

Para facilitar el acceso a los diferentes registros de un periférico es conveniente declarar un nuevo tipo de dato que haga una representación de su mapa de memoria.

En la figura 2.36 se muestra el diagrama de bloques del GPIO y la declaración del tipo de dato *gpio_t*; el multiplexor que selecciona el sitio donde se almacenará el dato proveniente del procesador está controlado por las líneas de dirección *wb_adr_i[3:2]* cuando estas señales tengan el valor de 01 o lo que es lo mismo la dirección termine en 0x04 se seleccionará el registro *gpio_o*; si estas señales tengan el valor de 10 o lo que es lo mismo la dirección termine en 0x08 se seleccionará el registro *gpio_dir*. De aquí la posición de los elementos *write* y *w_dir* de la estructura *gpio_t*; al ser declarada la variable *read* como *uint32_t* se reservan cuatro bytes (0x00, 0x01, 0x02 y 0x03) para almacenar esta variable, la siguiente posición de memoria (0x04) corresponde a la variable *write*, la cual es declarada como un tipo de dato *uint32_t* por lo que se reservan cuatro bytes para su almacenamiento (0x04, 0x05, 0x06 y 0x07), en la siguiente posición de memoria (0x08) se almacenará la variable *w_dir* y se reservarán cuatro bytes (0x08, 0x09, 0x0A y 0x0B) para su almacenamiento.

Como puede observarse en la figura 2.36, el contenido del registro *gpio_input* siempre está disponible sin importar el valor de la dirección, lo que indica que el dato estará disponible siempre que se seleccione el periférico para una operación de lectura, en este caso se colocó en la primera posición de memoria por conveniencia.

Todos los tipos de datos declarados en la estructura *gpio_t* son del tipo *volatile*. este tipo de dato le indica al compilador que no realice optimizaciones sobre esta variable.

En la figura 2.37 se observa la declaración del tipo de dato *uart_t* y su relación con el circuito interno de la UART. Aquí, *wb_adr_i[2]* controla el valor que será pasado al bus de datos del maestro; si *wb_adr_i[2]* es 0, se transmite el valor del registro *UCR*, si el valor de *wb_adr_i[2]* es 1, se transmitirá el valor de la señal *rx_data*. Al definir la variable *ucr* al comienzo de la estructura y al asignarle el tipo *uint32_t* se reservan los bytes 0x00, 0x01, 0x02 y 0x03 para su almacenamiento; al declarar a continuación la variable *uint32_t rxtx* se reservan los siguientes cuatro bytes (0x04, 0x05, 0x06 y 0x07) para su almacenamiento.

Finalmente, en la figura 2.38 se muestra la declaración del tipo de dato *timer_t* y su relación con los registros internos del periférico.

Dirección de memoria de los periféricos

Una vez creados los tipos de datos que representan los registros internos de los periféricos se debe asignar un valor a la dirección base de cada uno de ellos, esta dirección debe ser la misma que le asigna el decodificador de direcciones del árbitro wishbone. En la figura 2.39 se muestra el valor que deben tomar estas direcciones.

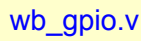


Figura 2.36: Definición de la dirección de los registros internos del GPIO



Figura 2.37: Definición de la dirección de los registros internos de la UART

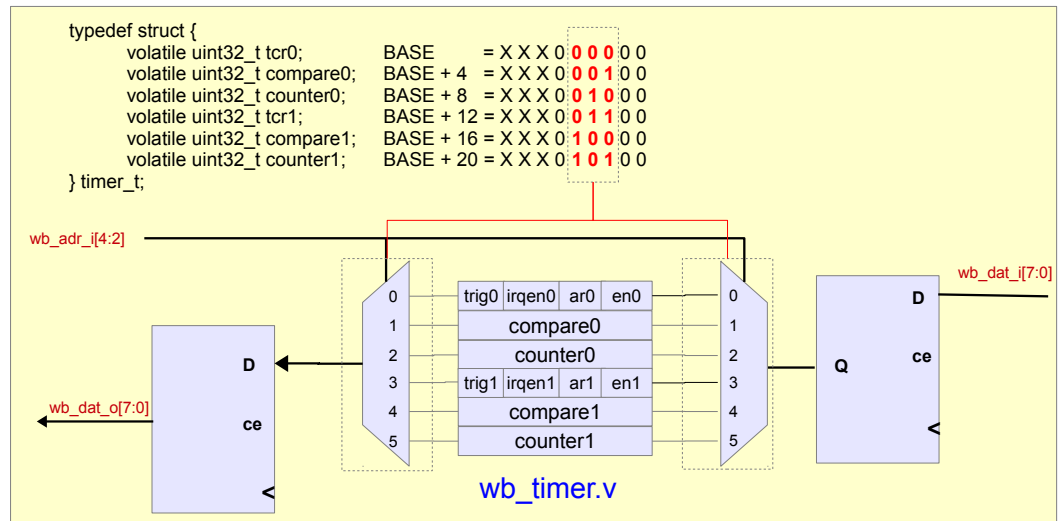


Figura 2.38: Definición de la dirección de los registros internos del TIMER

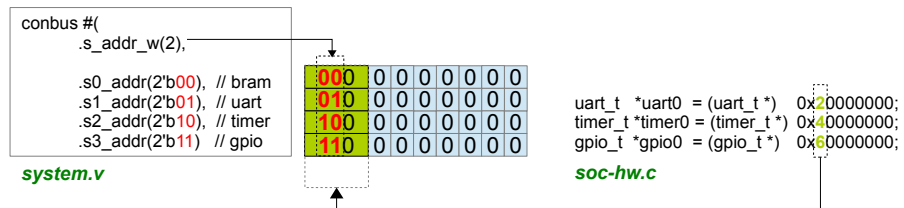


Figura 2.39: Asignación de la dirección de memoria a los periféricos

BIBLIOGRAFÍA

~~~~~ e340f2ef6749b671563c078362f035f73eab08f0