

## 计算机组成原理试题9 答案

### 一、选择题（共 20 分，每题 1 分）

1. B      2. C      3. A      4. C      5. A      6. D      7. B  
8. A      9. C      10. B      11. C      12. D      13. A      14. B  
15. A      16. B      17. B      18. A      19. B      20. B

### 二、填空题（共 20 分，每空 1 分）

1. A. 取指                  B. 执行                  C. 取指令和分析指令                  D. 执行指令  
2. A. 寄存器                  B. 寄存器                  C. 寄存器                  D. 存储器  
3. A. 垂直                  B. 水平                  C. 垂直  
4. A. 全相联映象      B. 全相联映象  
5. A. 保护程序断点 B. 硬件关中断 C. 向量地址送至 PC  
6. 6. A.  $-127/128 \sim +127/128$       B.  $-1 \sim +127/128$   
    C.  $-127/128 \sim +127/128$

### 三、名词解释（共 10 分，每题 2 分）

#### 1. 时钟周期

答：时钟周期：节拍，时钟频率的倒数，机器基本操作的最小单位。

#### 2. 刷新

答：动态 RAM 靠电容存储电荷原理存储信息，电容上的电荷要放电，信息即丢失。为了维持所存信息，需在一定时间（2ms）内，将所存信息读出再重新写入（恢复），这一过程称作刷新，刷新是一行一行进行的，由 CPU 自动完成。

#### 3. 总线仲裁

答：总线仲裁即总线判优，主要解决在多个主设备申请占用总线时，由总线控制器仲裁出优先级最高的设备，允许其占用总线。

#### 4. 机器指令

答：机器指令由 0、1 代码组成，能被机器直接识别。机器指令可由有序微指令组成的微程序来解释，微指令也是由 0、1 代码组成，也能被机器直接识别。

#### 5. 超流水线

答：超流水线（Super pipe lining）技术是将一些流水线寄存器插入到流水线段中，好比将流水线再分道，提高了原来流水线的速度，在一个时钟周期内一个功能部件被使用多次。

### 四、计算题（5 分）

答：因为  $2^{16} = 65536$

则  $\pm 6$  万的十进制数需 16 位二进制数表示。

对于尾数为 16 位的浮点数，因 16 需用 5 位二进制数表示，即

$$(16)_+ = (10000)_+$$

故除阶符外，阶码至少取 5 位。为了保证数的最大精度，最终阶码取 5 位，尾数取  $32 - 1 - 1 - 5 = 25$  位。

按这样分配，当阶码大于 +31 时，浮点数溢出，需中断处理。

### 五、简答题（共 15 分）

1. (2 分) 答：“在计算机中，原码和反码不能表示 -1。”这种说法是错误的。因为对于整数而言，这种说法不成立。假设机器字长为 8 位（含 1 位符号位），在整数定点机中， $[-1]_{\text{原}} = 1,0000001$   $[-1]_{\text{补}} = 1,1111111$   $[-1]_{\text{反}} = 1,1111110$ 。在小数定+

机中，-1 的原码和反码不能表示，而 $[-1]_{补} = 1.0000000$ 。

2. 答：存储器：采用多体交叉存储器（1 分）

运算器：采用快速进位链（1 分）

控制器：采用指令流水（1 分）

I/O 系统：采用 DMA 方式（1 分）

3. 答：（4 分）同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。

4. 答：（5 分）

（1）停止 CPU 访问主存。这种方法 DMA 在传送一批数据时，独占主存，CPU 放弃了地址线、数据线和有关控制线的使用权。在一批数据传送完毕后，DMA 接口才把总线的控制权交回给 CPU。显然，这种方法在 DMA 传送过程中，CPU 基本处于不工作状态或保持原状态。

（2）周期挪用。这种方法 CPU 按程序的要求访问主存，一旦 I/O 设备有 DMA 请求，则由 I/O 设备挪用一個存取周期。此时 CPU 可完成自身的操作，但要停止访存。显然这种方法既实现了 I/O 传送，又较好地发挥了主存和 CPU 的效率，是一种广泛采用的方法。

（3）DMA 与 CPU 交替访存。这种方法适合于 CPU 的工作周期比主存的存取周期长的情况。如 CPU 的工作周期大于主存周期的两倍，则每个 CPU 周期的上半周期专供 DMA 接口访存，下半周期专供 CPU 访存。这种交替访问方式可使 DMA 传送和 CPU 工作效率最高，但相应的硬件逻辑更复杂。

## 六、问答题（共 20 分）

1. （8 分）答

取指阶段

$T_0$  PC $\rightarrow$ MAR, 1 $\rightarrow$ R （1 分）

$T_1$  M(MAR) $\rightarrow$ MDR, (PC)+1 $\rightarrow$ PC （1 分）

$T_2$  MDR $\rightarrow$ IR, OP(IR) $\rightarrow$ ID （1 分）

由图可见，带返转指令执行阶段需完成将返回地址 M+1，存入指令的地址码字段 K 所指示的存储单元中，从 K+1 号单元开始才是子程序的真正内容，故执行阶段的微操作命令及节拍安排为：

$T_0$  Ad(IR) $\rightarrow$ MAR, 1 $\rightarrow$ W （1 分）

$T_1$  PC $\rightarrow$ MDR （1 分）

$T_2$  MDR $\rightarrow$ M(MAR), Ad(IR)+1 $\rightarrow$ PC （1 分）

如果采用微程序控制，需增加给出下条微指令地址的命令，即

Ad(CMDR) $\rightarrow$ CMAR （1 分）

OP(IR) $\rightarrow$ 微地址形成部件 $\rightarrow$ CMAR （1 分）

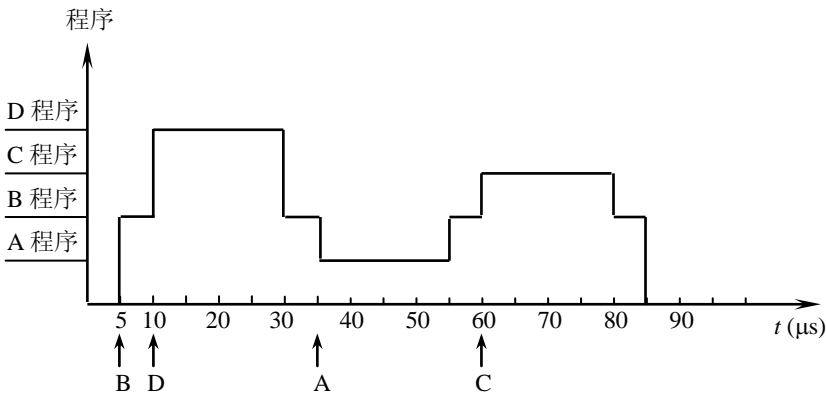
- (1) 800 (1 分)
- (2) 300 (1 分)
- (3) 600 (1 分)
- (4) 500 (1 分)
- (5) 700 (1 分)
- (6) 200 (1 分)

3. 答:

(1) 在中断处理次序改为  $D > A > C > B$  后，每个中断源新的屏蔽字如表所示。(4 分)

中断源	屏蔽字			
	A	B	C	D
A	1	1	1	0
B	0	1	0	0
C	0	1	1	0
D	1	1	1	1

(2) 根据新的处理次序，CPU 执行程序的轨迹如图所示 (2 分)



七、(共 10 分)

答: 32KB 四体结构的存储器可由 4 片  $8K \times 8$  位存储芯片组成, 由于采用低位交叉编址, 因此需用末两位地址  $A_1$ 、 $A_0$  控制片选信号, 用 13 根地址线  $A_{14} \sim A_2$  与存储芯片的地址线相连。满足地址范围为  $0000H \sim 7FFFH$  的存储器与 CPU 的连接图如图 4.9 所示, 图中每片存储芯片的地址范围是:

- 第 0 片 0, 4, …… , 7FFCH
- 第 1 片 1, 5, …… , 7FFDH
- 第 2 片 2, 6, …… , 7FFEh
- 第 3 片 3, 7, …… , 7FFFH

