

## 计算机组成原理试题 7 答案

### 一、选择题（共 20 分，每题 1 分）

1. C      2. C      3. C      4. A      5. C      6. A      7. B  
8. A      9. A      10. B      11. C      12. C      13. B      14. B  
15. B      16. B      17. C      18. C      19. A      20. B

### 二、填空题（共 20 分，每空 1 分）

1. A. 程序查询方式      B. 中断方式      C. 程序查询方式  
2. A. 1600      B. 1700  
3. A. 操作数的地址      B. 累加器  
4. A. 1,111;0.11……1（15 个 1）  
B.  $2^7 \times (1-2^{-15})$   
C. 0,000;1.01……1（14 个 1）  
D.  $-2^{-8} \times (2^{-1}+2^{-15})$   
5. A. 不互锁      B. 半互锁      C. 全互锁  
6. A. 归零制      B. 不归零制  
C. 不论记录的代码是 0 或 1，在记录下一个信息之前，记录电流要恢复到零电流  
D. 磁头线圈中始终有电流  
7. A. 微程序      B. 41 个微程序。

### 三、名词解释（20 分）

1. 答：CMDR 是控存数据寄存器，用来存放从控存读出的微指令；顺序逻辑是用来控制微指令序列的，具体就是控制形成下一条微指令（即后继微指令）的地址，其输入与微地址形成部件（与指令寄存器相连）、微指令的下地址字段以及外来的标志有关。

2. 答：总线判优就是当总线上各个主设备同时要求占用总线时，通过总线控制器，按一定的优先等级顺序确定某个主设备可以占用总线。

3. 答：所谓并行包含同时性和并发性两个方面。前者是指两个或多个事件在同一时刻发生，后者是指两个或多个事件在同一时间段发生。也就是说，在同一时刻或同一时间段内完成两种或两种以上性质相同或不同的功能，只要在时间上互相重叠，就存在并行性。

4. 答：进位链是传递进位的逻辑电路。

5. 答：间址需通过访存（若是多次间址还需多次访存）得到有效地址。

### 四、计算题（共 5 分）

答：根据机器 A 的主频为 8MHz，得时钟周期为  $\frac{1}{8\text{MHz}} = 0.125\mu\text{s}$

(1) 机器周期 =  $0.125 \times 4 = 0.5\mu\text{s}$

(2) 平均指令执行时间是  $\frac{1}{0.4} = 2.5\mu\text{s}$

(3) 每个指令周期含  $\frac{2.5}{0.5} = 5$  个机器周期

(4) 在机器周期所含时钟周期数相同的前提下，两机平均指令执行速度与它们的主频有关，即

$$\frac{\text{A机的平均指令速}}{\text{B机的平均指令速}} = \frac{\text{A机主频}}{\text{B机主频}}$$

则 B 机的平均指令执行速度 =  $\frac{0.4\text{MIPS} \times 12\text{MHz}}{8\text{MHz}} = 0.6\text{MIPS}$

## 五、简答题（共 20 分）

1.（6 分）答：

- （1）直接由微指令的下地址字段指出。
- （2）根据机器指令的操作码形成。
- （3）增量计数器法。
- （4）根据各种标志决定微指令分支转移的地址。
- （5）通过测试网络形成。
- （6）由硬件产生微程序入口地址。

2.（4 分）答：一台机器时钟信号的频率即为主频，主频的倒数称作时钟周期，机器周期内包含若干个时钟周期。

3.（5 分）答：（每写对一个屏蔽字 1 分）

设屏蔽位为“1”时表示对应的中断源被屏蔽，屏蔽字排列如下：

中断源	屏蔽字				
	0	1	2	3	4
L0	1	1	0	0	1
L1	0	1	0	0	0
L2	1	1	1	0	1
L3	1	1	1	1	1
L4	0	1	0	0	1

4.（5 分）答：

（1）一地址指令格式为（1 分）

OP	M	A
----	---	---

OP 操作码字段，共 7 位，可反映 65 种操作；

M 寻址方式特征字段，共 3 位，可反映 5 种寻址方式；

A 形式地址字段，共  $16 - 7 - 3 = 6$  位（1 分）

（2）直接寻址的最大范围为  $2^6 = 64$ （1 分）

（3）由于存储字长为 16 位，故一次间址的寻址范围为  $2^{16} = 65536$ （1 分）

（4）相对寻址的位移量为  $-32 \sim +31$ （1 分）

## 六、问答题（共 15 分）

1.（8 分）组合逻辑控制器完成 SUB  $\alpha$  指令的微操作命令及节拍安排为：

取指周期（2 分）

$T_0$  PC  $\rightarrow$  MAR, 1  $\rightarrow$  R

$T_1$  M(MAR)  $\rightarrow$  MDR, (PC) + 1  $\rightarrow$  PC

$T_2$  MDR  $\rightarrow$  IR, OP(IR)  $\rightarrow$  ID

执行周期（2 分）

$T_0$  Ad(IR)  $\rightarrow$  MAR, 1  $\rightarrow$  R（即  $\alpha \rightarrow$  MAR）

$T_1$  M(MAR)  $\rightarrow$  MDR

$T_2$  (ACC) - (MDR)  $\rightarrow$  ACC

微程序控制器完成 ADD  $\alpha$  指令的微操作命令及节拍安排为：

取指周期（2 分）

$T_0$  PC  $\rightarrow$  MAR, 1  $\rightarrow$  R

$T_1$  Ad(CMDR)  $\rightarrow$  CMAR

$T_2$  M(MAR)  $\rightarrow$  MDR, (PC)+1  $\rightarrow$  PC  
 $T_3$  Ad(CMDR)  $\rightarrow$  CMAR  
 $T_4$  MDR  $\rightarrow$  IR  
 $T_5$  OP(IR)  $\rightarrow$  微地址形成部件  $\rightarrow$  CMAR

执行周期 (2 分)

$T_0$  Ad(IR)  $\rightarrow$  MAR, 1  $\rightarrow$  R (即  $\alpha \rightarrow$  MAR)  
 $T_1$  Ad(CMDR)  $\rightarrow$  CMAR  
 $T_2$  M(MAR)  $\rightarrow$  MDR  
 $T_3$  Ad(CMDR)  $\rightarrow$  CMAR  
 $T_4$  (ACC)+(MDR)  $\rightarrow$  ACC  
 $T_5$  Ad(CMDR)  $\rightarrow$  CMAR

2. (7 分) DMA 传送过程包括预处理、数据传送和后处理三个阶段。传送 4KB 的数据长度需

$$4\text{KB}/2\text{MB/s} = 0.002 \text{ 秒} \quad (2 \text{ 分})$$

如果磁盘不断进行传输, 每秒所需 DMA 辅助操作的时钟周期数为

$$(1000 + 500)/0.002 = 750000 \quad (2 \text{ 分})$$

故 DMA 辅助操作占用 CPU 的时间比率为

$$[750000 / (50 \times 10^6)] \times 100\% = 1.5\% \quad (3 \text{ 分})$$

七、设计题 (10 分)

(1) 二进制地址码 (2 分)

$A_{15}$	...	$A_{11}$	...	$A_7$	...	...	$A_0$	
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1
0	0	1	0	0	0	0	0	0
0	0	1	1	1	1	1	1	1
0	1	0	0	0	0	0	0	0
0	1	0	1	1	1	1	1	1
0	1	1	0	0	0	0	0	0
0	1	1	1	1	1	1	1	1

$\left. \begin{array}{l} 0 \sim 8191 \\ 8192 \sim 32767 \end{array} \right\} \begin{array}{l} 8\text{K} \times 8 \text{ 位 ROM } 1 \text{ 片} \\ 8\text{K} \times 8 \text{ 位 RAM } 3 \text{ 片} \end{array}$

(2) 0~8191 为系统程序区, 选用 1 片 8K×8 位 ROM 芯片; (1 分)

8192~32767 为用户程序区, 选用 3 片 8K×8 位 RAM 芯片。(1 分)

(3) 存储器片选逻辑图 (6 分)

