数电重修练习题答案

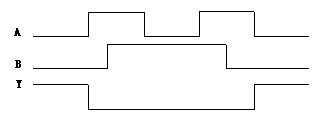
一、单项选择题（每题1分，共20分。在A、B、C、D中选择一个正确答案填写在题目中或题目后的空白中）

1. 十进制数25用8421BCD码表示为 。B

A.11001 B.0010 0101 C.100101 D.10001

1. 已知某电路的输入A、B和输出Y的波形如下图所示，该电路实现的函数表达式为 。D

A.A⊙B B.A⊕B C. D.



1. 在四变量卡诺图中，逻辑上不相邻的一组最小项为：（ ） D

A. m1与m3 B. m4与m6 C. m5 与m13 D. m2 与m8

1. 以下表达式中符合逻辑运算法则的是 。D

A.C•C=C2 B.1+1=10 C.0<1 D.A+1=1

1. 三极管作开关元件时，应工作在（ ）。B

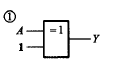
A.放大区 B.截止区、饱和区 C.饱和区、放大区。 D．放大区、截止区

1. 三态门的输出状态有0态、1态和高阻态，其中高阻态表示门电路的输出阻抗(     )，输入与输出可以视为开路状态。 A

A.  无穷大         B.   无穷小          C.  0             D.  0.5K

1. 在图示电路中，使的电路是---------------------------------------------（ ）A

A. B. C. D.

1. 某TTL反相器的主要参数为IIH＝20μA；IIL＝1.4ｍA；IOH＝400μA； IOL＝14ｍA，带同样的门数（　C ）。

Ａ．２０　　Ｂ．２００　　Ｃ．１０　　Ｄ．１００

1. 门电路的平均传输延迟时间是（ ）。C

A. tpd = tPHL B. tpd = tPLH

C. tpd=(tPHL + tPLH)/2 D. tpd=(tPHL- tPLH)/2

1. 对TTL与非门多余输入端的处理，不能将它们( B )。

A. 与有用输入端并联 B. 接地

C. 接高电平 D. 悬空

1. 要使3：8线译码器(74LS138)能正常工作，使能控制端G1、2A、2B的电平信号应是\_\_\_\_\_\_ 。A

          A．100          B．111          C．011        D. 000

1. 一位全加器(FA)的输人信号是\_\_\_\_ ；输出信号是\_\_\_\_ 。 A

      A．Ai，Bi，Ci-1；Si,Ci            B．Ai，Bi，Ci；Si,Ci-1

      C．1，1，1；Si,Ci D．0，0，O；Si,Ci-1

1. 四选一数据选择器的数据输出Y与数据输入Xi和地址码Ai之间的逻辑表达式为Y= 。A

A. B.

C. D.

1. 对于JK触发器，输入J=0，K=1，CP脉冲作用后，触发器的次态应为\_\_\_\_\_ 。A

        A．0       B．1        C.        D． 

1. 8位移位寄存器，串行输入时经 D 个脉冲后，8位数码全部移入寄存器中。

A.1 B.2 C.4 D.8

1. 用二进制异步计数器从0做加法，计到十进制数178，则最少需要 个触发器。D

A.2 B.6 C.7 D.8 E.10

1. 存储容量为8K×8位的ROM存储器，其地址线为（ ）条。C

A.8 B.12 C.13 D.14

1. 二输入与非门当输入变化为( )时，输出可能有竞争冒险。A

A. 01→10 B. 00→10 C. 10→11 D. 11→01

1. N个触发器可以构成最大计数长度（进制数）为 的计数器。D

A.N B.2N C.N2 D.2N

1. 一个右移的移位寄存器预选置入1011，其串行输入端接低电平，在4个移位时钟CP作用下，移位的过程是（ ）B

A.1011->0110->1100->1000->0000

B. 1011->0101->0010->0001->0000

C.1011->1100->1101->1110->1111

D. 1011->1010->1001->1000->0111

二、判断题（将判断结果填入括号中。正确的填“√”，错误的填“×”。每题1分，共10分）

1. 逻辑代数运算中，1+A＝1（ √ ）
2. 普通的逻辑门电路的输出端不可以并联在一起，否则可能会损坏器件。（ √ ）
3. JK触发器的 J=K=1 变成 T 触发器。 （ √ ）
4. 用数据选择器可实现时序逻辑电路。（ × ）
5. 将256×1位的ROM扩大为1024×8位ROM，共需12片256×1位的ROM。（ × ）
6. 时序逻辑电路在某一时刻的输出状态与该时刻之前的输入信号无关。（ × ）
7. 设计一个同步十进制加法计数器，需要三个触发器就可以。×
8. 若两个函数具有不同的逻辑函数式，则两个逻辑函数必然不相等。×
9. TTL或非门多余输入端可以接高电平。×
10. 用真值表表示逻辑函数，缺乏直观性。×

三、填空题：（每空1分，共10分）

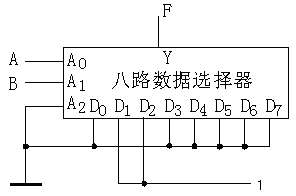
1. （35）10= （① 100011 ）2 。
2. 若ROM具有10条地址线和8条数据线，则存储容量为 ② 比特，可以存储 ③ 个字节。210×8 1024
3. 四路数据分配器有③ 个选择控制端，④ 个数据输出端。2 4
4. T触发器在时钟作用下的次态Qn+1取决于 ⑤ ，其次态方程为 ⑥ 。现态Q和输入T Q(n+1)=T⊕Q
5. CMOS门电路中不用的输入端不允许 ⑦ 。CMOS电路中通过大电阻输入端接地，相当于接 ⑧ 。悬空 0
6. 四路数据分配器有 ⑨ 个选择控制端， ⑩ 个数据输出端。2 4

四、计算题（本题2小题，每小题10分，共计20分）

1、（10分）用卡诺图法化简

化简。

2、（10分）八路数据选择器如图所示，分析该电路实现逻辑功能，写出F的逻辑函数表达式。



解：

所以，该电路实现异或逻辑功能。

五、判断分析题（本题2小题，每小题5分，共计10分）【说明：下述电路为TTL，先判断电路能否正常工作；若能，写出表达式，若不能，说明原因】



1. **不能。三极管基极需加限流电阻，否则易损坏器件。**
2. **能。**

六、试用3线—8线译码器74LS138和门电路实现下列函数。（本题10分）



&

&

+5V

A

B

C

F2

F1







七、试用4位同步二进制计数器74161设计一个11进制的计数器，画出电路的状态转换图、逻辑图。74161的逻辑图如图所示。（本题10 分）



Q

CC

Q

0

Q

1

Q

3

T

L

D

C

r

CP

D

0

D

1

D

2

D

3

P

74LS161

Q

2

CP

1

1

当计数器计到1010时，应具备送数条件，令 ,即当计数器计到1001时， 待第十二个脉冲到来时，将0000置入计数器，使其复位。

八、试分析图示时序电路，要求：写出时钟方程、驱动方程、输出方程和状态方程；列出状态转换真值表；画出状态转换图及工作波形图。并描述电路的功能，分析能否自启动，设初始状态为00。(本题10分)。

1

CP

Q1

Q2

1J

1K

1J

1K

&

Z

C1

C1

解：⑴写激励方程(2分) *J*1= *K*1=1, ，



⑵写状态方程(2分) 



*Q*0n

*Q*1n

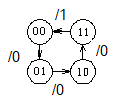
*Z*

*CP*

⑶列全状态转换表(2分)

|  |  |  |
| --- | --- | --- |
| *Q*1n*Q*0n | *Q*1n+1*Q*0n+1 | *Z* |
| *0 0* | 0 1 | 0 |
| 0 1 | 1 0 | 0 |
| 1 0 | 1 1 | 0 |
| 1 1 | 0 0 | 1 |

⑷画全状态转换图(2分)



⑸功能(1分)：该电路为一个4进制同步计数器，并且具有自启动功能。