**注意：**

1. 练习题给出了考试题型，作为复习参考，不能包括所有考试范围。复习时应全面复习所学内容。

2. 在此给出了绝大部分练习题的参考答案，大家应注意这里的解题步骤不全，考试时，应根据题目要求，将全部解题步骤写出，否则要扣分。

**考试题型：**

一、单项选择题（本题20小题，每小题1分，共20分）

二、判断题（每小题1分，共10分）

三、填空题（每空1分，共10分）

四、计算题（本题3小题，共20分）

五、判断分析题（本题2小题，每小题5分，共计10分），参考判断分析题的4、5、8题

六、七、画图题（每题10分，共20分），参考第九、十、十二题

八、分析题（本题10分），参考第十三题

其中三、四、五题包括第一章逻辑函数化简，第二、四、五、六章电路分析设计、画波形图、电路图；

第六七八题分别为组合电路设计和时序电路分析与设计

**练习题：**

**一、填空题（本题10小题，每小题2分，共计10分）**

1. 逻辑函数有四种表示方法，它们分别是（ ）、（ ）、（ ）和（ ）。真值表、逻辑图、逻辑表达式、卡诺图；
2. 将2004个“1”异或起来得到的结果是（ ）。0
3. 基本逻辑运算有: （ ）、（ ）和（ ）运算。与 、或 、非
4. （１１．００１）２＝（３．２）１６＝（３．１２５）１０
5. （８Ｆ．ＦＦ）１６＝（１０００１１１１．１１１１１１１１）２＝（１４３．９９６０９３７）１０
6. （　２５．７）１０＝（１１００１．１０１１）２＝（１９．Ｂ ）１６
7. （＋１０１１Ｂ）原码＝（０１０１１）反码=(０１０１１ )补码
8. （－１０１０１０Ｂ）原码＝（１０１０１０１）反码=(１０１０１１０ )补码
9. （２５．７）１０＝（　　　）２＝（ ）１６
10. (-1101)2的八位原码是(⑶ 10001101 ),其补码是(⑷ 11110011 ).
11. 二进制数（1011.1001）2转换为八进制数为 13.44 ，转换为十六进制数为 B9 。
12. 已知逻辑函数F＝A⊕B，它的与非-与非表达式为  ，或与非表达式为  。
13. 5个变量可构成 32 个最小项，变量的每一种取值可使 1 个最小项的值为1。
14. 2006个1连续异或的结果是 0 ；而2007个1连续同或的结果是 1 ．
15. 逻辑函数F=A+B可化简为 A+B 。
16. 在硅半导体中掺杂5价元素磷，半导体中就会出现多余电子，导电性极大增强，构成的是 N 型半导体。
17. NMOS管的导通条件是 uGS>0,|uGS|>|uGS(th)| 。
18. RS触发器的特性方程： 或 。 或 。



1. 对于多输入CMOS与非门,输入多余端处理方法为 接高电平或与其它输入端连接在一起 。
2. 组合逻辑电路在任意时刻的稳定输出信号取决于电路的当前输入 。
3. 三态门输出的三种状态分别为： 、 和 。 高电平、低电平、高阻态
4. TTL 与非门的多余输入端悬空时，相当于输入 高 电平。
5. 在逻辑电路中，三极管通常工作在 和 状态。饱和、截止
6. 74LS74芯片（双D触发器）共有 只引脚。14
7. 一位数值比较器的逻辑功能是对输入的 **两个一位二进制数** 数据进行比较，它有 、 、 三个输出端。(A>B)、 (A<B) 、(A=B)
8. CMOS门电路中不用的输入端不允许 悬空 。
9. CMOS门电路中通过大电阻输入端接地，相当于接 0 。
10. 余3码01000101．1001对应的十进制数为 12.6 ，2421码为 00010010.1100 。
11. 数字电路按照是否具有记忆功能通常可分为两类：组合逻辑电路 、时序逻辑电路 。
12. 将若干片中规模集成电路计数器串联后，总的计数容量为每片计数容量的 乘积 。
13. 如果决定某一事件发生的多个条件中，只要有一个或一个以上条件成立，事件便可发生，则这种因果关系称之为 或 。
14. T触发器在时钟作用下的次态Qn+1取决于 现态Q和输入T ，其次态方程为 Q(n+1)=T⊕Q 。
15. 对于JK触发器，若，则可完成 T 触发器的逻辑功能；若，则可完成 D 触发器的逻辑功能。
16. 主从型JK触发器的特性方程 mb_15_clip_image010= 。 
17. 触发器根据逻辑功能的不同，可分为\_\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_\_等。RS触发器 ，T触发器 ，JK触发器 ，Tˊ触发器，D触发器
18. 一个 JK 触发器有 2 个稳态，它可存储 1 位二进制数。
19. 把JK触发器改成T触发器的方法是 。J=K=T
20. 基本RS触发器的约束条件是 。RS=0
21. 对于JK触发器，若，则可完成 T 触发器的逻辑功能；若，则可完成 D 触发器的逻辑功能。
22. 触发器按动作特点可分为基本型、（ ）、（ ）和边沿型；同步型 、主从型 ；
23. 用4个触发器可以存储 4 位二进制数。
24. 目前我们所学的双极型集成电路和单极型集成电路的典型电路分别是（ ）电路和（ ）电路。TTL 、 CMOS ;
25. 时序逻辑电路的输出不仅和\_\_\_\_\_\_\_\_\_有关，而且还与\_\_\_\_\_\_\_\_\_\_\_\_\_有关。该时刻输入变量的取值，该时刻电路所处的状态
26. 计数器按CP脉冲的输入方式可分为\_\_\_\_\_\_\_\_\_\_\_和\_\_\_\_\_\_\_\_\_\_\_。同步计数器，异步计数器
27. 根据不同需要，在集成计数器芯片的基础上，通过采用\_\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_\_、\_\_\_\_\_\_\_\_\_\_\_等方法可以实现任意进制的技术器。反馈归零法，预置数法，进位输出置最小数法
28. 一个 JK 触发器有 2 个稳态，它可存储 1 位二进制数。
29. 动态存储单元为不丢失信息，必须 定期刷新 。
30. 一个ROM的存储矩阵有64行、64列，则存储矩阵的存储容量为 个存储单元。 4096
31. 若ROM具有10条地址线和8条数据线，则存储容量为 1K×8 比特，可以

存储 1024 个字节。

1. 存储容量为4K×8位的RAM存储器，其地址线为 12 条。
2. ROM/RAM容量的扩展通常有 字扩展 、 位扩展 、 字位扩展 三种方式。
3. 构成1024ⅹ16位的存储器需要 16 片256ⅹ4位的芯片。
4. 4个触发器组成的扭环形计数器的有效状态数是 ② 8 个 。
5. 四路数据分配器有③ 个选择控制端，④ 个数据输出端。2 4
6. 74LS138是3线—8线译码器，译码为输出低电平有效，若输入为A2A1A0=110时，输出 应为（ 10111111 ）。
7. 两片中规模集成电路10进制计数器串联后，最大计数容量为（ 100 ）位。
8. 驱动共阳极七段数码管的译码器的输出电平为（ 0 ）有效。
9. 八进制数 (34.2 )8 的等值二进制数为（ 11100.01 ）2 ；
10. 十进制数 98 的 8421BCD 码为（ 1001 1000 ）8421BCD 。
11. 用4个触发器可以存储 4 位二进制数。

**二、单项选择题（本题20小题，每小题1分，共计20分）**

1. 逻辑代数运算中，1+1＝（ A ）。

A. 1 B. 2 C. 3  D．0

1. 逻辑函数的反函数 ( A )

A.  B. 

C.  D. 

1. 在\_\_A\_\_ 情况下，函数运算的结果是逻辑“1”。



     A.  全部输入是"0"             B．任一输入是“0”

       C．仅一输入是“0”             D．全部输入是“1"

1. 十进制数33的余3码为 。C

A. 00110110 B. 110110 C. 01100110 D. 100100

1. 在何种输入情况下，“与非”运算的结果是逻辑0。 D

A．全部输入是0 B.任一输入是0

C.仅一输入是0 D.全部输入是1

1. 在四变量卡诺图中，逻辑上不相邻的一组最小项为： D

A. m1与m3 B. m4与m6 C. m5 与m13 D. m2 与m8

1. 一只四输入端或非门，使其输出为1的输入变量取值组合有( D )种。  
   A．15         B．8 C．7         D．1
2. 函数F=AB+BC，使F=1的输入ABC组合为( D  )  
   A．ABC=000        B．ABC=010 C．ABC=101        D．ABC=110
3. （ B ）

A. B.  C.   D．

1. 函数的对偶式为（ A ）。

A. （ B. ；

C.  D. 

1. 有符号位二进制数的原码为（11101），则对应的十进制为（ C ）。

A. -29 B. +29 C. -13 D. +13

1. 以下表达式中符合逻辑运算法则的是（ ）

A. C·C=C2 B. 1+1=10 C. 0<1 D. A+1=1

1. 三态门的输出状态有0态、1态和高阻态，其中高阻态表示门电路的输出阻抗 A ，输入与输出可以视为开路状态。

A. 无穷大         B. 无穷小          C. 0             D. 0.5K

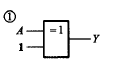
1. 某TTL反相器的主要参数为IIH＝20μA；IIL＝1.4ｍA；IOH＝400μA； IOL＝14ｍA，带同样门的门数10 。

Ａ．２０　　Ｂ．２００　　Ｃ．１０　　Ｄ．１００

1. 在图示电路中，使的电路是 A



A. B. C. D.

1. 下图为TTL逻辑门，其输出Y为（ A ）。

A. 0 B. 1 C.  D. 

1. 在TTL门电路的一个输入端与地之间开路，则相当于在该输入端输入 D 。

　Ａ．高阻态 　Ｂ．０V 　C．低电平 Ｄ．高电平

1. 下图为TTL逻辑门，其输出Y为（ C ）。

A.  B. 1 C. 0 D. 

1. 已知74LS138译码器的输入三个使能端（E1=1， E2A = E2B=0）时，地址码A2A1A0=011，则输出 Y7 ～Y0是( C ) 。

A. 11111101 B. 10111111 C. 11110111 D. 11111111

1. 请判断以下哪个电路不是时序逻辑电路（C ）。

A. 计数器 B. 寄存器 C. 译码器 D. 触发器

1. 74LS138是3线-8线译码器，译码输出为低电平有效，若输入A2A1A0=100时，输出=　　B　。

A．00010000 B. 11101111 C. 11110111 D．00001000

1. 74LS138译码器有（ ），74LS148编码器有（ ）A

A. 三个输入端，三个输出端； B. 三个输入端，三个输入端；

C. 三个输入端，八个输出端； D. 八个输入端，三个输出端。

1. 设A1、A2为四选一数据选择器的地址码，X0~X3为数据输入，Y为数据输出，则输出 Y与Xi尽和Ai之间的逻辑表达式为\_\_A\_\_。

   A． X0+A0X1+A1X2+A1A0X3     B．A1A0X0+A1X1+A0X2+X3

   C．A0X0+X1+A1A0X2+ A1X3    D．A1X0+A1A0X1+X2+A0X3

1. a1、a2、a3、a4是四位二进制码，若电路采用奇校验，则监督码元(校验位)C的逻辑表达式是\_\_B\_\_ 。

           A． a1+a2+a3+a4+1             B．a1⊕a2⊕a3⊕a4⊕1

           C．a1a2a3a4+1                     D．a1⊕a2⊕a3⊕a4⊕0

1. 半加器和的输出端与输入端的逻辑关系是 （ D）

A. 与非 B. 或非 C. 与或非 D. 异或

1. 二输入与非门当输入变化为 A 时，输出可能有竞争冒险。

A. 01→10 B. 00→10 C. 10→11 D. 11→01

1. 8线—3线优先编码器的输入为I0—I7 ，当优先级别最高的I7有效时，其输出的值是（ C ）。

A．111 B. 010 C. 000 D. 101

1. 十六路数据选择器的地址输入（选择控制）端有（ C ）个。

A．16 B.2 C.4 D.8

1. 引起组合逻辑电路中竟争与冒险的原因是（ C ）

A.逻辑关系错； B.干扰信号； C.电路延时； D.电源不稳定。

1. RS触发器要求状态由0 → 1其输入信号为（ D ）。

A. RS=01 B. RS=×1 C. RS=×0 D. RS=10

1. 在JK触发器中，当J＝0、K＝1时，触发器 B 。

A. 置1 B. 置0 C. 状态不变 D. 翻转

1. 欲使JK触发器按 工作，可使JK触发器的输入端 A 。

A. J=K=1 B. J=0,K=1 C. J=0,K=0 D. J=1,K=0

1. 在T触发器中，当T＝0时，触发器 A 。

A. 保持 B. 翻转 C. 置1 D. 置0

1. N个触发器可以构成最大计数长度（进制数）为 D 的计数器。

A.N B.2N C.N2 D.2N

1. 用二进制异步计数器从0做加法，计到十进制数100，则最少需要 C 个触发器。

A.2 B.6 C.7 D.8 E.10

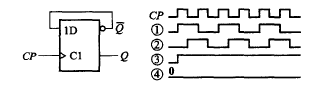
1. 下列电路中属于组合电路的是 D 。

A. 集成触发器 B. 多谐振荡器

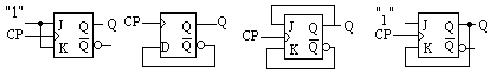
C. 二进制计数器 D. 3—8译码器

1. 电路和波形如下图，正确输出的波形是-----------------------------------------------（ A ）

A. B. C. D.



1. 设图1中所有触发器的初始状态皆为0，找出图中触发器在时钟信号作用下,输出电压波形恒为0的是：（ C）图。



mb_15_clip_image013

1. T触发器的功能是（ D ）

A． 翻转、置“0” B. 保持、置“1”

C. 置“1”、置“0” D. 翻转、保持

1. T触发器中，当T=1时，触发器实现（ C ）功能。

A. 置1 B. 置0 C. 翻转 D. 保持

1. 对于JK触发器，输入J=0，K=1，CP脉冲作用后，触发器的次态应为\_\_A\_\_\_ 。

        A．0       B．1        C.        D． 

1. 下列描述不正确的是（ A ）

A．时序逻辑电路某一时刻的电路状态取决于电路进入该时刻前所处的状态。

B．寄存器只能存储小量数据，存储器可存储大量数据。

C．主从JK触发器主触发器具有一次翻转性

D．上面描述至少有一个不正确

1. 8位移位寄存器，串行输入时经 D 个脉冲后，8位数码全部移入寄存器中。

A.1 B.2 C.4 D.8

1. 有一个左移移位寄存器，当预先置入1011后，其串行输入固定接0，在4个移位脉冲CP作用下，四位数据的移位过程是（ A ）。

A. 1011--0110--1100--1000--0000 B. 1011--0101--0010--0001--0000

C. 1011--1100--1101--1110--1111 D. 1011--1010--1001--1000--0111

000

001

010

011

100

101

110

111

1. 某计数器的状态转换图如下，其计数的容量为( B )

A． 八 B. 五

C. 四 D. 三

1. 四个触发器组成的环行计数器最多有( D )个有效状态。

A.4 B. 6 C. 8 D. 16

1. 下列哪种触发器可以方便地将所加数据存入触发器，适用于数据存储类型的时序电路（ C ）

A. RS触发器 B. JK触发器 C. D触发器 D. T触发器

1. 下列描述不正确的是（A ）

A．触发器具有两种状态，当Q=1时触发器处于1态

B．时序电路必然存在状态循环

C．异步时序电路的响应速度要比同步时序电路的响应速度慢

D．边沿触发器具有前沿触发和后沿触发两种方式，能有效克服同步触发器的空翻现象

1. 欲设计0，1，2，3，4，5，6，7这几个数的计数器，如果设计合理，采用同步二进制计数器，最少应使用 B 级触发器。

A.2 B.3 C.4 D.8

1. 下列描述不正确的是（B ）

A．EEPROM具有数据长期保存的功能且比EPROM使用方便

B．集成二—十进制计数器和集成二进制计数器均可方便扩展。

C．将移位寄存器首尾相连可构成环形计数器

D．上面描述至少有一个不正确

1. 随机存取存储器具有( A )功能。

A.读/写 B.无读/写 C.只读 D.只写

1. 只能按地址读出信息，而不能写入信息的存储器为（ B）。

A. RAM B. ROM C. PROM D. EPROM

1. 随机存取存储器RAM中的内容，当电源断掉后又接通，则存储器中的内容将如何变换？ C

A.全部改变 B.全部为1 C.不确定 D.保持不变

1. 只能读出数据，不能更改数据的存储器是（ B）

A．RAM B．ROM C．EPROM D．EEPROM

1. EPROM是指（ D ）

A．随机读写存储器 B．可编程逻辑器件

C．可编程只读存储器 D．可擦除可编程只读存储器

1. 存储容量为4K×8位的ROM存储器，其地址线为 B 条。

A. 8 B. 12 C. 13 D. 14

1. 将256×1位的ROM扩大为1024×8位ROM，共需（A）片256×1位的ROM

A．32 B．10 C．16 D．64

1. 三极管作开关元件时，应工作在（ ）。B

A.放大区 B.截止区、饱和区 C.饱和区、放大区。 D．放大区、截止区

1. 门电路的平均传输延迟时间是（ ）。C

A. tpd = tPHL B. tpd = tPLH

C. tpd=(tPHL + tPLH)/2 D. tpd=(tPHL- tPLH)/2

1. TTL与非门的VT,VON,VOFF约为 。C

A.1.4V,3V,3.6V B. 1.4V,0.3V,3.6V

C.1.4V, 1.8V,0.8V D. 1.4V,1.5V,1.8V

1. 对TTL与非门多余输入端的处理，不能将它们( )。B

A. 与有用输入端并联 B. 接地

C. 接高电平 D. 悬空

1. 输出端可直接连在一起实现“线与”逻辑功能的门电路是( )。D

A. 与非门 B. 或非门 C. 三态门 D. OC门

1. 一位8421BCD码译码器的数据输入线与译码输出线组合是\_\_\_\_\_ 。C

        A．4:16         B．1:10          C．4:10          D．2:4

1. 四选一数据选择器的数据输出Y与数据输入Xi和地址码Ai之间的逻辑表达式为Y= 。A

A.**** B.****

C.**** D.****

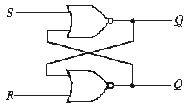
1. 半加器逻辑符号如图所示，当A=“1”，B=“1”时，C和S分别为( )。C

A. *C* *S* B. *C* *S* C. *C* **



1. 两个TTL或非门构成的基本RS触发器如图所示，如果S=R=0，则触发器的状态应为\_\_\_\_。C

          A．置0            B．置1           C. Qn+1=Qn        D．Qn+1=φ

****

1. 存储容量为4K×8位的ROM存储器，其地址线为（ ）条。 B

A.8 B.12 C.13 D.14

1. 只读存储器中，可通过紫外线擦除的存储器是(    )。A

A.  EPROM          B.  PROM        C.  ROM D. EEPROM

1. 下列式子中，不正确的是（B）

A．A+A=A B.  C.  D. 

1. 下列选项中，叙述不正确的是（B）

A. 卡诺图中，最小项按照循环码排列放入方格中，以方便化简

B. MOS管是一种用电流控制的开关元件

C. 半导体三极管具有放大作用

D. 单向导电性是半导体二极管的典型特征

1. 要构成容量为4K×8的RAM，需要（D）片容量为256×4的RAM。

A. 2 B. 4 C. 8 D. 32

1. 对于CMOS与非门，多余输入端正确的处理方法是：（D）

A. 通过>2K欧姆的电阻接地 B.悬空

C. 通过>0.5K欧姆的电阻接地 D.通过电阻接电源

1. 引起组合逻辑电路中竞争与冒险的原因是（ C ）

A.逻辑关系错； B.干扰信号；

C.电路延时； D.电源不稳定。

1. 若传输门TG的控制端取有效电平，则传输门的输入信号和输出信号的特点是（B）

A．当输入信号是模拟量，输出信号转变为数字量

B．当输入信号是模拟量，输出信号是相同的模拟量

C．当输入信号是数字量，输出信号转变为模拟量

D. 当输入信号是数字量，输出信号是取反后的数字量

1. 同步时序电路和异步时序电路比较，其区别在于后者没有（B）

A. 触发器 B. 统一的时钟脉冲控制信号

C．稳定状态 D. 输出结果只与内部状态有关

1. 将D触发器改造成T触发器，图1所示电路中的虚线框内应是（ D ）。

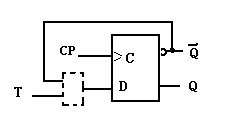
****

图1

A. 或非门 B. 与非门 C. 异或门 D. 同或门

1. 只读存储器具有( C )功能。

A.读/写 B.无读/写 C.只读 D.只写

1. 函数F=AB+BC，使F=1的输入ABC组合为( )

A．ABC=000 B．ABC=010 C．ABC=101 D．ABC=110

1. 对CMOS与非门电路，其多余输入端正确的处理方法是（ ）。

A、通过大电阻接地（>1.5KΩ） B、悬空

C、通过小电阻接地（<1KΩ） D、通过电阻接V CC

1. 属于组合逻辑电路的部件是（A ）。

A、编码器 B、寄存器 C、触发器 D、计数器

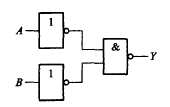
1. 指出下列电路中能够把串行数据变成并行数据的电路应该是（C ）。

A、JK触发器 B、3/8线译码器

C、移位寄存器 D、十进制计数器

**三、判断题（将判断结果填入括号中。正确的填“√”，错误的填“×”）**

1. AB+A＝A（ **√** ）
2. 异或函数与同或函数在逻辑上互为反函数。（ **√** ）
3. 若两个函数具有不同的真值表，则两个逻辑函数必然不相等。（ **√** ）
4. 因为逻辑表达式A+B+AB=A+B成立，所以AB=0成立。（ × ）
5. 逻辑变量的取值，１比０大。（ × ）
6. 约束项就是逻辑函数中不允许出现的变量取值组合，用卡诺图化简时，可将约束项当作1，也可当作 0。（ **√** ）
7. TTL与非门的多余输入端可以接地。（ **×** ）
8. 普通TTL与非门的输出端允许直接相连，实现线与。（ × ）
9. 开门电平UON是允许的最大输入高电平。（ × ）
10. 用数据选择器可实现时序逻辑电路。（ × ）
11. 八路数据分配器的地址输入（选择控制）端有8个。（ × ）
12. 全加器是一个只能实现本位两个进制数相加的逻辑电路。（ × ）
13. 二进制编码器是将输入信号编成十进制数字的逻辑电路。（ × ）
14. 优先编码器只对同时输入的信号中的优先级别最高的一个信号编码. （ **√** ）
15. 组合逻辑电路有若干个输入端，只有一个输出端。 （ × ）
16. 16位输入的二进制编码器，其输出端有4位。（ **√** ）
17. D触发器有两个输入端，两个输出端。（ × ）
18. RS触发器的输出状态Q N+1与原输出状态Q N无关。 （ × ）
19. 计数器除了能对输入脉冲进行计数，还能作为分频器用。（ **√** ）
20. 计数器的模是指对输入的计数脉冲的个数。 （ × ）
21. 同步触发器存在空翻现象，而边沿触发器和主从触发器克服了空翻。（ **√** ）
22. 移位寄存器 74LS194 可串行输入并行输出，但不能串行输入串行输出。（ × ）
23. JK触发器 的输入端 J 悬空，则相当于 J = 0。 （ × ）
24. 时序电路的输出状态仅与此刻输入变量有关。 （ × ）
25. JK触发器的 J=K=1 变成 T 触发器。 （ **√** ）
26. 利用反馈归零法获得N进制计数器时，若为异步置零方式，则状态SN只是短暂的过渡状态，不能稳定而是立刻变为0状态。（ **√** ）
27. 在时间和幅度上都断续变化的信号是数字信号，语音信号不是数字信号。（ **√** ）
28. 各种功能触发器之间可以相互转换。 （ **√** ）
29. D/A转换是一种从数字信号到模拟信号的转换。（ **√** ）
30. 组合电路的特点是：任意时刻的输出与电路的原状态有关。（ × ）
31. D触发器有两个输入端，两个输0出端。（ × ）
32. 异步二进制计数器一般由T触发器组成。（ × √ ）
33. 所有的半导体存储器在运行时都具有读和写的功能。（ × ）
34. ROM和RAM中存入的信息在电源断掉后都不会丢失。（ × ）
35. 一个容量为256×4位的RAM有4条数据线。（ **√** ）
36. 逻辑电路如下图所示，只有当A=0，B=0时Y=0才成立。（ **√** ）



1. 数字电路中用“1”和“0”分别表示两种状态,二者无大小之分。（ **√** ）
2. 三态门的三种状态分别为：高电平、低电平、不高不低的电压。（ × ）
3. 优先编码器的编码信号是相互排斥的，不允许多个编码信号同时有效。（× √ ）
4. D触发器的特性方程为Qn+1=D，与Qn无关，所以它没有记忆功能。（ × ）
5. 把一个5进制计数器与一个10进制计数器串联可得到15进制计数器。（× ）
6. 关门电平UOFF是允许的最大输入高电平。（ × ）
7. 普通的逻辑门电路的输出端不可以并联在一起，否则可能会损坏器件。（ √ ）
8. 时序电路不含有记忆功能的器件。（ × ）
9. 计数器除了能对输入脉冲进行计数，还能作为分频器用。（ √ ）
10. 优先编码器只对同时输入的信号中的优先级别最高的一个信号编码. （ 对 ）
11. 利用反馈归零法获得N进制计数器时，若为异步置零方式，则状态SN只是短暂的过渡状态，不能稳定而是立刻变为0状态。（ ）
12. 八路数据分配器的地址输入（选择控制）端有8个。（ ）
13. OC门的输出端可并联使用。
14. N进制计数器可以实现N分频。 对
15. 组合逻辑电路在任意时刻的输出不仅与该时刻的输入有关，，还与电路原来的状态有关。
16. 逻辑函数Y=满足一定条件时存在两处竞争—冒险。
17. 寄存器、编码器、译码器、加法器都是组合电路逻辑部件。 ×
18. 高电平用0表示，低电平用1表示，称为正逻辑。
19. 将实际问题转换成逻辑问题第一步是要先写出逻辑函数表达式。 ×
20. JK触发器是一种全功能的触发器。 √
21. 触发器是构成时序逻辑电路的基本单元。 √
22. 组合逻辑电路中一般应有JK触发器。 错
23. 二进制编码器是将输入信号编成十进制数字的逻辑电路。
24. 组合逻辑电路一般由各种门电路组成。 对
25. 时序逻辑电路分析的关键是求出状态方程和状态转换真值表，才可画出时序图。
26. 同步计数器中，各触发器受不同时钟脉冲控制。 错
27. 同步二进制计数器一般由T触发器组成。 对
28. 异步二进制计数器一般由T触发器组成。
29. 利用集成计数器构成N进制计数器一般采用反馈归零法。
30. 同步计数器中，各触发器受不同时钟脉冲控制。
31. 同步二进制计数器一般由T触发器组成。
32. 异步二进制计数器一般由T触发器组成。
33. 利用集成计数器构成N进制计数器一般采用反馈归零法。

**四、**化简下列逻辑函数，求出最简“与-或”表达式：

1．  

2． 



3. 

****

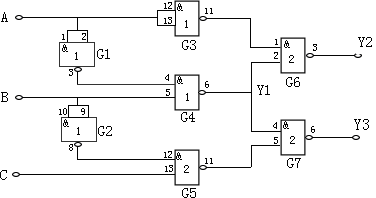
4. 用卡诺图法化简

化简。



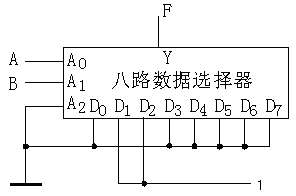
5.用卡诺图法化简Y=

****

五、**分析如图给定的组合逻辑电路，给出输出Y2，Y3的真值表，并写出Y1，Y2，Y3的最简与或逻辑表达式。**



**六、八路数据选择器如图所示，分析该电路实现逻辑功能，写出F的逻辑函数表达式。**



**解：**

所以，该电路实现异或逻辑功能。

**七、8线-3线优先编码器74148和与非门构成的电路如图3-24所示。试说明该电路的逻辑功能。**



解：

***S***

***I***

***I***

***I***

***F***

****

****

****

**9**

**8**

**3**

**：*F*2  *=F*1 *= F*0 *=*0**

**1**

****

***S***

***I***

**0**

****

***S***

***I***

**：8-3线优先编码器**

**74148和与非门构成了10线-4线编码器**

**八、四路数据选择器的选择控制变量分别接A，B，数据输入端依次接，o,o,c，试分析该电路实现何功能？（共10分）**

***F***

***B***

**&**

***E***

***D*0**

***D*1**

***D*2**

***A*0**

***A*1**

***D*3**

***C***

***A***

**解：**

**

&

&

+5V

**A**

B

C

F2

F1

**

**九、试用一个3线—8线译码器74LS138和门电路实现下列函数。（本题6分）**





**十、用一片74LS138译码器和适当的与非门实现如下真值表所示的电路功能。**

|  |
| --- |
| &— |

|  |  |
| --- | --- |
| *A B C* | *F* |
| 0 0 0  0 0 1  0 1 0  0 1 1  1 0 0  1 0 1  1 1 0  1 1 1 | 0  1   |  | | --- | | F7 |  |  | | --- | | F6 |  |  | | --- | | F5 |  |  | | --- | | F4 |  |  | | --- | | F3 |  |  | | --- | | F2 |  |  | | --- | | F1 |  |  | | --- | | F0 |   1   |  | | --- | | 74138 |   0   |  | | --- | | A2 |  |  | | --- | | A1 |  |  | | --- | | A0 |  |  | | --- | | S3 |  |  | | --- | | S2 |  |  | | --- | | S1 |   0  0  1   |  | | --- | | 5*V* |   0 |

解：㈠用74138和与非门实现：由真值表可直接写出逻辑函数*F*的表达式如下：



将*F*变换得 

令*A*2=*A*，*A*1=*B*，*A*0=*C*，得



**十一、74LS161是同步4位二进制加法计数器，试分析下列电路是几进制计数器，并画出其状态转换图。**

Cr LD P T D3 D2 D1 D0

Q3 Q2 Q1 Q0

QCC

**74LS161**

CP

CP

&

“1”

“1”

“1”

**答案：这是个十进制的计数器，十进制编码是1010，在Q3和Q1都为1时，经过与非门接到清零端，实现异步清零。在1010到来的瞬间将计数器清零，1010这个状态等于不存在，稳定的状态只有从0000到1001这十个状态**

**十二、**

**1、试用4位同步二进制计数器74161设计一个7进制的计数器，画出电路的状态转换图、逻辑图。74161的逻辑图如图所示。**

**Q**

**CC**

**Q**

**0**

**Q**

**1**

**Q**

**3**

**T**

**L**

**D**

**C**

**r**

**CP**

**D**

**0**

**D**

**1**

**D**

**2**

**D**

**3**

**P**

**74LS161**

**Q**

**2**

当计数器计到0110时，应具备送数条件，令 ,即当计数器计到0110时， 待第七个脉冲到来时，将0000置入计数器，使其复位。

**Q**

**CC**

**Q**

**0**

**Q**

**1**

**Q**

**3**

**T**

**L**

**D**

**C**

**r**

**CP**

**D**

**0**

**D**

**1**

**D**

**2**

**D**

**3**

**P**

**74LS161**

**Q**

**2**

**CP**

**1**

**1**

**2、试用4位同步二进制计数器74161设计一个11进制的计数器，画出电路的状态转换图、逻辑图。74161的逻辑图如图所示。（本题10 分）**

Q

CC

Q

0

Q

1

Q

3

T

L

D

C

r

CP

D

0

D

1

D

2

D

3

P

74LS161

Q

2

CP

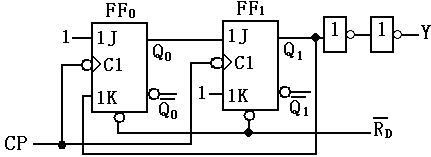
1

1

当计数器计到1010时，应具备送数条件，令 ,即当计数器计到1001时， 待第十二个脉冲到来时，将0000置入计数器，使其复位。

**十三、**

**1、试分析如图所示电路的逻辑功能，写出它的时钟方程、输出方程、驱动方程、状态方程，列出状态转换真值表，画出时序图、状态转换图和波形图，并检查能否自启动。**



**解：**

****

状态转换表:

|  |  |  |  |
| --- | --- | --- | --- |
| **状态变**  **化顺序** | **状态编码** | | **进位输出**  **Y** |
|  |  |
| **1** | **0 0** | **0 1** | **0** |
| **2** | **0 1** | **1 1** | **0** |
| **3** | **1 1** | **0 0** | **1** |
|  | **1 0** | **0 1** | **1** |

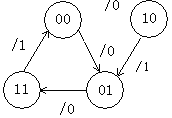
CP

Q0

Q1

Y

状态图和波形图:



结论：该电路是一个三进制计数器，电路能够自启动。

**2、试分析图示时序电路，要求：写出时钟方程、驱动方程、输出方程和状态方程；列出状态转换真值表；画出状态转换图及工作波形图。并描述电路的功能，分析能否自启动，设初始状态为00。(本题10分)。**

**解：⑴写激励方程(2分) *J*1= *K*1=1, ，**

1

CP

Q1

Q2

1J

1K

1J

1K

&

Z

C1

C1

****

**⑵写状态方程(2分) **

****

*Q*0n

*Q*1n

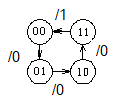
*Z*

*CP*

**⑶列全状态转换表(2分)**

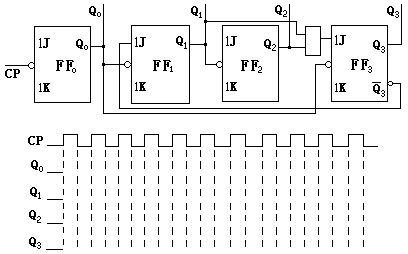
|  |  |  |
| --- | --- | --- |
| ***Q*1n*Q*0n** | ***Q*1n+1*Q*0n+1** | ***Z*** |
| *0 0* | **0 1** | **0** |
| **0 1** | **1 0** | **0** |
| **1 0** | **1 1** | **0** |
| **1 1** | **0 0** | **1** |

**⑷画全状态转换图(2分)**



**⑸功能(1分)：该电路为一个4进制同步计数器，并且具有自启动功能。**

**十四、分析如题三图所示逻辑电路。要求写出时钟方程、驱动方程、输出方程、状态方程，列出状态表，画出状态图和波形图并说明该电路的逻辑功能。**



解：因FF1和右三个触发器是分开的，可分别分析FF1和右三个触发器。

时钟方程：CP0=CP CP1= CP3=Q0 CP2=Q1

驱动方程：



根据JK触发器的特性方程： ，得状态方程：



根据状态方程，可得出状态转换真值表：

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| CP |  |  |  |  |  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |  |  |  |
| 2 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | ↓ |  | ↓ |
| 3 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |  |  |  |
| 4 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | ↓ | ↓ | ↓ |
| 5 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 |  |  |  |
| 6 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | ↓ |  | ↓ |
| 7 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |  |  |  |
| 8 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | ↓ | ↓ | ↓ |
| 9 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |  |  |  |
| 10 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | ↓ |  | ↓ |
| 11 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |  |  |  |
| 12 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | ↓ | ↓ | ↓ |
| 13 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |  |  |  |
| 14 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | ↓ |  | ↓ |
| 15 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |  | ↓ |  |
| 16 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | ↓ | ↓ | ↓ |

根据状态转换真值表，可画出状态转换图和时序图。

Q0

Q1

Q2

Q3

CP

可得：该电路是一个十进制计数器。0000～1001是十个有效状态。其它是无效状态，无效状态在CP脉冲的作用下，能够进入有效状态，说明电路能够自启动。

**十五、**设计一个故障指示电路，要求如下：两台电动机同时工作时，绿灯亮；一台电动机发生故障时，黄灯亮；两台电动机同时发生故障时，红灯亮。

【解】两台电动机 A 和 B 正常工作时，绿灯F1亮；

A 或 B 发生故障时，黄灯F2亮；



A和 B都发生故障时，红灯F3亮。

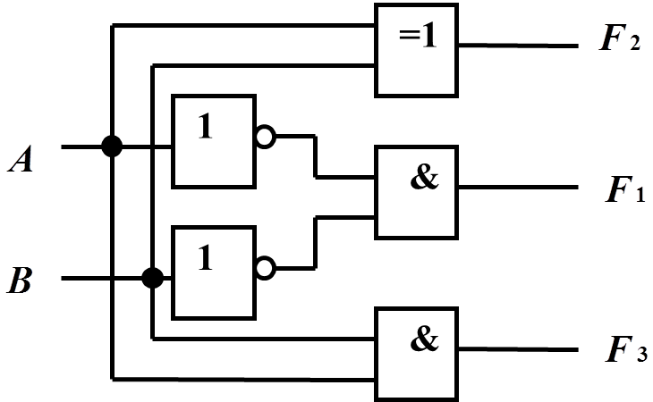
设电动机 A和 B正常工作时为0，发生故障时为1。

根据其逻辑功能列出真值表如表所示。

由F=1的条件写出逻辑表达式为



由此设计出电路如图所示。



十六、电话总机房需对下面4种电话进行编码控制，优先级别最高的是火警电话，其次是急救电话，第三是工作电话，第四是生活电话，试用与非门设计该控制电路。

文本, 信件

描述已自动生成 表格

低可信度描述已自动生成

图示

描述已自动生成

十七、试用8选1数据选择器设计下列组合逻辑电路，某输出逻辑函数为：

（1）

（2）

（3）

（4）

（1）

解：1）把函数转换成最小项相加的形式。

=

2)令A2=A,A1=B,A0=C 8选1数据选择器输出端的函数表达式为：

3)两式对比，可知： ,, ,

4)画出逻辑图。

C

B

A

A0

A1

A2

D0

D1

D3

D2

D4

D5

D6

D7

D

1

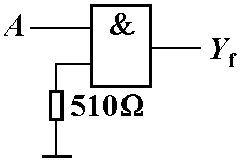
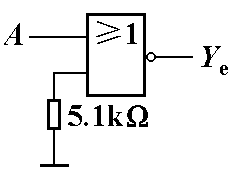
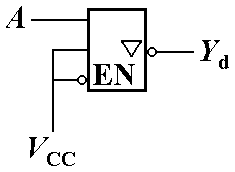
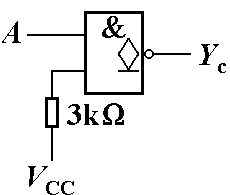
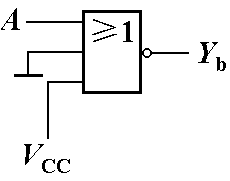
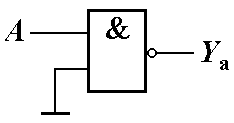
&

Y

Y

判断分析题：

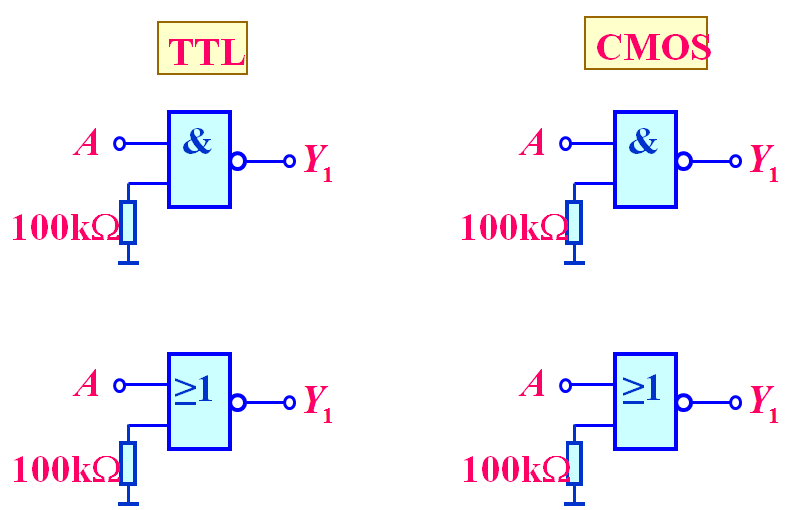
1.欲用下列电路实现非运算，试改错。(*R*OFF ≈ 700 Ω，*R*ON ≈ 2.1 kΩ)



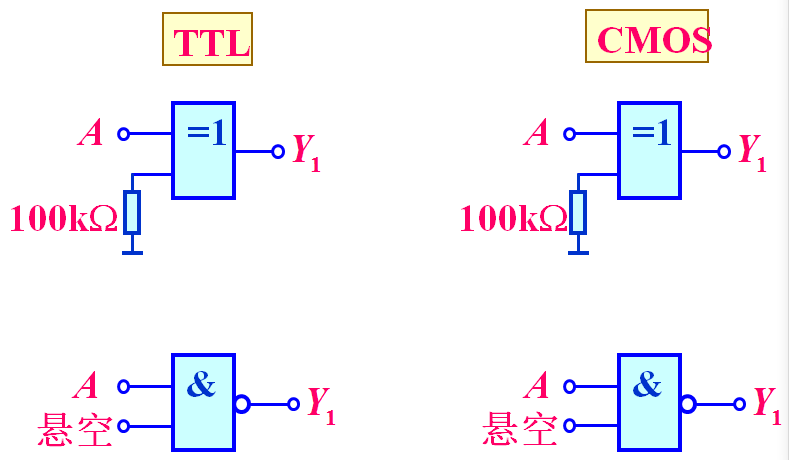
图示

描述已自动生成

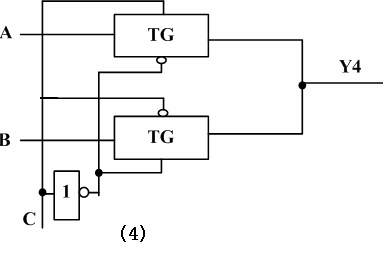
2.写出图中所示各个门电路输出端的逻辑表达式。



3.写出图中所示各个门电路输出端的逻辑表达式。



**4. 判断分析题（本题4小题，每小题5分，共计20分）【说明：下述电路为TTL，先判断电路能否正常工作（2分）；若能，写出表达式，若不能，说明原因（3分）】**

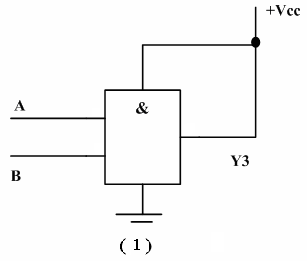
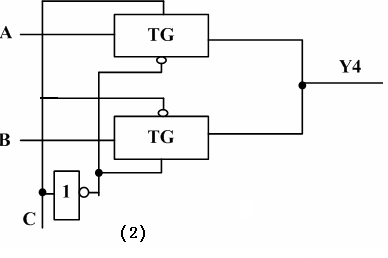
答案：(1)能。

(2)能。

(3)不能。两个与非门输出端不能接到一起，否则易损坏器件。

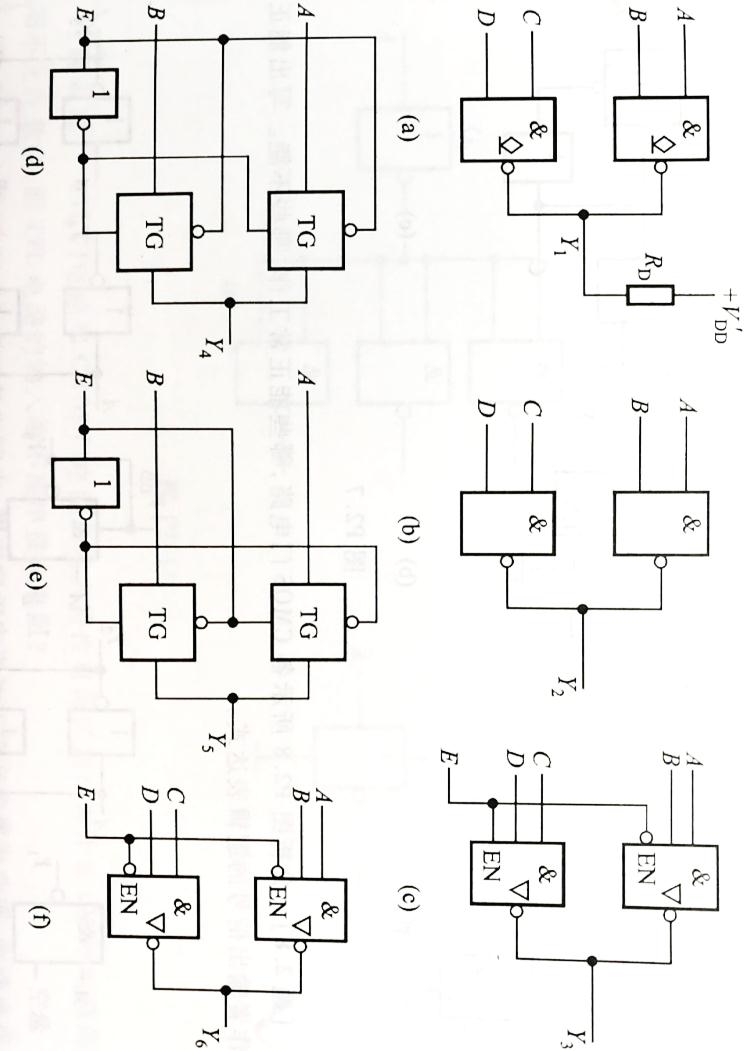
（4）**能。**

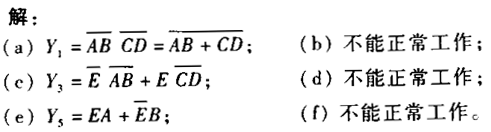
**5. 判断分析题（本题2小题，每小题5分，共计10分）【说明：下述电路为TTL，先判断电路能否正常工作；若能，写出表达式，若不能，说明原因】**

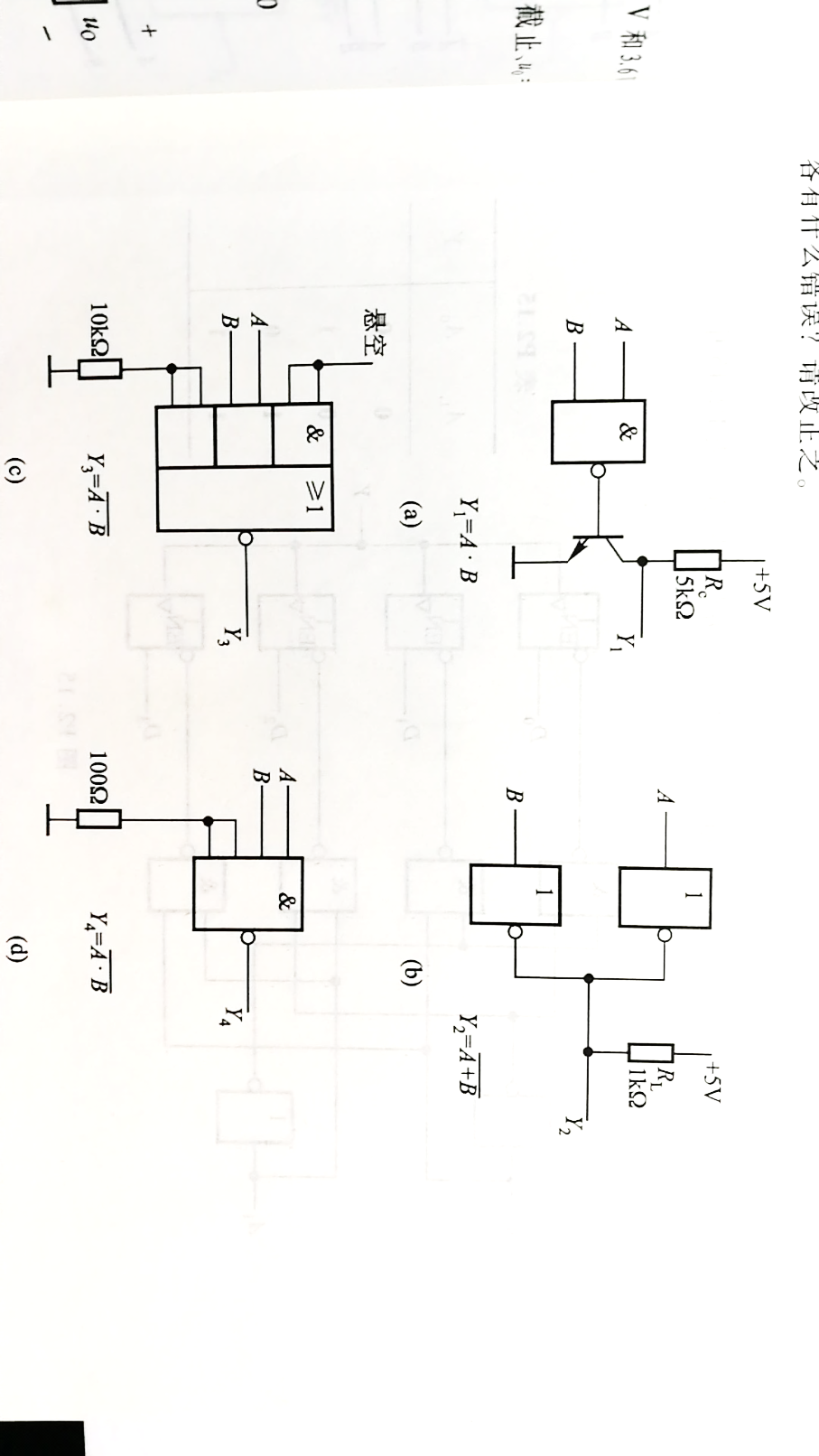
答：(1) **不能。与门输出端不能接电源，否则易损坏器件。**

**6.【说明：下述电路为CMOS，先判断电路能否正常工作（2分）；若能，写出表达式，若不能，说明原因（3分）】**

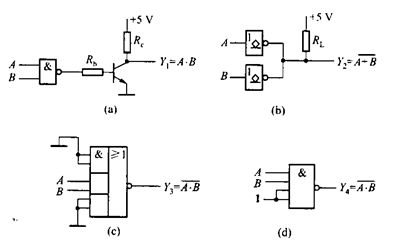
****

****

**7. 【说明：下述电路为TTL，要实现相应表达式规定的逻辑功能，电路连接上各有什么错误？请改正之。】**

****

**解：**



**8.判断分析题（本题2小题，每小题5分，共计10分）【说明：下述电路为TTL，先判断电路能否正常工作；若能，写出表达式，若不能，说明原因】**



1. **不能。三极管基极需加限流电阻，否则易损坏器件。**
2. **能。**