

1. Celem zajęć było zaprojektowanie na podstawie posiadanego przetwornika cyfra/analog wtórnika z regulowanym pasmem. Dodatkowo należało zmniejszyć prąd płynący przez wspomniany wyżej przetwornik oraz co za tym idzie zmniejszenie zużycia mocy.

2. Aby wykonać projekt należało narysować schemat wzmacniacza z układem kontrolującym prąd oraz komórki z napięciami referencyjnymi. Następnie należało dobrać parametry w celu spełnienia wymagań projektowych. W celu zmniejszenia zużycia mocy zmieniłem ilość tranzystorów w przekładce prądowej dla poszczególnych gałęzi, dzięki czemu mogłem zmniejszyć prąd I_{DAC} , a co za tym idzie prąd DAC_REF . Przy pomocy prądów DAC_REF oraz $CONST_REF$ ustawiłem pasmo wzmacniacza na wymagane. Następnie w celu zwiększenia stabilności układu oraz osiągnięcia 60 stopni marginesu fazy rozsunąłem bieguny poprzez zdecydowane zwiększenie kondensatora CM. Ostatecznie $CM = 1.025pF$, $M6$ oraz $M6A$ multiplier = 10, $M4$ oraz $M4A$ multiplier = 4, $CONST_REF = 1.75u$, $DAC_REF = 600n$. W celu ustawienia swingu 500mV ustawiłem punkt pracy w połowie charakterystyki wtórnika poprzez ustawienie v_{dc} na inpusie = 1.2V. Po ostawieniu wszystkich parametrów stworzyłem layout wzmacniacza.

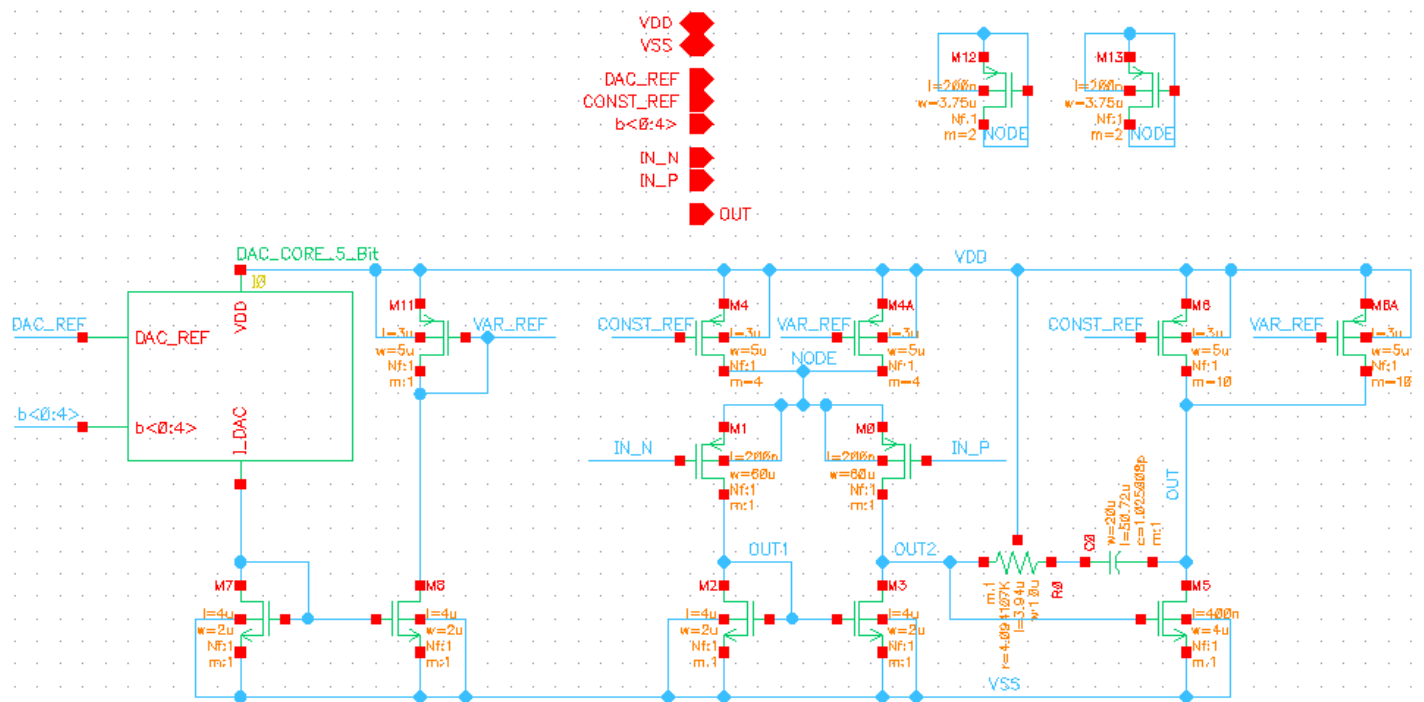


Figure 1. Schemat wzmacniacza i referencji

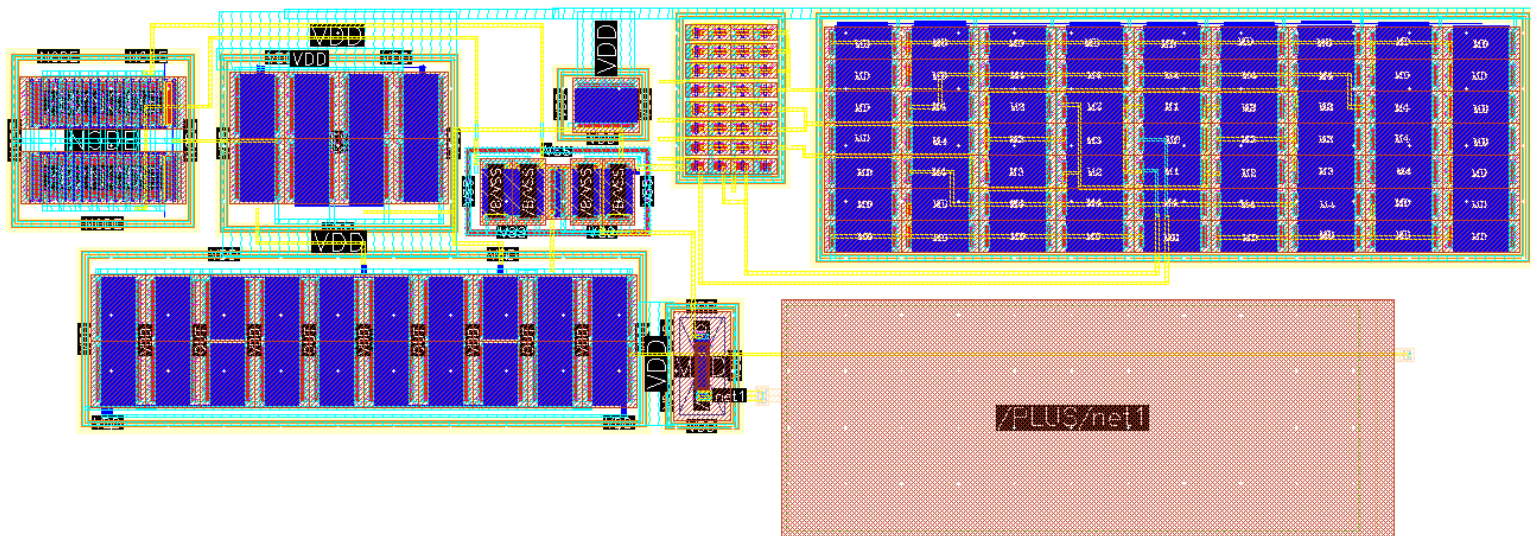


Figure 2. Schematic layoutu

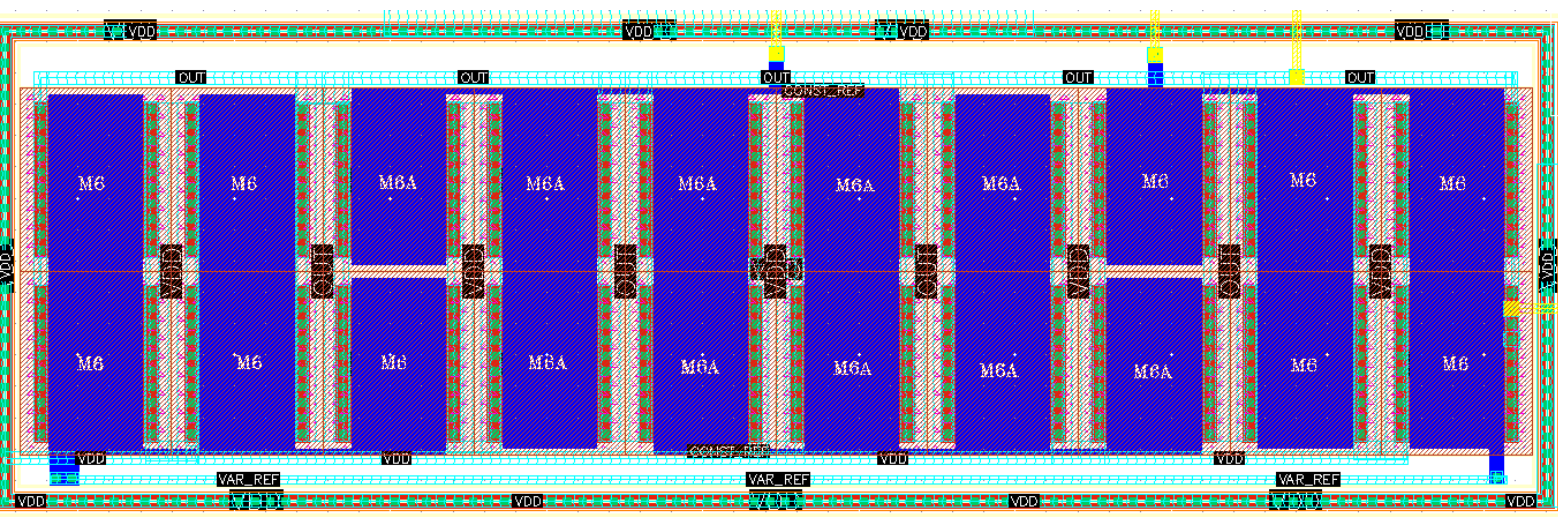


Figure 3. Tranzystory M6 oraz M6A

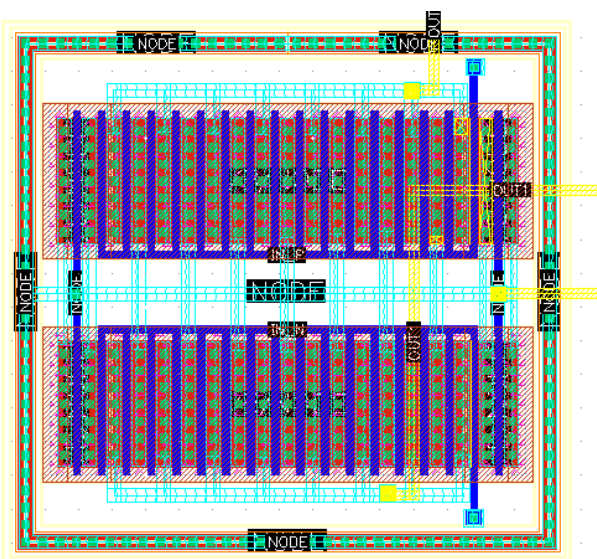


Figure 4. Para różnicowa

5. W layoucie starałem się zastosować jak najwięcej rozwiązań layoutowych. Jak widać na Figure 3, tranzystory są rozmieszczone zgodnie z zasadą common centroid. W celu optymalnego połączenia układu tranzystory zostały także poobracane tak, by dreny oraz source znajdowały się obok siebie. Cały układ został otoczony guard ringiem podłączonym do linii zasilania w celu odizolowania ich od reszty układu. Połączone zostały także bramki odpowiednich tranzystorów tak aby zachować symetrię.

Na Figure 4 widać parę różnicową, w której tranzystory zostały umieszczone symetrycznie względem siebie. Ponadto aby uniknąć negatywnych efektów bardzo długiej bramki tranzystor został zfoldowany. Dodatkowo, aby znajdujące się po bokach finery miały to samo otoczenie co reszta, dodałem dummy tranzystory MD(M12 oraz M13 na schemacie).

6. Wyeliminowałem wszystkie błędy DRC oraz LVS.

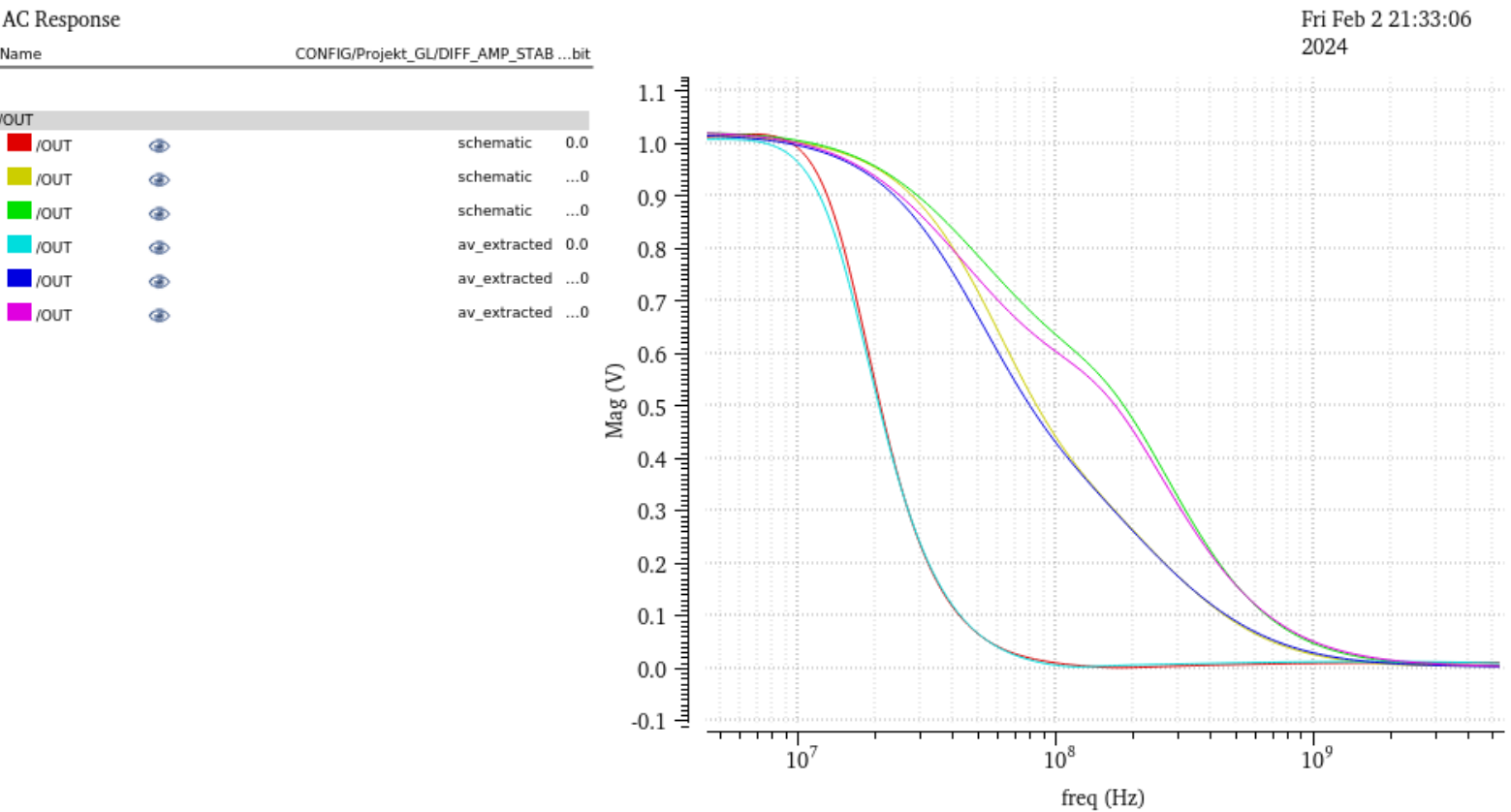


Figure 5. Rodzina charakterystyk częstotliwościowych wzmacniacza w zamkniętej pętli dla bitów 0, 15 oraz 31

/OUT			
<div></div> /OUT		schematic	0.0
<div></div> /OUT		schematic	...0
<div></div> /OUT		schematic	...0
<div></div> /OUT		av_extracted	0.0
<div></div> /OUT		av_extracted	...0
<div></div> /OUT		av_extracted	...0

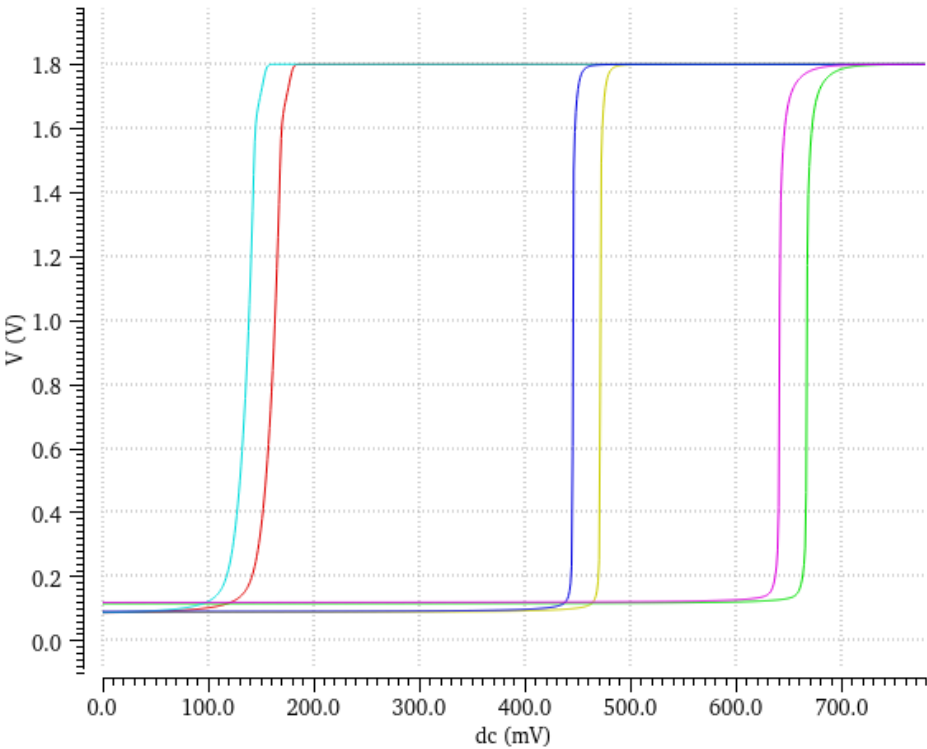


Figure 6. Rodzina charakterystyk przejściowych dla wzmacniacza w otwartej pętli sprzężenia zwrotnego dla bitów 0, 15 oraz 31

/OUT			
<div></div> /OUT		schematic	...
<div></div> /OUT		schematic	...
<div></div> /OUT		schematic	...
<div></div> /OUT		av_extracted	...
<div></div> /OUT		av_extracted	...
<div></div> /OUT		av_extracted	...

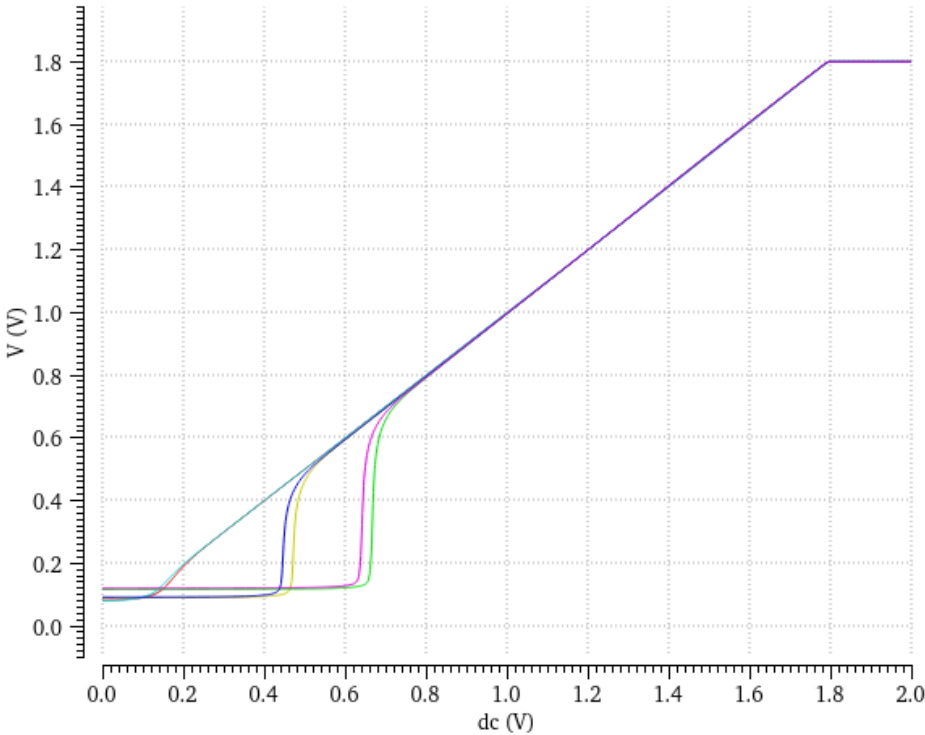


Figure 7. Rodzina charakterystyk przejściowych dla wzmacniacza w zamkniętej pętli sprzężenia zwrotnego dla bitów 0, 15 oraz 31

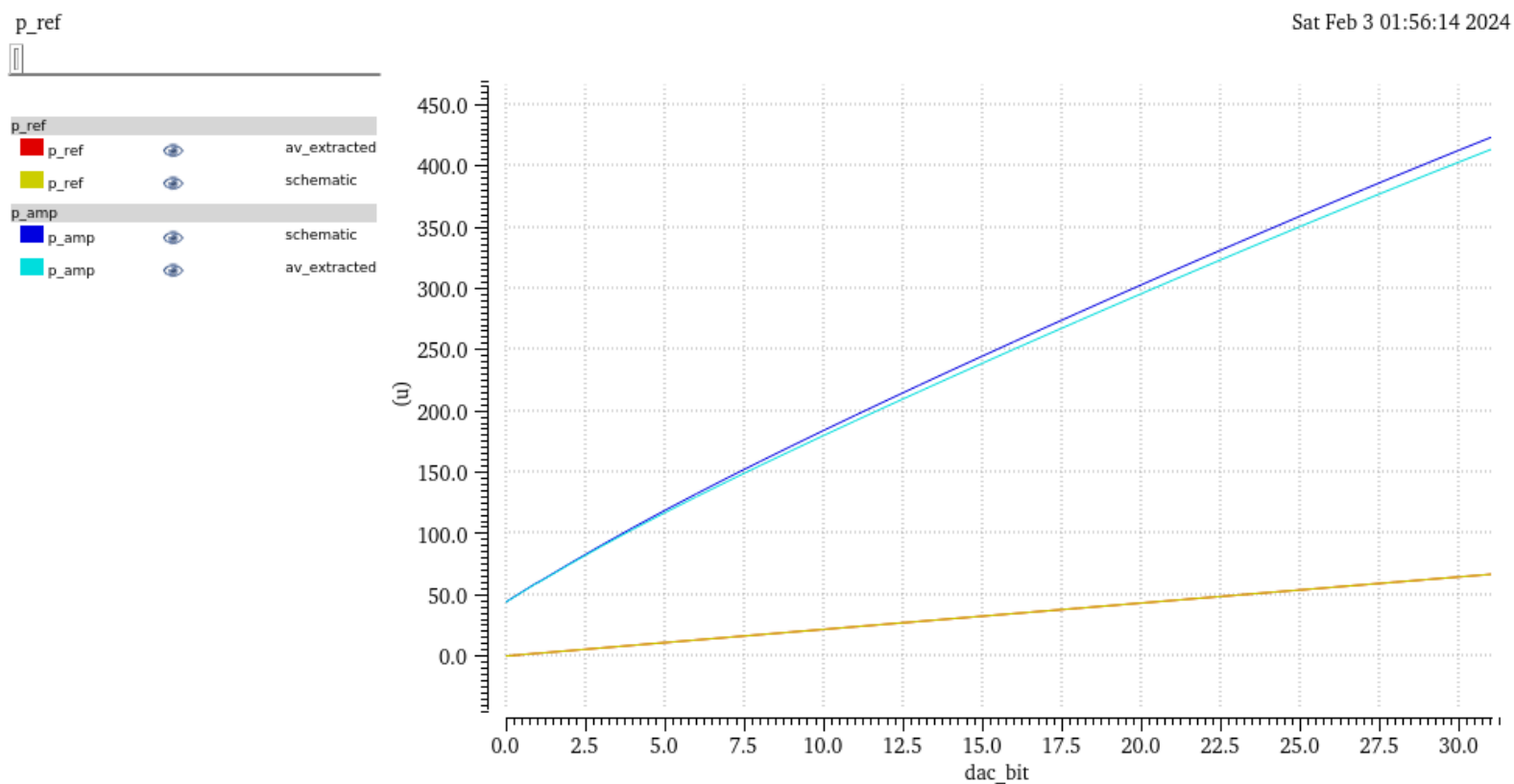


Figure 8. Charakterystyka poboru mocy poszczególnych części układu w funkcji słowa wejściowego przetwornika

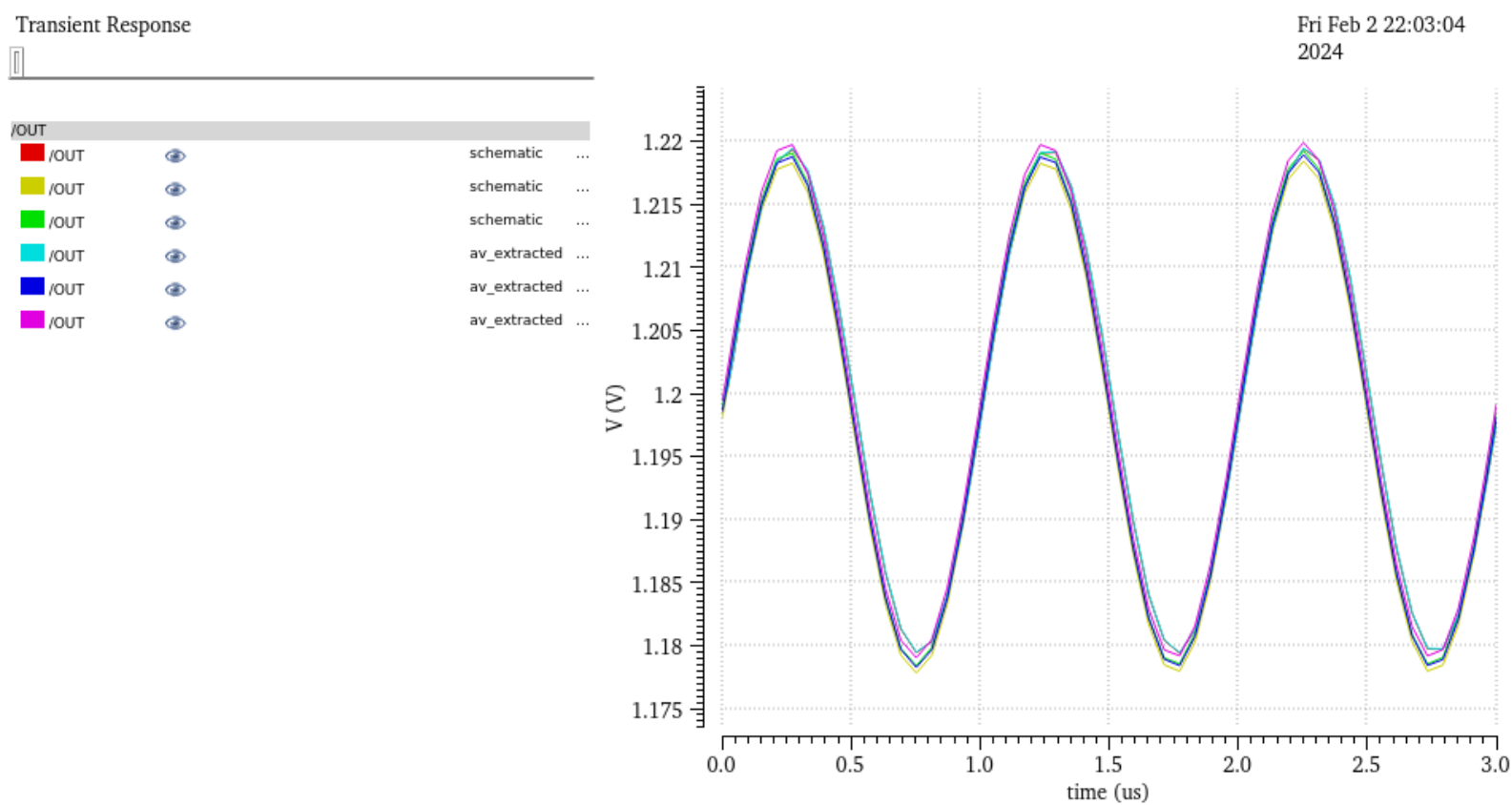


Figure 9. Przebieg napięcia na wyjściu wzmacniacza dla 20mV, 1MHz, dla bitów 0, 15 oraz 31

Transient Response

Fri Feb 2 22:01:38
2024

Name CONFIG/Projekt_GL/DIFF_AMP_STAB ...bit

/OUT			
<div></div> /OUT		schematic	0.0
<div></div> /OUT		schematic	...0
<div></div> /OUT		schematic	...0
<div></div> /OUT		av_extracted	0.0
<div></div> /OUT		av_extracted	...0
<div></div> /OUT		av_extracted	...0

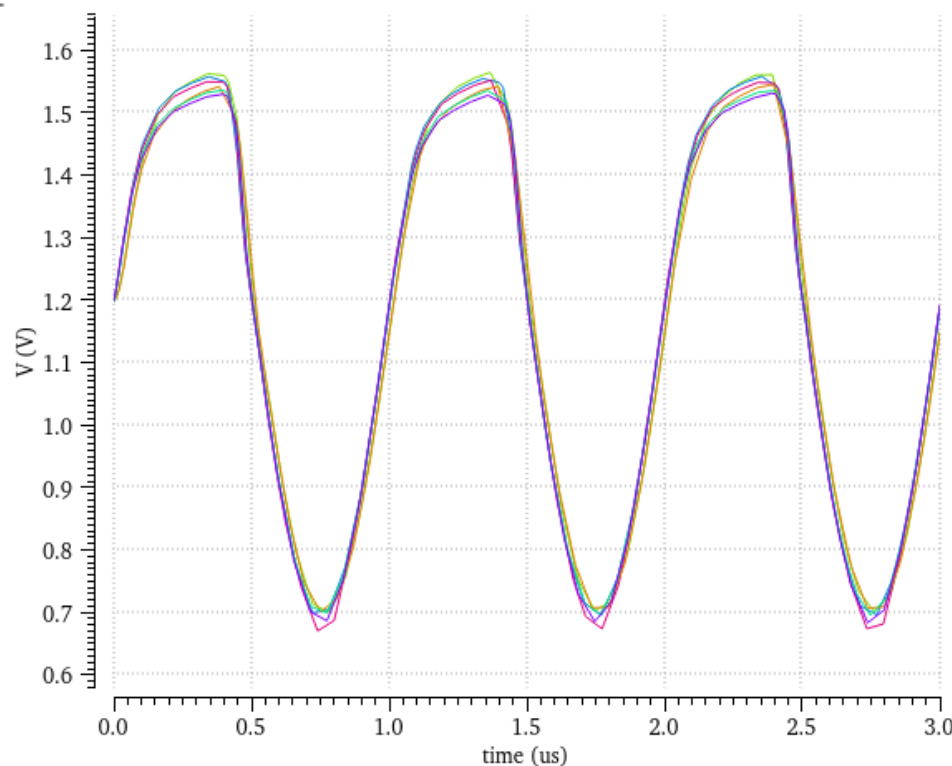


Figure 10. Przebieg napięcia na wyjściu wzmacniacza dla 500mV, 1MHz, dla bitów 0, 15 oraz 31

Transient Response

Fri Feb 2 21:54:06
2024

/OUT			
<div></div> /OUT		schematic	0.0
<div></div> /OUT		schematic	...0
<div></div> /OUT		schematic	...0
<div></div> /OUT		av_extracted	0.0
<div></div> /OUT		av_extracted	...0
<div></div> /OUT		av_extracted	...0

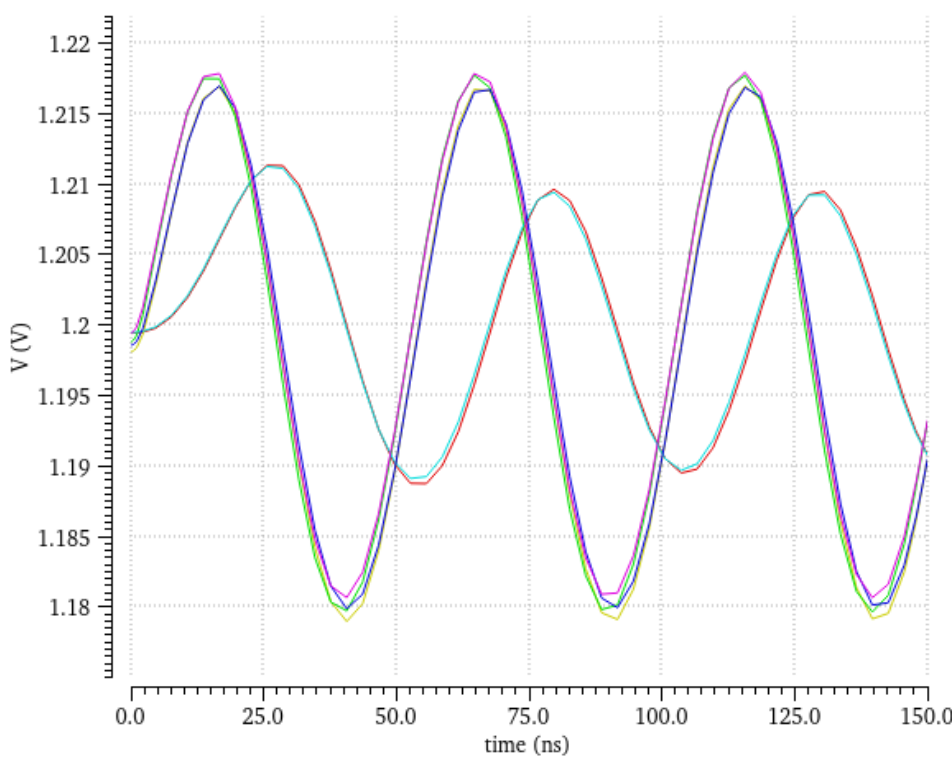


Figure 11. Przebieg napięcia na wyjściu wzmacniacza dla 20mV, 20MHz, dla bitów 0, 15 oraz 31

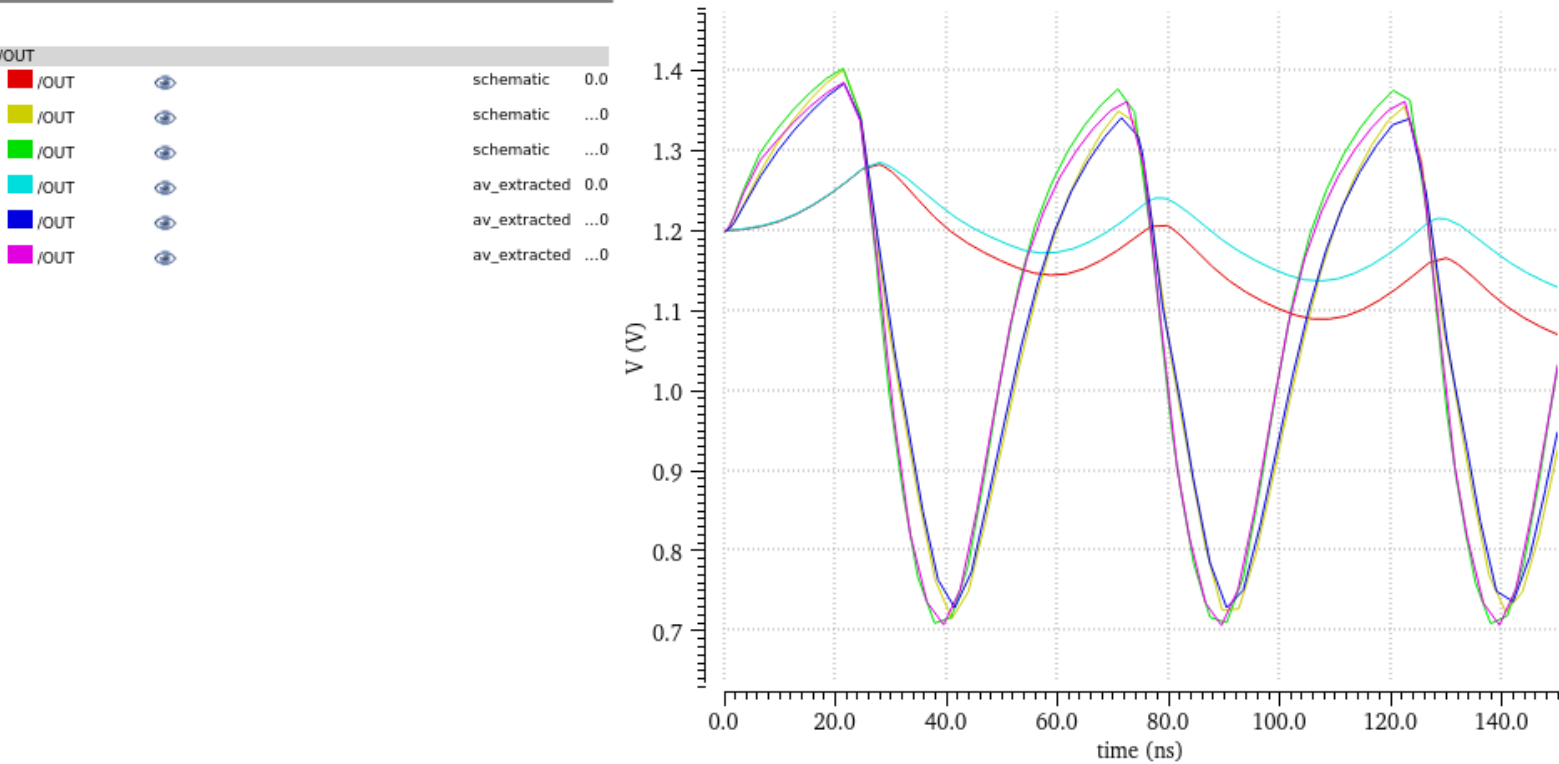


Figure 12. Przebieg napięcia na wyjściu wzmacniacza dla 500mV, 20MHz, dla bitów 0, 15 oraz 31

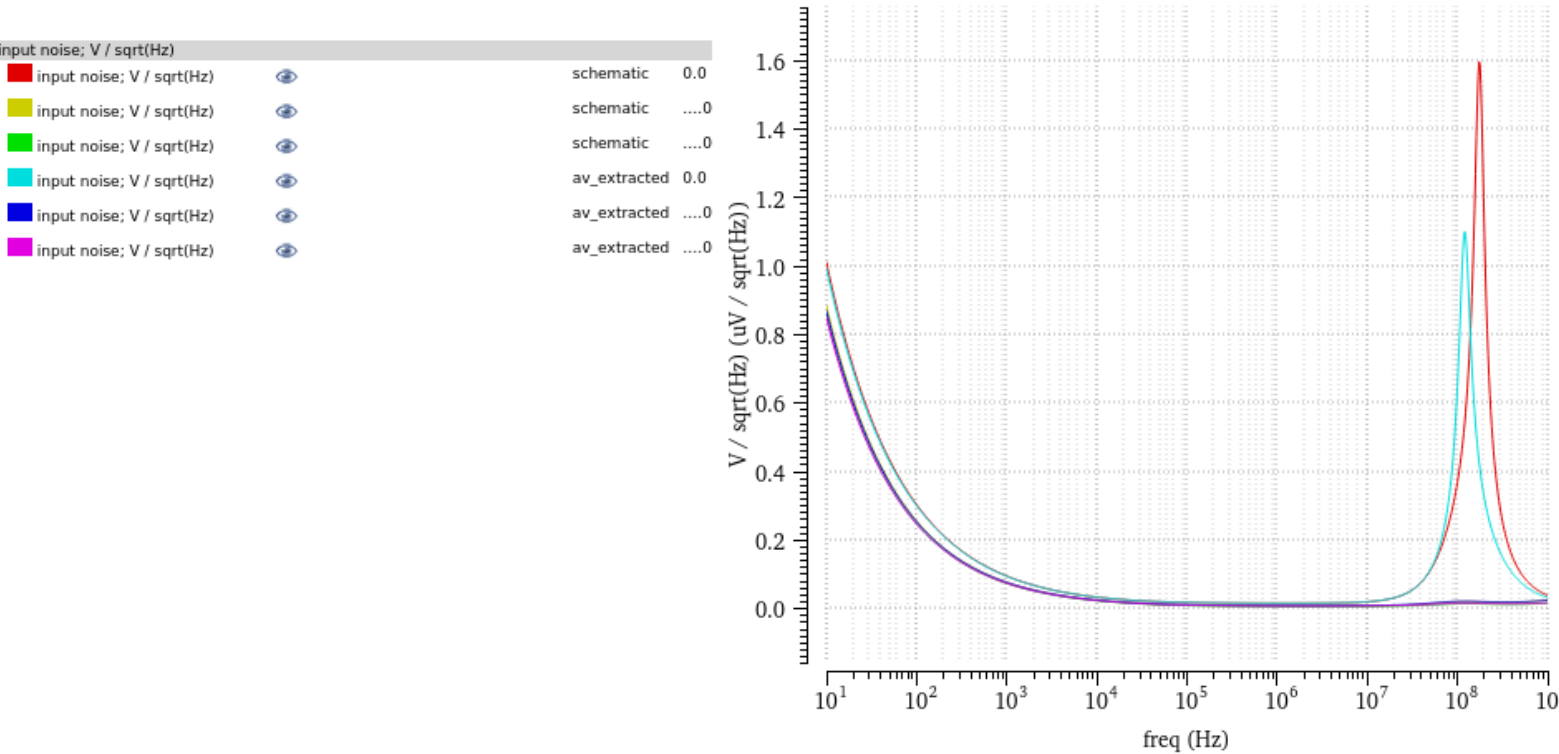


Figure 13. Charakterystyki szumów wejściowych dla bitów 0, 15 oraz 31

output noise; V / sqrt(Hz)		
output noise; V / sqrt(Hz)		schematic ...
output noise; V / sqrt(Hz)		schematic ...
output noise; V / sqrt(Hz)		schematic ...
output noise; V / sqrt(Hz)		av_extracted ...
output noise; V / sqrt(Hz)		av_extracted ...
output noise; V / sqrt(Hz)		av_extracted ...

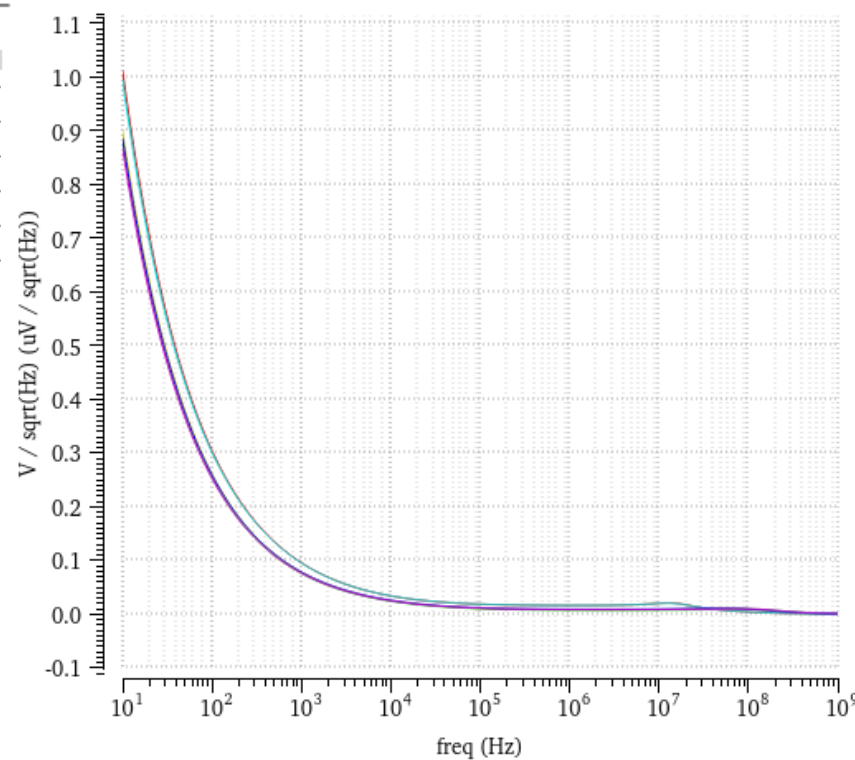


Figure 14. Charakterystyki szumów wyjściowych dla bitów 0, 15 oraz 31

Phase Margin		
Phase Margin		av_extracted
Phase Margin		schematic

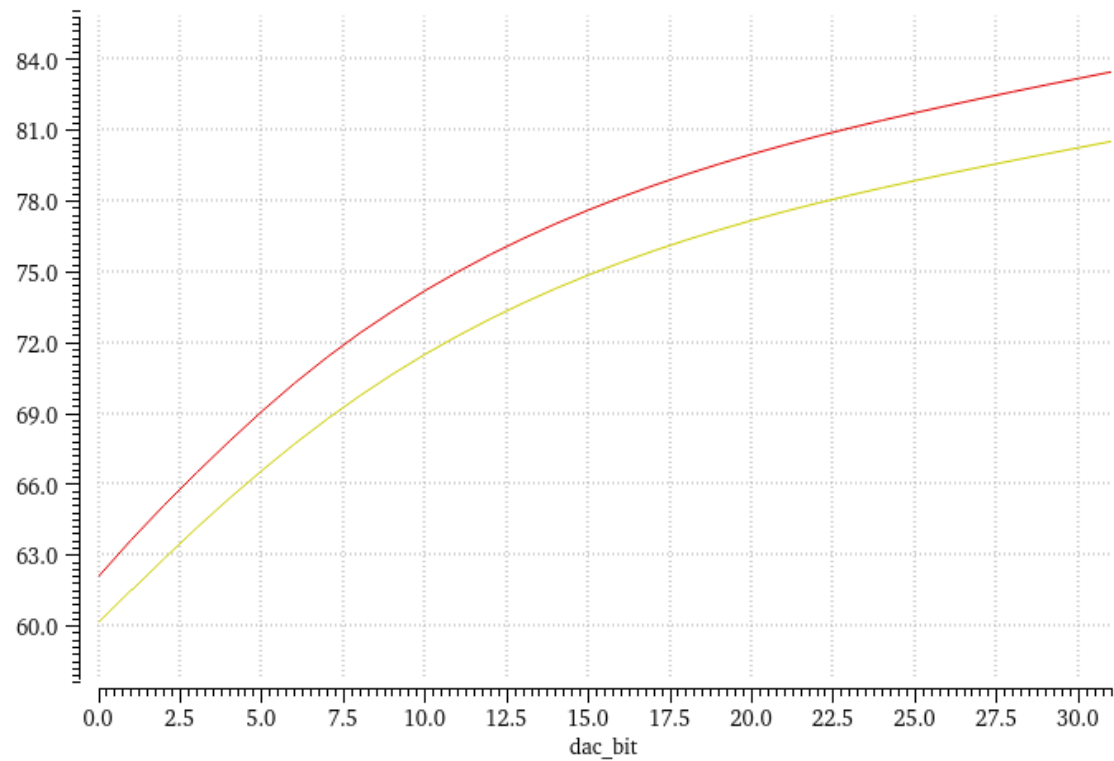


Figure 15. Charakterystyka marginesu fazy w funkcji słowa wejściowego przetwornika

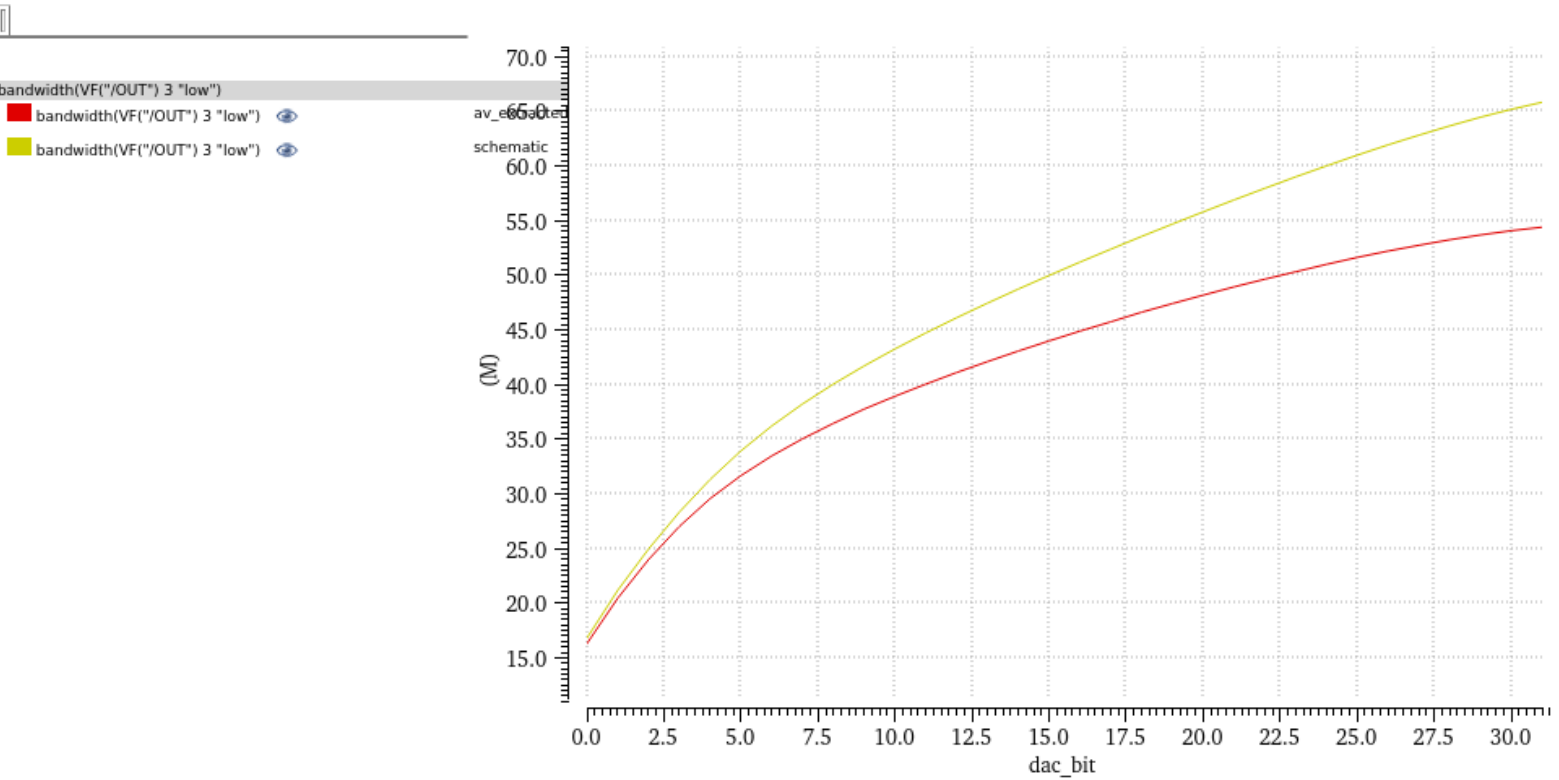


Figure 16. Pasma 3db w funkcji słowa wejściowego przetwornika

12. Na Figure 9-12 widać charakterystyki transient dla różnych częstotliwości oraz amplitud. Przy małych amplitudach widać, że sygnał jest dobrze odwzorowywany na wyjściu. Można także zauważyć, że w przypadku wyższych częstotliwości sygnały są tłumione na wyjściu co pokazuje, że układ działa jak filtr dolnoprzepustowy z częstotliwością tłumienia ustalaną przez słowo wejściowe (bity wejściowe o wartościach od 0 do 31). Widać także, iż przy większych amplitudach sygnał jest tłumiony od góry.

13. Na Figure 13 oraz 14 widzimy charakterystyki przedstawiające szumy wejściowe oraz wyjściowe. Z wykresów można zauważyć, że szumy znajdują się w wyższych częstotliwościach niż pasmo układu co powoduje ich mocne tłumienie co można zauważyć obserwując ich brak na wyjściu układu.

Wymagania projektowe

Na Figure 8, widać zdecydowane zmniejszenie poboru mocy części odpowiedzialnej za kontrolę pasma (p_ref) oraz że większość mocy pobieranej przez układ jest przeznaczona na wzmacniacz (p_amp). Współczynnik mocy obliczany poprzez $\frac{p_{amp}}{p_{amp}+p_{ref}} * 100\%$ przy wartości na bitach = 0 wynosi około 100%, gdy przy bitach = 31 wynosi około 86%.

Na Figure 15, widać że niezależnie od wartości na bitach margines fazy w przypadku symulacji schematu oraz av_extracted jest większy niż 60 stopni.

Na Figure 16, widać pasmo, które niestety mocno ucierpiało na ekstrakcji postlayoutowej i kiedy podczas symulacji schematu wynosiło 16.8MHz – 65,8MHz, co z zapasem mieści się w wymaganiach projektowych, tak po ekstrakcji pasmo to wynosi 16.3 – 54.4MHz. W celu poprawy pasma pogrubiałem ścieżki, przez które płyną większe prądy, w celu zmniejszenia ich rezystancji, co podniosło górną granicę z 51 do około 53 MHz. Zwiększyłem także delikatnie kondensator co podniosło górne pasmo do obecnej wartości. W celu polepszenia parametrów układu mogłem także polepszyć symetrię w

układzie tranzystorów M4, M4A oraz M2,M3,M5,M7,M8 lub zastosować także common centroid w przypadku pary różnicowej, lecz taka zmiana wymagałaby de facto zrobienia większości layoutu od nowa i mogłaby spowodować inne komplikacje.