



東南大學
SOUTHEAST UNIVERSITY

网络空间安全学院
School of Cyber Science and Engineering

计算机组成原理 实验报告

学号：57119101 姓名：王晨阳

学号：57119102 姓名：庄严

二〇二〇年十二月

实验一 寄存器组的设计

一、实验内容

- 测试D触发器的功能。
- 设计具有1个读端口、1个写端口的4×8位寄存器组，并验证设计正确性。

二、电路设计与实现

实验需要设计一个寄存器组，本实验要求的寄存器组包含 4 个 8 位寄存器，具有 1 个读端口、1 个写端口。实验小组通过仔细分析需求，设计出如下电路原理简图

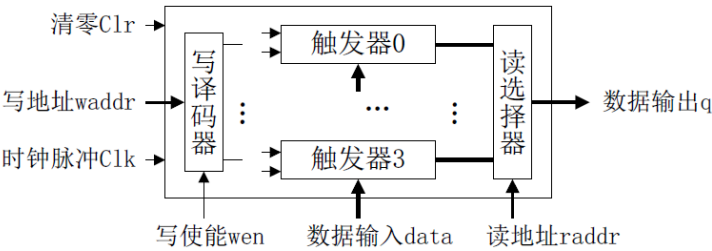


图 1.1 电路原理简图

实验通过译码器选择将数据输入到哪一个触发器，通过选择器选择输出哪一个触发器存储的数据。触发器会在时钟脉冲上升沿且译码器使其 enable 的情况下写入数据。实验同时设置了清零的操作，将触发器内数据清零。

该寄存器组共有 7 个引脚，其中输入引脚 6 个，输出引脚 1 个，具体如下表所示

表 1.1 引脚

名称	类型	功能
clr	输入（1 位）	寄存器组清零
clk	输入（1 位）	时钟信号
data	输入（8 位）	数据输入
wen	输入（1 位）	写使能
waddr	输入（2 位）	写地址
raddr	输入（2 位）	读地址
q	输出（8 位）	数据输出

器件选择如下表所示

表 1.2 器件

名称	型号	使用的引脚
芯片	Cyclone III 系列 P3C16Q240C8 芯片	
译码器	lpm_decode	data[1..0] enable eq0

		eq1
		eq2
		eq3
触发器	lpm_dff	data[7..0]
		clock
		enable
		aclr
		q[7..0]
选择器	lpm_mux	data0x[7..0]
		data1x[7..0]
		data2x[7..0]
		data3x[7..0]
		sel[1..0]
		result[7..0]

电路设计如下图所示。其中有译码器 1 个，选择器 1 个，触发器 4 个。

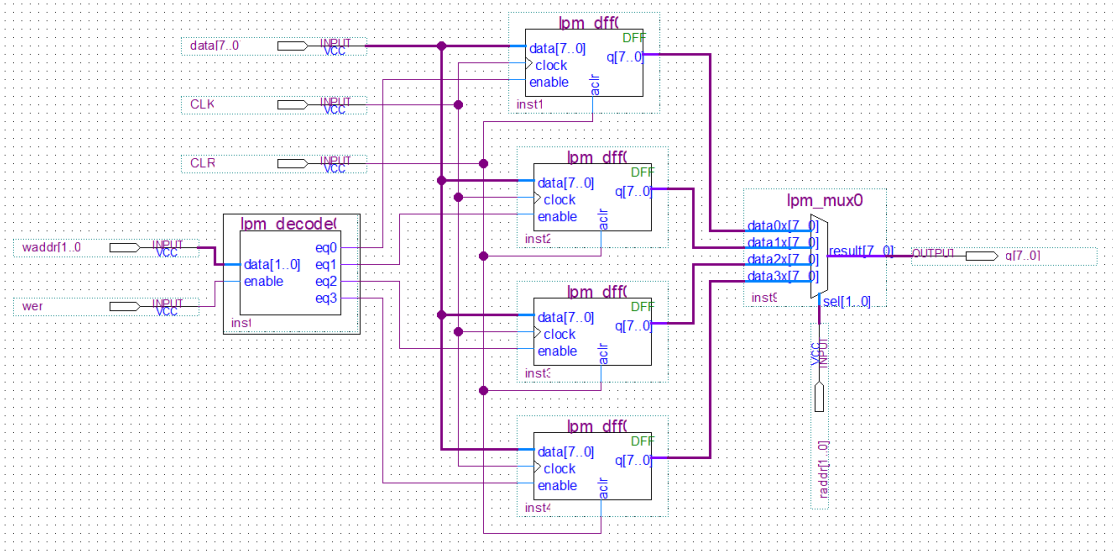


图 1.2 电路图

三、电路正确性验证

1、电路仿真

为了使仿真结果更加可靠，除一般情况外，实验的仿真涵盖了如下特殊情况

- 情况一：清零操作
- 情况二：在寄存器中没有存入数据时输出该寄存器
- 情况三：在输出寄存器数据的同时，该寄存器读入其他数据
- 情况四：寄存器多次读入不同数据后输出
- 情况五：寄存器数据不变的情况下多次输出

我们随机生成了 data、waddr、raddr 的内容，得到仿真结果如下所示

实验二 ALU 的设计

一、实验内容

- 测试加/减法器的功能。
- 设计具有加法、减法、逻辑与、逻辑非 4 种功能的 8 位 ALU，ALU 需产生结果状态标志 ZF、CF、OF、SF，并验证设计正确性。

二、电路设计与实现

本实验要求 ALU 的数据宽度为 8 位，具有 4 种算术及逻辑运算功能，需产生结果状态标志 ZF、CF、OF、SF。ALU 的功能如下表所示，其中，A、B 为数据入端，F 为数据出端，SEL 为功能选择（操作控制）信号。可见，SEL 为 2 位（记为 SEL[1..0]），F 的位数与 A 及 B 相同。

表 2.1 ALU 功能

功能选择		实现功能			
SEL[1]	SEL[0]	操作	助记符	功能函数	影响的状态标志
0	0	加法	ADD	$F = A + B$	ZF、CF、OF、SF
0	1	减法	SUB	$F = A - B$	ZF、CF、OF、SF
1	0	逻辑与	AND	$F = A \cdot B$	ZF
1	1	逻辑非	NOT	$F = \overline{A}$	ZF

由上表可知，ALU 的数据引脚 A、B 及 F 都为 8 位，控制引脚 SEL 为 2 位，还包含 4 根结果状态标志引脚。ALU 中，加法、减法运算可用加/减法器来实现，逻辑与、逻辑非运算可用与门、非门来实现，当前操作的结果输出可用选择器来实现，ALU 的内部组成如下图所示。

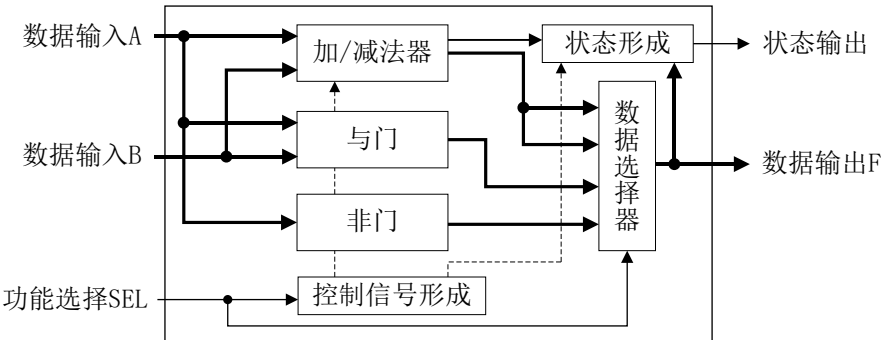


图 2.1 ALU 组成

电路图如下：

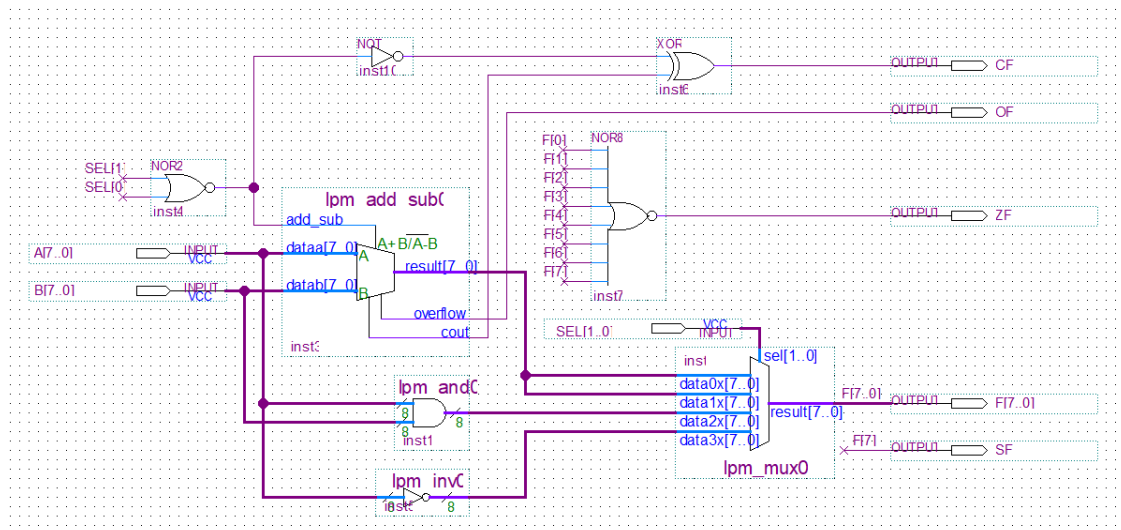


图 2.2 电路图

三、电路正确性验证

我们随机生成了 A、B、sel 的内容，得到仿真结果如下所示

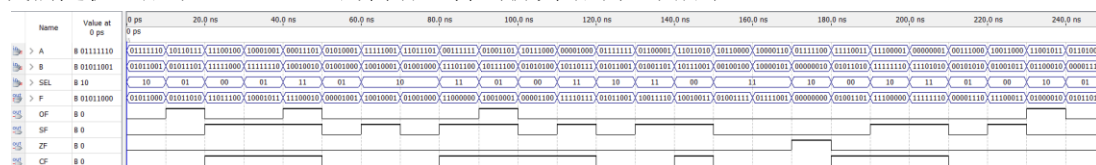


图 2.3 仿真波形图

四、实验小结

通过这次试验，我们掌握了算术逻辑部件(ALU)的功能及其逻辑组成，熟悉了加/减法器的功能及使用方法，也接触到了一些 Quartus II 中其他的器件，如 lpm_compare。通过本次实验，小组成员巩固了所学习的计算机组成原理知识，对 ALU 的工作原理有了更加深刻的认识。小组成员通过本次实验认识到了合作的重要性，锻炼了勇于面对困难与未知的精神。

五、教师评语

教师签字：

日期：

实验三 存储器设计及总线互联

一、实验内容

- 测试 RAM 的功能。
- 设计一个读/写端口分离的 128×8 位的存储模块，前 64B 为只读空间，并验证设计正确性。
- 将所设计存储模块、输入部件、输出部件连接到地址线/数据线复用的 8 位总线上，通过输入部件对存储器进行操作、通过输出部件查看操作结果，来验证设计正确性。

二、电路设计与实现

本次实验我们用到的存储器是 lpm_ram_dq，其特性是 8 位字长、128 个存储单元、读/写端口分离，其 I/O 引脚如图所示。其中，data[7..0]、q[7..0] 分别为数据输入、数据输出引脚，wren 为写操作（写使能）信号、高电平有效，clock 为同步操作的时钟信号，Clken 的作用是允许、禁止 clock 信号进入芯片内部。

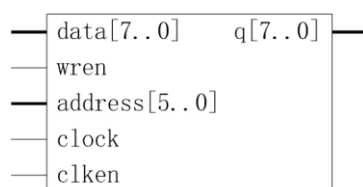


图 3.1 lpm_ram_dq 引脚示例

对 lpm_ram_dq 的操作有读、写两种。写操作（wren=1）时，数据在 clock 上升沿时锁存并写入到存储单元中。读操作（wren=0）时，数据在 clock 上升沿后一段时间输出到引脚（功能仿真时延迟可忽略、实时仿真时延迟为 1 个时钟左右）

由设计要求可知，存储模块 MEM 可使用 1 片 64×8 位 ROM、1 片 64×8 位 RAM 进行字扩展来实现。感兴趣的同学，可用 64×4 位 ROM、64×4 位 RAM 来实现。

读/写端口分离的 64×8 位 ROM 的引脚为：6 位地址、8 位数据输出、时钟脉冲 clock、片选 clken，64×8 位的 RAM 的引脚还包含 8 位数据输入、写使能 wren。

假设存储模块 MEM 的地址引脚为 A[6..0]、数据输入引脚为 D[7..0]、数据输出引脚为 Q[7..0]、片选引脚为 CS（高电平有效），则连接 ROM、RAM 时，地址引脚连接 A[5..0]，数据输入、clock、wren 引脚直接连接芯片对应引脚，各芯片数据输出引脚通过 MUX 连接到 Q、用 A[6] 进行选择，ROM 的 clken=CS·A[6]、RAM 的 clken=CS·A[6]。

由于 MEM 是读/写端口分离的，其数据输出引脚 Q 需通过三态门连接到总线，且无需设置锁存器（Q 与数据输入信号无关）；由于总线是地址线/数据线复用总线，MEM 的数据输入引脚 D 直接连接到总线时，其地址引脚 A 需通过锁存器连接到总线。

同样，输入部件也需要通过三态门连接到总线，3 个部件通过地址线/数据线复用总线互连的原理图如图 7 所示，图中还标出了所需的操作控制信号，电路 C 为 MEM 的片选信号 CS 的连接电路（MEM 地址引脚 A 为 7 位、总线宽度为 8 位）。

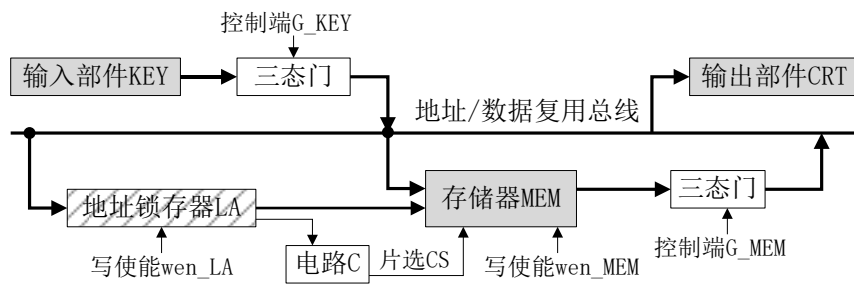


图 3.2 总线连接

电路图如下：

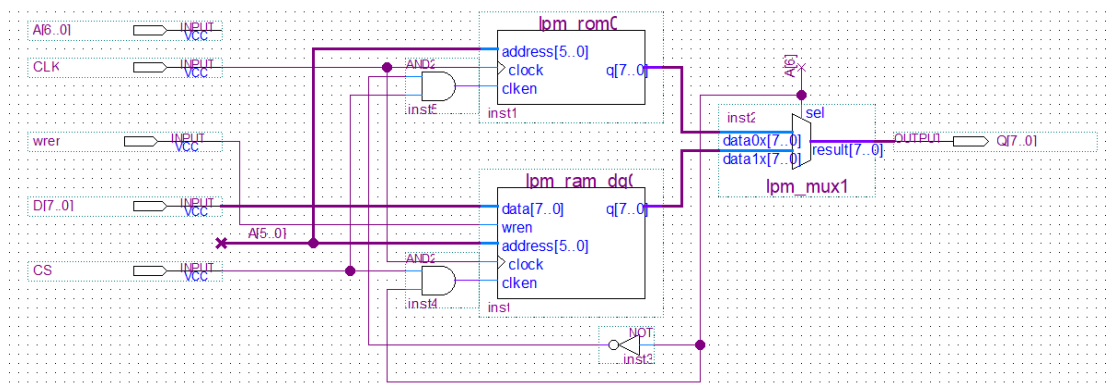


图 3.3 MEM 电路图

Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASCII
0	1	2	3	4	5	6	7	8
8	9	10	11	12	13	14	15	16
16	17	18	19	20	21	22	23	24
24	25	26	27	28	29	30	31	32
32	33	34	35	36	37	38	39	40	!"#\$%&'(
40	41	42	43	44	45	46	47	48)*+,-./0
48	49	50	51	52	53	54	55	56	12345678
56	57	58	59	60	61	62	63	64	9:;<=>?@

图 3.4 rom 内容

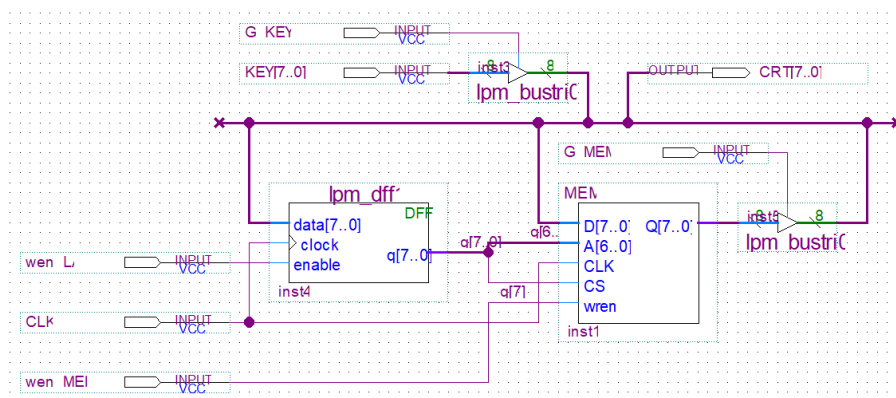


图 3.5 BUS 电路图

三、电路正确性验证

得到仿真结果如下所示

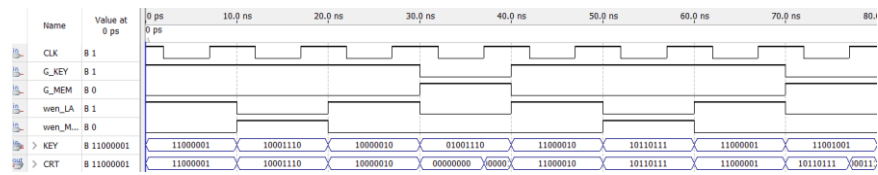


图 3.6 仿真波形图

四、实验小结

通过这次试验，我们熟悉了半导体存储器的存取方法，掌握了存储器的扩展方法以及存储器和总线的连接方法。不仅如此，我们还实现了数据/地址分时复用的总线，对存储器有了更加深入的了解。

通过本次实验，小组成员巩固了所学习的计算机组成原理知识，对 ALU 的工作原理有了更加深刻的认识。小组成员也通过本次实验认识到了合作的重要性，锻炼了勇于面对困难与未知的精神。

五、教师评语

教师签字：

日期：

实验四 数据通路的组织

一、实验内容

- 设计一个单总线结构的数据通路，支持 Demo_IS 指令系统的取数(LD)、减法 (SUB)、双字长分支 (JNZ)指令。
- 将测试程序存入主存，根据程序执行过程的 μ OPCmd (微操作命令) 序列，控制所设计数据通路，来验证数据通路的正确性。

二、电路设计与实现

1、指令功能分析

本实验要求支持 Demo_IS 指令系统中的取数(LD)、减法(SUB)、双字长分支(JNZ)指令，其功能分别为： $RD \leftarrow M[(RS)]$ 、 $RD \leftarrow (RD) - (RS)$ 、ZF=0 时 $PC \leftarrow Addr$ 。其中，RD、RS 表示寄存器编号，(Rx)、M[(Rx)]表示寄存器、存储单元的内容，Addr 为直接寻址方式的地址码，ZF 为上一条指令所产生的结果状态标志。

表 4.1 Demo_IS 指令

Demo_IS Instructions					
Code	Byte 1			Byte 2	Specification
	op	rd	rs	immediate/address	
	7..4	3..2	1..0	7..0	
MOV	0000	rd	00	imme	$rd \leftarrow imme$
LD	0010	rd	rs	-	$rd \leftarrow M[(rs)]$
ST	0011	rd	rs	-	$M[(rs)] \leftarrow (rd)$
ADD	0100	rd	rs	-	$rd \leftarrow (rd) + (rs)$
	0101	rd	rs	-	$rd \leftarrow (rd) + M[(rs)]$
SUB	0110	rd	rs	-	$rd \leftarrow (rd) - (rs)$
INC	1000	rd	00	-	$rd \leftarrow (rd) + 1$
DEC	1001	rd	00	-	$rd \leftarrow (rd) - 1$
JNZ	1100	00	00	addr	if(!ZF) $PC \leftarrow addr$
	1101	disp		-	if(!ZF) $PC \leftarrow (PC) + disp$

由 Demo_IS 的指令格式及上述 3 条指令功能约定，可得到如下分析结果：

- 数据类型只有 8 位整数一种，采用定点格式（补码编码）表示；
- 数据操作只有 8 位的加法、减法两种，需产生状态标志 ZF；
- 数据寻址有寄存器寻址、寄存器间接寻址两种方式，地址无需计算；
- 指令寻址有直接寻址、隐含寻址两种方式，地址计算方法为 8 位加法；
- 寄存器有 4 个，长度为 8 位，每条指令最多 2 次读、1 次写操作；

- 存储器按字节编址、地址空间为 8 位，每条指令最多有 1 次读/写操作。

基于数据通路，每个指令的功能可表示为一个微操作步序列，每个微操作步由一个或几个可同时实现的微操作组成。只要按序实现某微操作步序列中各微操作的功能，即可实现该指令的功能。

2、数据通路的设计与实现

数据通路由通路部件、部件互连两部分组成，互连结构有总线结构、点点结构两种类型。本实验的数据通路要求采用单总线结构。

(1) 功能部件设计

为了满足 Demo_IS 中 3 条指定指令的要求，数据通路的功能部件应包括 ALU、寄存器组 GPRs、状态寄存器 PSR、存储器 MEM、程序计数器 PC、指令寄存器 IR，以及地址寄存器 MAR、数据寄存器 MDR。

由 Demo_IS 的分析结果可见，ALU 应具有加法、减法功能，需产生状态标志 ZF，可使用实验二设计的 ALU 来实现；GPRs 应包含 4 个 8 位寄存器，具有 1 个读端口和 1 个写端口，可使用实验一设计的寄存器组来实现；MEM 的容量应 $\leq 256 \times 8$ 位，可使用实验三设计的存储模块（容量为 128×8 位）来实现。为了简化控制，假设 PC 具有计数功能，可使用 Quartus II 提供的 lpm_counter 模块来实现。

(2) 部件互连设计

单总线结构的数据通路中，所有部件的数据入端、数据出端都连接在同一个总线上。为了保证数据传送的正确性，部件的出端需通过三态门连接到总线；部件的入端及出端中，只有 1 个可以直接连接总线，其余都需通过锁存器连接到总线。

本实验中，数据通路的宽度为 8 位，数据通路的组成如下图所示，TS0~TS3 为三态门，GPRs 的读地址引脚前增加选择器 MUX，可以满足 SUB 指令中 2 次读 GPRs 的需求，当前读地址（RS 或 RD）用控制信号 GRsel 来选择。

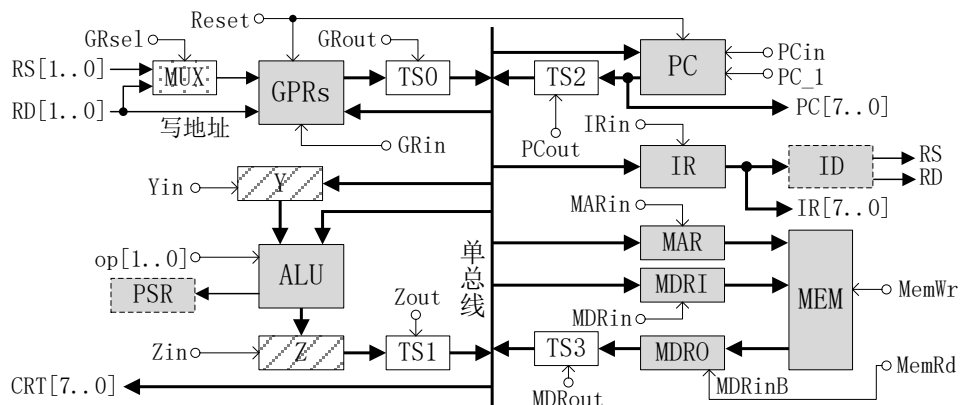


图 4.1 单总线结构的数据通路组成

图中的 MEM 需要存放测试程序，故要求使用实验三设计的存储模块（前 64B 为 ROM 空间）来实现，MEM 片选引脚的连接也类似于实验三。由于实验三的存储模块读/写端口分离、未设置读操作控制信号、可在一个时钟周期内完成读写操作，故 MDR 由 MDRI 及 MDRO 实现，控制信号 MemRd 可以用来实现 MDRO 的写入控制（MDRinB）。

PSR 用于存放结果状态标志，供 CU 使用，由于本实验的 μ OPCmd 由手工给出，故判断 ZF=0 也由人工完成，PSR 可以省略（用虚线表示）。同理，ID 也可省略。

（3）数据通路的实现

数据通路的实现需要编辑原理图文件（如 DataPath.bdf），电路有多种实现方法，ALU、GPRs、MEM、PC 都按照功能部件设计的方案来实现，IR、MAR、MDR、Y、Z 应使用 lpm_dff 实现，所有的部件控制信号都需设置为输入引脚。

数据传送 μ OP 应采用电位-脉冲制来实现，即发送部件在时钟周期开始时就输出数据（如打开三态门），接收部件在时钟周期结束前接收数据并写入。如图 9 所示， μ OPCmd 由 CU 在时钟周期开始时（clock 上升沿）通过电路产生（有一定时延[图 9 中①]），控制相应三态门打开（有一定时延[图 9 中②]），数据写入只能在时钟周期结束时（即下个 clock 上升沿[图 9 中④]）进行。

注意，MAR、MDRI、MDRO 应在时钟周期结束时写入，由于图 8 中的 MEM 为同步 RAM，故 MEM 操作应安排在时钟周期中部（clock 下降沿）开始。

表 4.2 μ OPCmd

微操作	时钟周期	μ OP	μ OPCmd
R1 \leftarrow M[(R0)]	t1	MAR \leftarrow (PC)	PCout、MARin
	t2	MDR \leftarrow M[(MAR)], PC \leftarrow (PC) + 1	Read、WMFC, PC+1
	t3	IR \leftarrow (MDR)	MDRout、IRin
	t4	MAR \leftarrow (R0)	GRout、Rsel、MARin
	t5	MDR \leftarrow M[(MAR)]	Read、WMFC
	t6	R1 \leftarrow (MDR), End \leftarrow 1	MDRout、GRin, End
R2 \leftarrow M[(R1)]	t1	MAR \leftarrow (PC)	PCout、MARin
	t2	MDR \leftarrow M[(MAR)], PC \leftarrow (PC) + 1	Read、WMFC, PC+1
	t3	IR \leftarrow (MDR)	MDRout、IRin

	t4	$MAR \leftarrow (R1)$	GRout、Rsel、MARin
	t5	$MDR \leftarrow M[(MAR)]$	Read、WMFC
	t6	$R2 \leftarrow (MDR), End \leftarrow 1$	MDRout、GRin、End
R2 ← (R2) − (R1)	t1	$MAR \leftarrow (PC)$	PCout、MARin
	t2	$MDR \leftarrow M[(MAR)], PC \leftarrow (PC) + 1$	Read、WMFC、PC+1
	t3t	$IR \leftarrow (MDR)$	MDRout、IRin
	t4	$Y \leftarrow (R2)$	GRout、Yin ; Rsel=0
	t5	$Z \leftarrow (Y) - (R1)$	GRout、Rsel、op=01、Zin
	t6	$(R2) \leftarrow (Z), End \leftarrow 1$	Zout、GRin、End
JNZ 22H	t1	$MAR \leftarrow (PC)$	PCout、MARin
	t2	$MDR \leftarrow M[(MAR)], PC \leftarrow (PC) + 1$	Read、WMFC、PC+1
	t3	$IR \leftarrow (MDR)$	MDRout、IRin
	t4	$MAR \leftarrow (PC)$	PCout、MARin
	t5	$MDR \leftarrow M[(MAR)], PC \leftarrow PC + 1$	Read、WMFC
	t6	$PC \leftarrow (MDR); End \leftarrow 1$	MDRout、PCin、End

电路图如下：

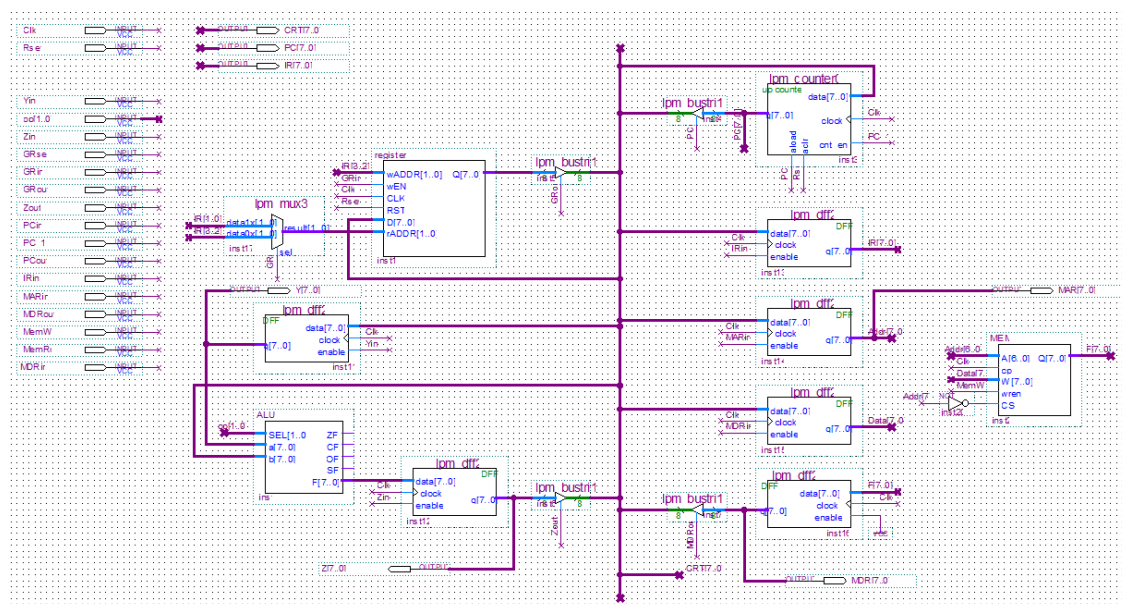


图 4.2 MEM 电路图

Addr	+0	+1	+2	+3	+4	+5	+6	+7	ASCII
0	24	29	69	60	22	05	06	07	\$) " ...
8	08	09	0A	0B	0C	0D	0E	0F
16	00	00	00	00	00	00	00	00
24	00	00	00	00	00	00	00	00
32	00	00	00	00	35	00	00	00	...5...
40	00	00	00	00	00	00	00	00
48	00	00	00	00	00	00	00	00
56	00	00	00	00	00	00	00	00

图 4.3 rom 内容

三、电路正确性验证

得到仿真结果如下所示

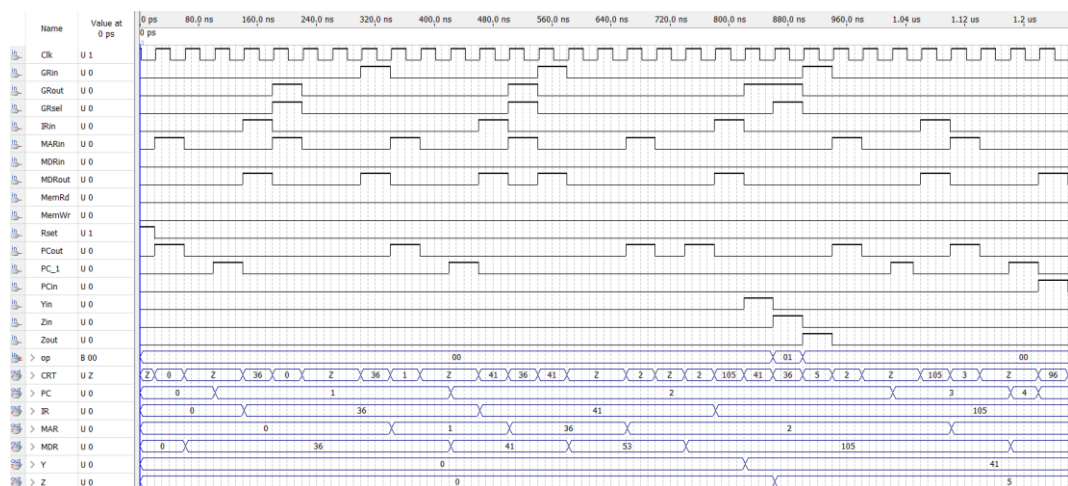


图 4.4 仿真波形图

四、实验小结

通过这次试验，加深了对前三个实验的理解，将 ALU 运算器，寄存器，ram 存储器组合应用；还掌握了 CPU 数据通路的逻辑组成，了解了指令功能的实现过程及其控制方法，练习了微操作序列的写法。

通过本次实验，小组成员巩固了所学习的计算机组成原理知识，对 ALU 的工作原理有了更加深刻的认识。小组成员也通过本次实验认识到了合作的重要性，锻炼了勇于面对困难与未知的精神。

五、教师评语

教师签字：

日期：