

第七部分 存储系统

1. 16K×4 位 SRAM 芯片的引脚有哪些？

答: SRAM 芯片的地址引脚有 $\log_2(16 \times 2^{10}) = 14$ 根, 数据引脚有 4 根, 还有片选引脚 $\overline{\text{CS}}$ 及读写引脚 $\overline{\text{WE}}$ (低电平为写、高电平为读)。

2. DRAM 芯片为什么要设置 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 引脚, 为什么没有 $\overline{\text{CS}}$ 引脚?

答：为了保持高集成度，DRAM 芯片的地址都分两次传送，需用 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 两个信号来区分当前地址信号是行地址还是列地址。而使 $\overline{\text{RAS}}$ 信号在整个操作过程中都有效，就可以实现片选引脚功能，无需设置 $\overline{\text{CS}}$ 引脚。

3. 有一个 $512\text{K} \times 16$ 的存储器, 由 $64\text{K} \times 1$ 位的 2164RAM 芯片构成(芯片内是 4 个 128×128 结构), 问:

- (1) 总共需要多少个 RAM 芯片?
- (2) 采用分散刷新方式, 如单元刷新间隔不超过 2ms, 则刷新信号的周期是多少?

答: (1) 128 片

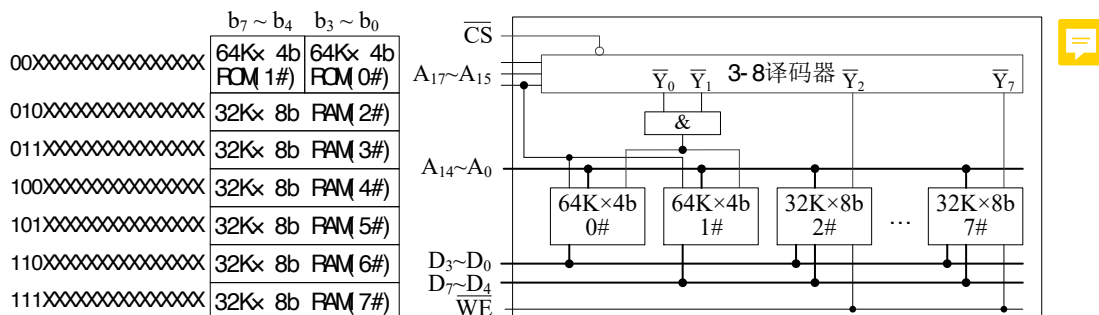
(2) $\leq 15.625\mu s$

解释: 所有芯片同时刷新, 每块芯片里 4 个 128×128 结构的每一行同时操作, 共需 128 行, 采用分散刷新方式, 最快是每间隔一个读/写周期即刷新一次, 最慢是每个 $2\text{ms}/128=15.625\text{us}$ 的最后安排一次刷新 (即异步刷新), 因此刷新信号的周期 $\leq 15.625\text{us}$.

4. 现有 $64\text{K} \times 4$ 位 ROM 芯片、 $32\text{K} \times 8$ 位 SRAM 芯片若干, 要求构成 $256\text{K} \times 8$ 位的存储模块, 前 64KB 为 ROM 空间, 画出存储模块的信号线与内部各芯片引脚的连接图。

答：存储模块需要的 ROM 芯片为 $(64\text{K}/64\text{K}) \times (8\text{b}/4\text{b}) = 2$ 片，需要的 RAM 芯片为 $(192\text{K}/32\text{K}) \times (8\text{b}/8\text{b}) = 6$ 片。各芯片在存储空间中的地址范围如下图左部所示。

可见, 存储模块的 $\log_2(256\text{KB}/1\text{B})=18$ 根地址引脚中, A17~A16=00 选中 ROM0、ROM1 芯片, A17~A15=010~111 分别选中 RAM2~RAM7 芯片。因此, 用 3-8 译码器选择各芯片时, ROM0、ROM1 片选引脚的逻辑为 \overline{Y}_0 与 \overline{Y}_1 , RAM2~RAM7 片选引脚的逻辑为 $\overline{Y}_2 \sim \overline{Y}_7$ 。因此, 存储模块的信号线与内部各芯片引脚的连接如下图右部所示, 其中 ROM 芯片无需连接 \overline{WE} 信号。



5. 现有 $4K \times 16$ 位 SRAM 芯片若干, 要求构成 $16K \times 16$ 位的多体交叉 SRAM 模块, 画出 SRAM 模块与内部各芯片引脚的连接图。