

6.6
6.7
6.10
6.12 (2)
6.16
6.19
6.21

6.6 用五个带使能端的 2-4 线译码器可以构建一个 4-16 线的译码器。在题图 6.6 中,

(1) 写出使译码器 U1~U4 产生有效的译码输出时, C、D 对应的取值;

当 U1 产生有效输出时, U1 的使能端 \bar{S} 是低电平。Y0 是低电平, CD 输入为 00

同理, U2 对应 01, U3 对应 10, U4 对应 11

(2) 当译码器 U1 工作时, 写出对应 A、B 的取值时, $\bar{Y}_{10} \sim \bar{Y}_{13}$ 的输出。

U1 工作的真值表如下:

A	B	\bar{Y}_{10}	\bar{Y}_{11}	\bar{Y}_{12}	\bar{Y}_{13}
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

6.7 试用一个优先编码器 74148 和一个译码器 74138 将 3 位格雷码转换为 3 位二进制码。

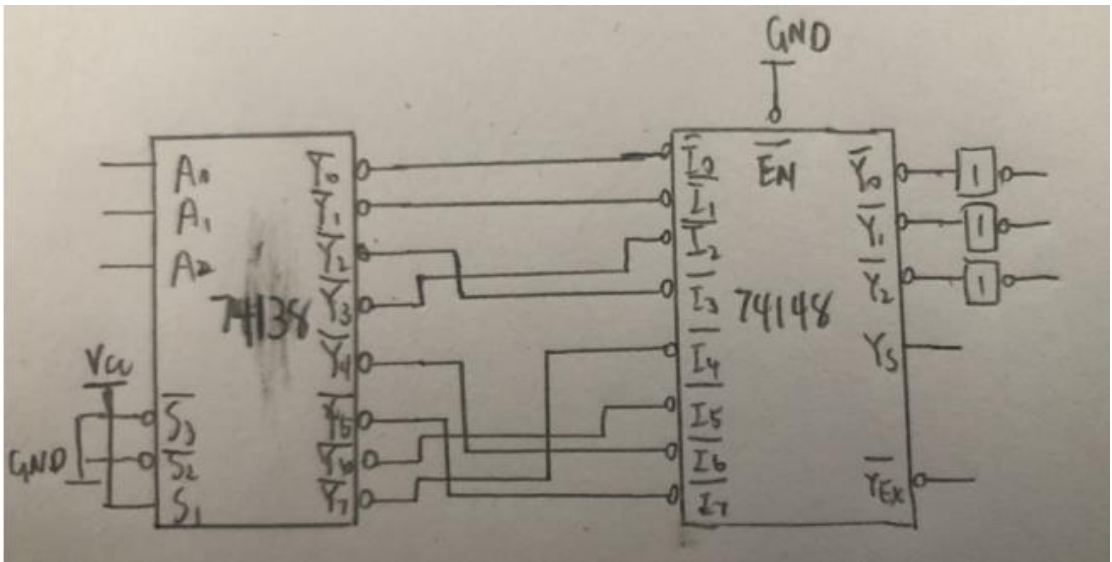
设计思路: 格雷码进入译码器 74138, 译码为 8 个信号中的一个, 再将信号通过编码器 74148 进行编码。注意点: 如何连接译码器输出和编码器输入?

格雷码对应二进制码

格雷码	对应信号位	二进制码
000	0	000
001	1	001
011	3	010
010	2	011
110	6	100
111	7	101
101	5	110
100	4	111

例：格雷码信号 011 进入译码器后，输出 \overline{Y}_3 有效。但是我们希望编码后 011 对应二进制码 010，即需要编码器的 \overline{I}_2 输入有效。

还有，注意译码器、编码器的输入输出有效电平，控制位电平。



(如果译码器后面不跟非门，也可以做，但是需要对二进制码取反，链接对应的线路。)

6.10 题图 6.10 所示电路是由译码器 74138 及门电路构成的地址译码电路。试列出此译码电路每个输出对应的地址，要求输入地址 A7-A0 用十六进制数码表示。

若译码器工作，A3=1，A4·A5=1，A6+A7=0，即 A7~A3：00111

Y	A7~A3	A2A1A0	十六进制
Y0	00111	000	38
Y1	00111	001	39
Y2	00111	010	3A
Y3	00111	011	3B
Y4	00111	100	3C
Y5	00111	101	3D
Y6	00111	110	3E
Y7	00111	111	3F

6.12 (2) 试用译码器 74138 和最少的与非门实现逻辑函数 $F = f(A,B,C) = A \odot B \odot C$

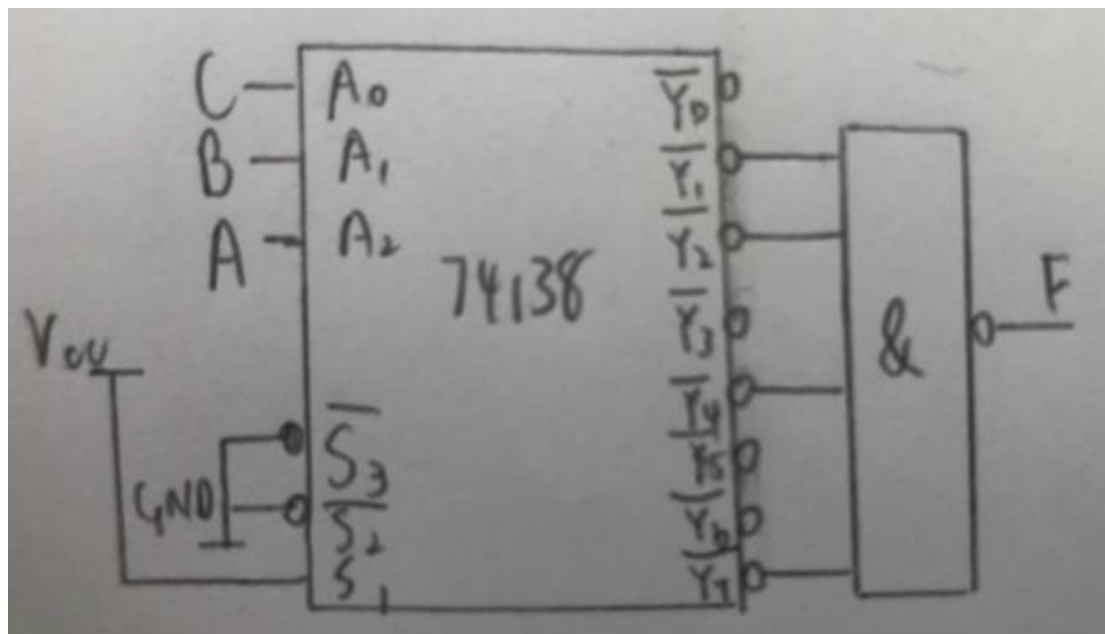
- $F = (AB + \overline{A}\overline{B}) \odot C$
- $F = ABC + \overline{A}\overline{B}C + \overline{\overline{AB + \overline{A}\overline{B}}} \cdot \overline{C}$
- $F = ABC + \overline{A}\overline{B}C + (\overline{AB} + \overline{BA})\overline{C}$
- $F = ABC + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C}$

化为最小项形式：

$$F = m_1 + m_2 + m_4 + m_7$$

$$F = \overline{m_1} \overline{m_2} \overline{m_4} \overline{m_7}$$

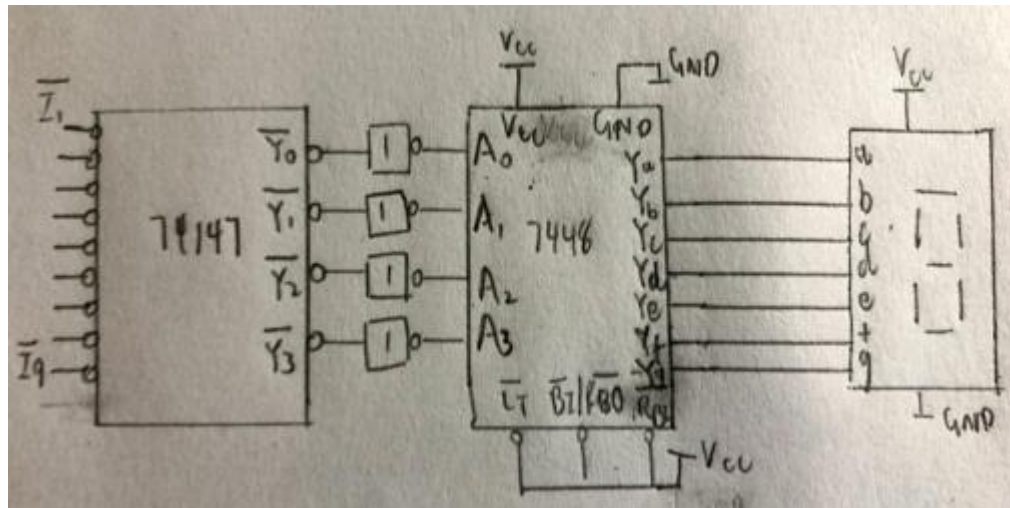
用译码器和与非门实现：



6.16 用二-十进制编码器、译码器、七段显示器，组成一个 1 位数码显示电路。

当 0 ~ 9 十个输入端中某一个接地时，显示相应数码，画出逻辑图。

这里的译码器使用数码显示译码器配合七段显示器



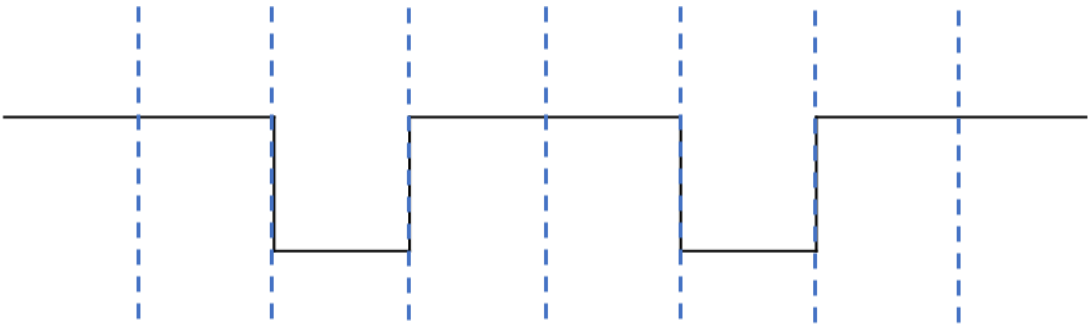
注意点：二-十进制编码器 74147 的输出为低电平有效，数码显示译码器的地址输入为高电平有效，需要通过非门连接。

6.19 由 4 选 1 数据选择器 74153 构成的组合逻辑电路如题图 6.19 (a) 所示, 画出题图 6.19 (b) 所示输入信号作用下, F 的输出波形。

由逻辑图可得真值表为

A	B	输出
0	0	1
0	1	C
1	0	\bar{C}
1	1	C

则输出 F 的波形为：11011011



6.21 题图 6.21 是用两个 4 选 1 数据选择器组成的逻辑电路，试写出输出 F 与输入 M、N、P、Q 之间的逻辑函数。

分析：P=1 时选择右片，P=0 时选择左片，根据地址 **NM** 选择相应的输入数据 Q 作输出。最后的 F 是两片的结果求或（相加），因为只有一片 4 选 1 被选中，另一片输出为 0，所以结果即为被选中那一片的输出。

建立真值表

P	N	M	Q	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

化简后可得

$$F = \overline{P}QN + PQ\overline{N}$$