

计算机组成原理

实验报告

学号：57119101 姓名：王晨阳

学号：57119102 姓名：庄严

二0二0 年十一月

**实验三 存储器设计及总线互联**

**一、实验内容**

* 测试RAM的功能。
* 设计一个读/写端口分离的128×8位的存储模块，前64B为只读空间，并验证设计正确性。
* 将所设计存储模块、输入部件、输出部件连接到地址线/数据线复用的8位总线上，通过输入部件对存储器进行操作、通过输出部件查看操作结果，来验证设计正确性。

**二、电路设计与实现**

本次实验我们用到的存储器是lpm\_ram\_dq，其特性是8位字长、128个存储单元、读/写端口分离，其I/O引脚如图所示。其中，data[7..0]、q[7..0]分别为数据输入、数据输出引脚，wren为写操作（写使能）信号、高电平有效，clock为同步操作的时钟信号，Clken的作用是允许、禁止clock信号进入芯片内部。



**图1 lpm\_ram\_dq引脚示例**

对lpm\_ram\_dq的操作有读、写两种。写操作（wren=1）时，数据在clock上升沿时锁存并写入到存储单元中。读操作（wren=0）时，数据在clock上升沿后一段时间输出到引脚（功能仿真时延迟可忽略、实时仿真时延迟为1个时钟左右）

由设计要求可知，存储模块MEM可使用1片64×8位ROM、1片64×8位RAM进行字扩展来实现。感兴趣的同学，可用64×4位ROM、64×4位RAM来实现。

读/写端口分离的64×8位ROM的引脚为：6位地址、8位数据输出、时钟脉冲clock、片选clken，64×8位的RAM的引脚还包含8位数据输入、写使能wren。

假设存储模块MEM的地址引脚为A[6..0]、数据输入引脚为D[7..0]、数据输出引脚为Q[7..0]、片选引脚为CS（高电平有效），则连接ROM、RAM时，地址引脚连接A[5..0]，数据输入、clock、wren引脚直接连接芯片对应引脚，各芯片数据输出引脚通过MUX连接到Q、用A[6]进行选择，ROM的clken＝CS·A[6]、RAM的clken＝CS·A[6]。

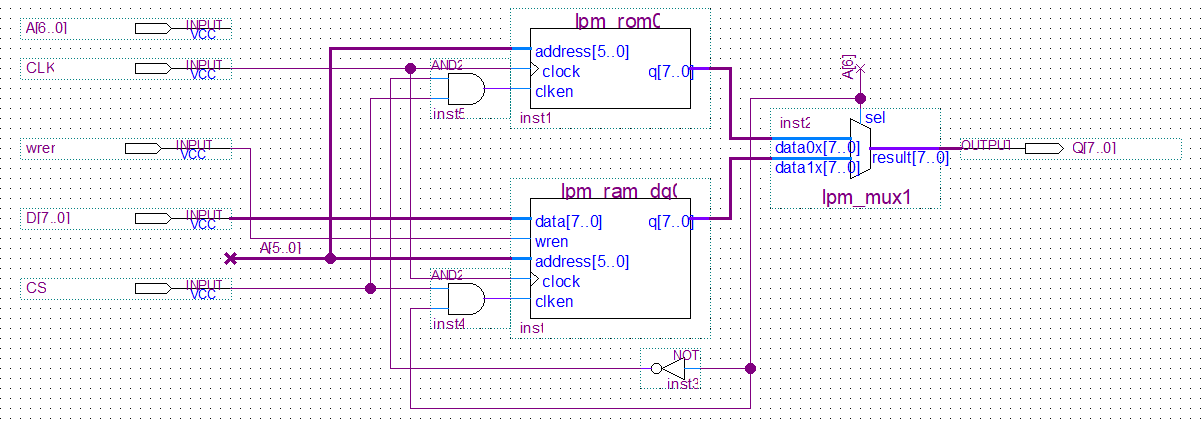
由于MEM是读/写端口分离的，其数据输出引脚Q需通过三态门连接到总线，且无需设置锁存器（Q与数据输入信号无关）；由于总线是地址线/数据线复用总线，MEM的数据输入引脚D直接连接到总线时，其地址引脚A需通过锁存器连接到总线。

同样，输入部件也需要通过三态门连接到总线，3个部件通过地址线/数据线复用总线互连的原理图如图7所示，图中还标出了所需的操作控制信号，电路C为MEM的片选信号CS的连接电路（MEM地址引脚A为7位、总线宽度为8位）。

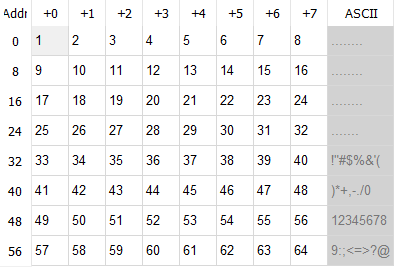


**图2 总线连接**

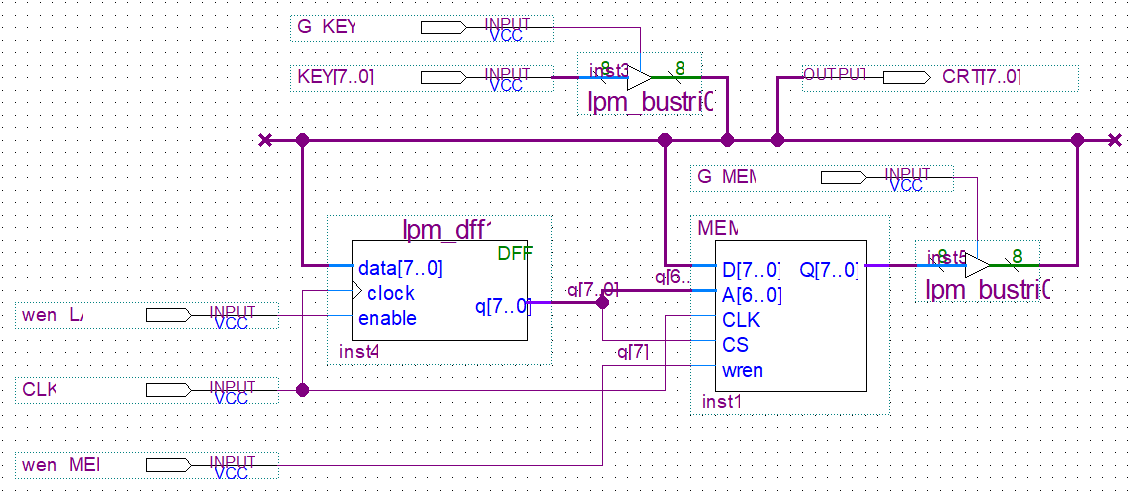
电路图如下：



**图3 MEM电路图**



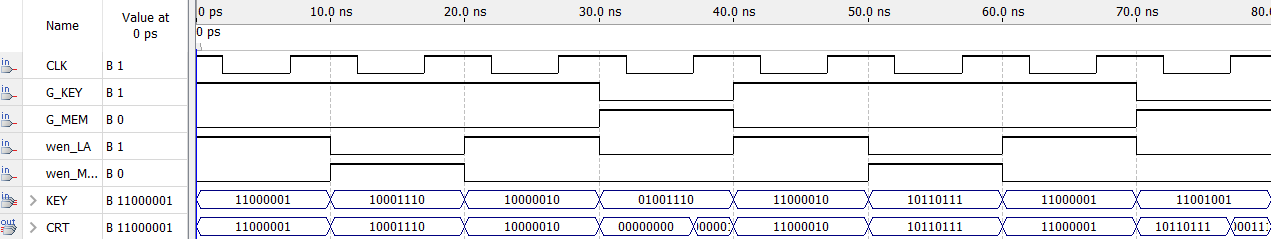
**图4 rom内容**



**图5 BUS电路图**

**三、电路正确性验证**

得到仿真结果如下所示



**图6 仿真波形图**

**四、实验小结**

通过这次试验，我们熟悉了半导体存储器的存取方法，掌握了存储器的扩展方法以及存储器和总线的连接方法。不仅如此，我们还实现了数据/地址分时复用的总线，对存储器有了更加深入的了解。

通过本次实验，小组成员巩固了所学习的计算机组成原理知识，对ALU的工作原理有了更加深刻的认识。小组成员也通过本次实验认识到了合作的重要性，锻炼了勇于面对困难与未知的精神。

**五、教师评语**

教师签字：

日期：