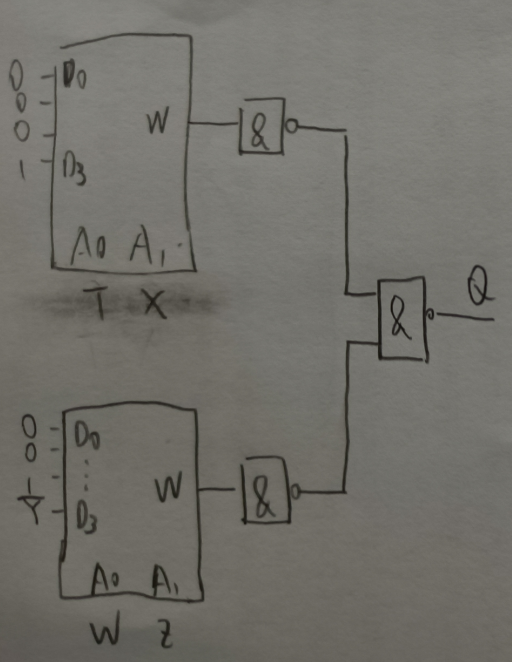
6.24 试用 4 选 1 数据选择器 74153(1/2)和最少的与非门实现逻辑函数

思路1：多片4 选 1 数据选择器

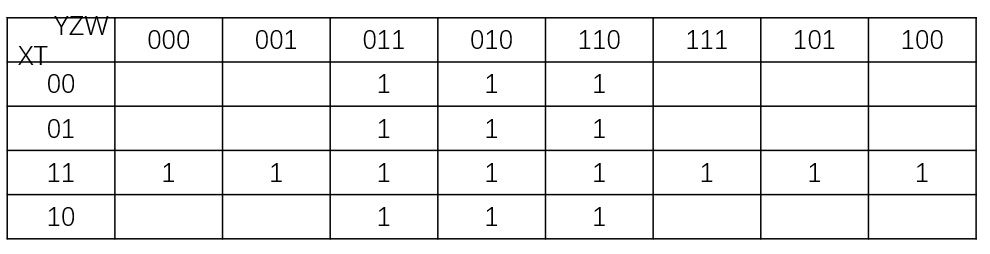
一片实现XT，一片实现。

电路图

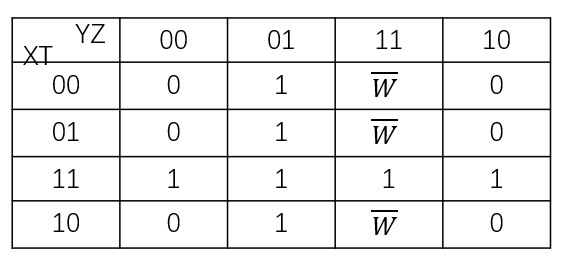


思路2：一片4选1数据选择器

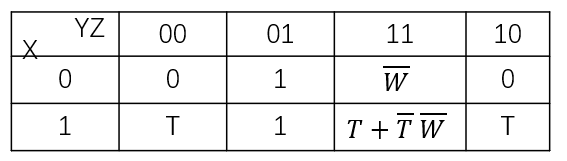
5个变量，需要降维3次。



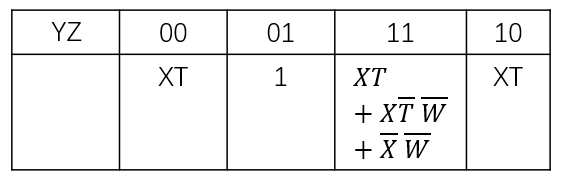
降W



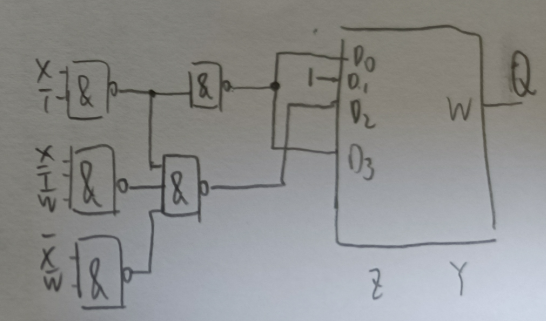
降T



降X



电路图



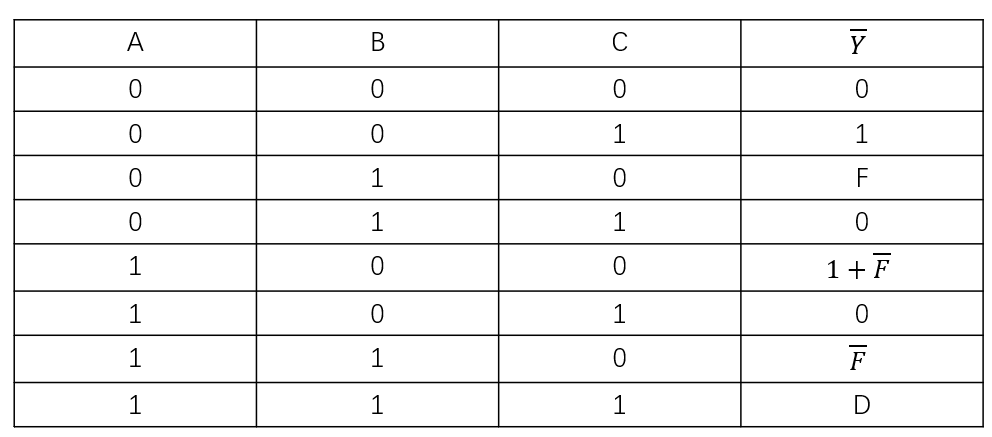
6.30 试用 1 个 8 选 1 数据选择器 74151 和非门实现函数

做化简后可得：

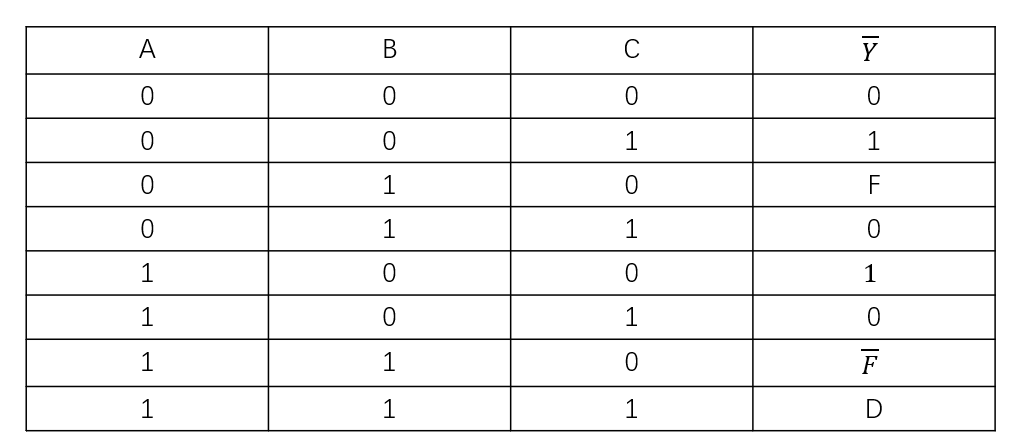


设计电路时，利用74151的输出作为Y。E作为使能端，, 输出，Y=1，芯片不用工作。

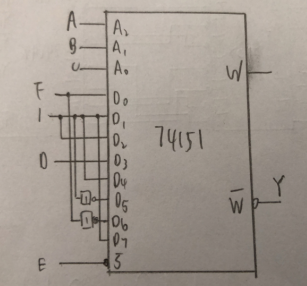
时，关于ABC的真值表为：



整理后得



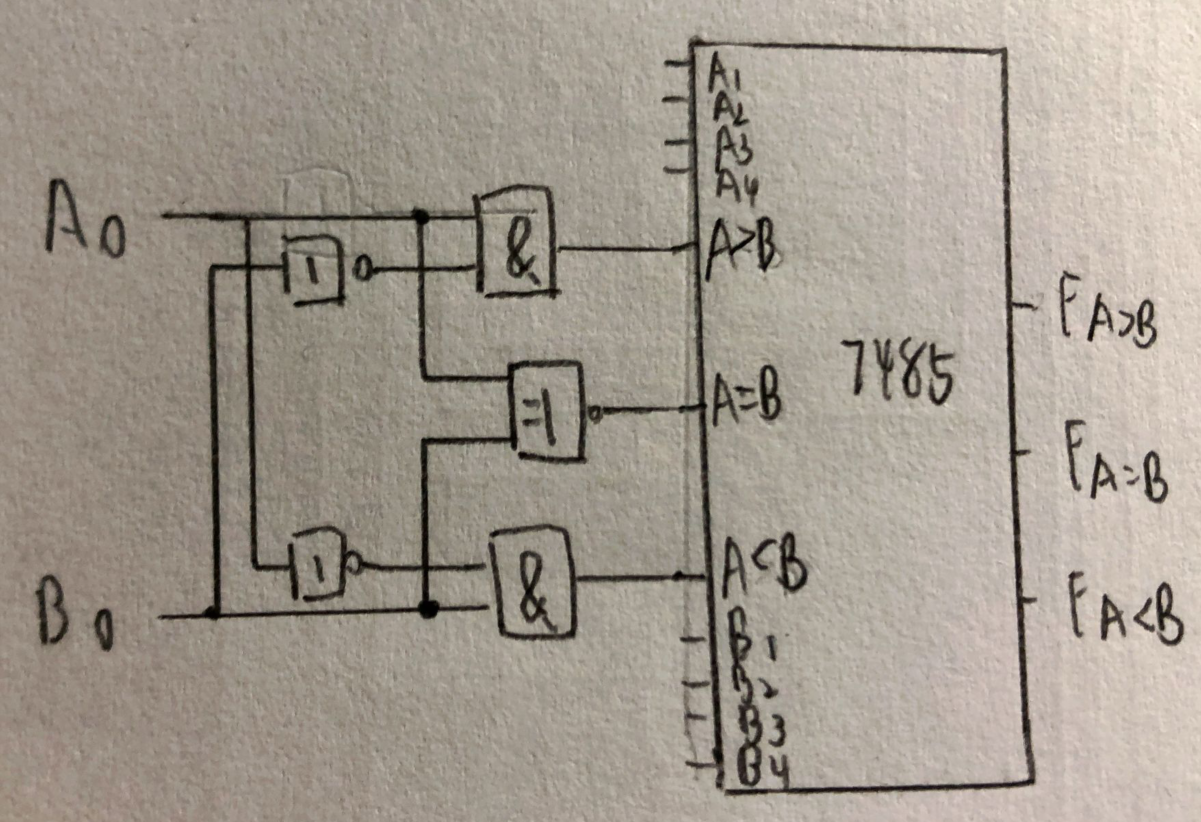
作逻辑图：



6.34 试用1片4位数值比较器7485和适当的门电路实现两个5位数值的比较。

用门电路作为最低位A0与B0的比较，并将结果填入7485的级联输入部分即可。

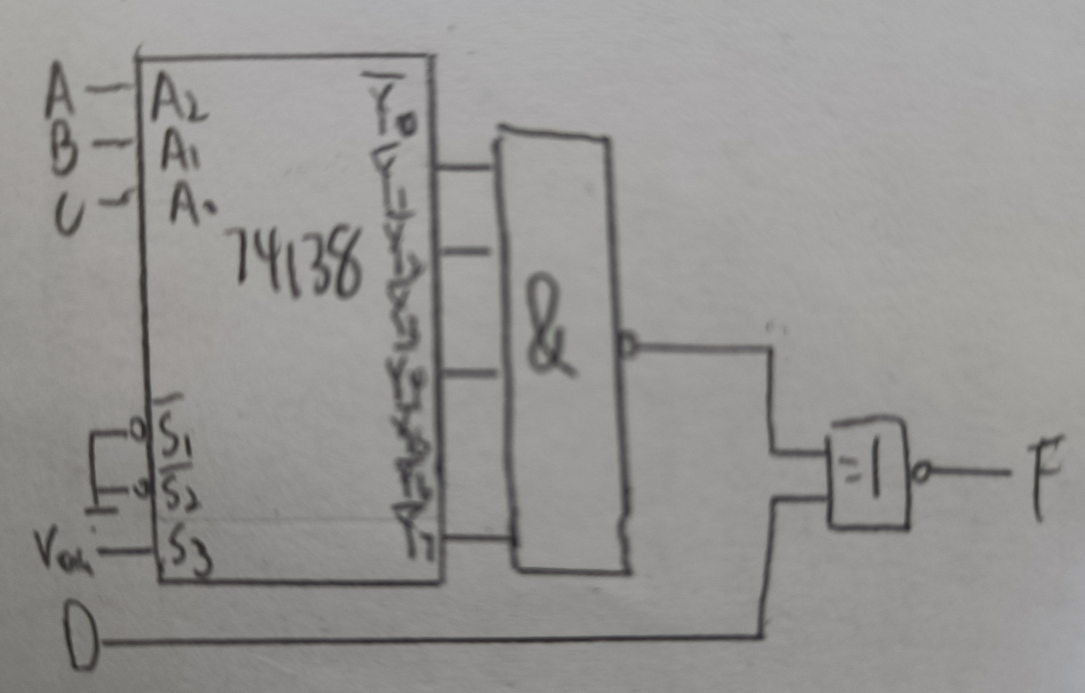
作如下电路图



6.37 试用一片译码器74138和少量的门电路设计一个奇偶校验电路，当输入变量ABCD中有偶数个1时输出为1，否则为0。ABCD为0000时作偶数个1。

74138可以实现3个变量的逻辑函数。

作如下电路图



6.40 试用4位加法器74283和必要的门电路设计一个加/减运算电器。当控制信号M=0时，两个输入的4位二进制相加，当M=1时，两个输入的四位二进制数相减。

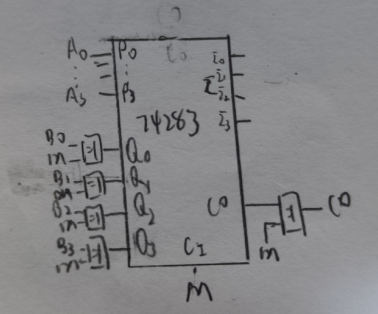
做减法时，A-B=A+B反+1-2^n

1. M=0时，Bnew=B。M=1时，Bnew=B反。

所以

1. C-1=M
2. M=0时，COnew=CO。M=1时，COnew=CO反。

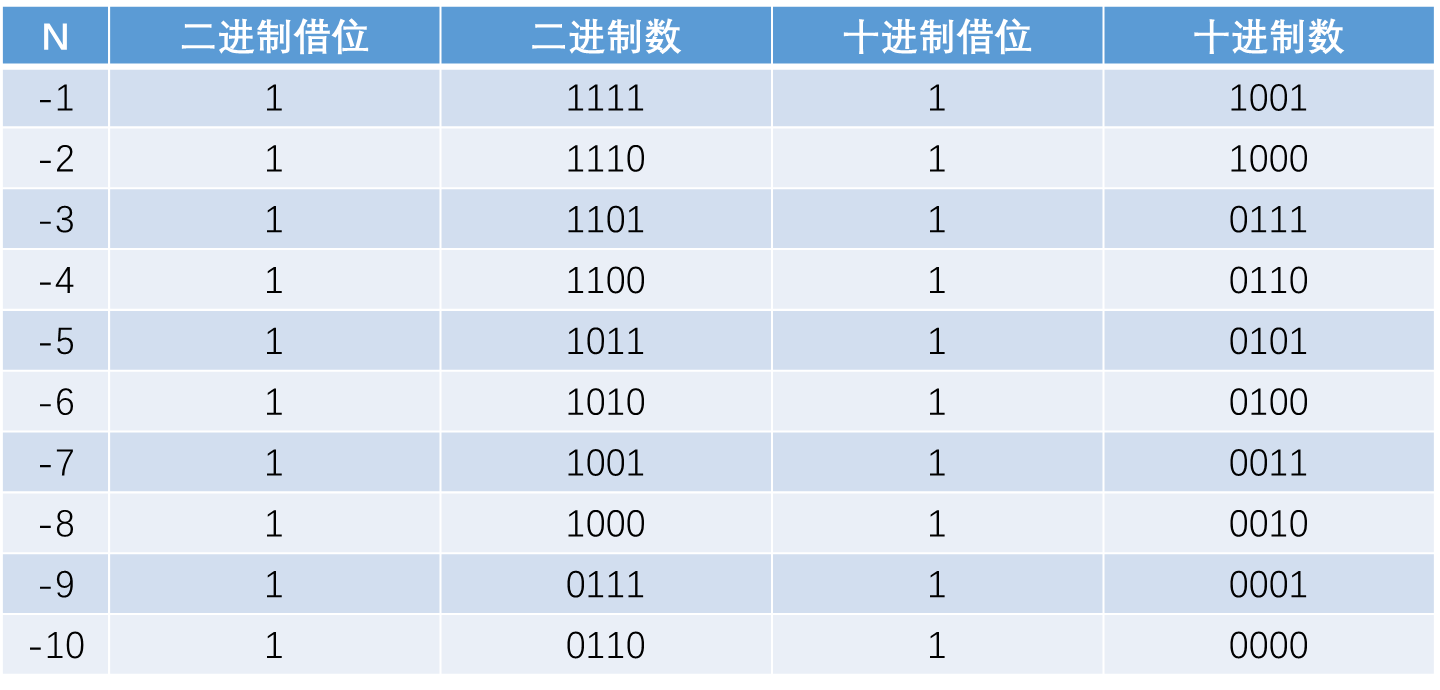
作如下电路图



6.43 用两片74283和适当的门电路设计1位8421BCD码的全减电路。

两个二进制数相减的结果和两个BCD码相减的结果有什么不同？

两个1位BCD码相减（全减），取值范围为-10~9。当结果是0~9的正数时，二进制结果与BCD码结果相同，不需要改造。当结果是-10~-1的负数时，结果有所不同。



二进制码结果可以看作16（借位）-真值，BCD码结果可以看作是10（借位）-真值。需要对于结果进行-6的改造。

所以，使用第一片74283完成二进制减法操作，只有结果为时，需要进行下一步改造操作。

对于结果的-0110改造，可以加上0110的反1001，并且C-1取1。第二片的CO可以不计。

对于结果的-0000改造，可以加上0000的反1111，同样C-1取1。

所以，作如下电路图

