

JL701N 蓝牙耳机 硬件设计指南

版本：V1.0

日期：2022.11.22

Copyright © Zhuhai Jieli Technology Co.,LTD. All rights reserved.

目录

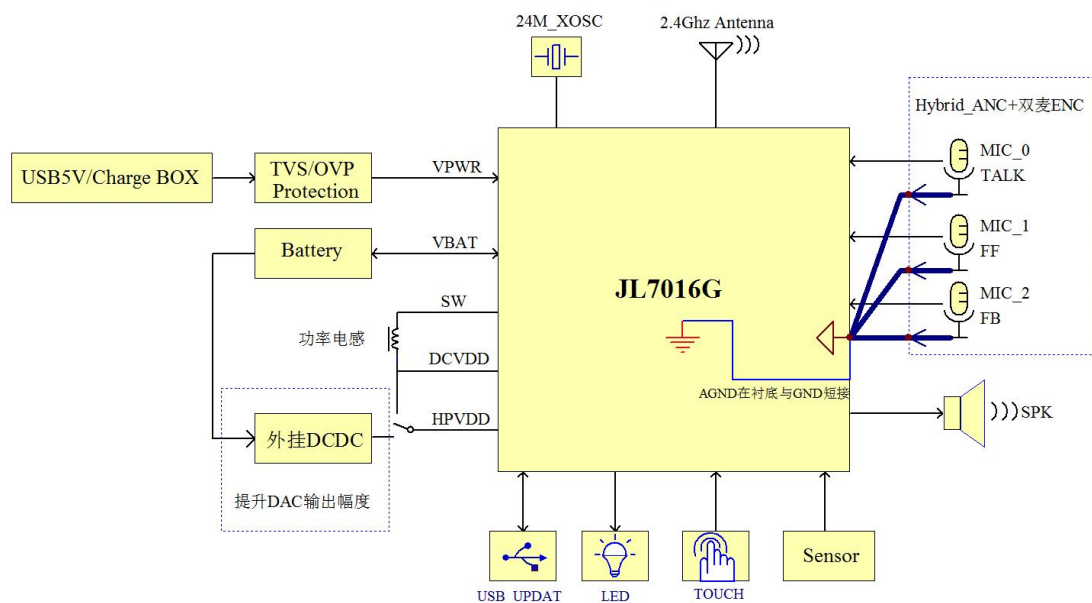
版本说明	1
第 1 章 硬件框架说明	2
1.1 JL7016G TWS 降噪耳机	2
1.2 JL7018F 头戴式降噪耳机	2
第 2 章 芯片最小系统说明	3
JL7016G 最小系统	3
JL7018F 最小系统	3
2.1 电源	4
2.2 地	7
2.3 晶振	8
第 3 章 主要功能模块硬件设计说明	9
3.1 蓝牙模块	9
3.2 AUDIO ADC 模块	11
3.3 AUDIO DAC 模块	15
第 4 章 认证相关	17
4.1 防静电设计	17
4.2 EMC 优化设计	18

版本说明

日期	版本号	更新描述
20221122	V1.0	初始版本

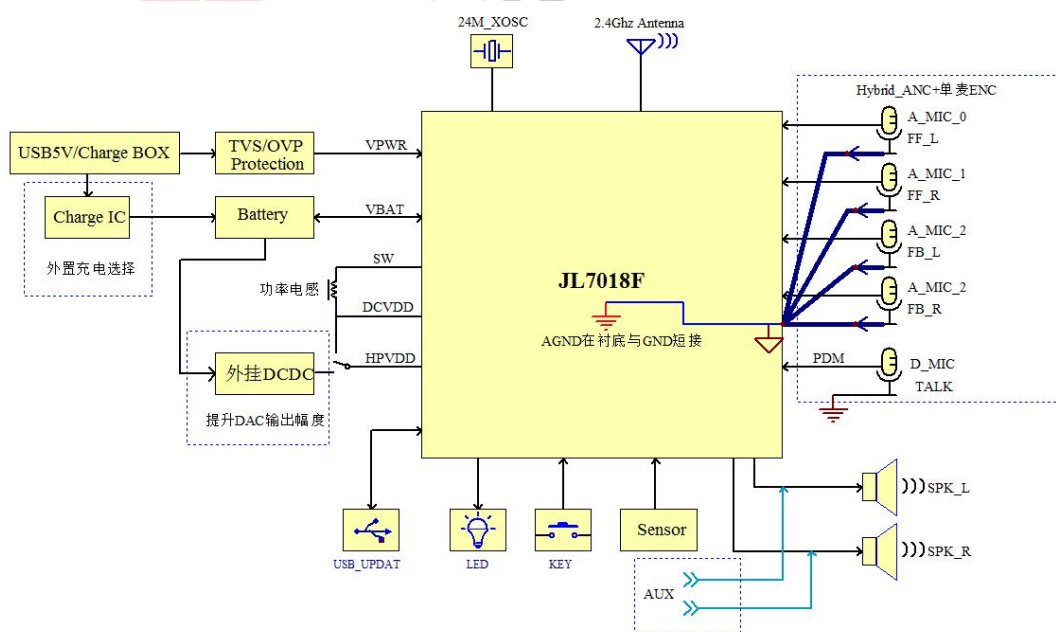
第 1 章 硬件框架说明

1.1 JL7016G TWS 降噪耳机



Hybird+ENC TWS 降噪耳机硬件框图

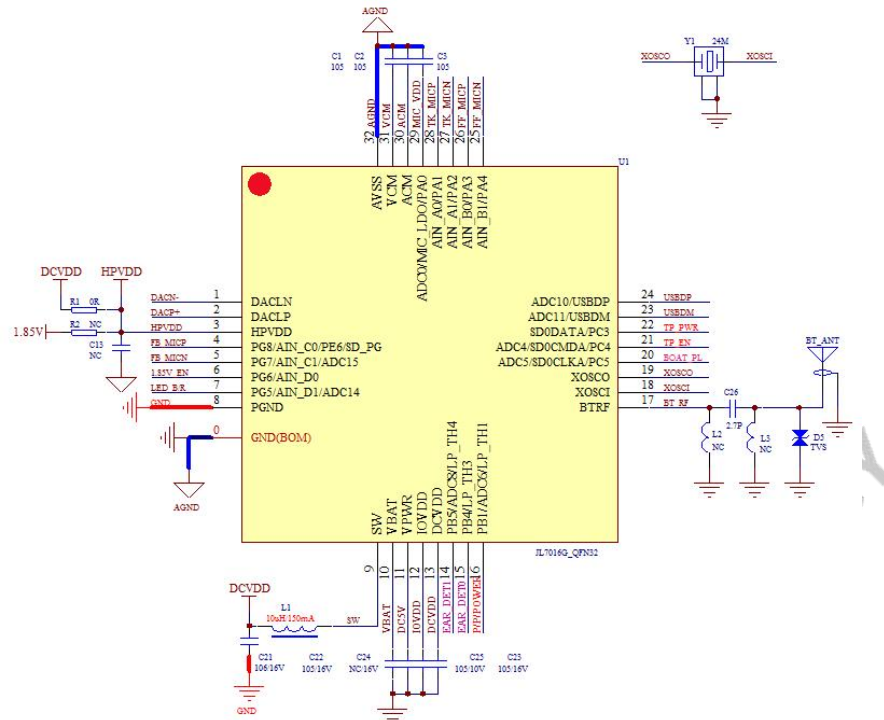
1.2 JL7018F 头戴式降噪耳机



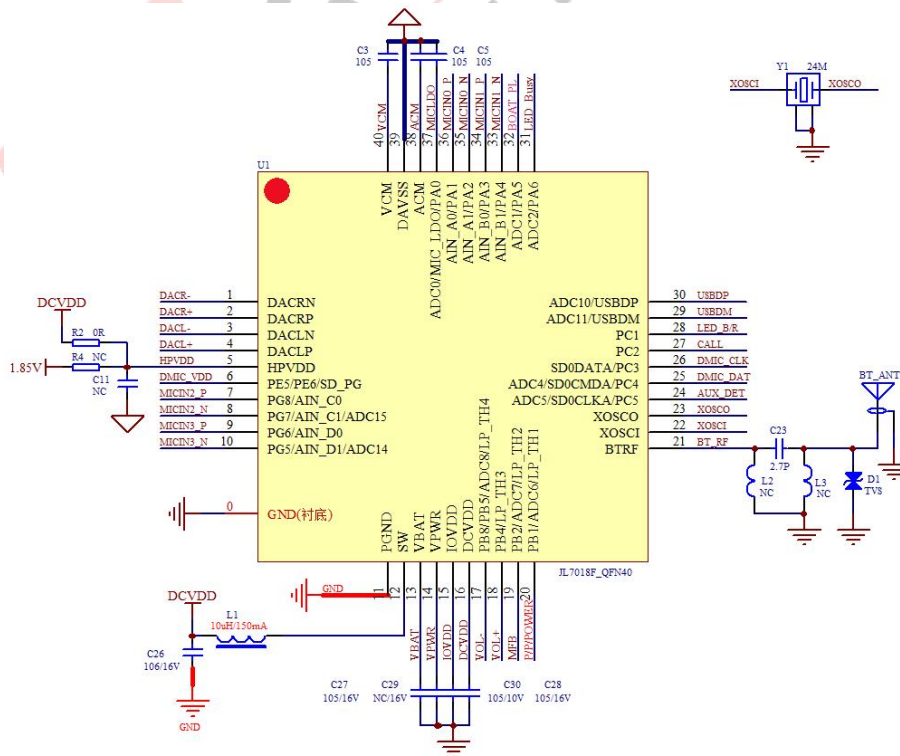
Hybrid+单麦 ENC 头戴式降噪耳机硬件框图

第2章 芯片最小系统说明

JL701N 芯片正常运行最小系统主要包括：电源、地、晶振等。如下图所示：



JL7016G 最小系统



JL7018F 最小系统

2.1 电源

(1) 电源系统参数

JL701NPMU 参数				
电源	Min.	Typ.	Max.	功能描述
V_{Bat}	2.2V	3.7V	4.5V	锂电池接口；
V_{IOVDD}	2.0V	3.0V	3.4V	IOVDD 逻辑电源（内部 LDO 输出）可寄存器配置电压输出档位；常输出电源，输出电压不可关断；
I_{IOVDD}	—	—	120mA	工作模式 IOVDD 带载电流， $V_{out}=3.2V@V_{drop}\geq 350mV$ ；
	—	—	20mA	休眠模式 IOVDD 带载电流；
V_{IOVDD2}	1.6V	1.8V	2.3V	IOVDD2 逻辑电压档位；
I_{IOVDD2}	—	—	20mA	工作模式 IOVDD2 带载电流；
I_{Q2}	—	10uA	—	休眠模式下 IOVDD2 的 LDO 模式静态功耗； Bypass 模式无此静电损耗；
V_{DCVDD}	1.0V	1.25V	1.4V	内部供电，支持 DC-DC 模式和 LDO 模式；
V_{LVD}	1.8V	2.5V	—	IOVDD 低电压检测； 可通过烧写器或者软件寄存器配置电压档位；
$I_{soft\ off}$	—	$2uA+I_{Q2}$	—	深度休眠功耗；

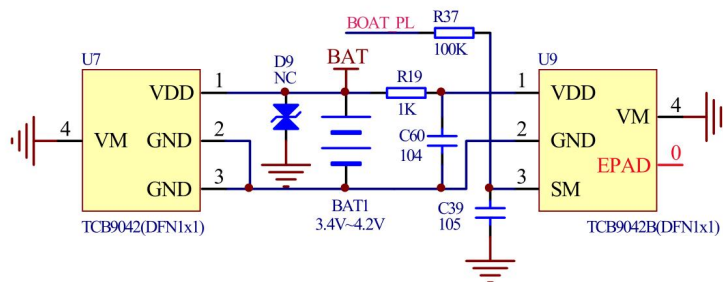
锂电池充电管理				
Charger	Min.	Typ.	Max.	功能描述
V_{PWR}	4.5V	5V	5.5V	充电输入范围；
$V_{Bat\ end}$	4.0	4.2V	4.5V	满电电压档位；
I_{Charge}	15mA	—	200mA	恒流充电，档位可调；
I_{Trikl}	1.5mA	—	15mA	涓流充电，档位可调；
I_{end}	2mA	—	30mA	充电电流判满，档位可调；
$V_{IH_{V_{PWR}}}$	1.05V	—	—	充电输入上升沿触发阈值；
$V_{IL_{V_{PWR}}}$	—	—	0.75V	充电输入下降沿触发阈值；

(2) VBAT

VBAT 为芯片供电电源输入口，内置 10-bit ADC 提供电池电压采样，需要靠近 VBAT 引脚处放置退耦电容，取值参考标准原理图。

设计注意事项：

- 退耦电容地以最短路径大面积回流到 VSS 管脚；
- 耳机方案建议加带船运模式的电池保护 IC，保证长时间放置电池不会漏完电，参考电路如下图：



c、VBAT 电压输入不能超过 4.5V，否则有损坏芯片风险；

d、走线线宽建议 0.2mm 以上。

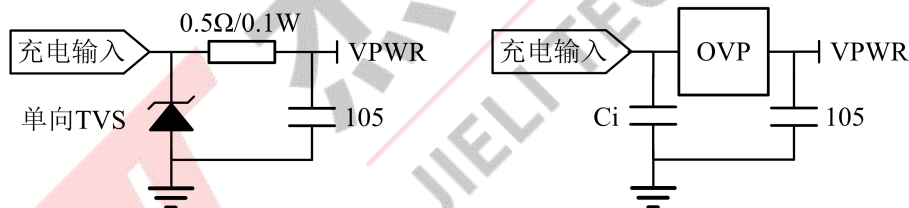
(3) VPWR

VPWR 为内置充电电压输入接口，功能包括：充电输入电压检测，电池电量检测，涪流充电，恒流充电，电池判满电压和判满电流等，支持寄存器配置充电相关参数。**使用外置充电时，VPWR 管脚可做充电插入检测。**

设计注意事项：

a、充电输入口 VPWR 输入电压应当小于 5.5V；

b、为防止浪涌或过压对充电口造成损害，VPWR 充电输入口建议用单向 TVS 保护管或外挂集成 OVP 保护 IC，如下图所示，电源布线必须先经过 TVS 焊盘后再引线到 VPWR 管脚。单向 TVS 选型推荐：ST0651D4/ST0571D4/ST0591D4。



保护充电保护电路

(4) IOVDD

IOVDD 为芯片内部 LDO3.3V 输出，可为外设供电，最大电流=120mA（包括 IO 所占功耗），电压范围：2V~3.4V，软件可调。为了保证电源稳定性，要求在 IOVDD 管脚网络上放置 1uF 或以上退耦电容。

设计注意事项：

a、退耦电容地以最短路径大面积回流到 VSS 管脚；

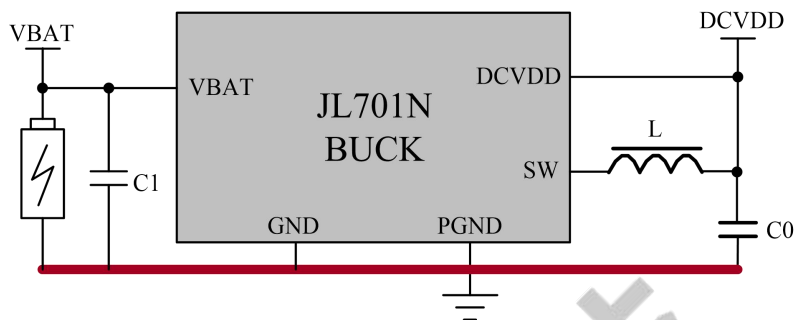
b、IOVDD 软关机后不掉电，为系统关机状态下提供电源；

c、IOVDD 为芯片内部内核、蓝牙、音频、GPIO 等的主输入电源，对芯片各模块性能影响极大，应尽量避免受其他高频信号干扰，保证电源稳定性；

d、走线线宽建议 0.2mm 以上。

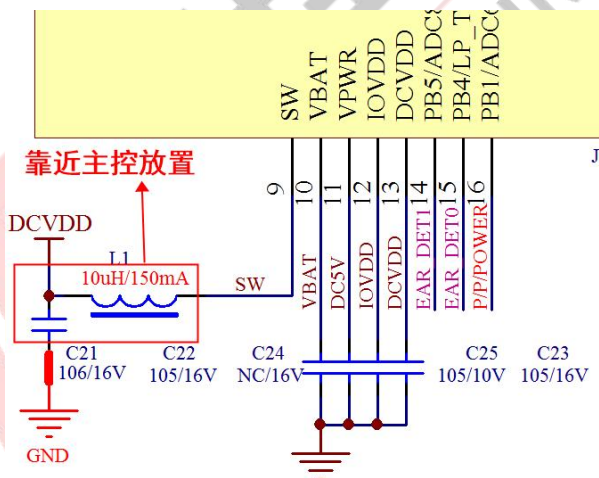
(5) DCVDD

DCVDD 支持 LDO（从 IOVDD 取电）和 DC-DC（从 VBAT 取电）两种取点方式。使用 DC-DC 模式，通过开关电源获取更大收益，从而降低整机电流，提升了电池使用效率。

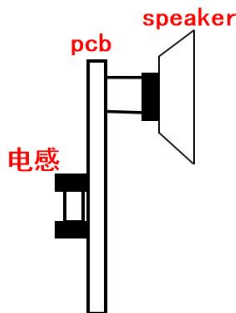


设计注意事项：

- a、DC-DC 模块滤波电容地以最短路径大面积回流到 PGND 管脚；
- b、VBAT 是 DC-DC 的电源输入，相应退耦电容应该靠近芯片 VBAT 管脚放置；
- c、绕线贴片电感规格选型：电感量为 10uH，直流电阻小于 0.5R，饱和电流大于 150mA；
- d、功率电感和退耦电容靠近芯片放置，主电流路径布线采用宽线和短线，减少寄生阻抗，如下图所示：



- e、为减少 SW 信号的 EMI 辐射，应当尽量缩短 SW 的布线长路，并用地网络屏蔽；
- f、DC-DC 输出电源需经过 106(C21)电容后才给 DCVDD 供电，并保证电容地回路与 PGND 连接良好；
- g、DC-DC 电源模块布局：**远离敏感信号如晶振、RF、音频信号等**，保证地回路完整；
- h、为防止高频电感辐射喇叭引起噪声，要求电感的位置不能正对喇叭，如下图所示：



(6) VCM

VCM 为模拟音频部分的电源。

设计注意事项：

- a、退耦电容地以最短路径大面积回流到 AVSS（部分封装为 DCVSS）；
- b、VCM 应避免受其他高频信号干扰，保证电源稳定性，避免影响音频性能。

2.2 地

JL701N 包含 4 种地网络：

- (1) VSS：芯片数字地，蓝牙射频模块、PMU 模块地，电池地。
- (2) PGND：内部 DC-DC 模块数字地，就近短接到主控 VSS。
- (3) AVSS/DAVSS：音频模拟地。

设计注意事项：

a、JL701N 系列的 AVSS 与 DAVSS 通过内部合邦短接，统称为音频部分的模拟地，除模拟地外的地统称为数字地；

b、所有产品必须严格区分模拟、数字地。模拟地的主控管脚位置，需要单独拉到电池地短接，如果受到板框限制，可以在主控衬底短接，保证地回路低阻抗；

c、VSS 网络（数字地）在 PCB 上需要大面积铺地，多层板设置一个完整的地层。设计完整的地回路（面积大、阻抗小）可有效的降低地噪声，提升芯片的 RF、DAC、ADC 性能和抗静电能力。四层板需要单独设计一个地层，保证整个地回路阻抗小。层叠结构可设为 S-P-G-S 或 S-G-P-S，完整地层建议与主控层相邻；

d、主控各个电源（如 IOVDD、VBAT、DCVDD、VCM 等）退耦电容严格按照标准原理图取值，必须靠近芯片放置，保证地以最短路径回流到芯片对应地引脚。

2.3 晶振

24MHZ 晶振必须选择精度高、稳定性好、可靠性强的晶振 ($\pm 10\text{PPM}$, 12PF 的负载电容), 晶振的品质直接决定产品的射频性能、系统的稳定性和可靠度, 差的晶振会导致各种不可预期的问题。按照规格要求选用晶振时, PCB 板上外置负载电容可 NC, 通过内部寄存器调节负载电容。

参数	Min.	Typ.	Max.	Unit
中心频率	-	24	-	MHz
内部电容调节范围	8	-	23	pF
内部电容调节步进	-	1	-	pF
晶体选型指导				
负载电容要求	-	12	-	pF
晶体频率误差	-	-	± 10	ppm
内阻	-	-	50	Ω

设计注意事项:

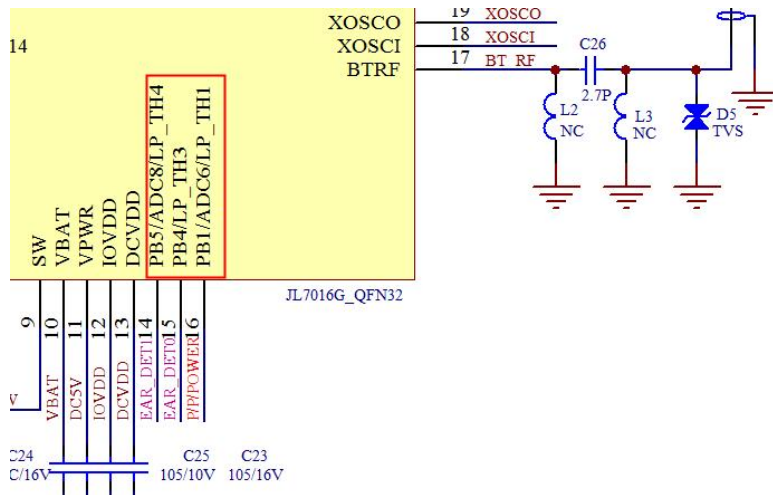
- (1) layout 应避开高频数字信号、敏感模拟信号, 并用完整的地把晶振信号包裹起来。
- (2) layout 晶振靠近主控引脚放置, 走线尽量短, 不宜过长。
- (3) 晶振管脚附近 IO 口, 不建议用于高速翻转的应用, 如 PWM 推灯等, 防止受高频信号干扰, 影响主控系统性能。
- (4) 不能用网分仪直接测试晶振脚信号频偏, 需把时钟信号映射到 IO 口输出, 再用网分仪测试对应 IO 口频偏。

第 3 章 主要功能模块硬件设计说明

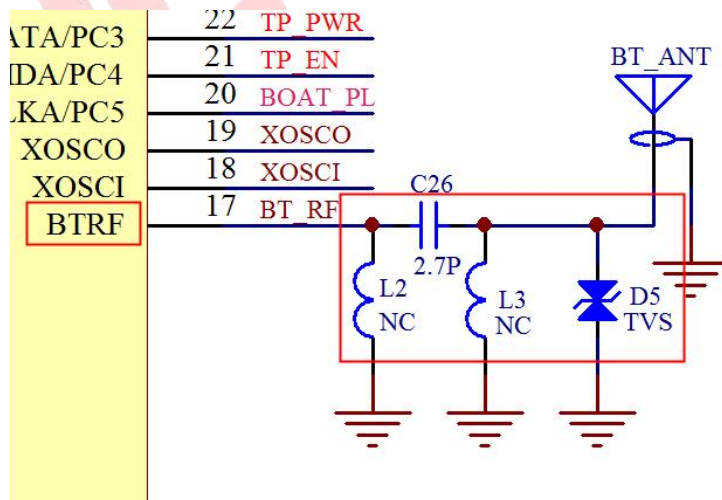
3.1 蓝牙模块

3.1.1 原理图设计注意事项

- (1) BTRF 管脚到芯片电源部分管脚间 IO 口，如下图标识的 IO，不建议用于高速翻转的应用，如推灯等，防止受高频信号干扰，影响 RF 性能。



- (2) BTRF 管脚旁边 IO 严禁用于高速翻转的应用，走线过长时，建议在靠近主控对应 IO 口附近预留串联电感或对地电容物料（建议电感 120NH，电容 10PF，不同板表现不同，物料需根据实际测试情况调整），以防影响蓝牙输出功率、接收灵敏度性能。
- (3) 空间允许的情况下，蓝牙天线尽量采用标准倒 F 型天线，或其它双级天线。
- (4) 预留 T 型或 π 型匹配网络，靠近天线端预留 TVS 管，提高抗静电能力，如下图所示，推荐静电管型号 ST0321D4S\HY9N3BU-D\ESD2D005LA。



- (5) 蓝牙天线匹配需采用高精度电感、电容物料，以保证产品蓝牙性能的一致性。

3.1.2 PCB 设计注意事项

(1) 布局方面：

- a、天线放置于板边，远离电池、金属（如磁铁、开关按键等）、人体等干扰源；
- b、保证地场尺寸的前提下，加大净空区；
- c、远离高频数字模块如：DCDC、推灯等，防止 RF 受干扰；
- d、远离模拟信号如麦克风、DAC 音频、喇叭等，防止辐射干扰导致高频噪声；

(2) 走线方面：

- a、走线需严格按 50 欧阻抗设计，可借阻抗设计工具（如 SI9000），根据板材、板厚、叠层结构设计出 50 欧特征阻抗下的线宽及线间距，也可让制版厂根据实际工艺进行设计；
- b、微带线走线平直、尽可能短且无分支，保证信号传输线的连续性，提高传输效率；
- c、天线参考地平面保证足够且完整，天线参考地平面及微带线周围放置密集的地过孔，提高辐射效率；
- d、天线上添加阻焊层，覆盖锡膏防止氧化；
- e、PCBA 需用网分仪进行阻抗匹配，同一机型不同布局走线、不同机型均需重新匹配，实际生产机器物料必须与样机匹配物料一致。

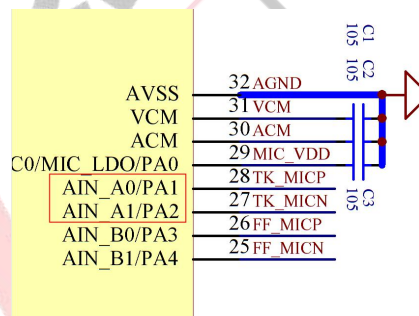
3.2 AUDIO ADC 模块

JL701N 支持 4 路 24bit ADC，可同时支持 4 路差分麦信号。接口定义如下表：

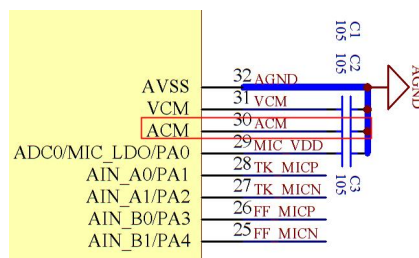
GPIO	功能	注意事项
PA1	AIN_A0	ADC 通道 0 差分信号正端输入
PA2	AIN_A1	ADC 通道 0 差分信号负端输入
PA3	AIN_B0	ADC 通道 1 差分信号正端输入
PA4	AIN_B1	ADC 通道 1 差分信号负端输入
PG8	AIN_C0	ADC 通道 2 差分信号正端输入
PG7	AIN_C1	ADC 通道 2 差分信号负端输入
PG6	AIN_D0	ADC 通道 3 差分信号正端输入
PG5	AIN_D1	ADC 通道 3 差分信号负端输入

3.2.1 原理图设计注意事项

- (1) Audio ADC 管脚附近的 IO 口，严禁用于高速翻转的应用，如 PWM 推灯、SPI、IIC、UART 通信等，防止受高频信号干扰，影响音频性能。
- (2) ANC 方案要求使用差分输入，可以提高抗干扰性能，A0/A1，B0/B1，C0/C1，D0/D1 为差分对信号，0 为正端、1 为负端，不能任意更换。
- (3) 带语音唤醒（VAD）方案要求通话麦必须使用 A0/A1 这一路 AD 信号，如下图所示，FF 麦和 FB 麦没有要求，可在 B0/B1，C0/C1，D0/D1 三组中任选。

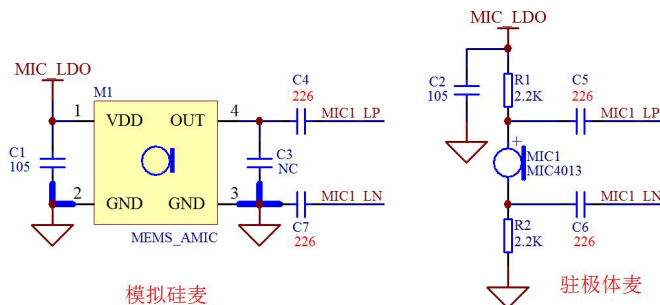


- (4) 带语音唤醒（VAD）方案要求 ACM 引脚加对地电容，如图所示：

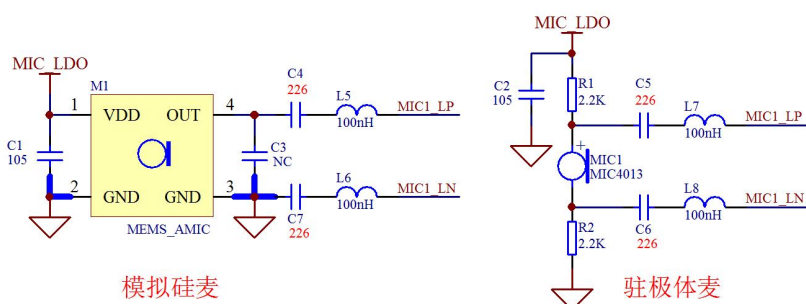


- (5) 差分模式下，麦偏置电压需要用 MICLDO（PA0）或者普通 IO 供电，如果是驻极体麦必须使用 MICLDO 供电，如果是模拟硅麦，在 IO 口充足的情况下，建议使用普通 IO 供电可以灵活控制不同模式下的功耗。

- (6) ANC 降噪方案要求 FF 麦跟 FB 麦选用 226 隔直电容，通话麦可以使用 105 隔直电容，模拟麦（包括模拟硅麦、驻极体麦）的电路设计如下：



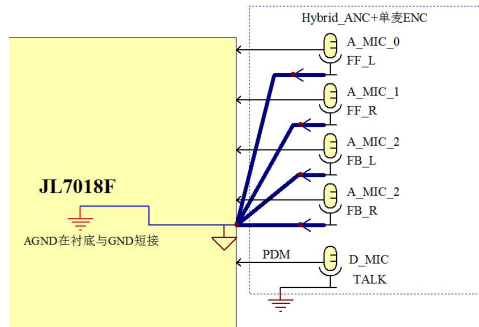
在 ADC 输入电路上串联电感，有助于提升抗干扰能力。特别是因为模具限制，麦克风和 RF 天线靠的很近被干扰，在无法调整结构的情况下可以调整 ADC 输入电路，降低射频干扰。



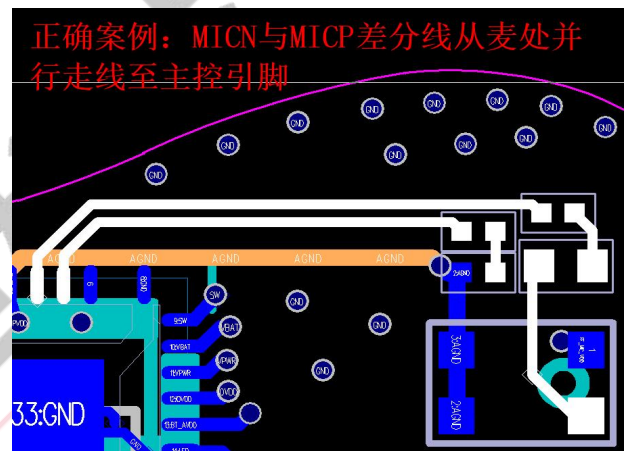
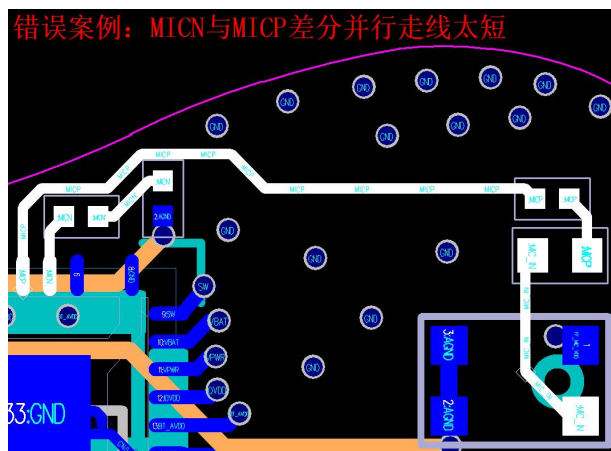
- (7) 头戴式混合馈方案，可以利用一个 FF 麦做为通话麦，也可以用一个数字麦做通话，如果使用 FF 麦做为通话麦，要求模具上麦孔位置不能距离人声太远，否则会影响通话效果。

3.2.2 PCB 设计注意事项

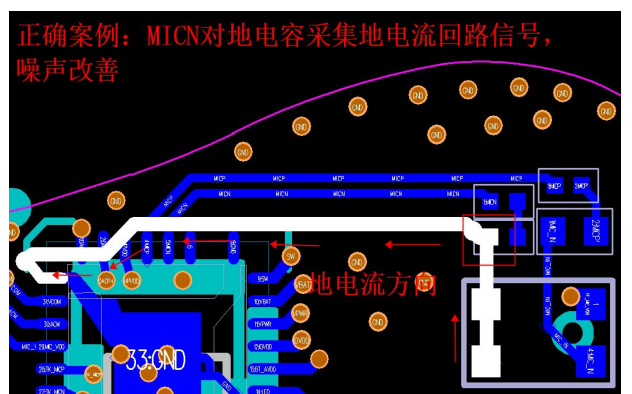
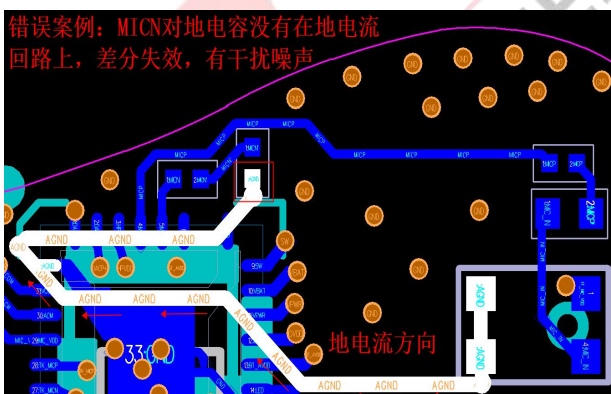
- (1) Audio ADC 属于模拟敏感信号，布局走线应远离以下部分，避免与之相邻或并行走线：
 - a、数字信号：SW、PWM 推灯、PDM、IIC、SPI、UART、触摸检测等；
 - b、数字电源：VBAT、IOVDD、BTVDD 等；
 - c、辐射体：功率电感、RF 天线，电池等；
 - d、振荡信号：晶振等。
- (2) Audio ADC 布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响。
- (3) Audio ADC 参考地需用 AVSS (DAVSS)，每一组参考地要求与主控 AVSS (DAVSS) 管脚单点连接。走线时需和相应的音频信号线并行走线，尽可能宽，减小环路面积和回路阻抗，保证良好的信噪比，如下图所示：



- (4) 差分麦需按照差分走线规则，MICP 和 MICN 需从麦处并行走线至主控引脚，以达到最好的抗干扰效果，如下图所示：

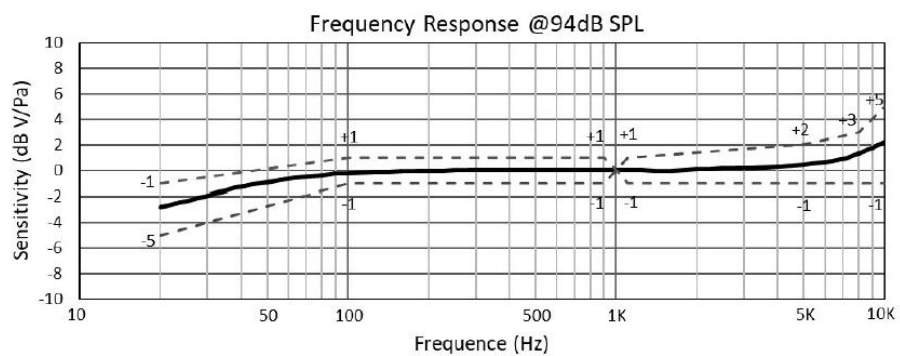


- (5) 每一组差分麦 MICN 需在自己地电流路径上，采集各自地回路信号，避免差分信号失效，导致抗干扰变差，产生噪声，如下图所示：



3.2.3 ANC 方案模拟麦克风选型

- (1) 灵敏度： $\geq -38\text{dBV}$ 。
- (2) 信噪比： $\geq 62\text{dB}$ （FB_MIC 信噪比要求更高）。
- (3) 良好的低频响应：Relative (1KHz) 曲线，50~1KHz 的偏差在 $\pm 1\text{dB}$ 范围内。



3.3 AUDIO DAC 模块

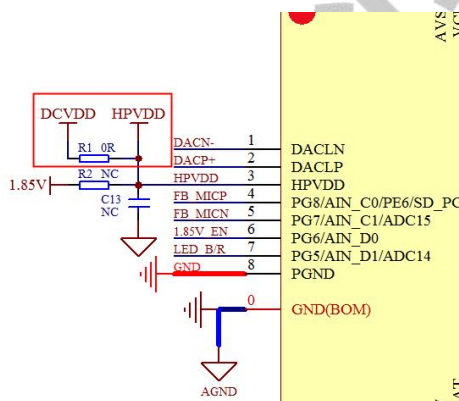
3.3.1 原理图设计注意事项

(1) DAC 输出支持低压和高压两种模式可以选择，不同模式最大电平输出幅度不一样，具体如下表所示，可根据应用场景灵活选择。

模式	输出形式	最大输出电平 (V _{pp})
低压×1	差分	1.9V
高压×1.5	差分	2.9V

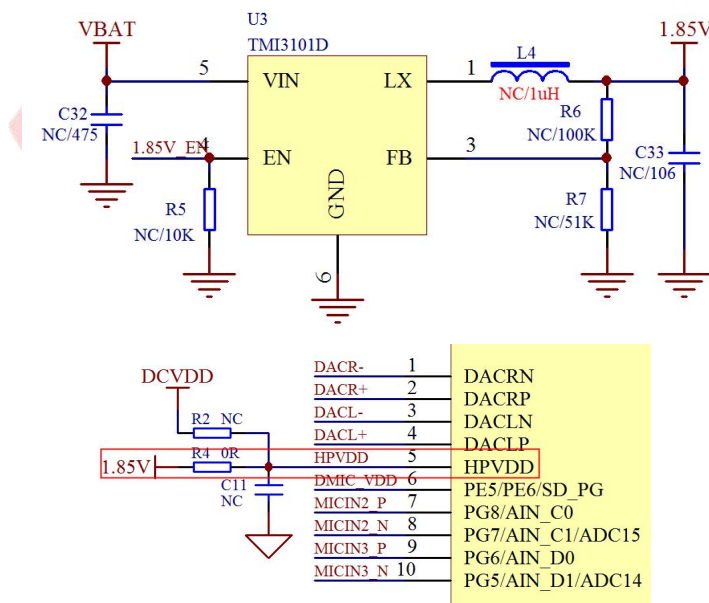
a、低压×1

DAC 选择低压输出，HPVDD 电源需要接到 DCVDD 电源，如图所示：

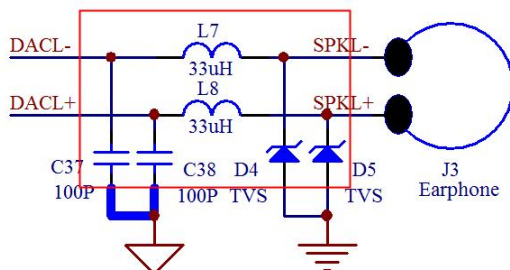


b、高压×1.5

DAC 接高压输出适用于喇叭灵敏度较低的情况，可以提高 DAC 的输出摆幅，提高 ANC 稳定性，需要外置 DCDC 模块输出 1.85V 电压，HPVDD 接到 1.85V 电压，如图所示：



- (2) DAC 管脚附近的 IO 口，严禁用于高速翻转的应用，如 PWM 推灯、SPI、IIC、UART 通信等，防止受高频信号干扰，影响音频性能。
- (3) DAC 到喇叭之间要求预留 LC 电路和静电管，来提高 DAC 的抗干扰能力和抗静电能力，如下图所示，推荐静电管型号 ST0371S9。

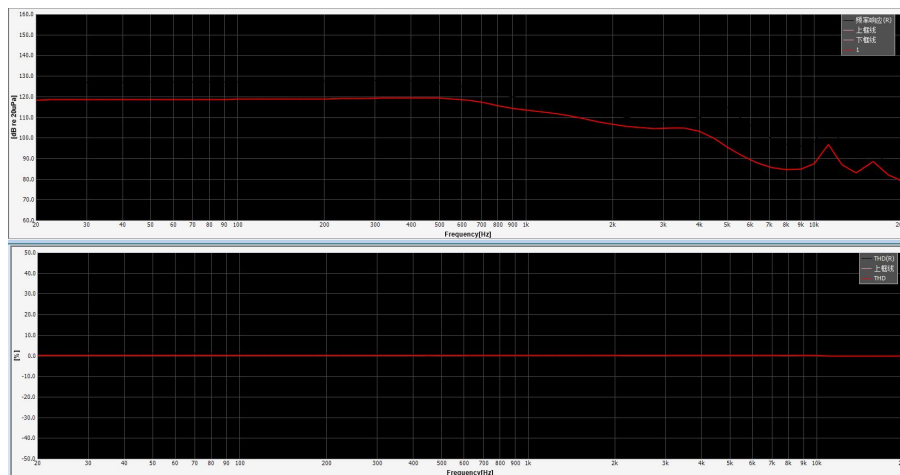


3.3.2 PCB 设计注意事项

- (1) DAC 属于模拟敏感信号，布局走线应远离以下部分，避免与之相邻或并行走线：
 - a、数字信号：SW、PWM 推灯、PDM、IIC、SPI、UART、触摸检测等；
 - b、数字电源：VBAT、IOVDD、BTVDD 等；
 - c、辐射体：功率电感、RF 天线，电池等；
 - d、振荡信号：晶振等。
- (2) DAC 布线路径尽量用地线包裹屏蔽，减少其他干扰源的影响。
- (3) DAC 参考地需用 AVSS (DAVSS)，走线时需和相应的音频信号线并行走线，尽可能宽，减小环路面积和回路阻抗，保证良好的信噪比。
- (4) DAC 差分并行走线至喇叭端输出，LC 抗干扰物料靠近主控端放置，电感最小封装 0402。

3.3.3 ANC 方案喇叭选型

- (1) 灵敏度： $\geq 115\text{dB SPL/mW}$ （灵敏度越高越好，但是灵敏度越高，喇叭一致性和失真度容易变差）。
- (2) 失真度：THD $<1\%$ 。
- (3) 良好的低频响应：500Hz 之前的频率越平坦越好，中频平缓下降，1K 点不低于 100dB SPL/mW。



第 4 章 认证相关

4.1 防静电设计

静电防护主要目的：

- (1) 防止产品生产、运输及终端客户使用的情况下，由于生产环境在干燥低温、或其他情况下产生的强静电，而造成电子器件功能异常或性能变差的情况。
- (2) 为了通过电子产品的防静电测试标准。

4.1.1 硬件设计阶段防静电措施

- (1) 产品结构设计阶段，尽量增加产品模具的壳体厚度，做好密封，加大 PCBA 与壳体的间距，来堵住或者削弱外界静电干扰源。
- (2) 板边为易受静电干扰的地方，因此板边尽量不要走信号线，敏感器件尽量放置于板的中间位置，且最好用 GND 铺铜处理。
- (3) 对易受静电影响的敏感信号及器件做静电加强措施：
 - a、靠近 RF 天线入口，必须预留 TVS 管（寄生电容小于 0.5pF），靠近芯片 BTRF 脚预留 2.4G 滤波器。RF 布线、RF 天线必须远离静电入口，条件允许的情况下，尽量选用倒 F 天线或其他双极性天线，天线做盖油、打胶处理；
 - b、充电输入脚预留 TVS 管，降低充电插入静电及浪涌危害；
 - c、成品可触碰接口处各信号线必须预留 ESD 管，如按键等；
 - d、静电有尖角放电特性，铺铜时应尽量避免尖角，特别是敏感信号附近，有尖角应尽量补铜箔使其平滑；
- (4) 保证地的完整性，裸露的接口如 LINEIN、按键等布局、走线尽量靠近电池，多打地过孔。地回路必须大面积铺地回流到电池地，避免铺地出现窄带、细线、破碎等现象，必要时可以设计为多层板，其中一层设计为完整的地层，让外界进入 PCBA 的静电尽快通过地疏散开。大部分认证相关的静电问题均可通过优化地回路处理。

4.1.2 生产阶段防静电措施

产品生产会有很多的工序，要求每一个生产环节都要做好静电源头的屏蔽措施，如 PCB 贴片、PCBA 抽检、组装、测试、成品包装、运输等环节。具体如下：

- (1) 任何跟芯片、PCBA 直接接触的设备环境，必须做好静电防护处理。
- (2) SMT 贴片阶段，建议先贴电阻、电容、ESD 管等，最后贴 IC 芯片。
- (3) 后焊、组装及测试阶段，员工必须佩戴防静电手环、手套，穿静电防护衣服、鞋子等，包括所有需要用到的工具，都必须做好静电防护措施。
- (4) 包装材料要规避容易产生静电的材料。
- (5) 运输过程，做好包装处理，隔绝静电。

4.2 EMC 优化设计

电磁兼容性设计的目的是使电子设备既能抑制各种外来的干扰，使电子设备在特定的电磁环境中能够正常工作，同时又能减少电子设备本身对其它电子设备的电磁干扰。

预防 EMC 问题的设计成本远小于出现 EMC 问题后的整改成本，建议需过 EMC 认证的项目，预防为主，防治结合，硬件设计阶段合理布局、LAYOUT，对容易造成电磁兼容的信号、器件预留整改物料位置，再根据样机实际测试情况进行整改。建议如下：

- (1) 保证接地点良好，地的完整性是控制干扰和防止被干扰的重要方法，如果能将正确的接地和屏蔽结合起来，可解决大部分干扰问题，尽量加粗接地回路，否则变化的大电流会导致信号电平不稳定，抗噪声能力变差。
- (2) 任何高频数字信号，都极易产生干扰，导致杂散辐射超标，由于高频信号在 PCB 上走线会产生瞬变电流，导线的寄生电感把电信号转换为磁信号辐射出去。因此，硬件设计需尽量减小信号线走线的电感量。导线的电感量与其长度成正比、宽度成反比，走线要求尽可能短，线尽可能宽。信号线周围用地网络包裹起来。
- (3) 在器件布局方面，应把同模块相互关联的器件尽量靠近放置，提高抗干扰能力；对易产生高频信号的器件，尽量靠近主控放置。同时，高频数字信号预留串联电阻、串联磁珠、对地电容位，以便方便整改。