

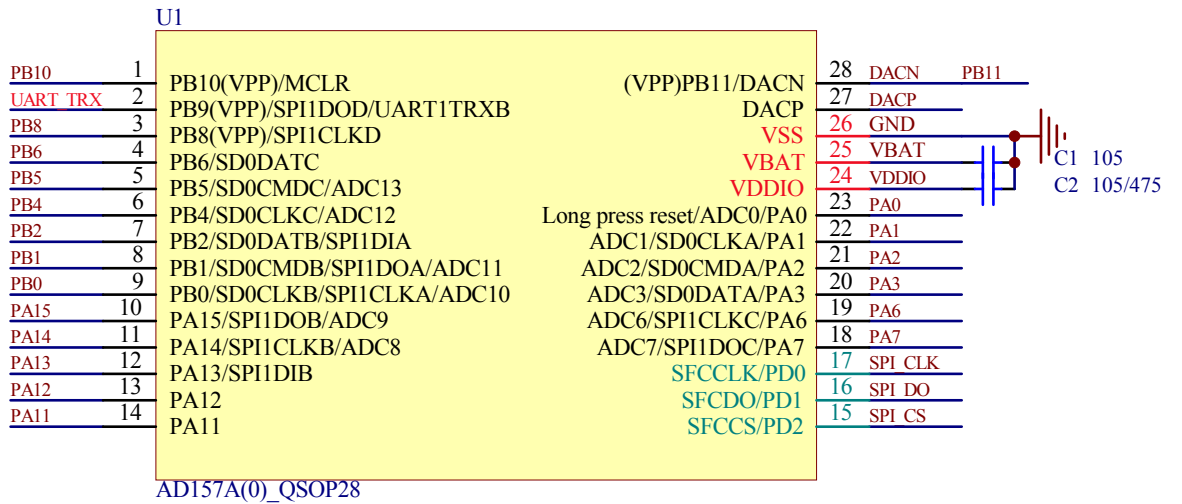
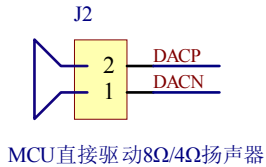
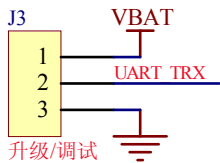
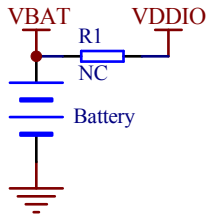
版本更新说明		
版本号	更新日期	更新点:
V1.0	2021.1020	原始版本
V2.0	2022.1108	1.外置flash CS信号增加上拉电阻; 2.增加必要备注说明;

产品设计安全规范:

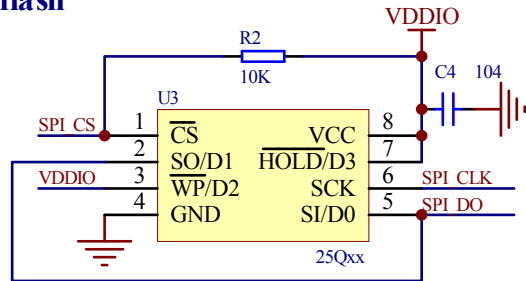
- 1.元器件物料必须保证质量, 电容耐压值应大于最大工作电压一倍以上;
- 2.锂电方案必须带锂保, 如果电池不带锂保, 硬件设计需添加过流过放电路。
- 3.外露接口和后焊物料: 充电输入, 电池, SD卡, 喇叭等, 做好静电和浪涌保护措施, 整机ESD 应符合最低标准, 接触 $\pm 4\text{K}$ , 空气 $\pm 8\text{K}$ 。

芯片使用说明:

- 1.VBAT输入电压不超过5.5V, 内置LDO3V输出至VDDIO (3.2V/100mA@0.3Vdrop);
- 2.VDDIO可软件配置电压输出档位, 不可关断输出状态, 软开关方案注意避免外围漏电流;
- 3.干电池或纽扣电池供电时, 可以VBAT与IOVDD短接供电, 输入电压必须小于+3.6V;
- 4.VDDIO必须连接去耦电容接VSS, layout时必须保证去耦电容良好的去耦路径, 必要时可以适当增加VDDIO的电容量;
- 5.GPIO支持输入, 输出和高阻状态, 内部可配置上下拉电阻, 支持最多12路唤醒源映射至任意GPIO;
- 6.GPIO电压输入范围0~VDDIO, 耐5V IO (PB8,PB9,PB10,PB11) 电压输入范围0~+5.5V, 严禁过压;
- 7.普通GPIO输出驱动电流有4档配置, 耐5V IO不能做数码管驱动应用;
- 8.PB10默认上拉, 默认短接复位, 复位功能可屏蔽;
- 9.PB0、PB1上电默认下拉60K;
- 10.ADCn表示10bit-SAR ADC的输入通道n, 输入范围0~IOVDD, 3FF对应电压为IOVDD;
- 11.PD口是flash驱动接口, 也是内置flash的驱动接口,A0型号为外置flash方案,支持最大512Mbit容量;
- 12.集成class-D APA, 直推喇叭输出功率0.5W-800mW@HPVDD3.7V(VBAT合邦HPVDD), APA输出功率随HPVDD电压变化; APA输出信号可经过RC低通滤波后输入到差分功放, 增加音频输出功率;
- 13.DACP, DACN可做IO输出, Ron<1.5Ω@HPVDD3.7V, 休眠时不可输出, 输出态会导致休眠功耗增加; DACP与DACN输出电流总和小于200mA(即HPVDD电流小于200mA), 硬件设计时, 禁止超出电流限制; PWM可映射到DACP和DACN输出;
- 14.红外接收管信号IRDA支持映射到任意GPIO输入;
- 15.开发升级或使用IT8量产的必要测试点: VBAT, GND, PB9串口升级;



## 外挂flash



1bit模式spi

## MCU、Speaker、Flash