Учреждение образования

«Белорусский государственный университет информатики   
и радиоэлектроники»

Кафедра Электронных вычислительных машин

Отчет по лабораторной работе № 4

Тема: «Арифметико-логическое устройство»

Выполнил:

студент группы 150501 Михалович Т.В.

Проверил:

Стракович А.И.

Минск 2023

# 1. Задание

Вариант 15.

Размер ША – 8

Размер ШД – 10

Команда 1 – M–>R с косвенной адресацией

Команда 2 – jmp относительный со смещением адресации

Команда 3 – ROR

Команда 4 – ROR

Команда 5 – ROR

# Разработать архитектуру системы команд (АСК) для команд выданных по варианту.

Ввести шину адреса (ША), шину данных (ШД) и шину управления (ШУ).

Разделить память на память данных (блок RAM) и память команд (блок ROM). На адресные входы завести ША. Ввод и вывод данных осуществлять через ШД.

Ввести блок регистров общего назначения (РОН) и управляющую логику для него. Кол-во регистров 4-8-16 (на выбор).

Написать микропрограмму (4-6 вызовов команд) в которой указать конкретные адреса памяти или регистров.

Записать микропрограмму в память команд (ROM) (в файл \*.hex или \*.mif).

Записать необходимые данные для микропрограммы в память данных (RAM) (в файл \*.hex или \*.mif).

Разработать устройство управления (УУ) которое будет считывать, декодировать и выдавать управляющие сигналы для выполнения полученной команды.

Ввести специальные регистры, разрядность которых определяется разрядностью ШД. Физически разместить их в блоке управления.

Промоделировать работу схемы.

# 2. Выполнение

**Программа:**

|  |  |
| --- | --- |
| **Символьный вид** | **Числовой вид** |
| mov R0, $10 | 0000000001 0000001010 0000000000 |
| jmp 5 | 0000000010 0000000101 0000000000 |
| mov R1, $11 | 0000000001 0000001011 0000000001 |
| $12 OR 13 | 0000000011 0000001100 0000001101 |
| $14 ROR 3 | 0000000100 0000001110 0000000011 |
| $5 CMP 2 | 0000000101 0000000101 0000000010 |

**Основная схема.**

Основная схема представлена на рисунке 2.1.

**Устройство управления.**

Схемная реализация устройства управления представлена на рисунке 2.2.

**Блок регистров.**

Схема блока регистров представлена на рисунке 2.3.

**Блок POM.**

Схема блока регистров представлена на рисунке 2.4.

**Блок PAM.**

Схема блока регистров представлена на рисунке 2.5.

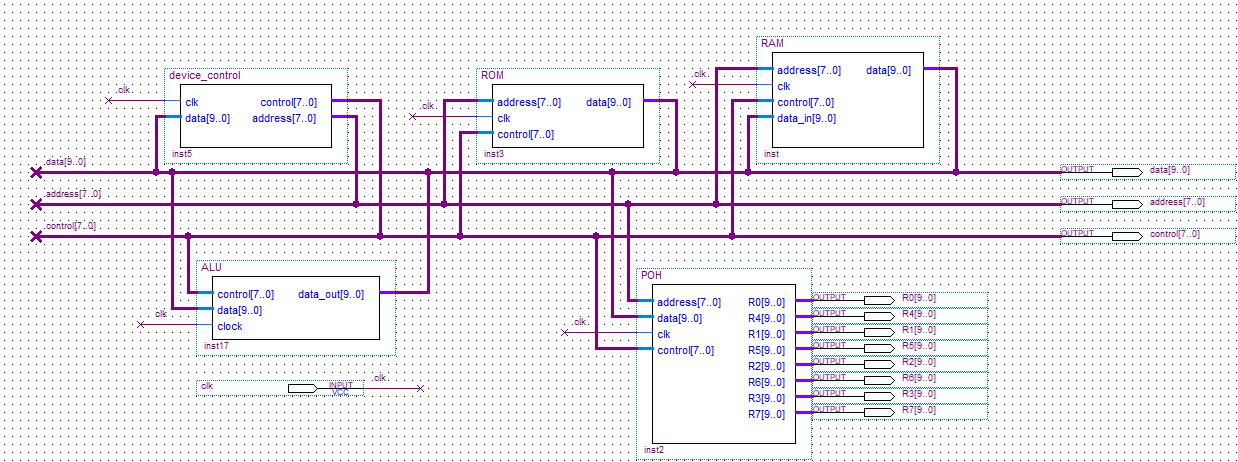


Рисунок 2.1 – Основная схема

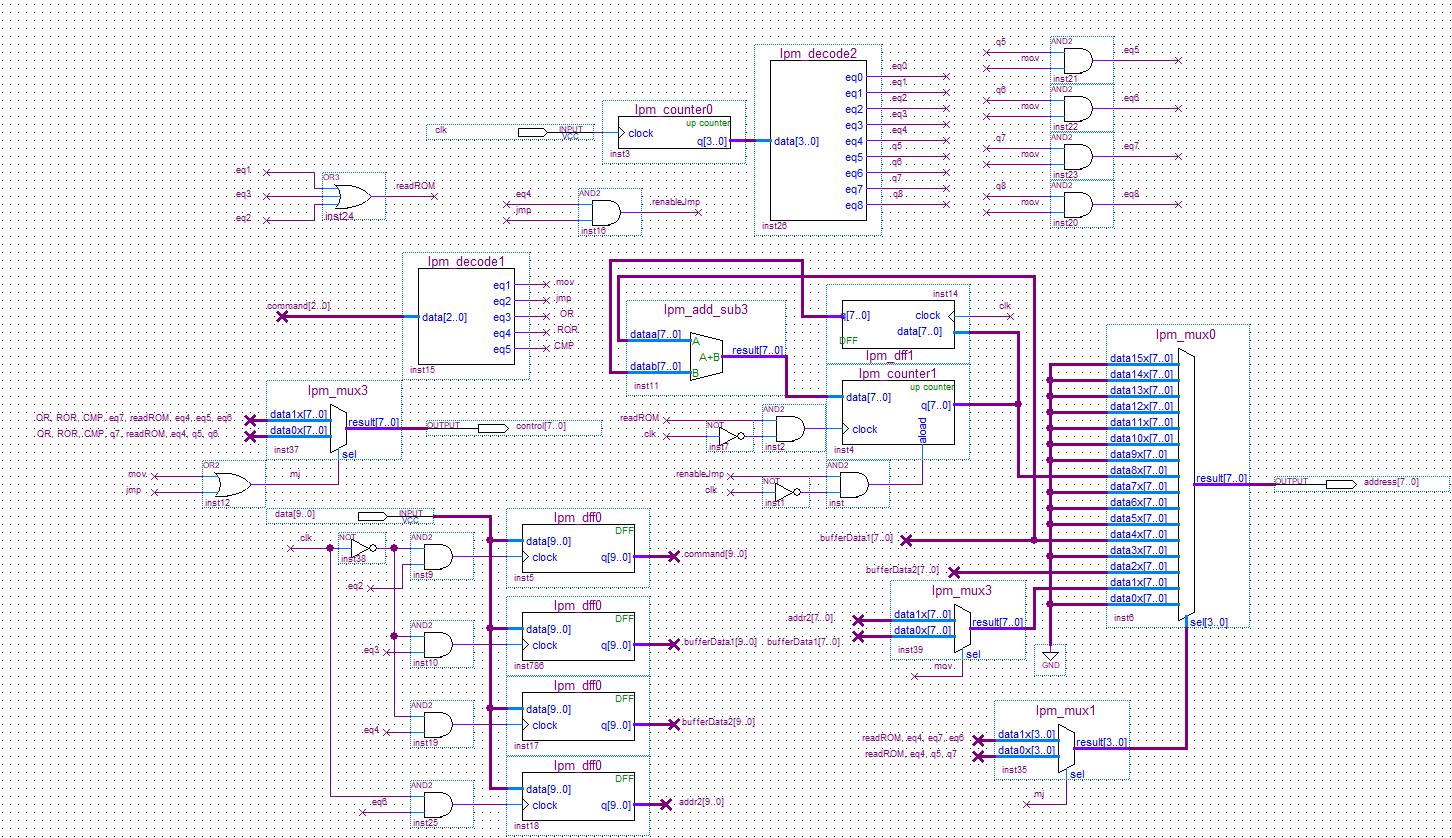


Рисунок 2.2 – устройство управления

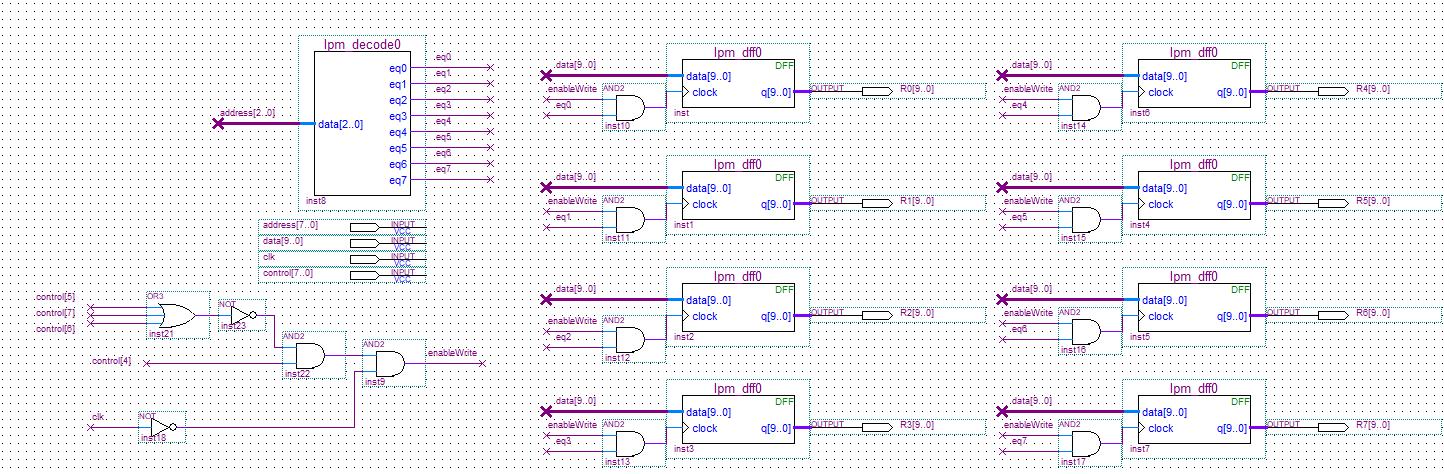


Рисунок 2.3 – блок регистров

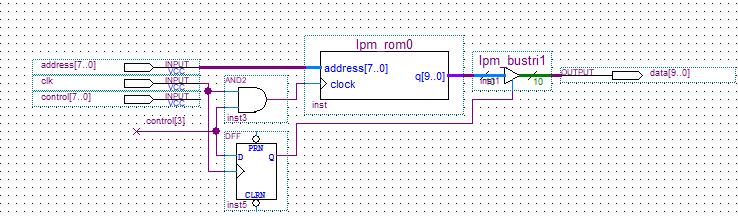


Рисунок 2.4 – Блок POM

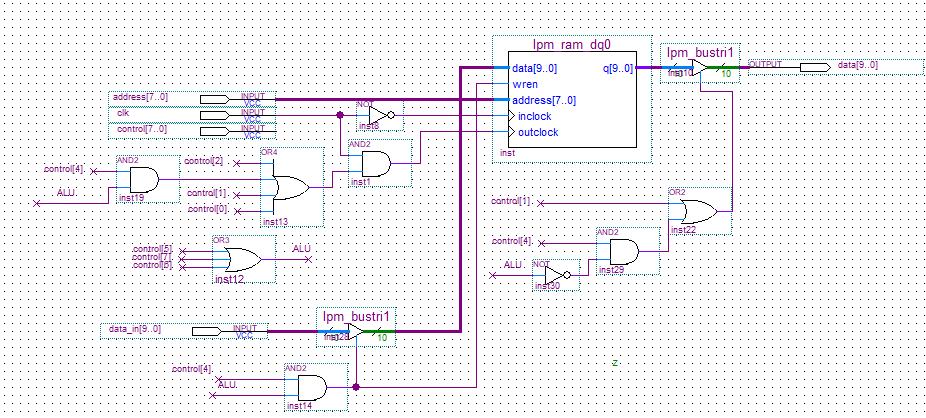
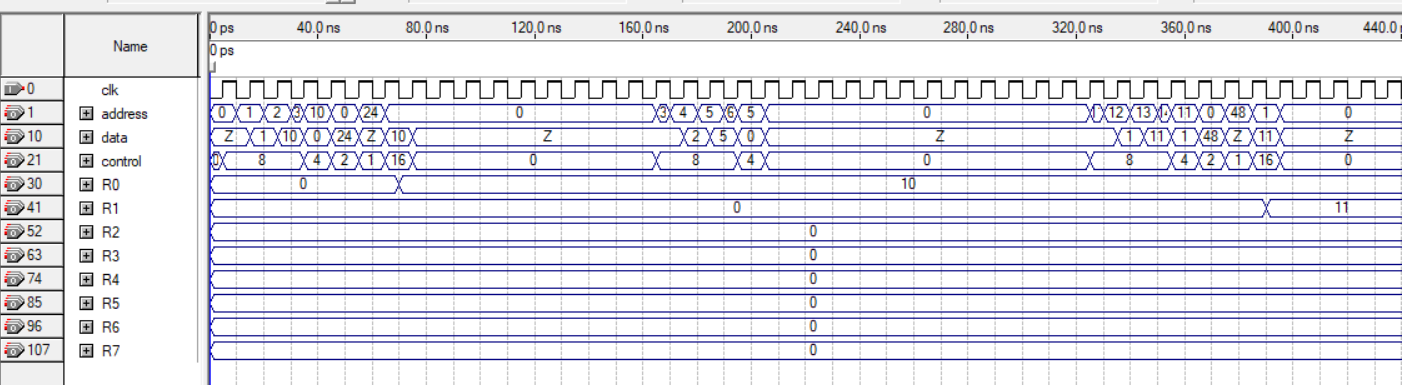


Рисунок 2.5 – Блок PAM

Результат моделирования на рисунке 2.6



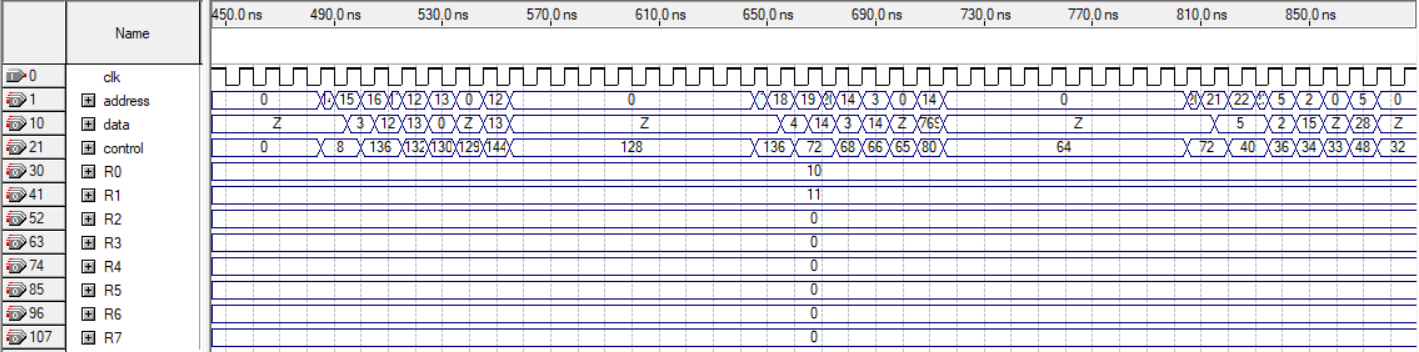


Рисунок 2.6 – Результат моделирования

Состояние файлов памяти представлены на рисунках 2.4 и 2.5.

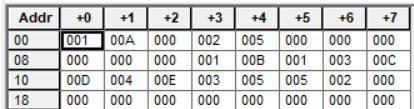


Рисунок 2.4 – начальное состояние файла памяти ROM

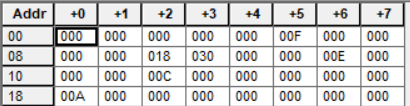


Рисунок 2.4 –начальное состояние файла памяти RAM