

	C0	C1	C2	C3	C4	C5	C6
R0	O	O	O	O	O	O	O
R1	O	O	O	O	O	O	×
R2	O	O	O	O	O	O	O
R3	×	O	O	O	O	×	×
R4	O	O	O	O	×	O	O
R5	O	O	O	O	O	O	

O Fault-free cores × Faulty cores

(a)

Configure Order		C0	C1	C2	C3	C4	C5	C6
6	R0	(1,0)	(0,0)	(0,1)	(0,2)	(0,3)	(0,4)	(0,5)
5	R1	(2,0)	(1,1)	(1,2)	(1,3)	(1,4)	(1,5)	×
4	R2	(5,0)	(2,1)	(2,2)	(2,3)	(5,4)	(2,4)	(2,5)
1	R3	×	(3,1)	(3,2)	(3,3)	(3,4)	×	×
2	R4	(3,0)	(4,1)	(4,2)	(4,3)	×	(3,5)	(4,5)
3	R5	(4,0)	(5,1)	(5,2)	(5,3)	(4,4)	(5,5)	

(b)

	C0	C1	C2	C3	C4	C5	C6
R0	(1,0)	(0,0)	(0,1)	(0,2)	(0,3)	(0,4)	(0,5)
R1	(2,0)	(1,1)	(1,2)	(1,3)	(1,4)	(1,5)	×
R2	(3,0)	(2,1)	(2,2)	(2,3)	(2,4)	(3,4)	(2,5)
R3	×	(3,1)	(3,2)	(3,3)	(4,4)	×	×
R4	(4,0)	(4,1)	(4,2)	(4,3)	×	(4,5)	(3,5)
R5	(5,0)	(5,1)	(5,2)	(5,3)	(5,4)	(5,5)	

(c)