


| | | |
|---|------------------|-----------------------------|
|  | 部门 department | 密级 Confidentiality level |
| | 设计部 | 机密 |
| | 文档类别 | Total 66 pages 共66页 |
| | 无 | |

深圳市一博科技有限公司

PCB设计指导书

(Ver 1.0)

(仅供内部使用)

For internal use only

拟制:
Prepared by _____
审核:
Reviewed by 王灿钟 朱兴建
批准:
Granted by _____

日期:
Date 2006-06-05
日期:
Date 2006-08-05
日期:
Date 2006-08-09

版权所有 侵权必究
All rights reserved

修订记录Revision record[P1]

| 日期 Date | 修订版本 Revision version [L2] | 修改描述 Change Description[L3] | 作者 Author |
|------------|-------------------------------------|--------------------------------|--------------|
| 2006-8-10 | | 初稿完成 initial transmittal | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |
| | | | |

目 录Catalog

| | |
|------------------------------------|----|
| 1 常见信号介绍..... | 8 |
| 1.1 数字信号..... | 8 |
| 1.1.1 CPU..... | 8 |
| 1.1.2 PCI..... | 8 |
| 1.1.3 PCI-EXPRESS..... | 9 |
| 1.1.4 PHY..... | 9 |
| 1.2 模拟信号..... | 10 |
| 1.2.1 音视频信号..... | 10 |
| 1.3 接口信号..... | 11 |
| 1.3.1 串口..... | 11 |
| 1.3.2 网口..... | 11 |
| 1.3.3 光口..... | 11 |
| 1.3.4 USB..... | 11 |
| 1.3.5 JTAG..... | 12 |
| 2 布局..... | 12 |
| 2.1 布局的基本原则..... | 12 |
| 2.2 布局的基本顺序..... | 12 |
| 2.3 布局的工艺要求..... | 13 |
| 2.4 特殊器件的布局要求..... | 14 |
| 2.5 布局的注意事项..... | 17 |
| 3 布线..... | 20 |
| 3.1 布线的基本原则..... | 20 |
| 3.2 布线的基本顺序..... | 21 |
| 3.2.1 整体布线规划..... | 21 |
| 3.2.2 规则设置..... | 21 |
| 3.2.3 电源、地处理..... | 21 |
| 3.2.4 关键信号..... | 21 |
| 3.2.5 其它信号..... | 21 |
| 3.2.6 等长处理..... | 22 |
| 3.3 电源、地处理..... | 22 |
| 3.4 关键信号处理..... | 24 |
| 3.4.1 时钟(Clock)/复位(Reset)信号..... | 24 |
| 3.4.2 差分(Differential Pair)信号..... | 25 |
| 3.4.3 模拟信号 (Analog signals)..... | 26 |
| 3.4.4 其他高速、关键信号..... | 26 |
| 3.5 布线安全性..... | 26 |
| 3.5.1 线宽要求..... | 26 |
| 3.5.2 距离要求..... | 26 |
| 3.6 布线的注意事项..... | 27 |
| 3.7 Fan out..... | 29 |
| 3.7.1 BGA..... | 29 |
| 3.7.2 滤波电容..... | 29 |
| 3.7.3 钽电容..... | 31 |
| 3.7.4 电源..... | 32 |
| 3.7.5 IC (SOP, QFP)..... | 33 |
| 3.7.6 连接器..... | 36 |
| 4 常见电路的布局布线..... | 37 |

| | |
|---------------------------|----|
| 4.1 电源电路..... | 37 |
| 4.1.1 -48V电源电路..... | 37 |
| 4.1.2 二次电源模块或电源芯片..... | 38 |
| 4.1.3 缓启动电路..... | 39 |
| 4.1.4 开关电源..... | 39 |
| 4.1.5 DC/DC转换电路（LDO）..... | 42 |
| 4.2 时钟电路..... | 44 |
| 4.2.1 无源晶体电路..... | 44 |
| 4.2.2 有源晶振电路..... | 44 |
| 4.2.3 时钟驱动电路..... | 45 |
| 4.3 接口电路..... | 46 |
| 4.3.1 串口电路..... | 46 |
| 4.3.2 网口电路..... | 47 |
| 4.3.3 光口电路..... | 49 |
| 4.3.4 JTAG电路..... | 50 |
| 4.3.5 USB接口电路..... | 50 |
| 4.3.6 音/视频接口电路..... | 51 |
| 4.4 CPU小系统..... | 52 |
| 4.4.1 SDRAM..... | 52 |
| 4.4.2 DDR..... | 53 |
| 4.4.3 SDRAM与DDR的区别..... | 54 |
| 4.4.4 PCI..... | 55 |
| 4.4.5 PCI-EXPRESS..... | 55 |
| 4.5 射频电路..... | 55 |
| 4.6 其它电路..... | 56 |
| 4.6.1 A/D、D/A转换电路..... | 57 |
| 5 后处理..... | 57 |
| 5.1 丝印文字..... | 57 |
| 5.1.1 字号..... | 58 |
| 5.1.2 方向..... | 58 |
| 5.1.3 器件丝印设计要求..... | 58 |
| 5.1.4 板名版本丝印..... | 58 |
| 5.1.5 条形码丝印..... | 58 |
| 5.1.6 其他丝印..... | 59 |
| 5.2 尺寸和公差标注..... | 59 |
| 5.2.1 单位..... | 59 |
| 5.2.2 精度..... | 59 |
| 5.2.3 参数设置和文字方式..... | 59 |
| 5.2.4 标注对象..... | 60 |
| 5.2.5 标注层..... | 60 |
| 5.3 Drill Notes表格..... | 61 |
| 5.3.1 板名、层数、厚度..... | 61 |
| 5.3.2 加工工艺..... | 61 |
| 5.3.3 阻抗说明..... | 61 |
| 5.3.4 其他..... | 62 |
| 5.4 叠层说明..... | 62 |
| 5.4.1 文字及叠层表格..... | 62 |
| 5.4.2 层厚..... | 63 |
| 5.5 Drill表格..... | 63 |
| 5.5.1 钻孔符号..... | 63 |
| 5.5.2 钻孔大小..... | 63 |

| | |
|-------------------|----|
| 5.6 钻带、光绘设置 | 63 |
| 5.6.1 钻孔单位 | 63 |
| 5.6.2 钻孔精度 | 64 |
| 5.6.3 光绘格式 | 64 |
| 5.6.4 光绘选项 | 65 |
| 5.6.5 D码文件 | 66 |

图目录 Table of contents for the figure

| | | |
|------|---------------------------|----|
| 图 1 | PCI信号排布图 | 9 |
| 图 2 | PHY芯片原理图 | 10 |
| 图 3 | 器件间距示意图1 | 13 |
| 图 4 | 器件间距示意图2 | 14 |
| 图 5 | BGA背面阻容器件布局示意图 | 14 |
| 图 6 | BGA器件双面布局 | 14 |
| 图 7 | 弯/公、弯/母压连接器件布局禁布区 | 15 |
| 图 8 | 直/公、直/母压连接器布局禁布区 | 16 |
| 图 9 | 有极性器件布局示意图 | 16 |
| 图 10 | 同型号器件布局示意图 | 17 |
| 图 11 | 斜插器件布局示意图 | 18 |
| 图 12 | 布局时热设计的考虑 | 18 |
| 图 13 | 插拔器件或板边连接器布局的禁布区 | 18 |
| 图 14 | 器件本体离PCB边缘要有一定的距离 | 19 |
| 图 15 | 邮票孔添加示意图 | 19 |
| 图 16 | 单板基准点 | 20 |
| 图 17 | IC基准点 | 20 |
| 图 18 | PCBTEMP界面 | 22 |
| 图 19 | 走线载流能力表 | 23 |
| 图 20 | 0.5毫米BGA内部和边缘的分割线宽度 | 24 |
| 图 21 | 20H规则 | 24 |
| 图 22 | 绕线示意图 | 25 |
| 图 23 | 走线宽度不超过器件的焊盘宽度 | 26 |
| 图 24 | 分离器件两端走线的对称性 | 29 |
| 图 25 | BGA的fan out示意图 | 29 |
| 图 26 | 滤波电容的优选式样 | 30 |
| 图 27 | 滤波电容fan out的普通式样 | 31 |
| 图 28 | 滤波电容fan out的错误式样 | 31 |
| 图 29 | 钽电容fan out的优选式样 | 31 |
| 图 30 | 钽电容fan out的普通式样 | 32 |
| 图 31 | Π形滤波电路fan out | 32 |
| 图 32 | LDO电路fan out | 33 |
| 图 33 | 电源转换器的fan out | 33 |
| 图 34 | 变压器的fan out | 34 |
| 图 35 | 光口的fan out | 34 |
| 图 36 | SOP的fan out | 35 |
| 图 37 | 内部含有散热焊盘的芯片fan out | 35 |
| 图 38 | fan out不能比PIN宽 | 36 |
| 图 39 | 双边缘连接器推荐的fan out | 36 |
| 图 40 | 双边缘连接器可以接受的fan out | 37 |
| 图 41 | -48V电源电路的原理图 | 37 |
| 图 42 | -48V电源电路的PCB图 | 38 |
| 图 43 | 缓启动电路的原理图 | 39 |
| 图 44 | 开关电源的电路示意图图 | 40 |
| 图 45 | 开关电源的原理图 | 42 |
| 图 46 | 开关电源的PCB图 | 42 |
| 图 47 | 线性LDO电路原理图 | 43 |

| | | |
|------|---------------------------------------|----|
| 图 48 | 输出电压可调的LDO电路原理图 | 43 |
| 图 49 | 输出电压可调的LDO电路PCB图 | 44 |
| 图 50 | 无源晶体电路的原理图和PCB图 | 44 |
| 图 51 | 有源晶振电路的原理图 | 45 |
| 图 52 | 有源晶振电路的PCB图 | 45 |
| 图 53 | 时钟驱动电路的原理图和PCB图 | 46 |
| 图 54 | 不带防护的串口电路的PCB图 | 46 |
| 图 55 | 带防护的串口电路的PCB图 | 47 |
| 图 56 | 网口电路的PCB图 | 48 |
| 图 57 | 集成变压器的网口电路的PCB图 | 49 |
| 图 58 | 光口电路的原理图和PCB图 | 50 |
| 图 59 | +5V供电和双通道光口的PCB图 | 50 |
| 图 60 | JTAG电路的PCB图 | 50 |
| 图 61 | USB电路的PCB图 | 51 |
| 图 62 | VGA电路的原理图 | 52 |
| 图 63 | VGA电路的PCB图 | 52 |
| 图 64 | SDRAM常见布局布线 | 53 |
| 图 65 | 手机射频电路PCB图 | 55 |
| 图 66 | 手机射频芯片PCB图 | 56 |
| 图 67 | AD/DA电路的PCB图 | 57 |
| 图 68 | 表层文字方向示意图 | 58 |
| 图 69 | 底层文字方向示意图 | 58 |
| 图 70 | 此寸标准参数设置 | 60 |
| 图 71 | 尺寸标注示例图 | 60 |
| 图 72 | Notes表格中的板名、层数、板厚 | 61 |
| 图 73 | Notes表格中的加工工艺 | 61 |
| 图 74 | Notes表格中的阻抗说明 | 62 |
| 图 75 | Notes2中的钻孔孔径说明 | 62 |
| 图 76 | Notes2中的BGA区域塞孔说明 | 62 |
| 图 77 | Notes2中的压接件孔径误差说明 | 62 |
| 图 78 | Notes2中的异形孔说明 | 62 |
| 图 79 | 叠层表格 | 63 |
| 图 80 | 钻孔参数设置 | 64 |
| 图 81 | 光绘格式 | 64 |
| 图 82 | Suppress unconnected pads选项的示例图 | 65 |
| 图 83 | Vector based pad behavior选项的示例图 | 66 |
| 图 84 | 生成D码的选项 | 66 |

1 常见信号介绍

1.1 数字信号

1.1.1 CPU

常称处理器，系统通过数据总线、地址总线、控制总线实现处理器、控制芯片、存储器之间的数据交换。

地址总线：ADD* （如：ADDR1）

数据总线：D* （如：SDDATA0）

控制总线：读写信号（如：WE_N），片选信号（如：SDCS0_N），地址行列选择信号（如：SDRAS_N），时钟信号（如：CLK），时钟使能信号（如：SDCKE）等。

与CPU对应的存储器是SDRAM，以及速率较高的DDR存储器：

SDRAM：是目前主推的PC100和PC133规范所广泛使用的内存类型，它的带宽为64位，支持3.3V电压的LVTTTL，目前产品的最高速度可达5ns。它与CPU使用相同的时钟频率进行数据交换，它的工作频率是与CPU的外频同步的，不存在延迟或等待时间。

SDRAM与时钟完全同步。

DDR：速率比SDRAM高的内存器，可达到800M，它在时钟触发沿的上、下沿都能进行数据传输，所以即使在133MHz的总线频率下的带宽也能达到2.128GB/s。它的地址与其它控制界面与SDRAM相同，支持2.5V/1.8V的SSTL2标准。阻抗控制在 $50\Omega \pm 10\%$ 。利用时钟的边缘进行数据传送的，速率是SDRAM的两倍。其时钟是采用差分方式。

1.1.2 PCI

PCI总线：PCI总线是一种高速的、32/64位的多地址/数据线，用于控制器件、外围接口、处理器/存储系统之间进行互联。PCI的信号定义包括两部份(如下图)：必须的(左半部份)与可选的(右半部份)。其中“#”代表低电平有效。

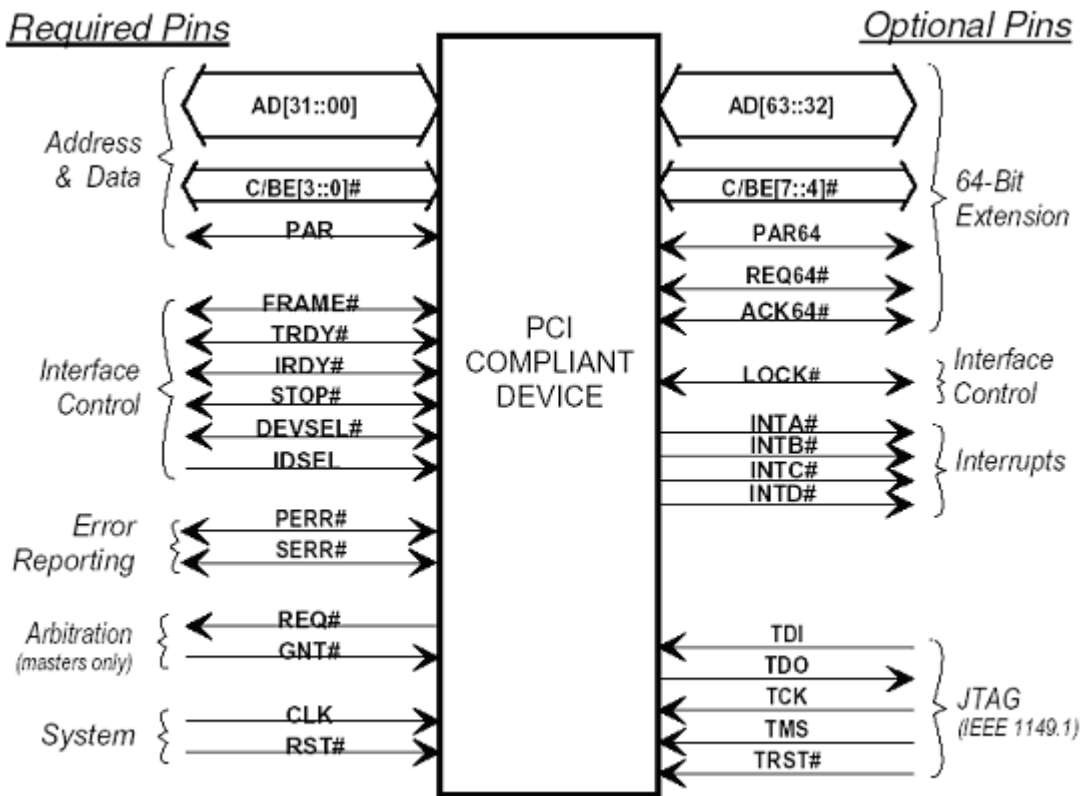


Figure 2-1: PCI Pin List

图1 PCI信号排布图

Required Pins included: 数据与地址传送部份、介面控制部份、中断仲裁部份，系统功能部份。

1.1.3 PCI-EXPRESS

PCI-Express是最新的总线和接口标准，原称“3GIO”，交由PCI-SIG（PCI特殊兴趣组织）认证发布后才改名为“PCI-Express”。它的主要优势就是数据传输速率高，目前最高可达到10GB/s以上，而且还有相当大的发展潜力。PCI-Express也有多种规格，从PCI-Express 1X到PCI-Express 16X，能满足现在和将来一定时间内出现的低速设备和高速设备的需求。能支持PCI-Express的主要是英特尔的i915和i925系列芯片组。

1.1.4 PHY

网络协议中物理层数据转换芯片，主要用在交换芯片和网口间，

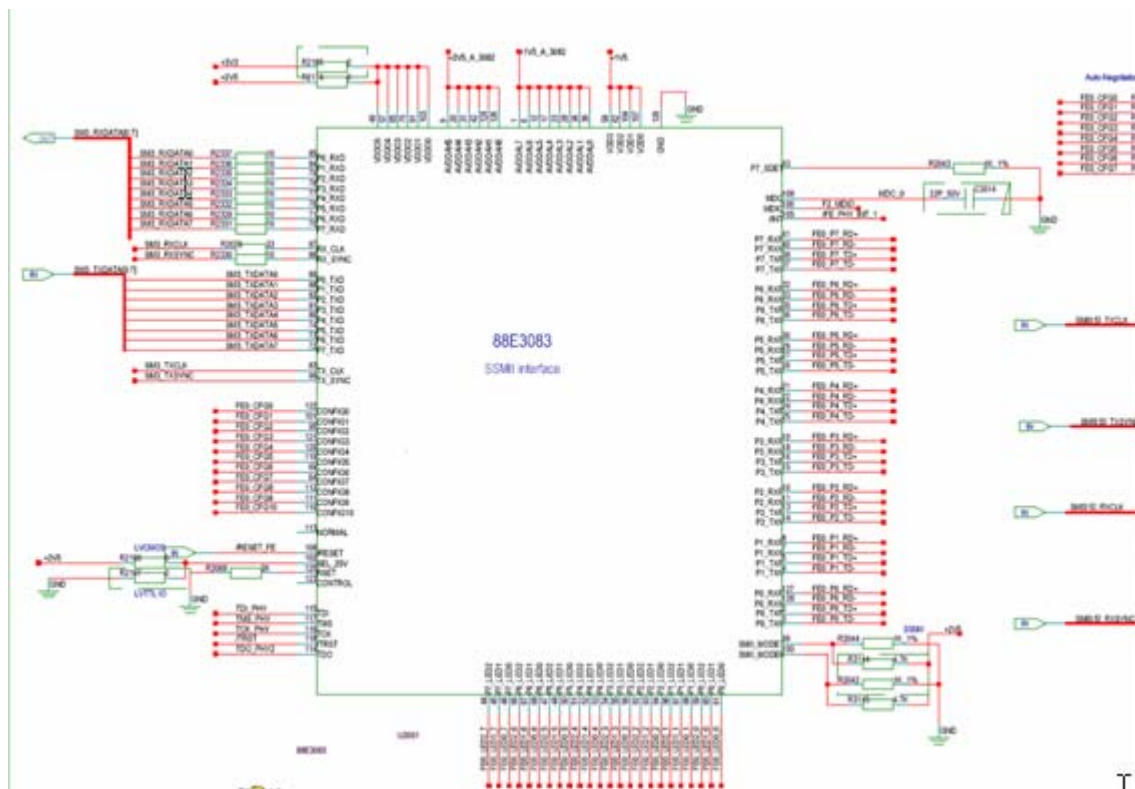


图 2 PHY芯片原理图

如上图：左边是数据接收，发送端，主要有：

接收信号: RXDATA (0-7)

接收时钟: RXCLK

接收反馈信号: RXSYNC

发送信号: TXDATA (0-7)

发送时钟：TXCLK

发送反馈信号: TXSYNC

右边是以差分形式出现的数据收发信号; 如, (*RD-, *RD+), (*TD-, *TD+)

1.2 模拟信号

1.2.1 音视频信号

A、Video(视频): RGB信号; HSYNC、VSYNC

B、Audio(音频): SPKR L+/-; SPKR R+/-;

C、HDMI: HDMI的英文全称是“High Definition Multimedia”,中文的意思是高清晰度多媒体接口。HDMI接口可以提供高达5Gbps的数据传输带宽,可以传送无压缩的音频信号及高分辨率视频信号。同时无需在信号传送前进行数/模或者模/数转换,

可以保证最高质量的影音信号传送。HDMI在针脚上和DVI兼容，只是采用了不同的封装。与DVI相比，HDMI可以传输数字音频信号，并增加了对HDCP的支持，同时提供了更好的DDC可选功能。HDMI支持5Gbps的数据传输率，最远可传输15米，足以应付一个1080p的视频和一个8声道的音频信号。而因为一个1080p的视频和一个8声道的音频信号需求少于4GB/s，因此HDMI还有很大余量。这允许它可以用一个电缆分别连接DVD播放器，接收器和PRR。此外HDMI支持EDID，DDC2B，因此具有HDMI的设备具有“即插即用”的特点，信号源和显示设备之间会自动进行“协商”，自动选择最合适的视频/音频格式。

1.3 接口信号

1.3.1 串口

A：缓冲串行口信号（Buffered Serial Ports Signal）

接收时钟：BCLKR0，BCLKR1；发送时钟：BCLKX0，BCLKX1。

串行数据接收：BDR0，BDR1；串行数据发送：BDX0，BDX1。

同步接收：BFSR0，BFSR1；帧同步发送：BFSX0，BFSX1

B：TDM串口信号

TDM接收时钟：TCLKR； TDM发送时钟：TCLKX

串行数据接收：TDR；串行数据发送：TDX

接收帧同步/地址：TFSR/TADD； 帧同步发送：TFSX/TFRM

1.3.2 网口

单一RJ45的网口由两对差分组成，集成网口，就由多对组成。如下一组信号：
例：单一RJ45：RD+/-，TD+/-。

1.3.3 光口

光模块信号：一般由两对差分线和6根控制数字信号组成，

差分信号：RD+/-，TD+/-。

数据信号：MOD_REF(0-2)，LOS，TXFAULT，TXDIS。

1.3.4 USB

通用串行总线，用一个4针插头作为标准插头，采用菊花链形式可以把所有的外设连接起来，最多可以连接127个外部设备，USB1.1接口传输速率可以达到12MB/s；

USB2.0传输速率可以达到480MB，如：USBC_DP，USBC_DN信号。

1.3.5 JTAG

测试时钟：TCK

测试口选择：TMS

数据输入：TDI

数据输出：TDO

测试口复位：TRST

仿真引脚：EMU0：EMU1/OFF

2 布局

2.1 布局的基本原则

- 1) 满足结构要求
- 2) 满足禁布区：结构和特殊器件的布局、布线禁布区要求
- 3) 满足电源的通道
- 4) 满足关键器件、关键信号、局部过密、整板的布线通道
- 5) 满足可制造性要求：器件间距、方向等
- 6) 满足可测试性要求：易于检测和返修
- 7) 满足客户要求等其他相关要求

2.2 布局的基本顺序

1. 根据结构图，绘制板框(注：如有开窗也需绘制开窗的位置)
2. 绘制整板器件禁布区，一般距离板边5mm（Area/Package Keep in），绘制其它有特殊要求的禁布区（Area/Package Keep out）
3. 根据结构图，布局有结构要求的器件
4. 对布局进行整体规划，根据主要信号流向，布局关键信号器件，
5. 优先考虑时钟系统、控制系统、电源系统等布局同时需对主次电源进行规划，考虑各电源在电源平面层的大致分割，还需考虑器件间有足够的布线通道
6. 布局时需考虑有拓扑要求的器件并预留有足够的空间给有长度要求的信号绕等长
7. 单板基准点放置

2.3 布局的工艺要求

常见日本客户的工艺要求如下，SMD Component与SMD Component:

| 器件 | 对象 | | 推荐值(单位:MM/MIL) |
|----|-------------------|-------------------|----------------|
| A | Component outline | Component outline | 0.4/16 |
| B | Component outline | Component outline | 0.4/16 |
| C | Component outline | Component pads | 0.4/16 |
| D | Component outline | Component outline | 0.4/16 |
| E | Component outline | Component outline | 0.4/16 |
| F | BGA/CSP outline | Chip outline | 5/200 |
| G | BGA/CSP outline | BGA/CSP outline | 5/200 |
| H | BGA/CSP outline | SOP etc. outline | 5/200 |
| I | SOP etc. outline | SOP etc. outline | 5/200 |

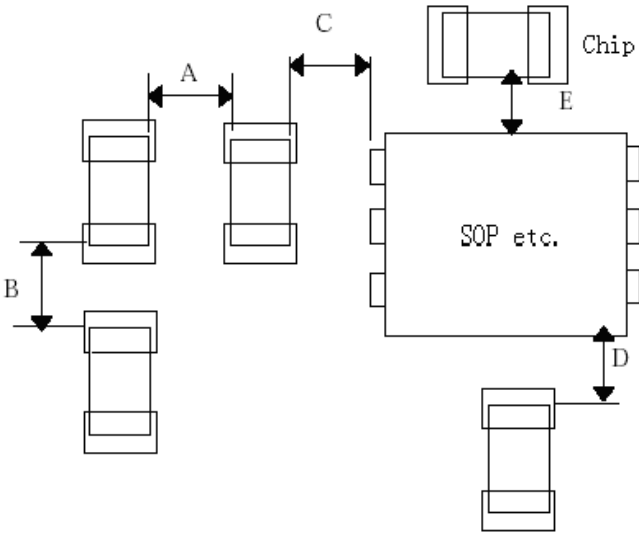


图3 器件间距示意图1

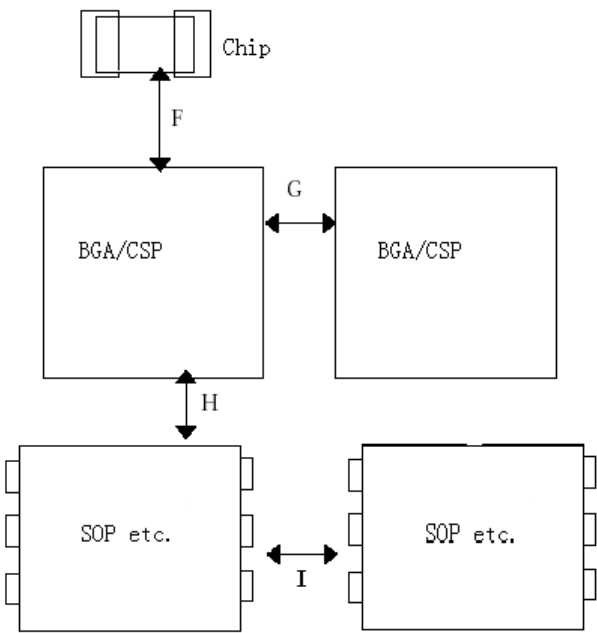


图 4 器件间距示意图2

2.4 特殊器件的布局要求

1. BGA器件：

1) 可维修性

同面器件布局在BGA器件周边5mm以外；在空间拥挤的情况下，同面器件也需布局在3mm以外；BGA器件的电源滤波电容背面布局，尽量靠近相应的电源管脚布局，布局在BGA的两相邻焊盘的对称中心上，（部分客户要求：不要盖住BGA的焊盘，避免作X射线检测时照射不到BGA的焊盘）。

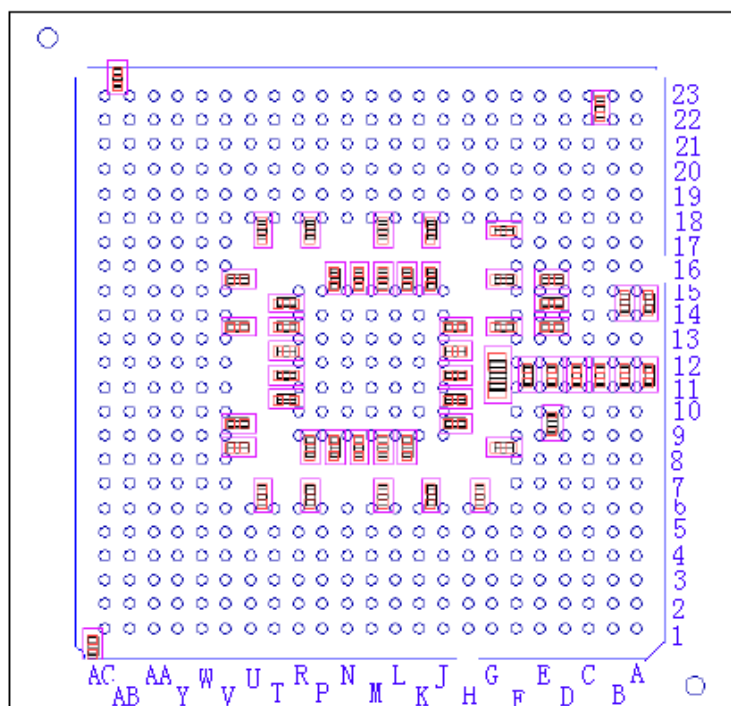


图 5 BGA背面阻容器件布局示意图

2) BGA器件双面布局

一般情况下，BGA器件不允许布局在背面，当背面有布局BGA器件时，不能在正面BGA器件周围8mm的投影范围内放置BGA器件。

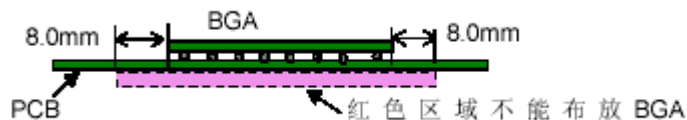


图 6 BGA器件双面布局

2. 压接件

1) 弯/公、弯/母压接连接器

与压接件同面，压接件周边3mm不得布局任何的高器件（大于3mm），周边1.5mm不得布局任何的焊接件，在压接件的背面，距离压接件的管脚2.5mm范围内不得布局任何的元器件。

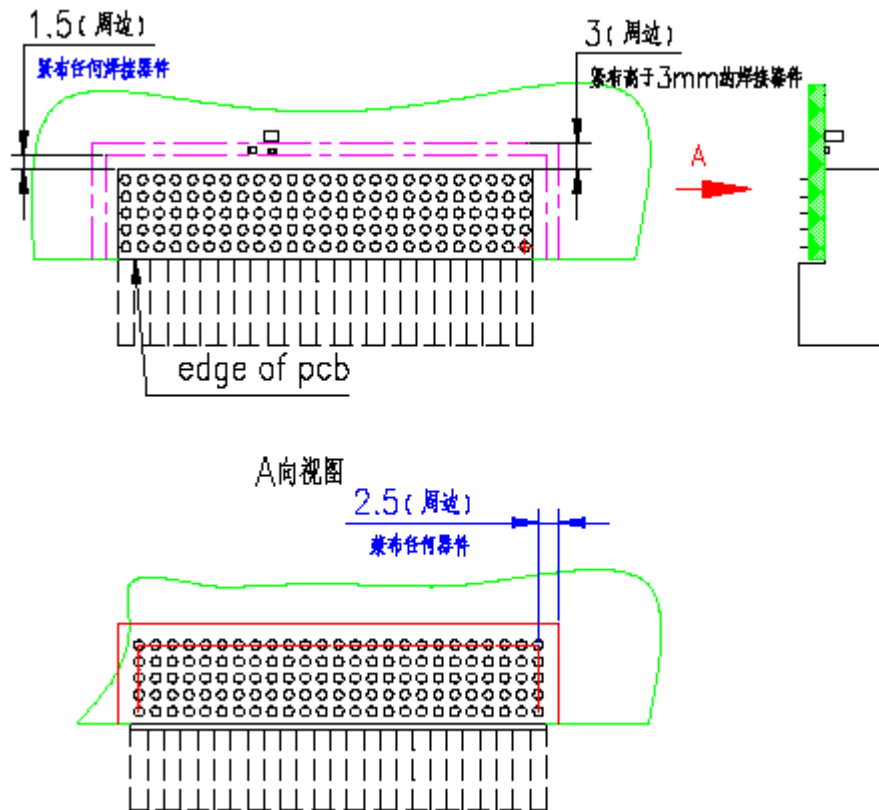


图7 弯/公、弯/母压接连接器件布局禁布区

2) 直/公、直/母压接连接器

压接器件周边1mm不得布局任何的元器件，背面需安装护套时，周边1mm不得布局任何的元器件，没有安装护套时距离压接件管脚2.5mm范围内不得布局任何的元器件。

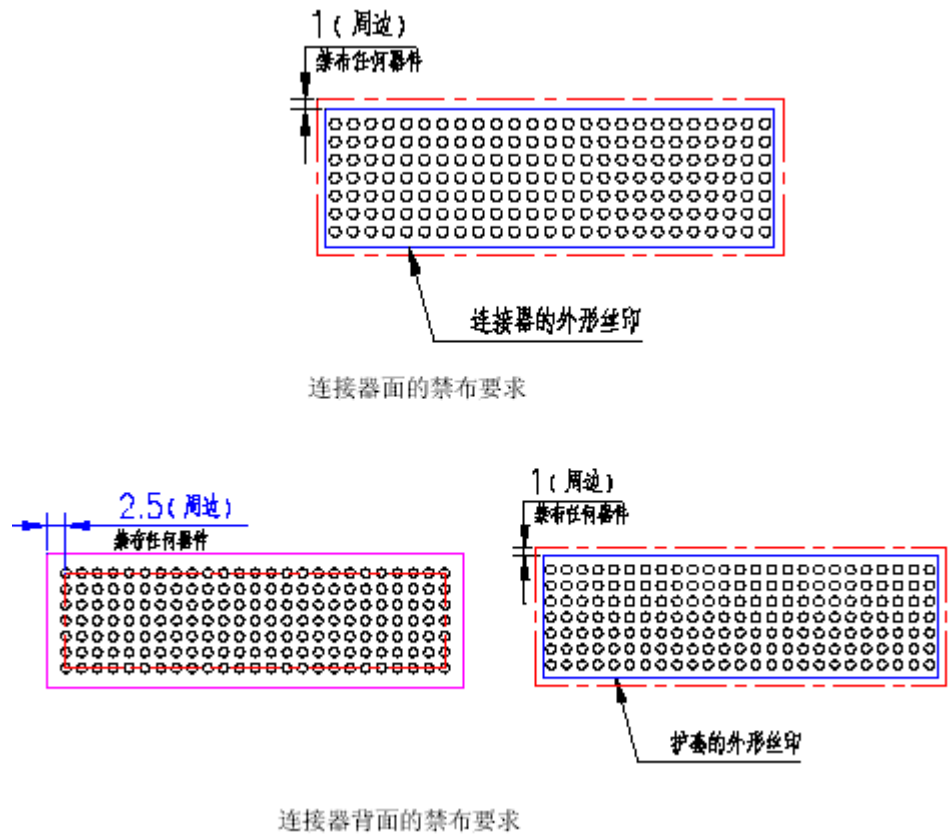


图 8 直/公、直/母压接连接器布局禁布区

3. 金属壳体器件

不同属性的金属件（如散热片、屏蔽罩）或金属壳体器件不能相碰，确保不与其它器件相碰，确保最小1mm的距离满足安装空间要求。

4. 有极性或方向性器件

有极性或方向性的THD器件在布局上要求方向一致，尽量做到排列整齐，对于SMD器件，不能满足方向一致时，也应尽量满足在X、Y方向上保持一致。

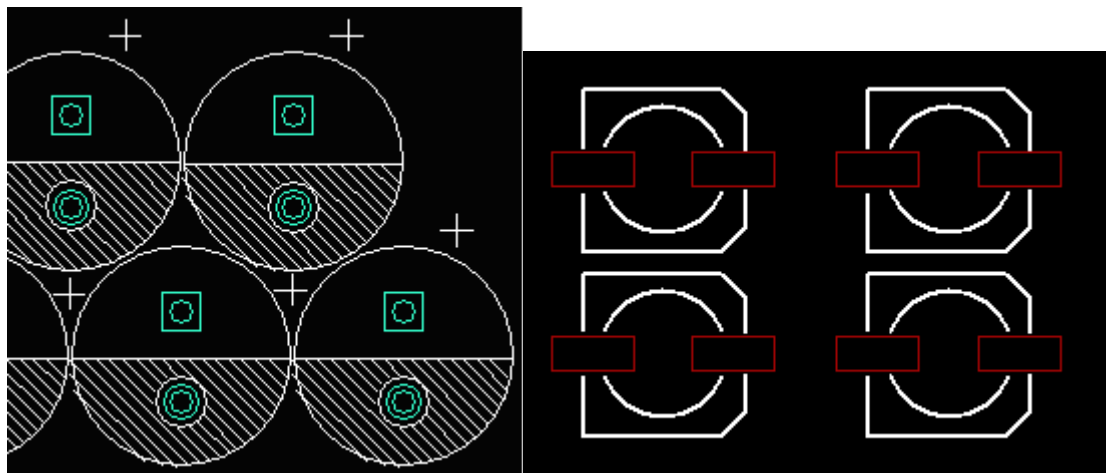


图 9 有极性器件布局示意图

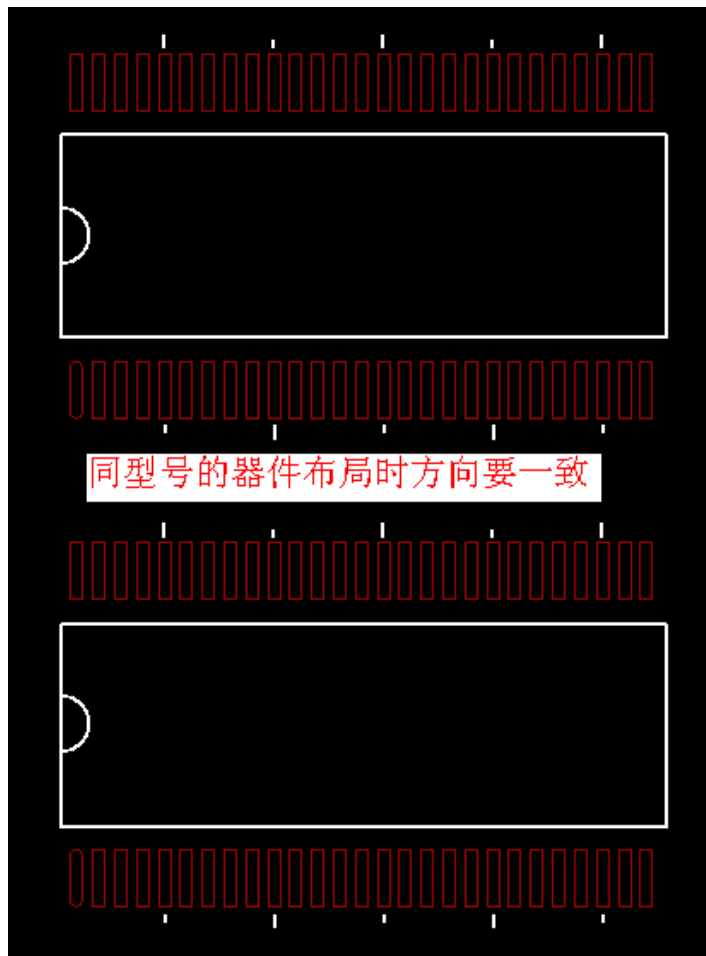


图 10 同型号器件布局示意图

5. 热敏元件

热敏元件（如电解电容器、晶体振荡器）布局时应尽量远离高热器件，尽量布局在上风口。

2.5 布局的注意事项

1. 器件与板边要有一定的距离，器件离板边确保有5mm（197mil）以上的间距（有结构要求的器件除外）
2. 推荐器件布局方向为0度，90度
3. 各器件之间要有可操作的空间（如斜插的内存条）

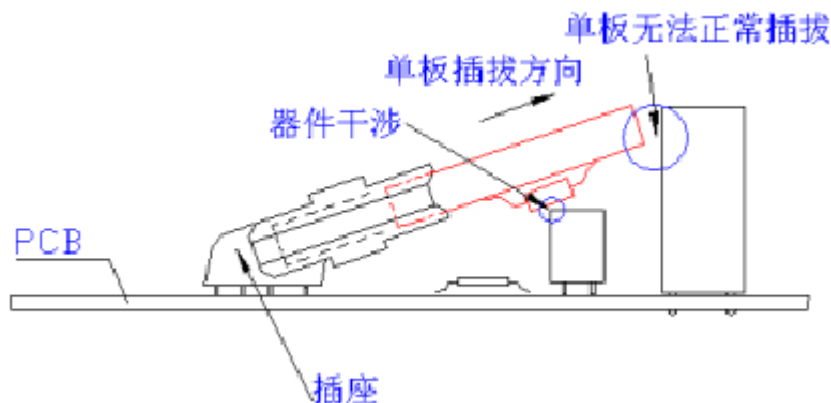


图 11 斜插器件布局示意图

4. 高矮器件布局原则

高器件布局在低矮器件的后面，并且沿风阻最小的方向布局，防止风道受阻

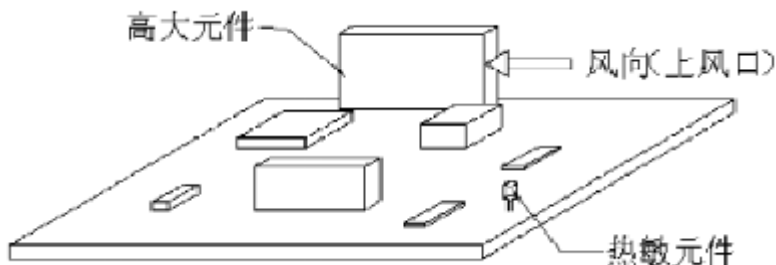


图 12 布局时热设计的考虑

5. 插拔器件或板边连接器

周围3mm（120mil）范围内尽量不布置SMD器件，以防止连接器插拔时产生的应力损伤器件。

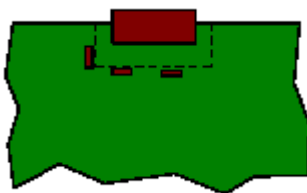


图 13 插拔器件或板边连接器布局的禁布区

6. 有开窗的PCB的布局

对有开窗要求的PCB，布局时器件离开窗处确保至少有2mm以上的距离

7. 关键信号器件的布局

晶振、时钟驱动等关键信号器件的布局，需远离接口电路布局，不要布局在板边，离板边至少要有10mm以上的距离

8. 器件本体离PCB边缘要有一定的距离

除了有结构要求的器件外，其他器件本体都不能超过PCB边缘，满足引脚焊盘边缘

（或器件本体）距离传送边大于等于5mm的要求

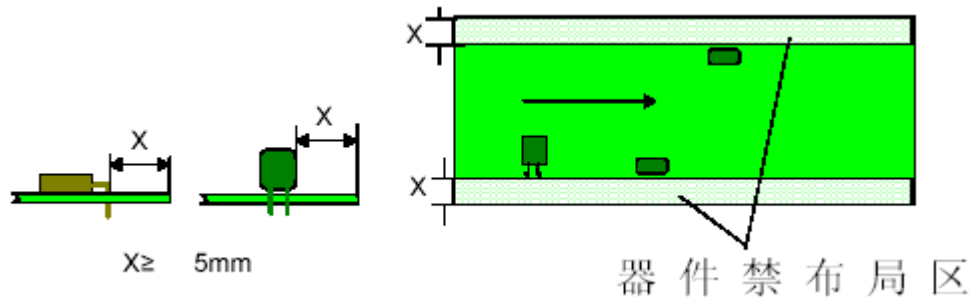


图 14 器件本体离PCB边缘要有一定的距离

9. 辅助边与邮票孔

板边的器件影响过生产线设备时，需要增加辅助边

1) 辅助边

器件布局不能满足传送边宽度要求（板边5mm禁布）时，应该采用加辅助边的方法。
添加辅助边的宽度一般要求：无需拼板的PCB辅助边的宽度为5mm，拼板的PCB辅助边的宽度最小为8mm

2) 邮票孔

邮票孔的参数设计

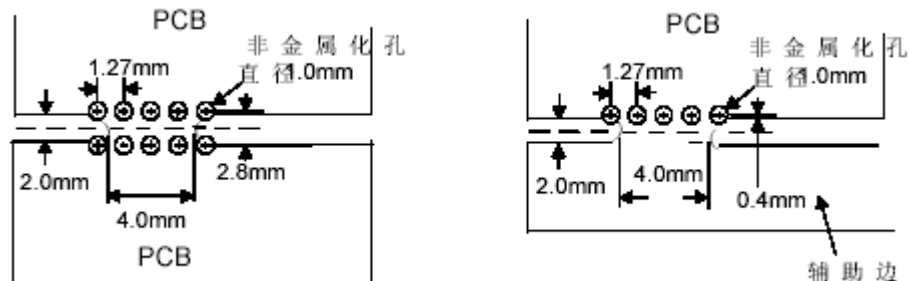


图 15 邮票孔添加示意图

10. 基准点的布置

1) 单板基准点的布置

形状/大小：直径为1mm的实心圆

阻焊开窗：和基准点同心的同心圆，直径为基准点的两倍，在2mm直径的边缘处要求有一圆形或八角形的铜线作保护

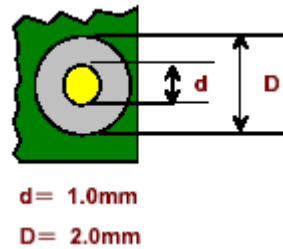


图 16 单板基准点

一般原则：

- (1) 过SMT设备加工的单板必须布局基准点；不过SMT工序的单板无需布局基准点；
- (2) 单面基准点的数量大于等于3；
- (3) 单面布局时，基准点只需布局在元件面；
- (4) 双面布局时，基准点需双面布局，正反面基本保持一致；
- (6) 在板边成“L”型布局，各基准点之间的距离尽量远，基准点中心距离板边必须大于6mm，如不能满足要求，则至少保证距离传送边的距离满足要求；
- (7) 基准点不要布局在PCB所有层被挖空的地方，即基准点要有平面层作参考。

2) IC 基准点的放置

- (1) PIN间距小于等于0.4mm的QFP或PIN间距小于等于0.8mm的BGA、CSP等器件要求放置基准点；
- (2) 直径为1mm的实心圆；
- (3) 阻焊开窗，大小按普通焊盘处理，无需外圈铜环



图 17 IC基准点

11. 考虑整体布局美观、实用

3 布线

3.1 布线的基本原则

- 1) 满足结构要求：如结构、禁布区的检查与确认等；

- 2) 满足设计规则要求：如物理规则、电气规则、DRC参数、选项设置等；
- 3) 满足工艺规范要求：如DFM、DFT、焊接类型、厂家加工能力等；
- 4) 满足其他相关要求：如客户设计要求、公司流程规范要求等。

3.2 布线的基本顺序

布线需遵循的顺序：规则优先、 关键信号线优先、 密度优先，即从单板上连线最密集的区域开始布线。

3.2.1 整体布线规划

- 1) 确认布局时对布线规划的可行性；
- 2) 确认禁布区对附近布线通道的影响；
- 3) 走线层的规划，尽量做到纵横分明，相邻层垂直走线，不重叠；
- 4) 在全面布线前，需要对BGA封装的器件进行Fan out，其他封装形式的器件的Fan out 在具体布线过程中处理，详见《FAN OUT》；
- 5) 电源/地的PIN脚应在布线前做好FANOUT以留出空间；电源、地Fan out 长度 \leq 200mil，且尽可能加粗。详见《FAN OUT》。

3.2.2 规则设置

- 1) 定义禁布区；
- 2) 物理、电气规则的定义合理完备，改板设计时应注意确认上一版的设置合理性。DRC参数、选项设置正确；
- 3) 过孔、盲、埋孔的设置正确，BGA、密间距连接器下所使用过孔的设置正确。

3.2.3 电源、地处理

电源是系统的核心部分之一，它的设计质量的好坏直接影响到系统能否工作。电源在PCB设计中主要考虑：载流能力、电源通道、防护、滤波。详见《电源、地处理》。

3.2.4 关键信号

优先考虑关键信号的布线通道、布线拓扑，包括时钟、复位、差分线，详见《关键信号处理》。

3.2.5 其它信号

在不干扰重要信号情况下按照设计规则，以最优方式完成连接。

3.2.6 等长处理

绕等长是为了满足信号时序要求。

3.3 电源、地处理

1) 载流能力：每个芯片工作时都要消耗一定的能量，这些能量的供给通道就是PCB上的走线，影响到PCB上走线载流能力的几个关键因素有线宽、铜厚、温升、层面；

(1) 线宽：电源走线的宽度，铺铜时为铜皮的最细处，同时要减去最细处其它网络过孔的避让宽度。长距离布线时，需再增加50%的裕量，保证PCB印制线不被熔断或烧损。符合载流能力的布线参数可以通过PCBTEMP软件来进行计算；

PCBTEMP

Help

UltraCAD
Design, Inc.

PCBTEMP
A Temperature Rise Calculator
For Printed Circuit Boards

| | Data | Units |
|-------------|---|---|
| Location | <input type="button" value="Set"/> External | |
| Temp CHANGE | <input type="button" value="Solve"/> <input type="text"/> | Degree C |
| Width | <input type="button" value="Solve"/> <input type="text"/> | Mil |
| Thickness | <input type="button" value="Solve"/> <input type="text"/> | <input type="radio"/> Mil <input checked="" type="radio"/> Oz |
| Current | <input type="button" value="Solve"/> <input type="text"/> | Amp |

Note:
See Help File for explanation of "error" and "too high" messages

Use Data From the Following Source (See Help File)

☒ IPC - D - 275
☐ Design News, 12/8/68

Resistance and voltage drop of this trace at this current and at this change in temperature from nominal (degrees C)
(See Help file)

Length (in.)

Ohms
 Volts

图 18 PCBTEMP界面

| Trace Carrying Capacity per mil std 275 | | | | | | | | | |
|--|----------------------|-------|-------|---------|-------|-------|---------|-------|-------|
| Temp Rise | 10 C | | | 20 C | | | 30 C | | |
| Copper | 1/2 oz. | 1 oz. | 2 oz. | 1/2 oz. | 1 oz. | 2 oz. | 1/2 oz. | 1 oz. | 2 oz. |
| Trace Width | Maximum Current Amps | | | | | | | | |
| .010 | .5 | 1.0 | 1.4 | 0.6 | 1.2 | 1.6 | .7 | 1.5 | 2.2 |
| .015 | .7 | 1.2 | 1.6 | 0.8 | 1.3 | 2.4 | 1.0 | 1.6 | 3.0 |
| .020 | .7 | 1.3 | 2.1 | 1.0 | 1.7 | 3.0 | 1.2 | 2.4 | 3.6 |
| .025 | .9 | 1.7 | 2.5 | 1.2 | 2.2 | 3.3 | 1.5 | 2.8 | 4.0 |
| .030 | 1.1 | 1.9 | 3.0 | 1.4 | 2.5 | 4.0 | 1.7 | 3.2 | 5.0 |
| .050 | 1.5 | 2.6 | 4.0 | 2.0 | 3.6 | 6.0 | 2.6 | 4.4 | 7.3 |
| .075 | 2.0 | 3.5 | 5.7 | 2.8 | 4.5 | 7.8 | 3.5 | 6.0 | 10.0 |
| .100 | 2.6 | 4.2 | 6.9 | 3.5 | 6.0 | 9.9 | 4.3 | 7.5 | 12.5 |
| .200 | 4.2 | 7.0 | 11.5 | 6.0 | 10.0 | 11.0 | 7.5 | 13.0 | 20.5 |
| .250 | 5.0 | 8.3 | 12.3 | 7.2 | 12.3 | 20.0 | 9.0 | 15.0 | 24.5 |

图 19 走线载流能力表

- (2) 铜厚：电源走线所在层的铜厚，常见内层（电源、走线混合层）为1盎司。如果需要加到2盎司及以上，最好把电源地层设计到一个芯板的两面；
 - (3) 温升：允许因电源走线温度升高而导致整个PCB板的温度升高的范围；
 - (4) 层面：是外层电源走线和还是内层电源走线，通常外层比内层载流量大。
- 2) 电源通道：清楚每一个电源通路及整板的电源分布；
 - 3) 压降：由于走线或铜皮它们本身都有一定的阻值，电流通过后会产生产降，一般情况下可以不用考虑，但是在对电压有严格要求的地方就必须考虑到压降的影响；
 - 4) 电源、地分割方式简捷合理，分割区域的大小满足载流能力。正确的分割线宽度一般应大于40MIL，区域小的分割线须特殊考虑，如BGA内部，一般推荐：1.27毫米BGA \geq 25mil，1.0毫米BGA \geq 20mil，0.8毫米BGA \geq 10mil，0.5毫米BGA \geq 8mil，如下图所示：

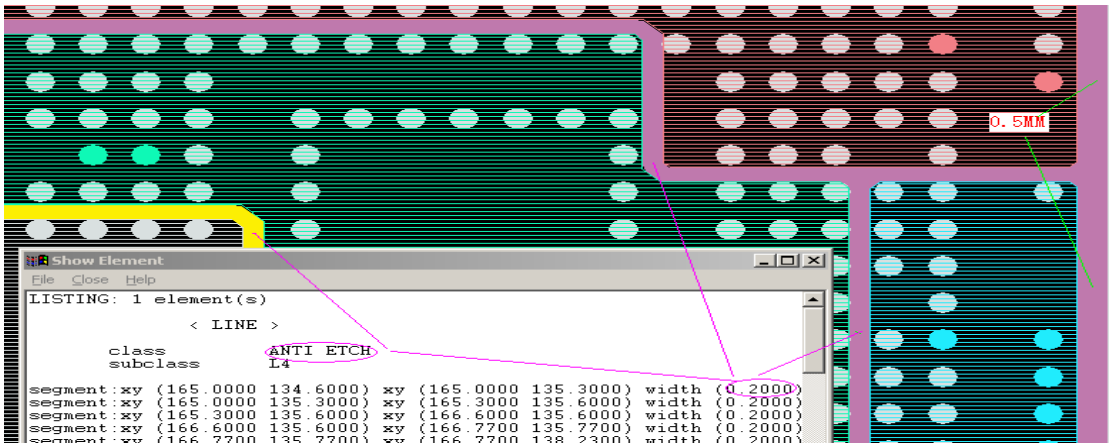


图 20 0.5毫米BGA内部和边缘的分割线宽度

- 5) 20H规则：（电源层内缩）在地层的边缘，包括不同性质的地层，地层要比电源层、信号层外延20H，在这里H表示相邻的电源层与地层之间的距离，关键信号不要布在地层的边缘，如果在与电源层相邻的信号层边缘设置一圈地，（相当于一个护栏），并将这圈地与地层用间隔(推荐200mil)较密的过孔连接起来，如下图，会更好的降低辐射；

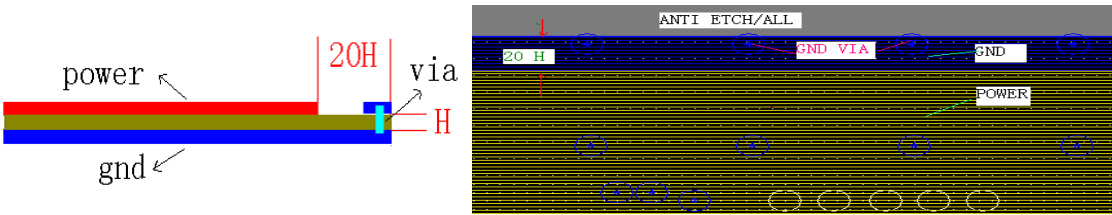


图 21 20H规则

- 6) 相邻分割区的电源压差不能过大。如果过大时，需增大隔离线的宽度来降低电源压差；
- 7) 对于高压的电源及PGND，分割线应加宽，建议所有的孔、线、铜皮与高压电源及PGND至少要保持2-3毫米间隔。

3.4 关键信号处理

关键信号处理的整体原则：满足阻抗要求，满足等长要求，布线在优先层，线尽量短、直、不换层不跨分割线，不平行走线，远离其它信号。

3.4.1 时钟(Clock)/复位(Reset)信号

- 1) 表层无时钟/复位布线或布线长度 $\leq 500\text{mil}$ （关键时钟表层布线 $\leq 200\text{mil}$ ）；
- 2) 规定层面布线，相邻两层不可平行走线（时钟线/复位线与相邻层平行布线的平行长度 $\leq 1000\text{mil}$ ），尽量布在GND 相邻层，有完整地平面作回流，未跨分割或

跨分割位置已作桥接处理；

- 3) 晶振及时钟驱动电路区域器件面无其它布线穿过。晶振器件面铺地铜，添加适当过孔；
- 4) 将时钟线/复位线，线距应满足3W原则，即线边缘距 ≥ 2 倍的线宽，远离其它信号，特别是不同时钟信号之间更要拉开距离；
- 5) 必要时需包地，地线须每隔一段距离打过孔(建议2000mil以内)；
- 6) 短、直、尽量少换层，必须换层时(当时钟信号/复位信号换层且回流参考平面也改变时)推荐在时钟线/复位线换层过孔旁布一些接地过孔，确保回流通道的；
- 7) 时钟线/复位线与I/O接口、拉手条的间距 $\geq 1000\text{mil}$ ；布线距板边300mil以上；
- 8) 时钟线/复位线无线头，若出于增加测试点的需要，则线头长度 $\leq 500\text{mil}$ ；
- 9) 满足时序要求。绕等长时须等幅等距，不可与其它线交错；不要在BGA、插装连接器、插座等器件内部绕等长；绕等长时的自身间距最好是走线间距的3倍以上，振幅不要太长；如果信号的速率很高时(1GHz)，绕线的角度最好呈圆弧形；如果是斜角时，斜角的长度(Miter)不小于线宽的1.5倍，一般值为6-8mil。(例：线宽为4mil，斜角长度miter=6mil；线宽为5mil，斜角长度miter=8mil)

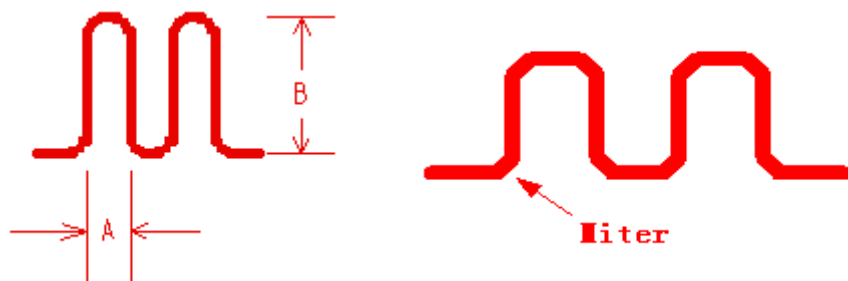


图 22 绕线示意图

“A”的间距最好是线宽的2或3倍；“B”的振幅不要太长；

- 10) 多负载时钟的拓扑结构推荐为星形，STUB $\leq 1000\text{mil}$ 。

3.4.2 差分(Differential Pair)信号

- 1) 满足差分阻抗要求。通过阻抗计算软件计算获得；
- 2) 同一差分对的两条线要完全平行，两根线中间不能有过孔或其它信号；
- 3) 走线短、直、尽量少换层，必须换层时，两信号一起换到同层(可在换层处添加些地孔)；
- 4) 规定层面布线，相邻两层不可平行走线，尽量布在GND相邻层，不能跨分割线；

- 5) 远离其它信号，自身间距须严格按照要求处理；
- 6) 绕线时必须两根同时进行，须等幅等距，不要在BGA、插装连接器、插座等器件内部绕等长。

3.4.3 模拟信号 (Analog signals)

- 1) 线尽量短、直、粗 (8-15mil)、少换层；
- 2) 尽量扩大线间距 (8-15mil)；
- 3) 有空间的情况下所有的信号都要做包地处理；
- 4) 在自身区域内完成布线，远离数字信号。

3.4.4 其他高速、关键信号

- 1) 参照时钟信号处理方式；
- 2) 加大走线间距，尽量满足5W规则；
- 3) 高压线要加大间距；
- 4) 关键信号走线不得从插件电感 电容两极中间穿过。

3.5 布线安全性

3.5.1 线宽要求

- 1) 布线满足PCB加工工艺要求的线宽线距。推荐的线宽/间距：表层 $\geq 6\text{mil}/7\text{mil}$ ，内层 $\geq 5\text{mil}/6\text{mil}$ ；最小可使用的线宽/间距为 $4\text{mil}/5\text{mil}$ ；
- 2) 走线宽度不超过器件的焊盘宽度，如下图所示：

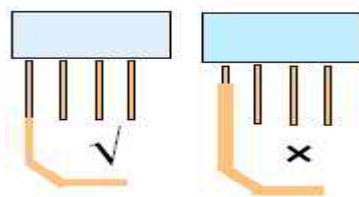


图 23 走线宽度不超过器件的焊盘宽度

3.5.2 距离要求

- 1) 布线、过孔、铜皮距板边 $>20\text{mil}$ ；
- 2) 外层走线和焊盘的距离必须满足走线距离焊盘阻焊开窗边缘 $\geq 2\text{mil}$ ；
- 3) 走线和焊盘的距离：外层走线和焊盘的距离与内层走线距离孔环的距离要求一致；
- 4) 在有金属壳体直接与PCB接触的同层区域内不允许有走线；（如：散热器、电源

模块、金属拉手条、卧装电压调整器、晶振、铁氧体电感等)

- 5) 器件金属外壳与PCB接触区域向外延伸1.5mm区域为表层走线禁布区;

| 走线距非金属化孔最近距离类型 | 走线距离孔边缘的 | |
|---------------------|----------|--------|
| NPTH直径<80mil | 安装孔 | 见安装孔设计 |
| | 非安装孔 | 8mil |
| 80mil<NPTH直径<120mil | 安装孔 | 见安装孔设计 |
| | 非安装孔 | 12mil |
| NPTH直径>120mil | 安装孔 | 见安装孔设计 |
| | 非安装孔 | 16mil |

- 6) 安装孔的禁布区要求:

| 类型 | 直径规格 (单位: mm) | 表层最小禁 布区直径 (单位: mm) | 内层最小距离(单位: mm) | |
|-----|------------------|---------------------------|-----------------------|-------------------------------|
| | | | 金属化孔与 导线最小边 缘距离 | 电源层、接地层铜 箔与非金属化孔 最小边缘距离 |
| 螺钉孔 | 2 | 7.1 | 0.4 | 0.63 |
| | 2.5 | 7.6 | | |
| | 3 | 8.6 | | |
| | 4 | 10.6 | | |
| | 5 | 12 | | |
| 铆钉孔 | 4 | 7.6 | | |
| | 2.8 | 6 | | |

3.6 布线的注意事项

- 1) 布线时信号线尽量远离板边, 至少20mil, 建议40mil以上(通常以ANTI ETCH 为准);
- 2) Fixed的结构定位器件不能移动;
- 3) 层面规划合理, 横平竖直, 相邻层不平行走线或相邻层平行布线的平行长度 \leq 1000mil;
- 4) 所有信号线尽量以地平面为参考, 重要信号(如时钟信号)一定要以地平面为参考;

- 5) 表面除短的互连线和fan out的短线外，信号线尽可能布在内层；
- 6) 布线分区明确，区内信号不跨区处理，强干扰与敏感信号分开，数模分开；
- 7) 走线无多余线头、无多余VIA、无孤立铜皮；
- 8) 布线无DRC错误，无同名网络错误；
- 9) 不要锐角布线，所有信号线必须为45度（或圆弧）走线，特殊情况除外；
- 10) 无通孔或机械盲孔上焊盘；
- 11) 贴片点胶涂布或印刷区域内不能有过孔。如采用贴片点胶涂布或印刷工艺的CHIP、SOP元件下方的PCB区域；
- 12) 散热片/器按需要作接地处理；
- 13) 相关阻焊设计：
 - (1) 相邻SMD的焊盘、SMD焊盘和THD孔、SMD焊盘和过孔、过孔和过孔之间要保留阻焊桥，最小绿油桥宽度4mil，以防止焊锡从过孔流走或短路；
 - (2) 散热用途的铺铜应作阻焊开窗；
 - (3) 一般过孔的阻焊开窗正反面均为孔径+5mil；
 - (4) 测试孔的阻焊开窗正面为孔径+5mil和反面为焊盘直径+8mil；
 - (5) 安装孔正反面禁布区内应作阻焊开窗；
 - (6) 非金属化定位孔正反面阻焊开窗比孔径大6mil；
 - (7) BGA区域内的过孔需要绿油塞孔，其正反面都不作阻焊开窗；
 - (8) 走线一般要求覆盖绿油。射频PCB出于阻抗控制的需要有可能使走线裸露；
 - (9) 金手指的阻焊开窗应开整窗，上面和金手指的上端平齐，下端要超出金手指下面的板边。
- 14) 热设计：
 - (1) 要求SMT焊盘两端的热容量尽量相当，走线宽度一般不能大于焊盘的三分之二宽度，否则，很容易在过回流焊时产生器件立碑现象；
 - (2) 焊盘需和大面积铜箔连接时，焊盘与铜箔间应以“米”字形或“十”字形线连接，以增加与铜箔间的热阻，防止加工时焊盘热量传导过快影响焊点可靠性；
 - (3) 有大电流通过的插件焊盘，为了保证电气连接应在焊盘旁边增加过孔；
 - (4) 电源和高热器件内部避免其他布线穿越；
 - (5) 卧装稳压电源模块下表层铺铜，必要时需预留散热器安装位置，及考虑是否需开阻焊窗；

(6) LD0散热焊盘应根据实际情况接地或接相关电源，没有确认的情况下，不得轻易接地（注，有时本焊盘为电源引脚）。

(7) 焊盘连接的走线要尽量对称。如下图所示：



图 24 分离器件两端走线的对称性

(8)

3.7 Fan out

3.7.1 BGA

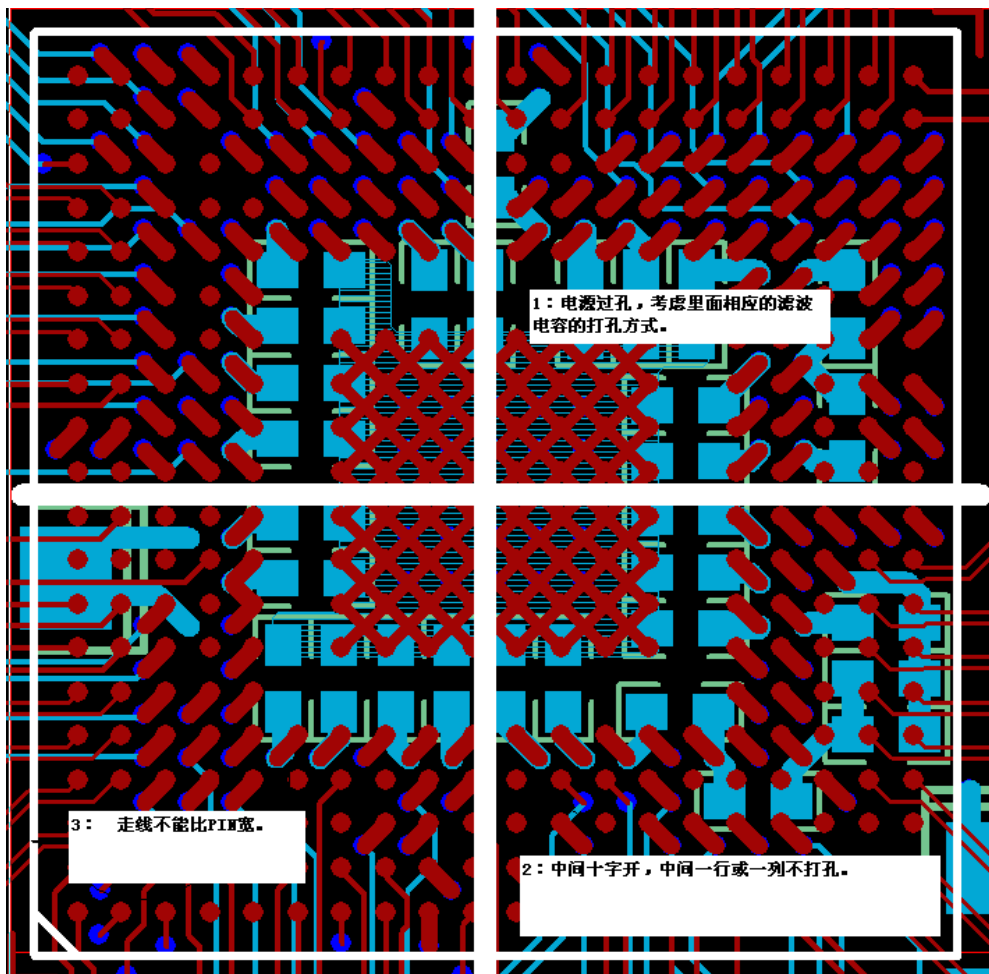


图 25 BGA的fan out示意图

3.7.2 滤波电容

针对密间距的SOP或QFP器件的式样：

优选式样：（优点：占用布局、布线空间最少，适合高密板，也最为常见。）

缺点：板厚对电流的回流路径有影响。）

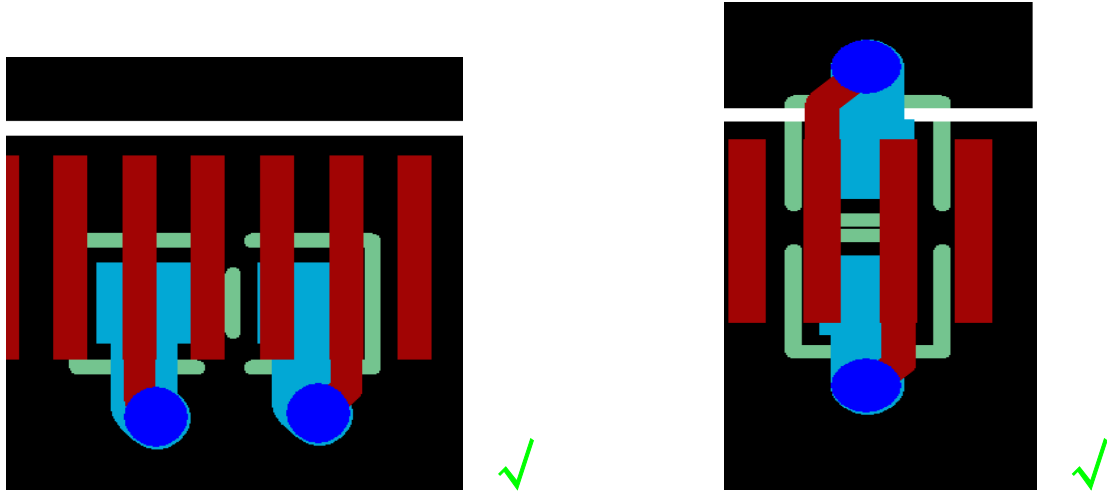


图 26 滤波电容的优选式样

普通式样：（优点：电容和器件在同一面，电流先过电容再到芯片，滤波效果好。）

缺点：占用布局空间比较大，不适合器件密度大的板。）

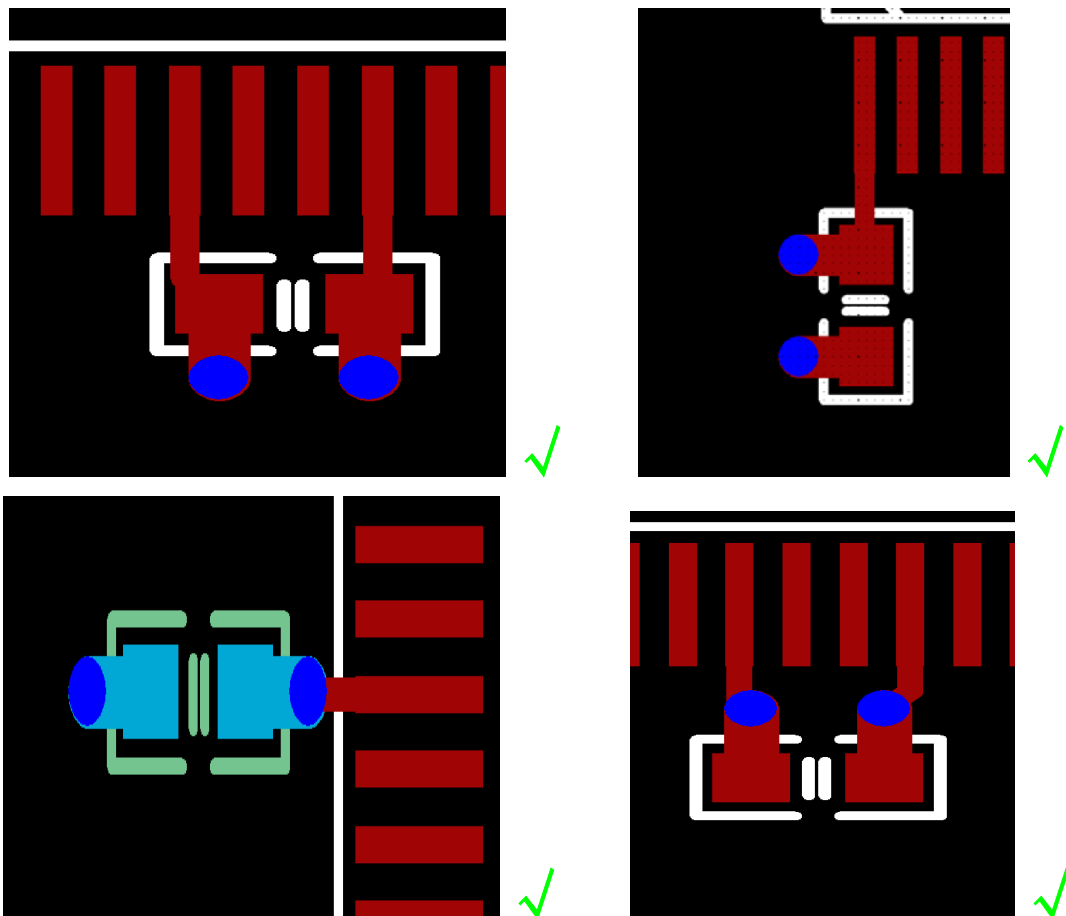


图 27 滤波电容fan out的普通式样

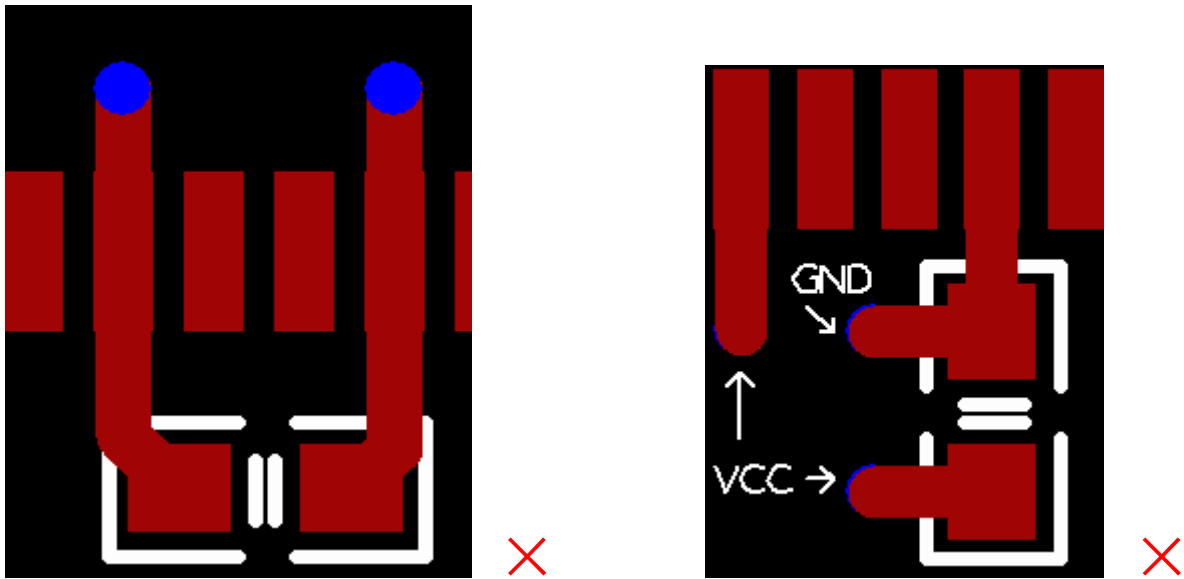


图 28 滤波电容fan out的错误式样

3.7.3 钽电容

优选式样：

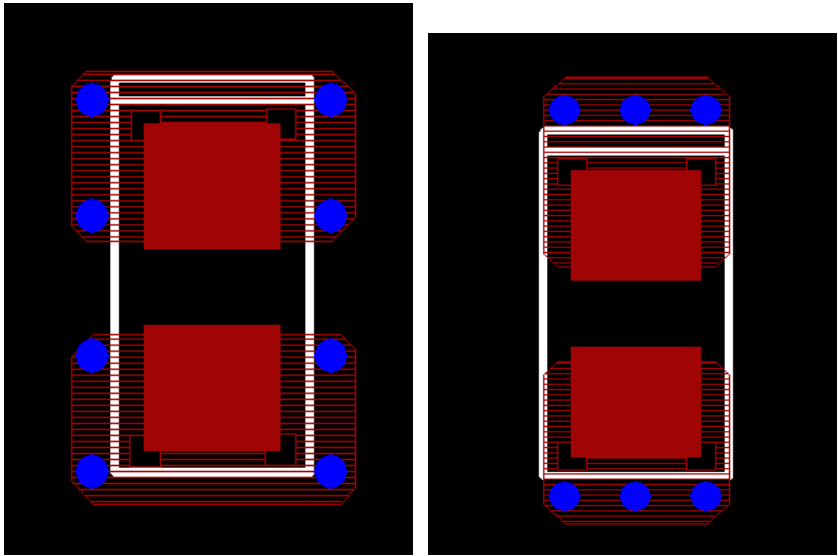


图 29 钽电容fan out的优选式样

普通式样：

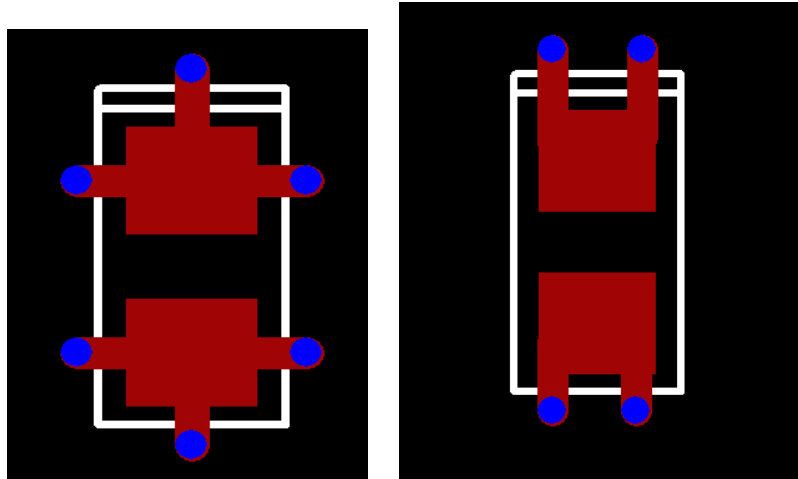


图 30 钽电容fan out的普通式样

钽电容fan out原则：

尽量粗的引线和多的引线，建议尽可能的铺铜。

尽量多的孔，不要打断电源层。至少要保证两个引线。

3.7.4 电源

Π形滤波电路：电容输入先滤波，滤波后电感输出， 电容再次滤波输出。如下式样：

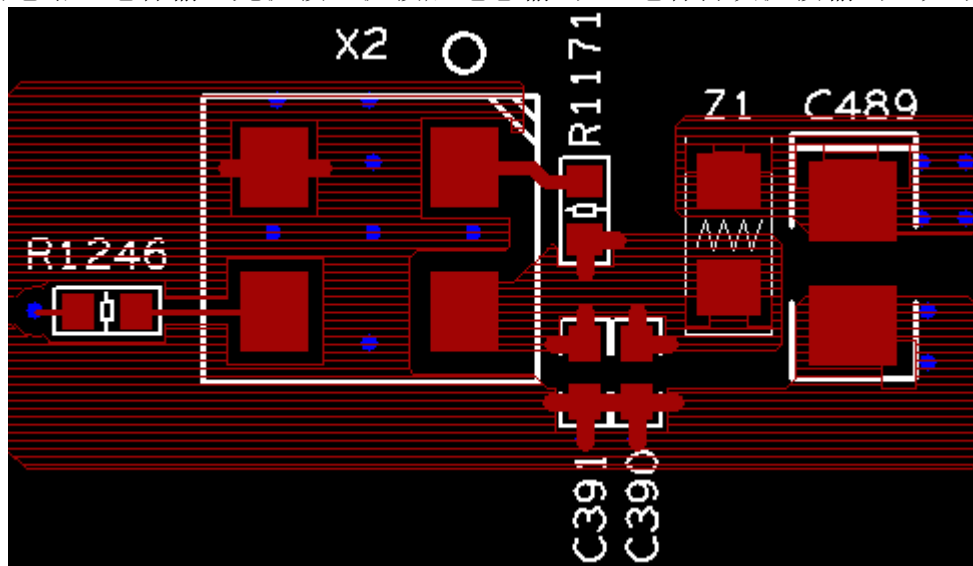


图 31 Π形滤波电路fan out

LDO电路：过孔在电源输入前，输出后，如下示图

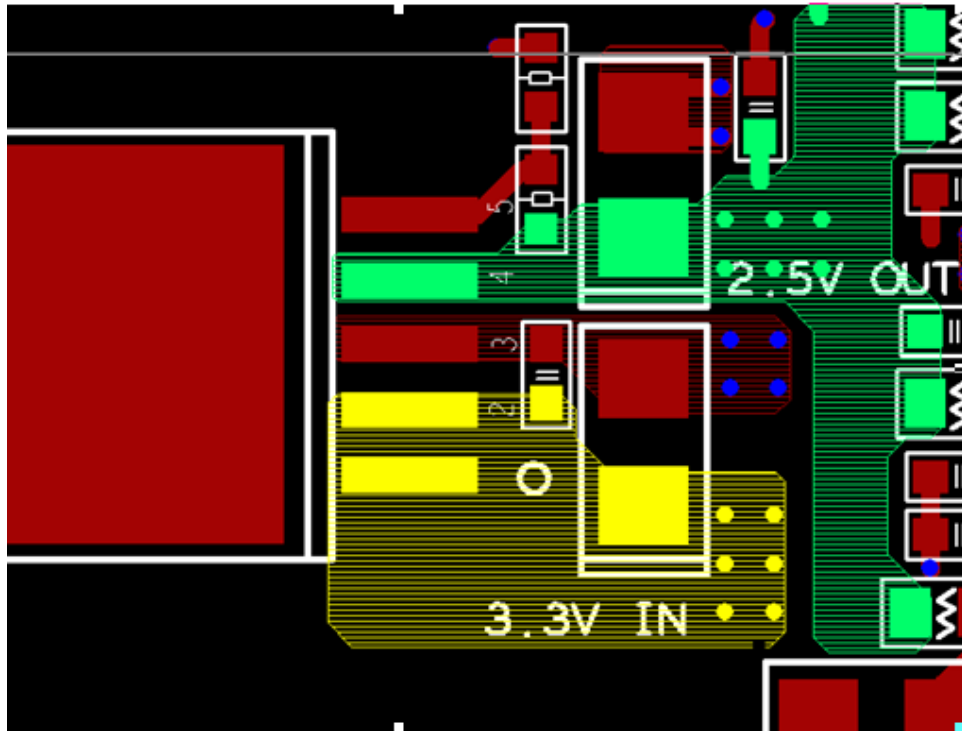


图 32 LDO电路fan out

电源转换器：非地过孔不能出现在元件下方：

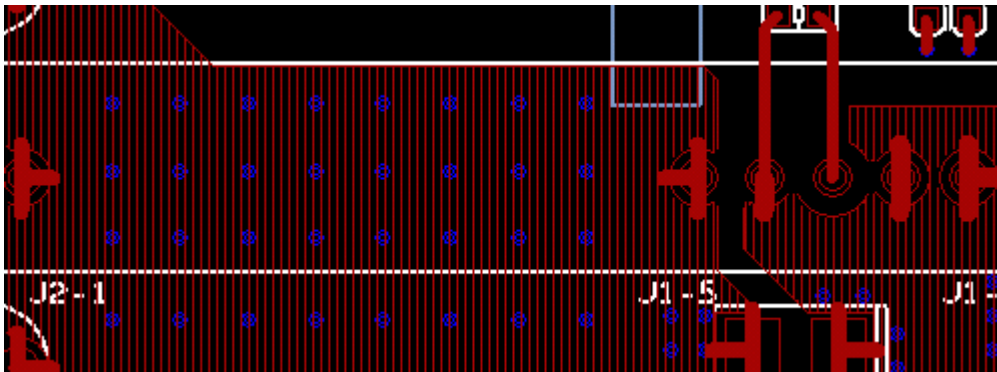


图 33 电源转换器的fan out

3.7.5 IC（SOP，QFP）

变压器

除了电源地信号，其他信号过孔不能向里打。

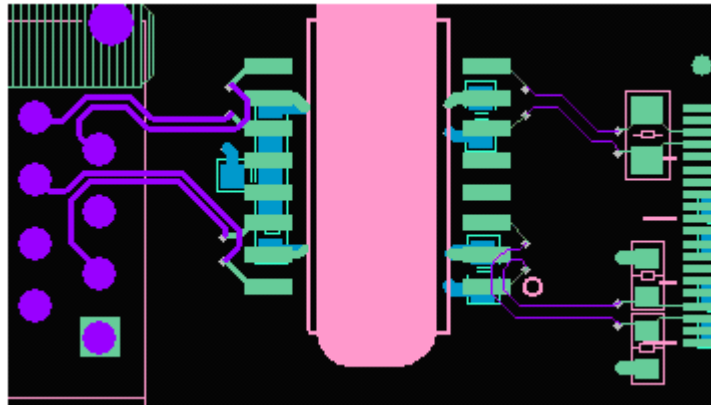


图 34 变压器的fan out

光口

过孔应在自己相应的区域，不能打在过孔禁布区。

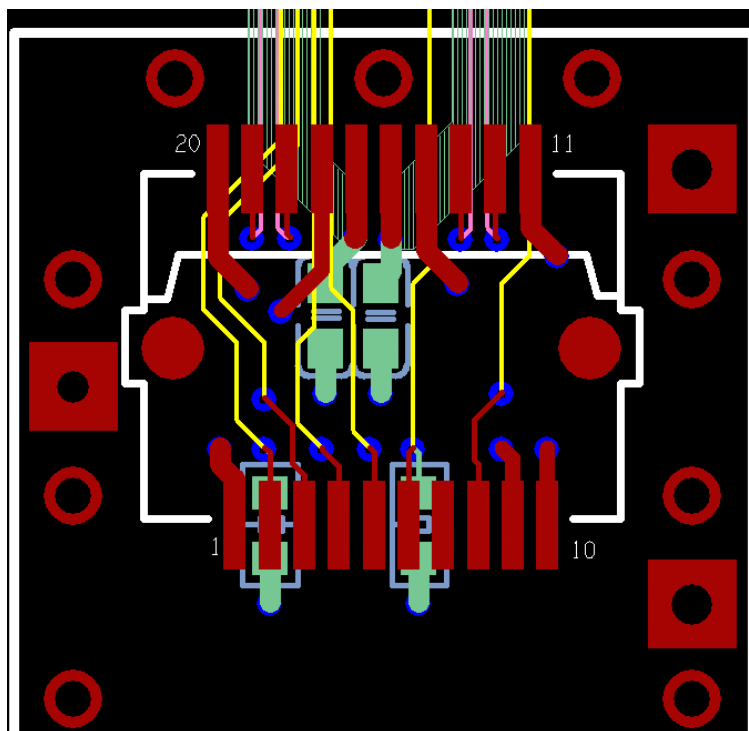


图 35 光口的fan out

SOP

过孔整齐，电源脚出线参考电容fan out

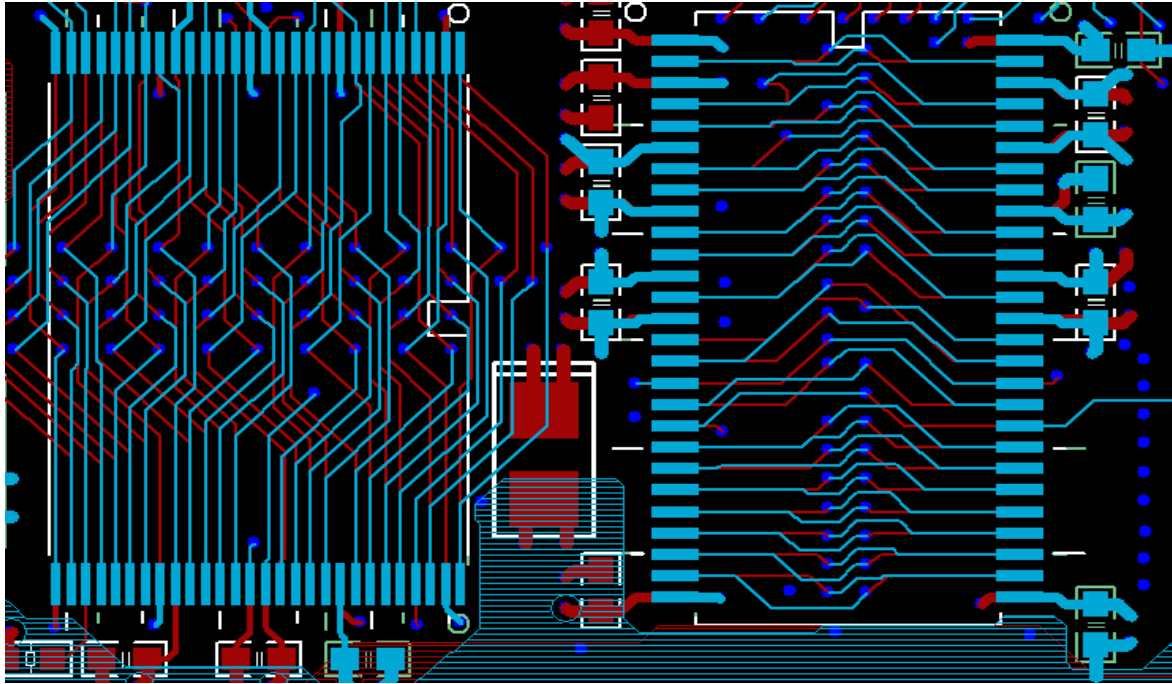


图 36 SOP的fan out

内部含有散热焊盘的芯片

在fan out时，每个信号都要先打孔，除了地信号，其他信号过孔都向外且所有层的信号都不能从散热焊盘下穿过。

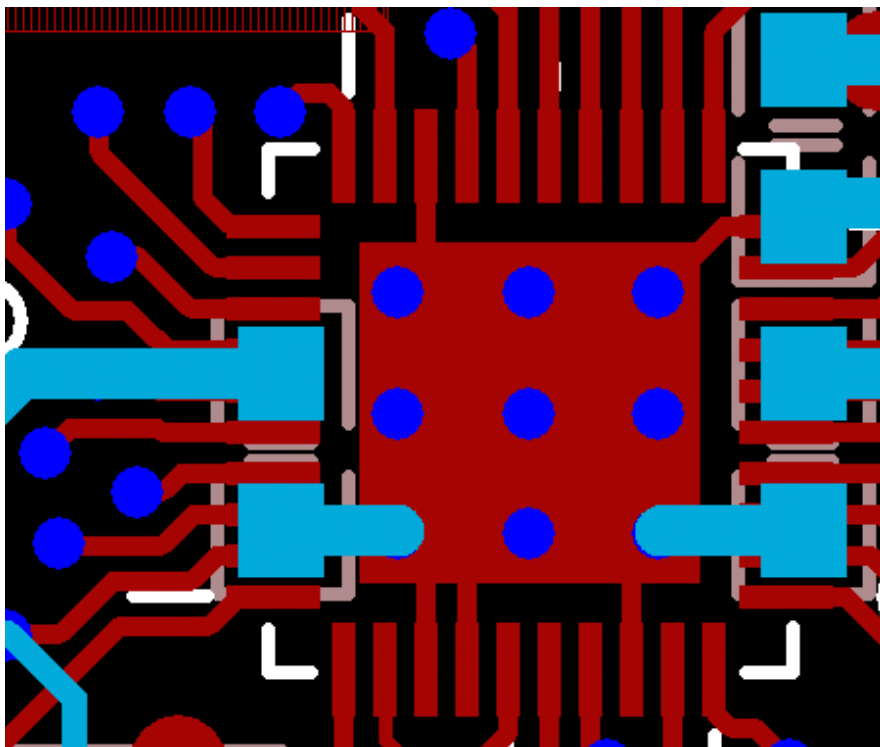


图 37 内部含有散热焊盘的芯片fan out

线宽

SOP, QFP等IC电源PIN脚出线时，线不能比PIN宽，如下：

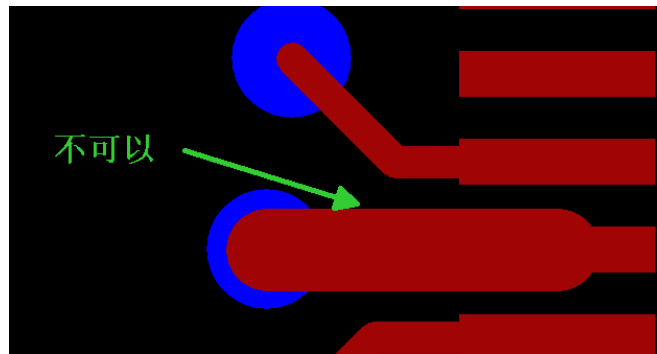


图 38 fan out不能比PIN宽

3.7.6 连接器

双边缘连接器

信号线过孔向外处打，电源地过孔不共用，下图是推荐的fan out形式。

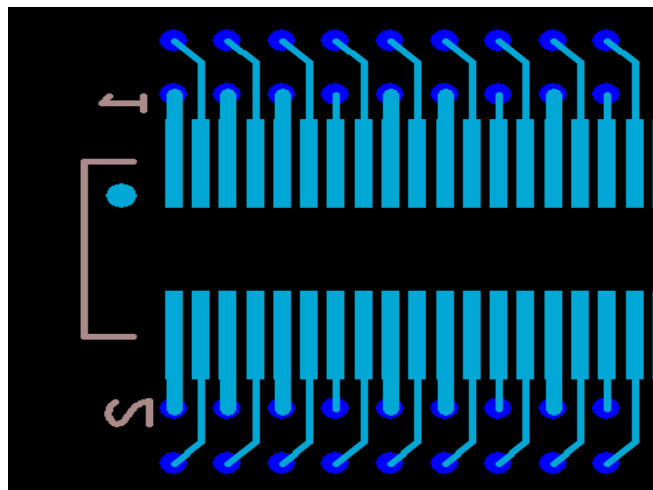


图 39 双边缘连接器推荐的fan out

在空间较密，由于布线限制，下图也是可行的，但过孔要在自己相应的PIN上方，不能偏离到其他PIN脚上方。

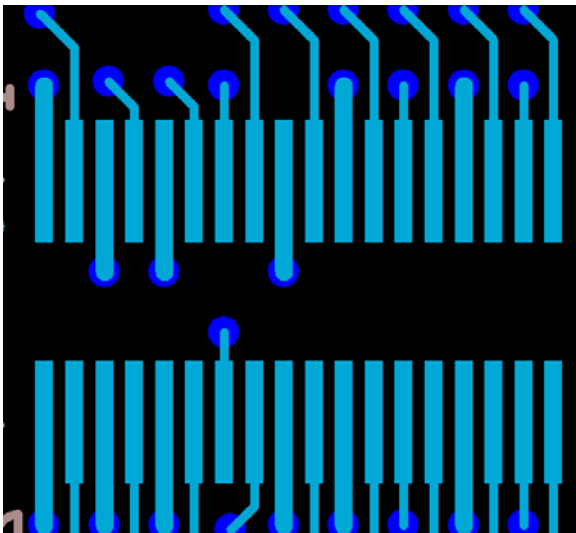


图 40 双边缘连接器可以接受的fan out

4 常见电路的布局布线

4.1 电源电路

4.1.1 -48V电源电路

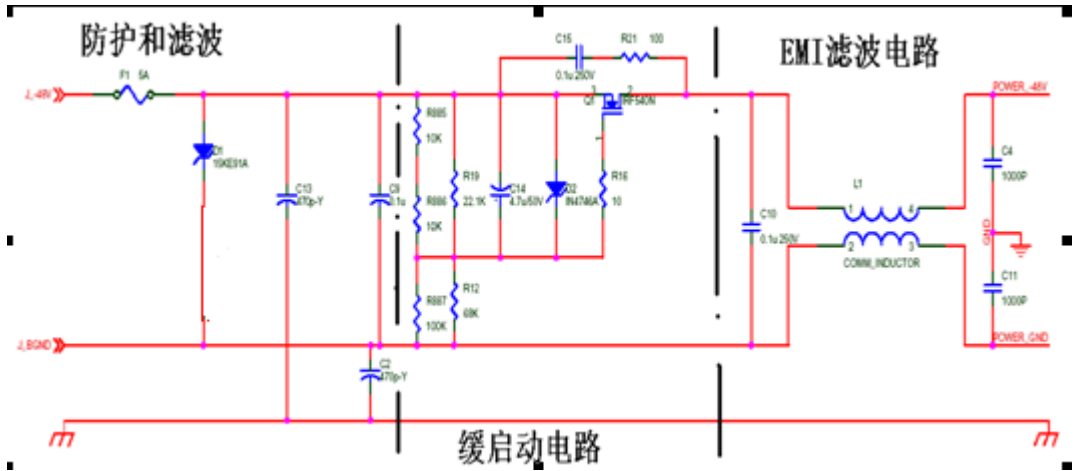


图 41 -48V电源电路的原理图

-48V电源电路设计注意事项：

- 1) 按照功能模块布局，电源流向明晰，避免输入、输出交叉布局；
- 2) 先防护、后滤波，防护通道线宽 $\geq 50\text{MIL}$ ；
- 3) 各自功能模块相对集中、紧凑，严禁交叉、错位（如电源模块的CASE管脚上的电容靠近CASE管脚放置，且CASE管脚到电容的连线短而粗）；
- 4) 整个电源通路布线（或铜箔）宽度需满足载流能力要求，且 $\geq 50\text{MIL}$ ；
- 5) -48V、BGND在满足安规需要的前提下，并行、相邻布线，在相邻层铺铜（或相邻

电源、地平面上分割）为佳；

- 6) 从-48V/BGND输入到DC/DC的输入侧，除对应的-48V/BGND/PGND的平面外，所有电源、地平面挖空，接口电源对应区域无其它走线，尤其是共模线圈的下面不能有任何走线、平面穿过；
- 7) 非-48V网络走线、过孔和铺铜必须距-48V网络的走线、过孔和铺铜2~3mm，在平面层也需同样间距处理
- 8) VCC输出滤波电路靠近DC/DC的输出放置。

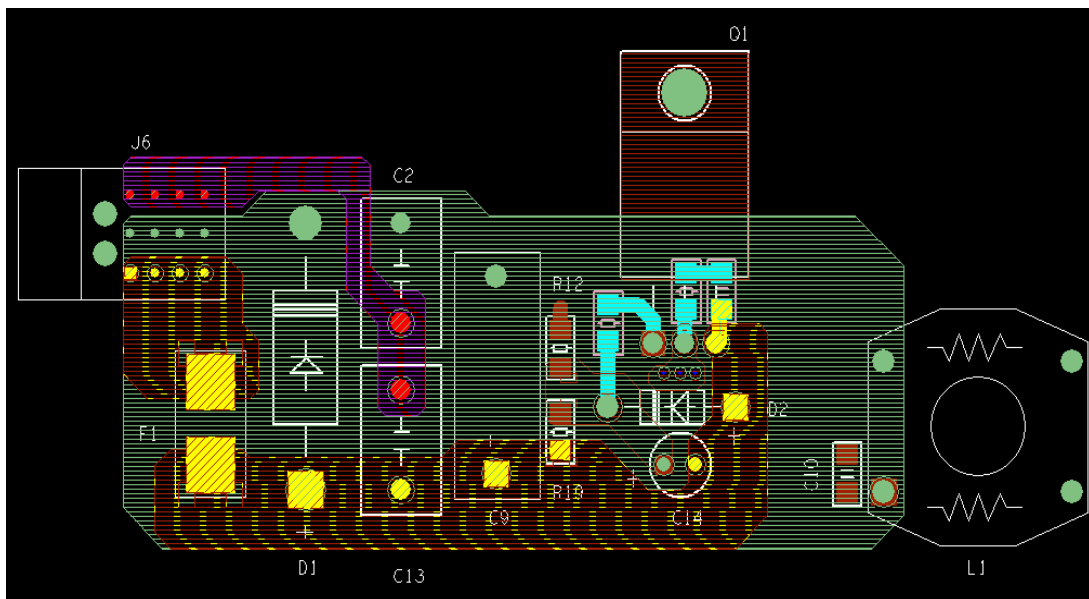


图 42 -48V电源电路的PCB图

4.1.2 二次电源模块或电源芯片

必须在输入端加滤波电容，并且在保证热设计前提下要将电容放置在靠近电源输入端。其作用有三点：

- 1) 减小电源内部产生的反灌到输入侧的噪声；
- 2) 防止当模块输入端接线很长时，输入端产生输入电压振荡。这种振荡可能产生几倍于输入电压的电压尖峰，轻则使电源输出不稳定，重则会对模块造成致命损坏；
- 3) 如果模块输入端出现不正常的瞬态电压时，此电容的存在可抑制短暂的瞬态电压。

二次电源模块或电源芯片，必须在输出端加滤波电容，并且在保证热设计前提下要将电容放置在靠近电源输出端。该电容有如下作用：

- 1) 减小输出纹波值；

- 2) 改善模块在负载变化时的动态性能;
- 3) 改善模块某些方面性能（如启动波形，系统稳定性等）;
- 4) 模块输出关闭后，输出电压可以维持一段时间以保证负载电路的某些操作能正常完成（如储存数据）。

4.1.3 缓启动电路

单板电源的输入端都接有比较大的电容，电源的功率越大，电容容量就越大。如果不加入限制措施，在输入电压上电时或者带电热插拔时由于需要对电容进行充电，电路中将会有有一个很大的浪涌电流流过。这个大电流会使得插针之间出现打火现象，以及带来其它干扰，或者烧断保险管，因此输入端必须设计缓启动电路。

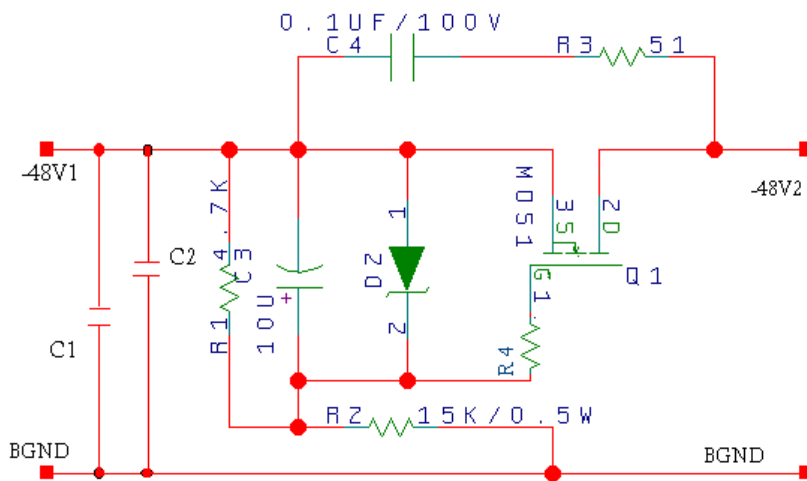


图 43 缓启动电路的原理图

缓启动模块电路有分离器件缓启动电路和专用芯片的缓启动电路。

分离器件的缓启动电路如上图

缓启动模块布局时需注意元件紧凑，主通道流畅。

布线时优先保证主通道布线宽度，布线流畅，通路少转折，其它连线也用粗线连接。

D2为及时保护Q1，所以尽量把它靠近Q1的G、S端，布线尽量加粗。

专用芯片的缓启动电路各个厂家都很多，可以参考芯片资料。

4.1.4 开关电源

电路示意图图：

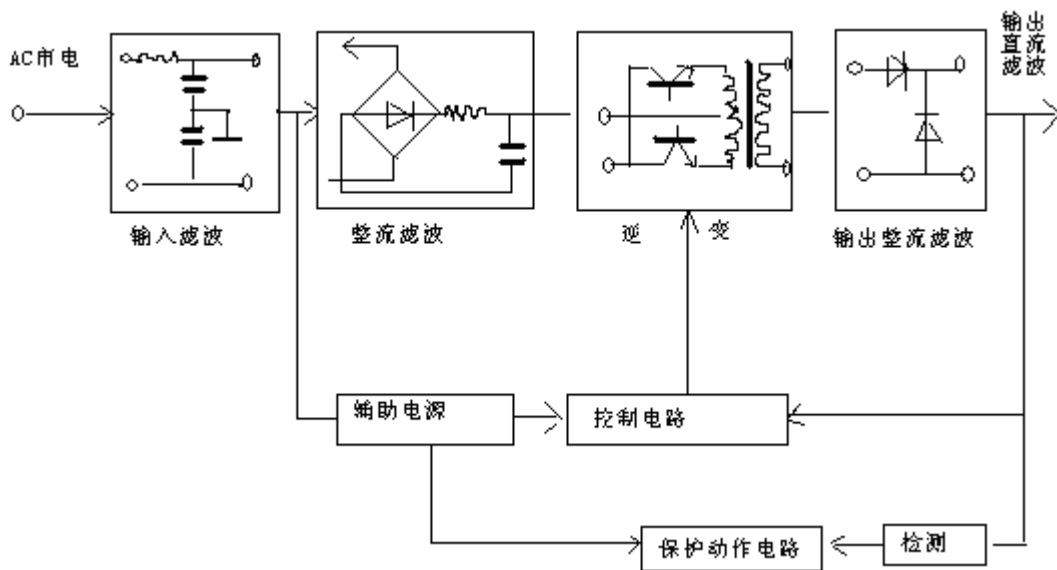


图 44 开关电源的电路示意图图

开关电源主要包括输入电网滤波器、输入整流滤波器、变换器、输出滤波器、控制电路、保护电路。

单板上使用的开关电源一般由板外输入的是DC电源，一般会省略输入电网滤波器、输入整流。

一. 主电路

1、输入滤波器：其作用是将电网存在的杂波过滤，同时也阻碍本机产生的杂波反馈到公共电网。

2、整流与滤波：将电网交流电源直接整流为较平滑的直流电，以供下一级变换。

3、逆变：将整流后的直流电变为高频交流电，这是高频开关电源的核心部分，频率越高，体积、重量与输出功率之比越小。

4、输出整流与滤波：根据负载需要，提供稳定可靠的直流电源。

二. 控制电路

一方面从输出端取样，经与设定标准进行比较，然后去控制逆变器，改变其频率或脉宽，达到输出稳定，另一方面，根据测试电路提供的数据，经保护电路鉴别，提供控制电路对整机进行各种保护措施。

三. 检测电路

除了提供保护电路中正在运行中各种参数外，还提供各种显示仪表数据。

开关电源有三种调制方式：

一、脉冲宽度调制（Pulse Width Modulation，缩写为PWM）开关周期恒定，通过改

变脉冲宽度来改变占空比的方式。

二、脉冲频率调制（Pulse Frequency Modulation，缩写为PFM）导通脉冲宽度恒定，通过改变开关工作频率来改变占空比的方式。

三、混合调制

导通脉冲宽度和开关工作频率均不固定，彼此都能改变的方式，它是以上二种方式的混合。

开关电源PCB设计原则：

- 1.布局尽量紧凑，布线尽量粗短；
- 2.考虑大电流通道和载流能力；
- 3.分清交流通路，减少噪声；
- 4.大电流输入输出共地采样反馈和调制输出远离电感和噪声区域。
- 5.确定模块在板上的位置是一个强烈的EMI辐射源。应远离时钟、接口等敏感器件摆放
- 6.确定原理框图中各个部分的核心器件：输入整流（可选）、输入滤波、开关管、控制电路、输出滤波；

开关管：布局紧凑，布局考虑大电流通道，输入输出的地能够直接相连，且环路面积最小；

输入滤波：紧靠开关管，确保能做到大电流先滤波再进入开关管；

输出滤波：紧靠开关管，确保大电流先滤波再进入单板平面；

控制电路的采样电路：采样电阻放在输出滤波与比较电路的中间，布局时保证采样电路尽量靠近芯片管脚，靠近比较电路；

控制电路的比较电路，靠近控制芯片摆放；

控制电路本身的滤波网络：电容尽量靠近相应管脚；

开关管部分尽量粗短，一般用铺铜实现；

输入输出滤波：注意到电源平面的过孔数目和位置，在滤波电容之后；

控制电路的采样：模拟信号，采样点在输出滤波之后，如果有电流采样和电压采样，布成差分线的紧耦合形式，采样线尽量短，减小受干扰的空间；

控制电路的调制输出：模拟信号，不要在开关管下走长线，远离大电流的电源和地的区域；

- 7.输入输出的地：用大铜皮连接到一起；

- 8.控制电路的地：模拟地，与大电流地分开，远端单点接地。

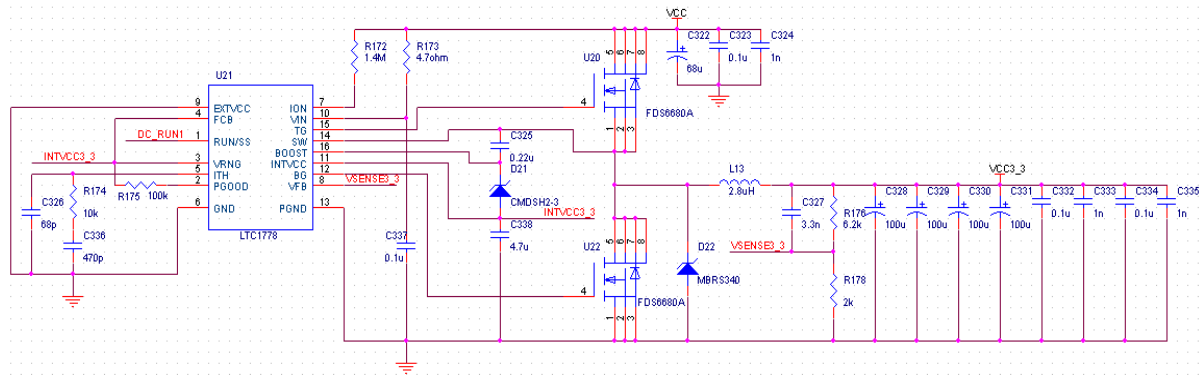


图 45 开关电源的原理图

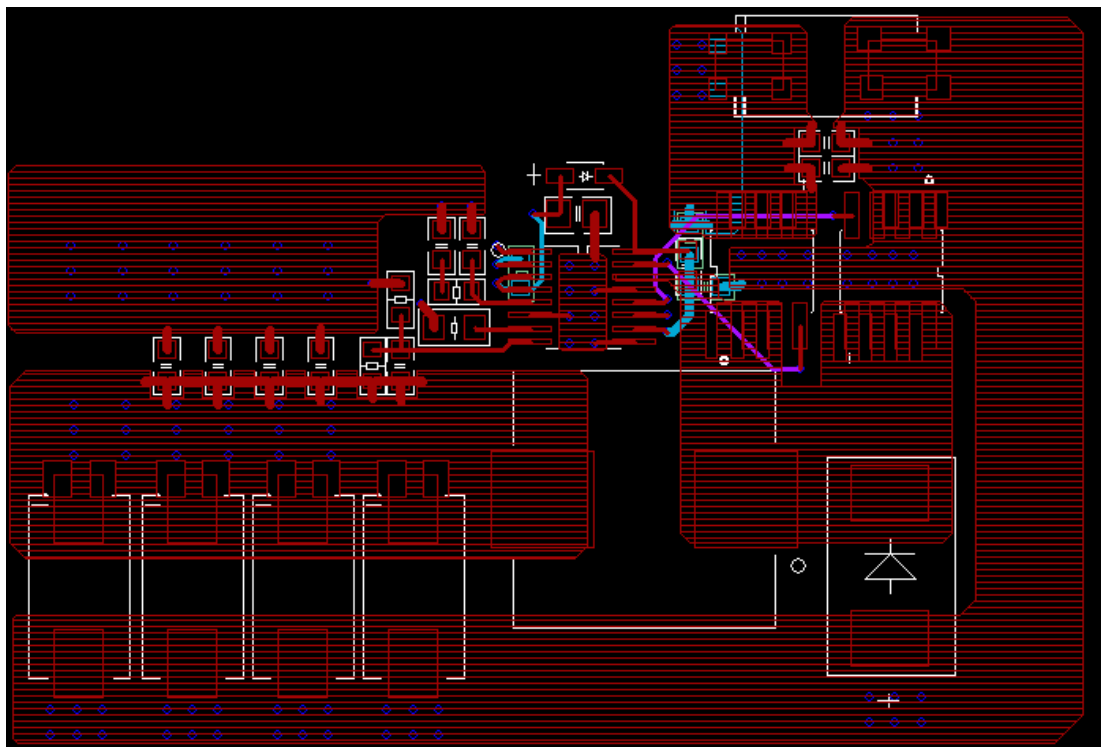


图 46 开关电源的PCB图

4.1.5 DC/DC转换电路（LDO）

线性电压调整器是通过自身消耗多余的能量来达到调整电压的目的。

优点：电路简单，使用方便，成本低。

缺点：自身的发热量大，电源转换效率低。

线性电压调整器，如果自身功耗大，则需选择插件封装，加合适的散热器，同时注意接地引线尽量短粗，以减少发热损耗和引线电感的影响。

线性电压调整器本身功耗计算：

功耗=压差×负载电流= $(V_i - V_o) \times I_o$

由于本身会大量发热，硬件设计时会考虑加装散热片和利用PCB板散热在PCB设计时遇到电压调整器，需向硬件人员询问清楚他们选用的是哪种散热方式。

有些电源芯片的散热片是和芯片地脚相连，而有些则是和芯片的输入或输出脚相连，如不注意，会导致输入或输出端对地短路。应考虑设置PCB表层的禁止布线区，否则散热器安装后可能蹭刮到PCB，造成短路。

利用金属外壳和PCB板铜箔连接散热时，也需考虑是否允许连接到地层散热。

线性电压调整器针对输出的电压值可分为：固定电压调整器、可调电压调整器。

针对这种输出电压固定的调整器，在布局时只需把它的输入、输出端的电容靠近管脚放置，布线时铺铜处理即可。

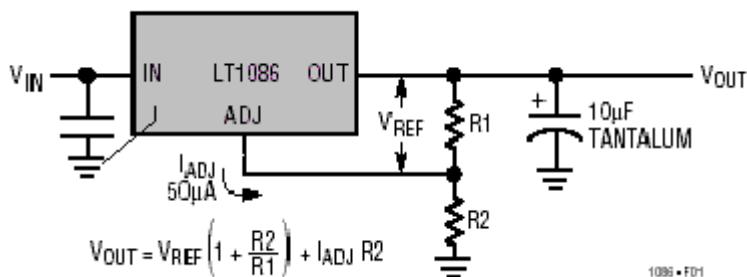


图 47 线性LDO电路原理图

输出电压可调的调整器，在布局时需把它的输入、输出端的电容靠近管脚放置，它的调节电阻也须就近摆放，布线时输入、输出通道铺铜处理，控制信号粗线连接。

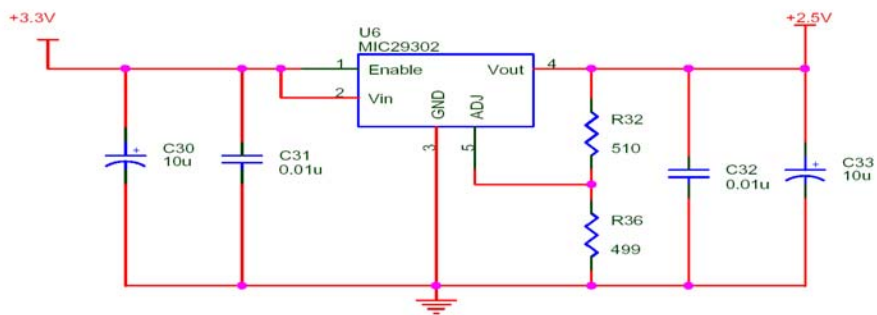


图 48 输出电压可调的LDO电路原理图

PCB图如下：

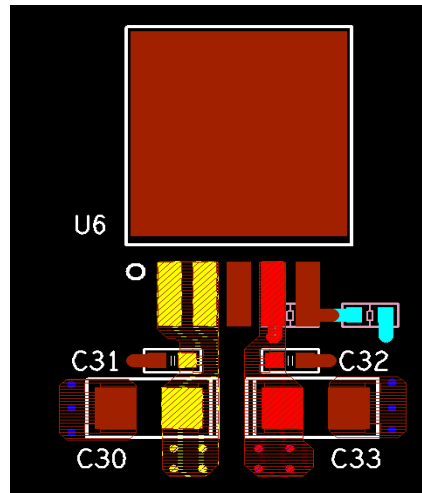


图 49 输出电压可调的LDO电路PCB图

4.2 时钟电路

4.2.1 无源晶体电路

- 1) 电路由一个无源晶体和两个小电容（一般为22PF/33PF）组成，整个电路应尽可能的靠近芯片放置，一般线长度必须控制在1000MIL以内；
- 2) 布局时需保证信号先过电容再到芯片，两根信号按类似差分线处理，线宽要粗些（一般为10MIL）；
- 3) 晶体的器件面需铺地铜，加地过孔，晶体下方最好不要有其它信号穿过；
- 4) 若晶体的频率在20M以上，建议在两信号之间加个匹配电阻（一般为1M Ω ），电阻放在电容之后；

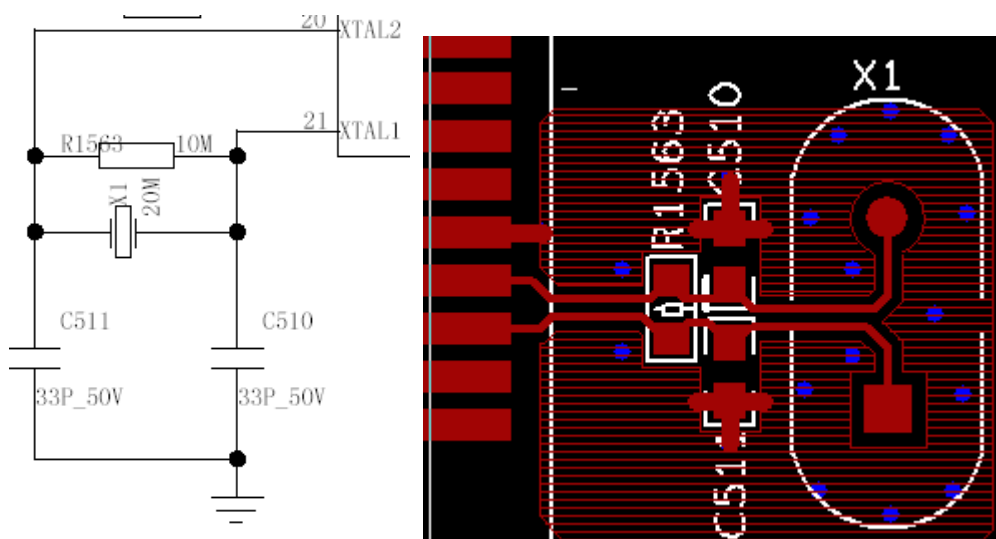


图 50 无源晶体电路的原理图和PCB图

4.2.2 有源晶振电路

- 1) 电路由一个有源晶振、一个匹配电阻（一般为 33Ω ）、一个小电容（ 0.1μ ）、一个大电容（ 10μ ）、一个磁珠组成，其中两电容与磁珠组成一个 Π 滤波电路。
- 2) 整个电路的布局尽可能的靠近芯片放置，使时钟线的布线尽可能的短；
- 3) 布局时小容值电容需靠近晶振电源PIN放置，匹配电阻应尽量靠近晶振放置，一般不超过200MIL；
- 4) 晶振的器件面需铺地铜，加地过孔，晶体下方最好不要有其它信号穿过；
- 5) 匹配电阻两端的信号严格按时钟线布线要求处理

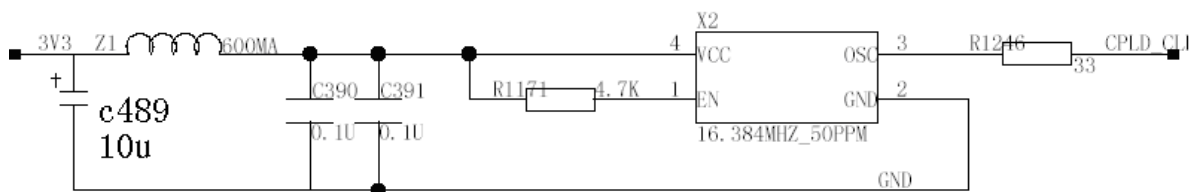


图 51 有源晶振电路的原理图

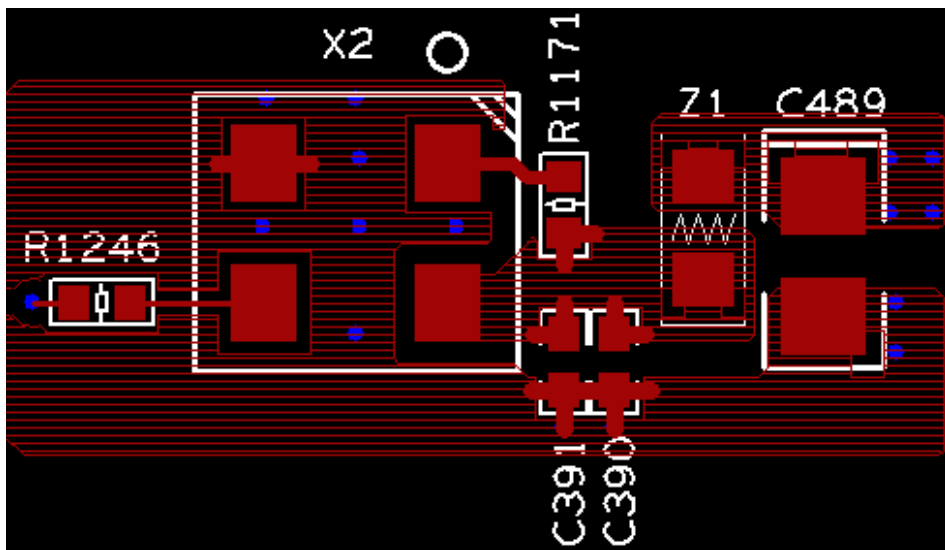


图 52 有源晶振电路的PCB图

4.2.3 时钟驱动电路

- 1) 电路由时钟发生器、驱动芯片、去耦电容、匹配电阻等组成；
- 2) 整个电路的布局尽量紧凑，时钟电路按自身要求布好后尽量靠近驱动芯片放置，所有的匹配电阻尽量靠近驱动芯片放置，一般长度在200MIL以内；
- 3) 保证驱动芯片有足够的去耦电容及BUCK电容；
- 4) 驱动芯片内部要铺电源铜，其它信号的过孔不能朝内部打；
- 5) 布线时按一般的常规时钟线要求进行，驱动芯片下方不能有其它信号穿过；
- 6) 因驱动芯片周围的时钟信号比较密，它们之间的相互干扰及对外干扰比较强，所以

其它无关的电路及信号要远离它；可能的话多做些屏蔽处理。

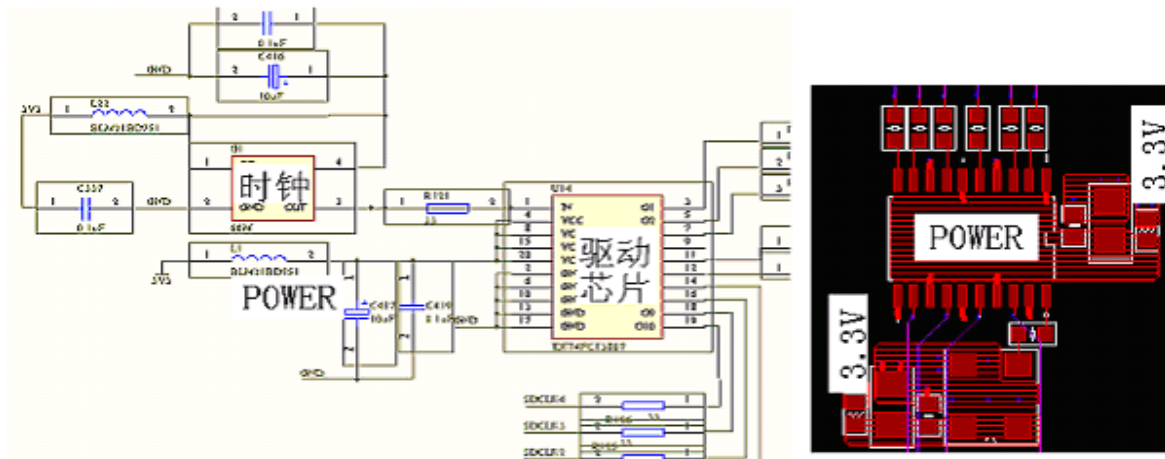


图 53 时钟驱动电路的原理图和PCB图

4.3 接口电路

4.3.1 串口电路

- 1) 布局时阻容尽量靠近芯片放置，布线时加粗他们的管脚引线
- 2) TX和RX信号线不需要做成差分形式。
- 3) 串口连接器信号管脚平面一般是挖空处理，如果串口信号有保护电路，要将保护电路平面一同挖掉。如果串口信号无保护电路，那只要挖掉串口信号管脚就可以。

串口无保护电路时布局布线：

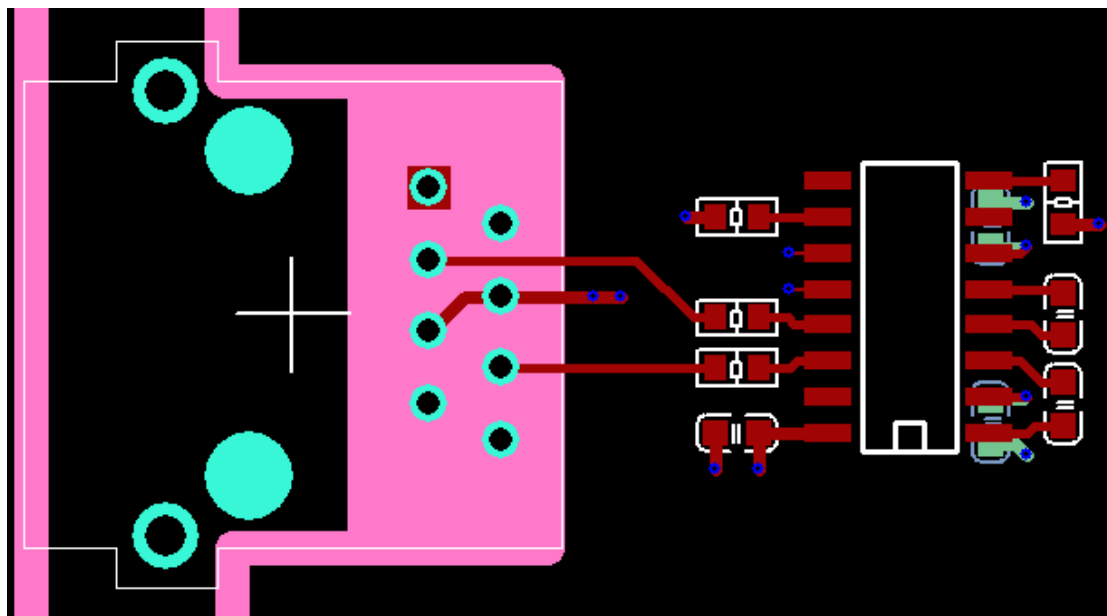


图 54 不带防护的串口电路的PCB图

串口有保护电路时布局布线：

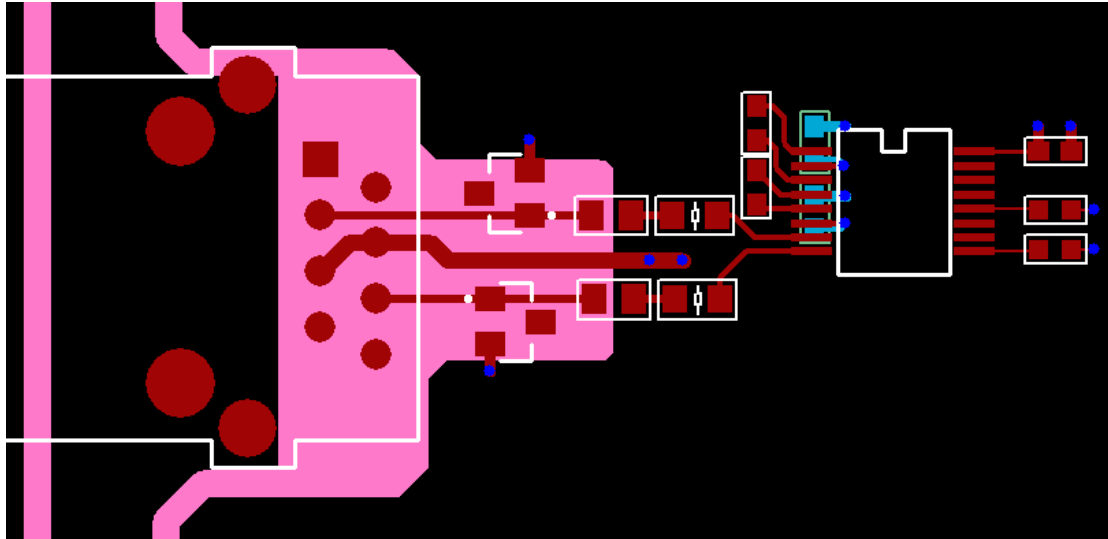


图 55 带防护的串口电路的PCB图

4.3.2 网口电路

- 1) 电路由网口连接器（RJ45）、隔离变压器、PHY、去耦电容、匹配电阻组成；部分电路有带防护电路和Smith 电路；
- 2) 变压器与RJ45应尽量靠近，长度控制在1000MIL以内，与PHY的距离也应尽可能的近；
- 3) 变压器中心抽头每个PIN有一个去耦电容（0.1UF），有时初级端连成RC形式来处理；
- 4) 网口信号由多对差分线组成，初级端的线不控制阻抗，线宽尽可能的粗些（一般为12MIL），次级差分线按一般的差分线要求处理；
- 5) 变压器中心抽头经电容接地的信号线宽要加粗，一般为20MIL；
- 6) 变压器中间对应的所有层都必须掏空，（添加ANTI ETCH，宽度在100MIL以上）；
- 7) 所有信号都不得在变压器下方布线；更不允许信号从初次级间跨过；
- 8) 常规RJ45下方需做全部挖空处理。

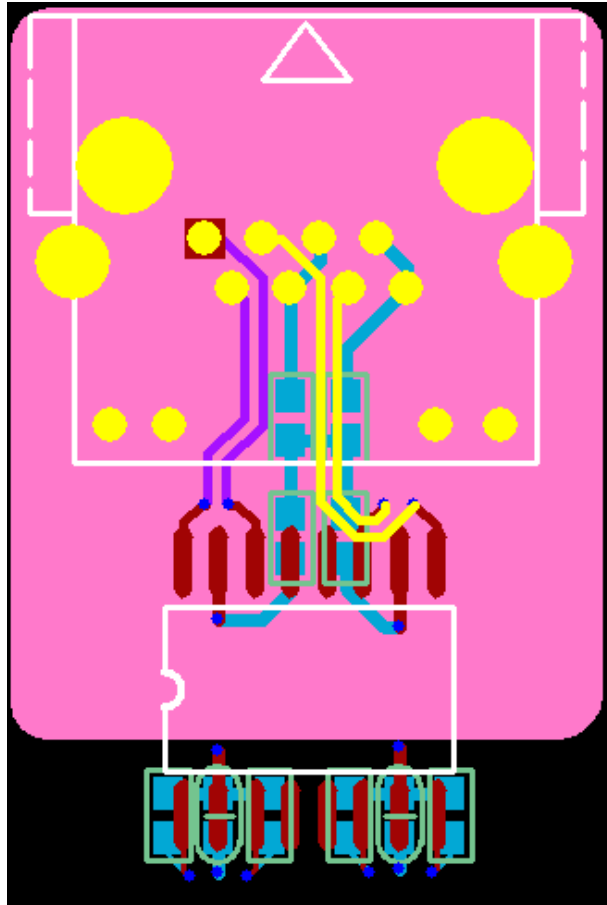


图 56 网口电路的PCB图

- 9) 网口的种类很多，100M以太网、1000M以太网（4对差分线）；有的网口已集成了变压器，如下图：

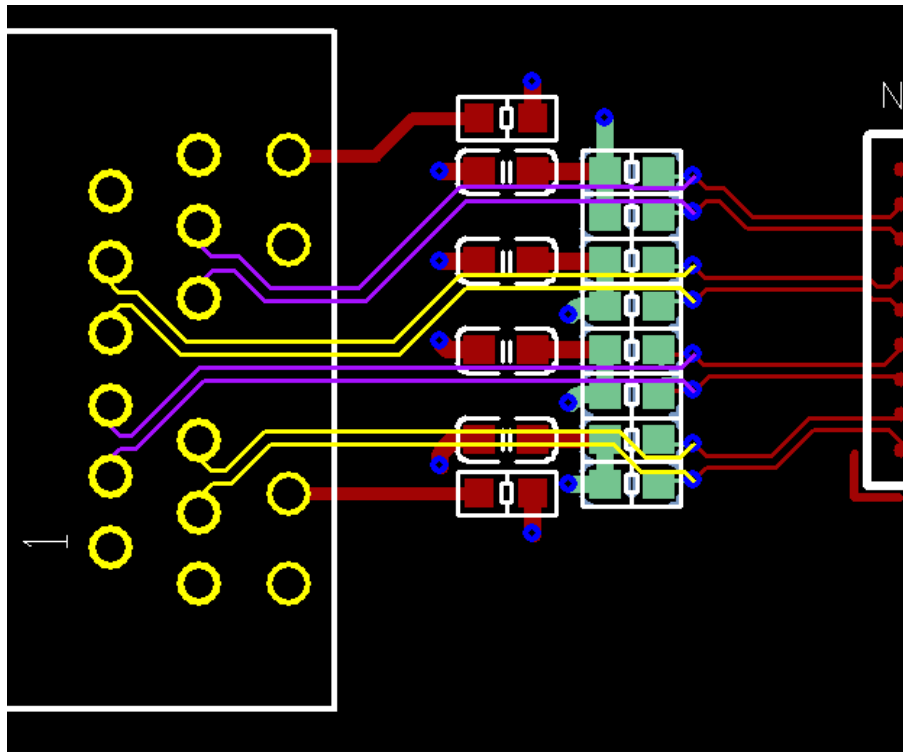


图 57 集成变压器的网口电路的PCB图

4.3.3 光口电路

- 1) 电路由3.3V供电模块、上拉电阻、匹配电阻、光模块组成；
- 2) 光模块的位置一般是固定的，上拉电阻可直接放在背面靠PIN脚处，供电电路应尽量靠近放置，去耦小电容需靠PIN就近放置；
- 3) 光模块信号一般有两对差分线和6根控制信号，按高速信号要求处理；
- 4) 外壳的GND PIN一般接到CGND（保护地）；
- 5) 非地过孔不要打在屏蔽罩底下；

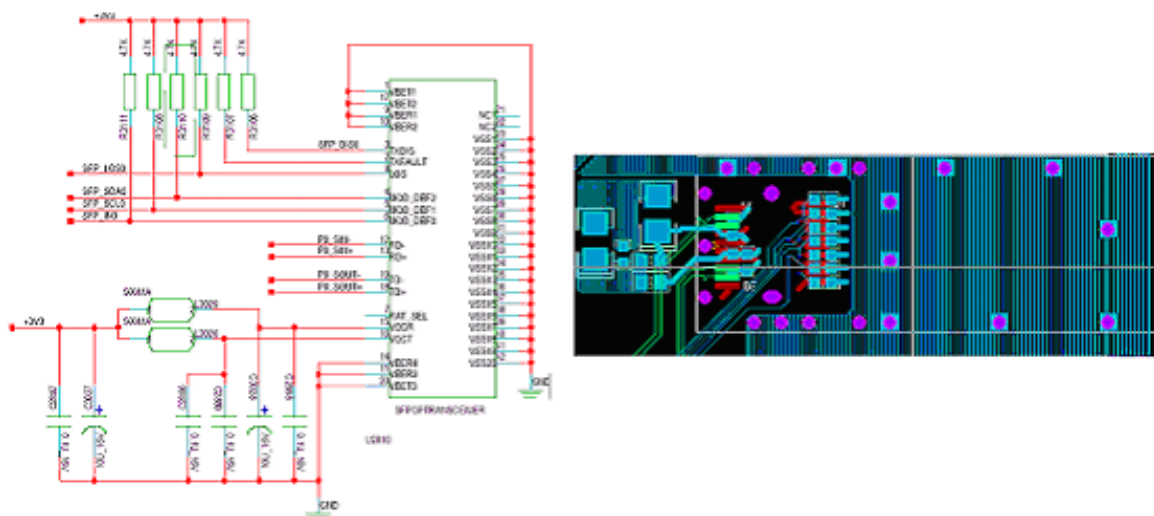


图 58 光口电路的原理图和PCB图

- 6) 光模块根据传输速率的不同有多种的封装规格，但传送原理基本相同，下图一个采用+5V供电、单根控制信号的例子、还有其它有带灯的、双通道等等。

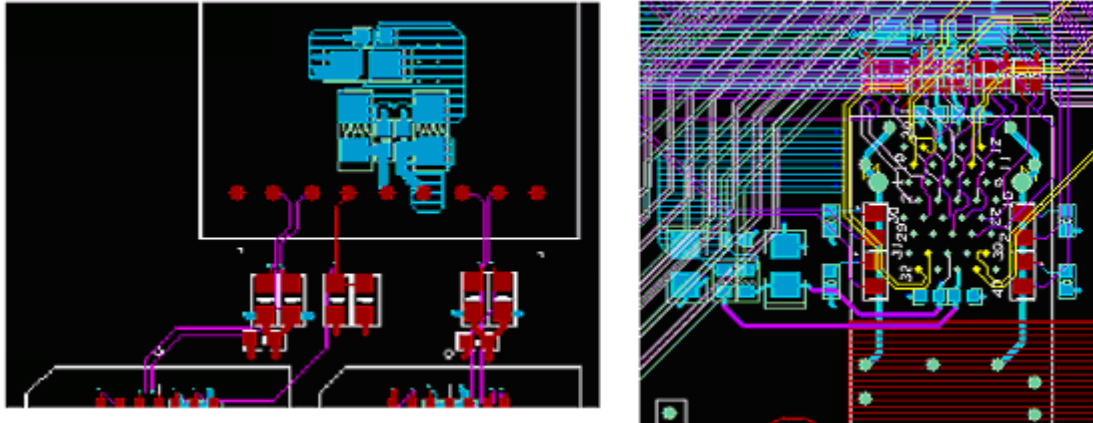


图 59 +5V供电和双通道光口的PCB图

4.3.4 JTAG电路

- 1) 电路由测试连接器和上下拉电阻组成；
- 2) 一般有5根测试信号线，分别是：TCK，TDI，TDO，TMS，TRST#
- 3) 布局时，上下拉电阻一般要靠近JTAG连接器放置
- 4) 表贴的JTAG连接器，一般不要在内部打孔。

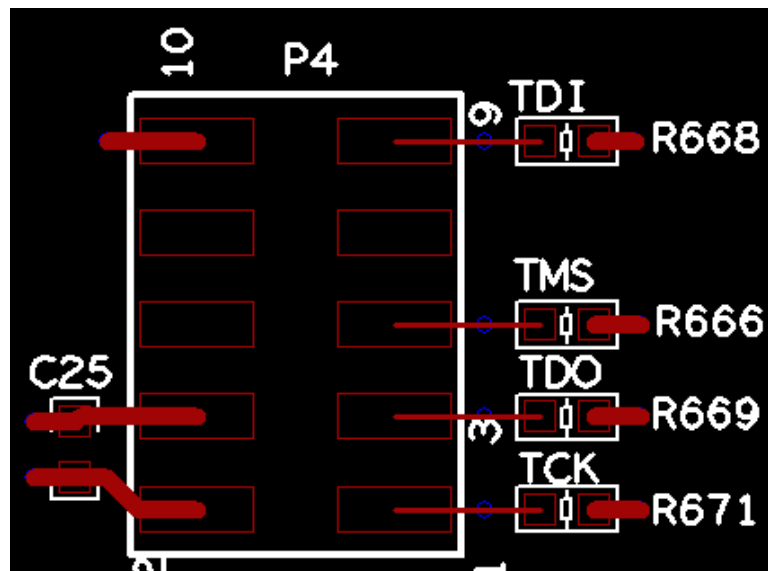


图 60 JTAG电路的PCB图

4.3.5 USB接口电路

- 1) USB一般有6个管脚，两个固定管脚，四个信号管脚.四个管脚分别是：1脚电源，2脚USB_N，3脚USB_P，4脚GND；

- 2) USB固定管脚一般不要直接与数字地相接（一般命名为CGND），可以通过跨接电容接上数字地；
- 3) 布线时USB_N和USB_P要按差分形式处理。USB2.0 阻抗控制90ohm；
- 4) 考虑EMC电磁干扰，有时会在4个信号管脚加上磁珠进行隔离，如下图：

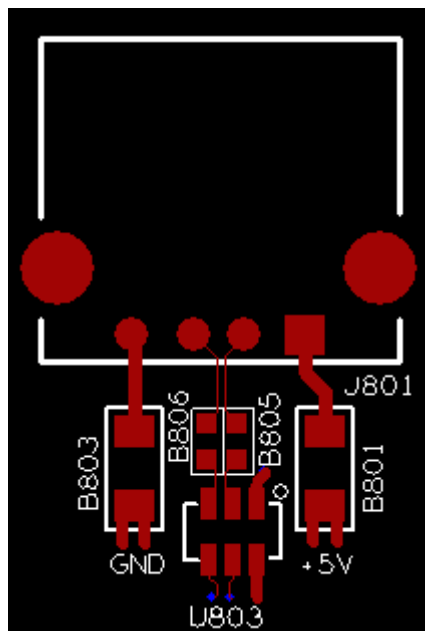


图 61 USB电路的PCB图

4.3.6 音/视频接口电路

1) Audio(音频):

音频信号线一般包括SPKR_L+/-; SPKR_R+/-; AC_BITCLK, AC_SDATAOUT, AC_SYNC, AC_SDATAIN...（其中AC97'为数字信号）。

差分阻抗控制在75Ω。

布线时线宽尽量加粗，推荐用15mil走线。

布线时远离其它信号，单独给它们包地处理。

2) VGA:

VGA信号线一般包括R、G、B、HSYNC、VSYNC信号。

阻抗控制在75欧。

布局时RGB的磁珠尽量靠近连接器放置，信号要做到先去耦再输入；RGB的上拉电阻可放在芯片端。

RGB的信号要尽量加粗，一般推荐15mil左右，三根线相互间距及其它信号的间距应尽量大，RGB三根信号进行单独包地处理，且三信号线尽量等长。

HSYNC、VSYNC是行场同步信号，这两根信号无需按照差分形式进行布线，远离其它信号；需要进行单独包地处理、且等长。

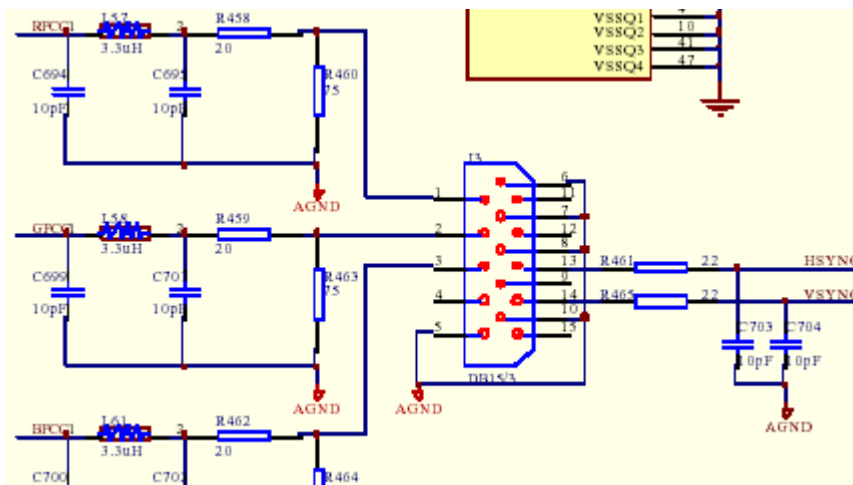


图 62 VGA 电路的原理图

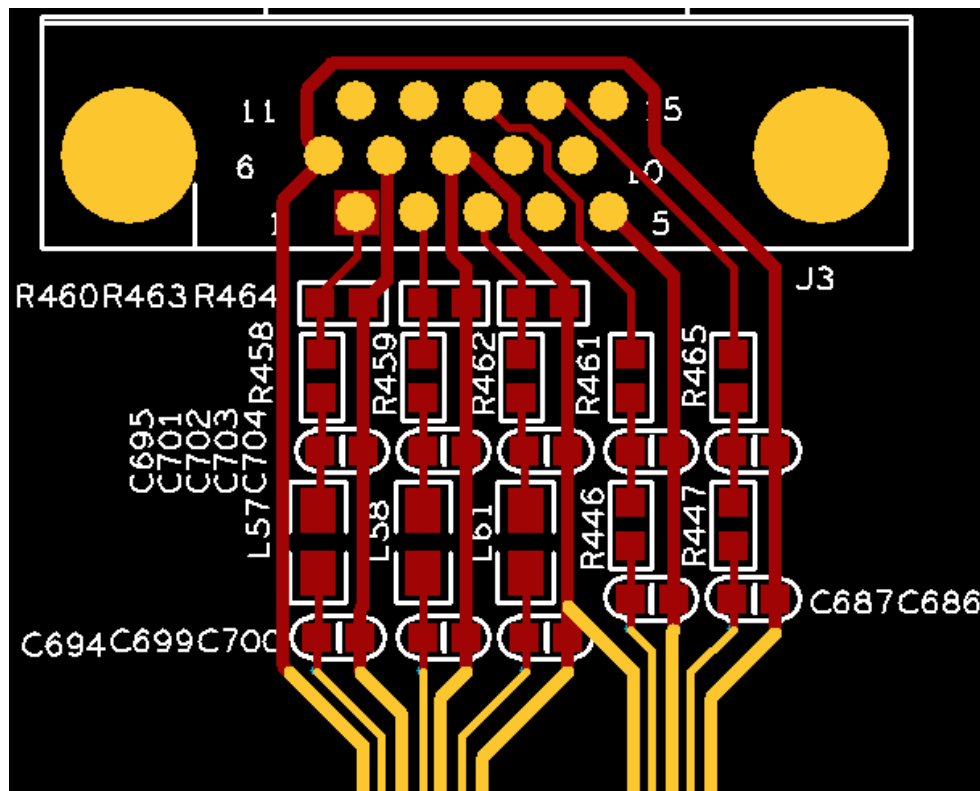


图 63 VGA电路的PCB图

4.4 CPU小系统

4.4.1 SDRAM

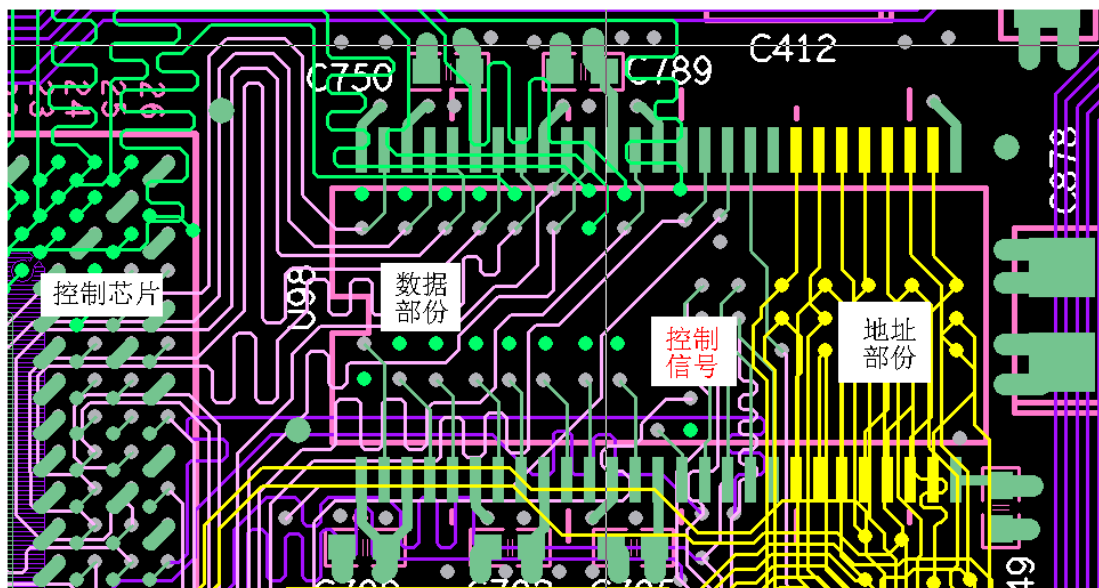


图 64 SDRAM常见布局布线

1) 布局时应注意以下几点：

存储芯片尽量靠近控制芯片放置，使整体布线尽可能的短。

保证存储芯片电源PIN有足够的去耦电容，且每个芯片都要有一个BUCK电容
时钟信号的匹配电阻及反馈时钟的电阻靠近控制芯片放置。

2) 布线时应注意以下几点：

16根数据信号与对应的两根DQM信号构成两组BUS，每组 BUS线需在同一层完成布线，长度尽量控制在 $\pm 25\text{MIL}$ 以内；间距尽量能达到8MIL以上；

地址线一般采用星形或远端簇形方式的拓扑结构，到每一支点的长度需等长，控制在 $\pm 50\text{MIL}$ 以内；

BA0与BA1两根BANK地址线和其它地址线一起处理，其它控制信号按常规线处理即可；

时钟信号要尽可能的短，间距按常规的时钟线要求；

所有信号的阻抗一般按50 欧姆来控制。

4.4.2 DDR

1) 布局时应注意以下几点：

对于DIMMs，匹配电阻应靠近第一个DIMMs放置，对于SOP/BGA，匹配电阻应根据不同的芯片确定放置端，若时钟有加匹配电阻，则电阻可靠控制芯片放置；
所有的上拉电阻摆放在最后一个DIMMs之后，每四至六个信号放置一个0.1uf或者0.22uf的0603封装的电容且靠近上拉电阻，对于SOP/BGA可参照处理；

要保证DDR芯片有足够的去耦电容，且要有大个的BUCK电容；

存储芯片尽量靠近控制芯片放置，使得整体布线尽可能的短。

2) 布线时应注意以下几点：

1.间距方面的要求：

CLK信号于其它信号保持4: 1的space

CLK以差分形式1: 1的space布线

DQ/DQS信号以3: 1的space布线，与其它信号保持4: 1的space（3: 1（即线边缘与线边缘的距离）=3X线到相邻地平面的距离），为了绕线方便，我们把DQ/DQS分为九组，分别为

Group0: DQ(0..7)、DQS0、(DM0)

Group1: DQ(8..15)、DQS1、(DM1)

Group7: DQ(56..63)、DQS7、(DM7)

Group8: ECC(0..7)、DQS8

A/C信号以3: 1的space布线，与其它信号保持4: 1的space

2.长度方面的要求应根据客户的设计要求严格处理；

3.布线要点

CLK以差分形式布线，抑制共模噪声；

同组信号以相同层完成，尽量不换层，同一信号若换层，要有共同的地回流平面；

若没有共同地平面需在过孔处加地孔；

使用排阻以节省PCB空间；

排阻到DIMMs用表层处理，尽量短、顺畅。

4.4.3 SDRAM与DDR的区别

具体的信号区别请参照下表所示：

| Parameter | SDRAM | DDR |
|------------------|-------|------|
| DQM | Yes | No |
| DM(Data MASK) | No | Yes |
| DQS(Data Strobe) | No | Yes |
| CK#(System) | No | Yes |
| Vref | No | Yes |
| VDD and VDDQ | 3.3V | 2.5V |

| | | |
|------------------|-------------|--------------------|
| Signal Interface | LVTTL | SSTL_2 |
| Date Rate | 1xClock | 2xClock |
| Architecture | Synchronous | Source-Synchronous |

4.4.4 PCI

PCI总线走线拓扑以菊花链为多，分支长度不要超过500mil，上下拉电阻靠近末端器件放置。阻抗控制在60ohm，走线尽量用一层连接完，长度误差控制在±500mil，总长度控制在15000mil以内。

4.4.5 PCI-EXPRESS

PCI-EXPRESS走线以差分形式布线，阻抗控制85ohm，收发信号线用不同层面完成布线，自身长度控制在±25mil，同组长度控制在±100 mil。

4.5 射频电路

典型手机射频电路由天线，LC滤波，射频滤波器，射频处理芯片与芯片周边阻容等组成。有的还会有测试座，双工器等等。

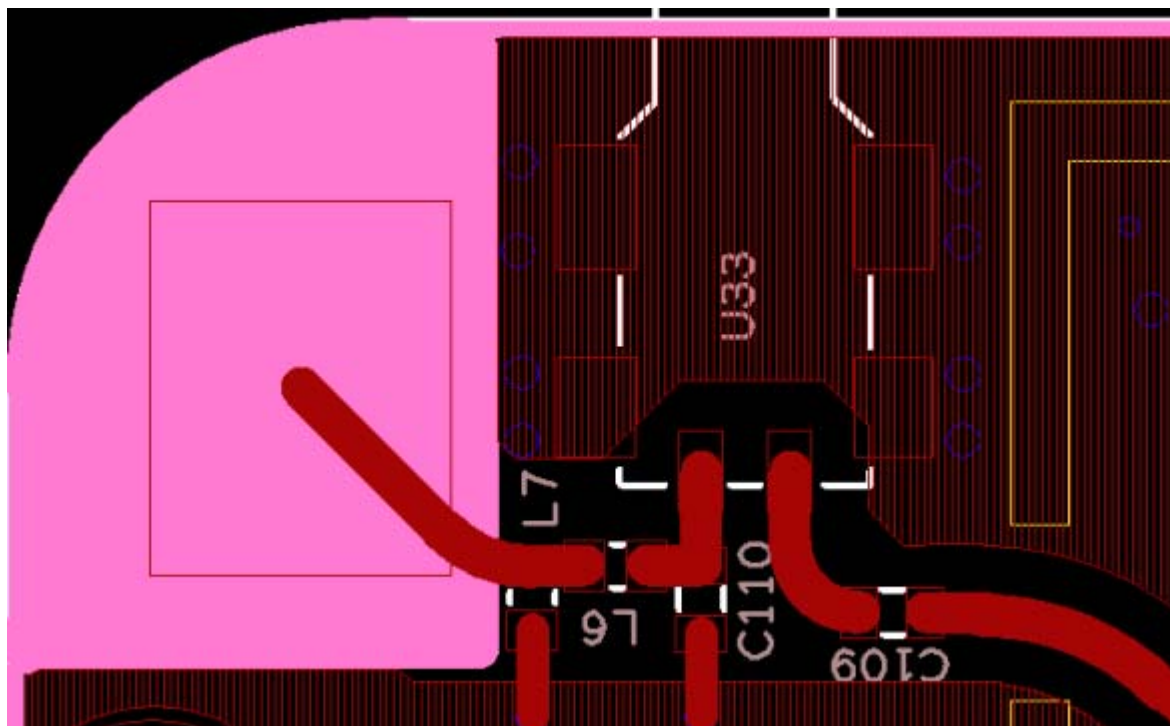


图 65 手机射频电路PCB图

1) 天线部分

天线和滤波器的位置通常都是固定的。我们要注意的，滤波电路的摆放。整个射频线要呈流线型。线要走在电容或电感的PIN上，无折角。走线走圆弧线，简洁，做到最短。当然空间不够的情况下，我们会牺牲掉一个滤波。在电感和电容中，通常选择牺牲电容。

如上图的C110，我们可以将它放在一边。如必须折角时。我们选择在PIN内折角。

天线投影区域最少一毫米范围所有层挖空，无任何走线与铜皮。当然自身射频线除外。

整条射频线宽度至少15MIL，控制50欧姆阻抗。为了满足阻抗与线宽要求，走线到参考平面的间距要调整。参考平面的投影区域至少一倍线宽内无任何走线与铜皮。

射频线需要表层走线，请勿内层布线，遇到隔筋时，可牺牲屏蔽效果，让工艺对屏蔽罩进行挖缺口处理。上图C109下方就是这样处理

2) 射频处理芯片部分

芯片周边阻容，电感靠近管脚放置。滤波加粗，尽量做铜皮处理。从芯片出来的高速差分，与高速线。单线阻抗50欧姆，差分100欧姆。尽量打通孔，少换层。并包地，走线相邻层也尽量是地，差分可以走粗一些。电源当然是先过电容再到芯片啦。

芯片下均匀打地通孔，尽量不走别的区域的网络。

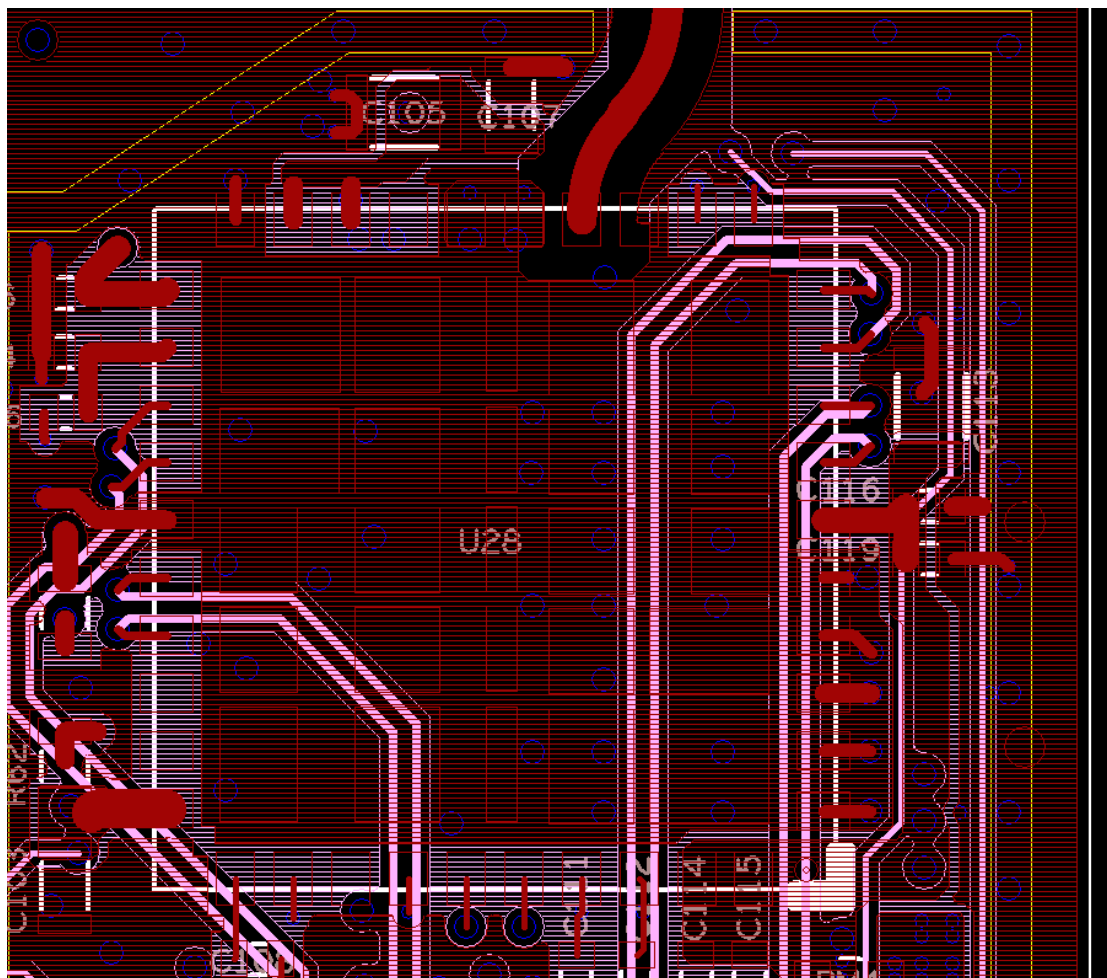


图 66 手机射频芯片PCB图

4.6 其它电路

4.6.1 A/D、D/A转换电路

- 1) A/D转换电路是把模拟信号转换为数字信号，D/A转换电路是把数字信号转换为模拟信号。一般A/D和D/A转换电路都有各自的GND，一般定义为：模拟（AGND）数字（DGND或GND）。
- 2) 布局，布线时注意模数不能混合，不能交错。不跨接对方参考平面。
- 3) A/D和D/A转换电路一般情况下都会安装屏蔽罩，走线和过孔需要注意不要表层穿越隔筋以及非地过孔勿打在隔筋上。
- 4) 一般数字信号阻抗按50ohm计算，模拟信号需要依照芯片资料计算，常见有75ohm和50ohm的，走线需要加粗，为满足阻抗与线宽要求，必要情况需要调整走线到参考平面的间距。

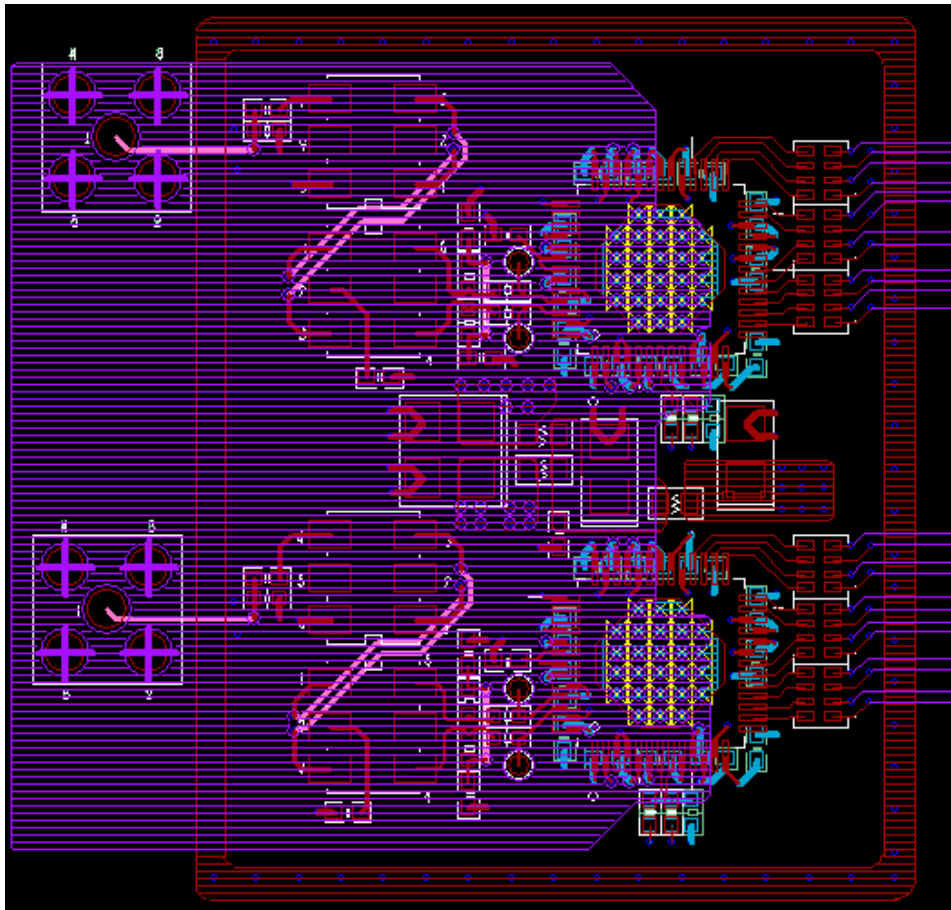


图 67 AD/DA电路的PCB图

5 后处理

5.1 丝印文字

5.1.1 字号

- 1) 常规阻容器件编号和管脚编号选用3号字体，具体参数值为：Width: 30mil; Height: 30mil; Line Space: 0mil; Photo Width: 6mil;
- 2) 定位接插件、关键IC等主要器件编号选用4号字体，具体参数值为：Width: 47mil; Height: 63mil; Line Space: 79mil; Photo Width: 12mil; 注意此处需修改其 Photo Width数值。

5.1.2 方向

表层：从下向上、从左向右，如图所示：



图 68 表层文字方向示意图

底层：从下向上、从右向左，如图所示：



图 69 底层文字方向示意图

5.1.3 器件丝印设计要求

- 1) 不允许任何丝印上阻焊和焊盘（尽量避免丝印上过孔，尤其是3、6、8等字符不能放在过孔上）；
- 2) 所有有极性或有安装方向的器件，其极性和方向均应在丝印上体现出来，且不能放置在过孔上；
- 3) 若由于空间限制，需取消某些器件的丝印符号时，必须保证在装配图上有这些器件的丝印符号，以便通过装配图来定位器件。

5.1.4 板名版本丝印

- 1) 板名、版本应放置在PCB的器件面上，双面布局扣板正反面都需要板名和版本；
- 2) 板名丝印的字体大小以方便读取为原则，一定要比器件编号丝印大。

5.1.5 条形码丝印

- 1) 条形码丝印水平或垂直放置；

- 2) 条形码位置不盖住焊盘、测试点，以及不被其他器件覆盖，便于读取信息；
- 3) 距板边5mm，距拉手条15mm。

5.1.6 其他丝印

- 1) 光学定位点序号统一用” ID**” 表示；
- 2) 所有射频PCB要求标注” RF” 的丝印字样；
- 3) 有光纤盘绕的PCB，需在PCB上标示出光纤的盘绕路径；
- 4) 过波峰焊的单板需有明确规定的过板方向；
- 5) 如果有扣板、散热片，要用丝印将其轮廓按真实大小标示出来，若丝印与器件干涉时，应用间隔的丝印线标示外形；
- 6) 安规的防静电标记丝印采用标准库，优先放在PCB的器件面；
- 7) 高压标记；
- 8) 有保险丝的需在保险丝旁边标记其编号和特征，格式如下：

FX XXXV TX AH/XXXV，其中FX为编号，XXXV为电源使用条件，T为满足熔断器的类型为时延型(T, Time-lag; F, Fast-acting)，X A表示额定电流，H表示分断特性(H, High-breaking; L, Low-breaking)-48V电源可用低分断保险丝，若采用UL保险丝，则无此项要求；XXXV表示保险丝工作电压。例如：

F1 230V T 4 AH/250V

不允许在器件编号丝印的基础上修改，应新建一个丝印文字与器件编号对齐放置。

- 9) -48V和+27V电源供电，对保险丝的延迟特性、分断特性无要求，因此对这两种情况，只需标上电压和电流，如：4A/-48V。

5.2 尺寸和公差标注

5.2.1 单位

主单位为mil，次单位为毫米，若设计单位为毫米可只用毫米单位标注。

5.2.2 精度

Mil单位的无需小数精度，毫米单位的为两位小数精度。

5.2.3 参数设置和文字方式

- 1) 参数设置如下图所示，其余参数用系统默认值即可：

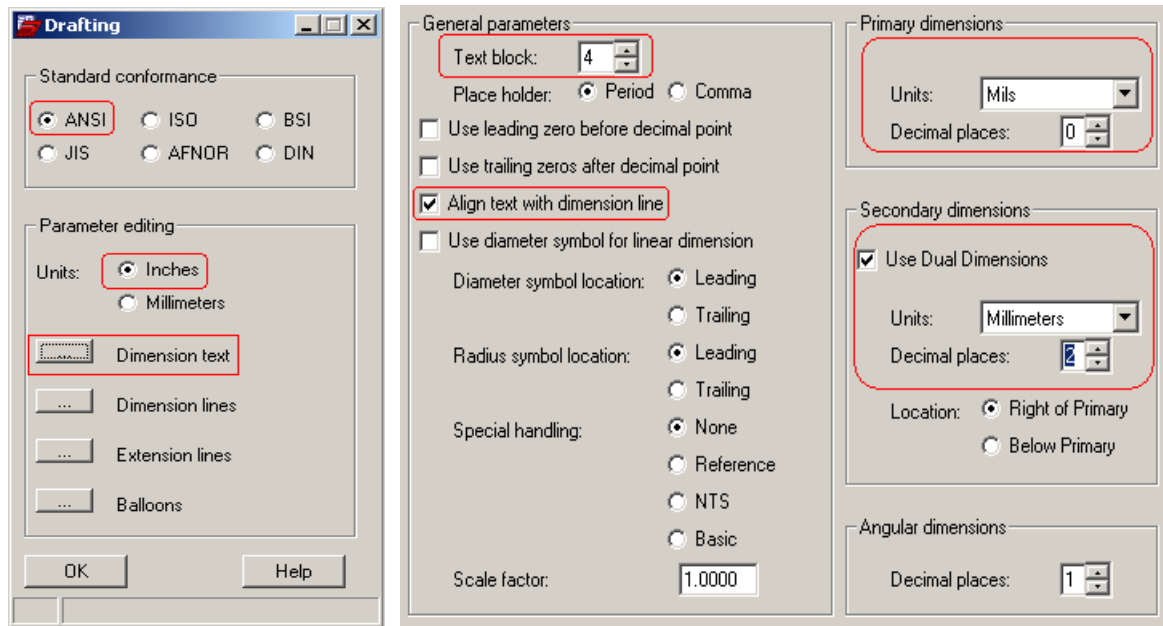



图 70 尺寸标准参数设置

2) 使用Datum Dim命令或单击图标进行标注，允许的标注文字方式如下图所示：

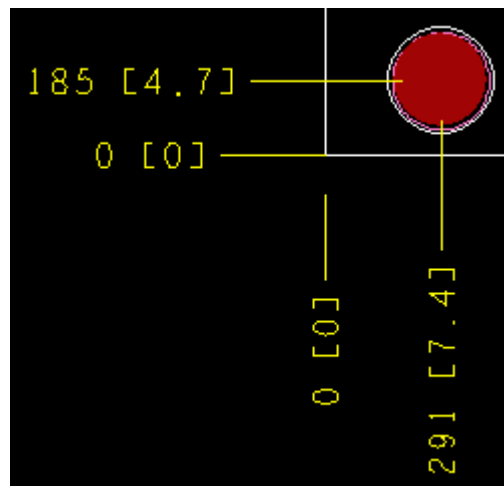


图 71 尺寸标注示例图

3) 不允许标注文字重叠，影响尺寸的查看。

5.2.4 标注对象

- 1) 固定器件的固定脚，若太多可简单标注关键器件，但压接件一定要标记；
- 2) 整板安装孔、定位孔；
- 3) 板框尺寸，如：导角、圆弧、长宽、开窗，开窗的地方还需增加” open window”字样。

5.2.5 标注层

所有标注文字一律标注在Board Geometry/Dimension层。

5.3 Drill Notes表格

5.3.1 板名、层数、厚度

| | | | |
|-------------|---------------|------------------|----------|
| BOARD NAME: | LAYERS: | BOARD THICKNESS: | mm+/-10% |
| UNITS: MILS | OPEN WINDOWS: | SPELL MODE: | |

图 72 Notes表格中的板名、层数、板厚

- 1) Board Name中填写单板名称，若太长可简写；
- 2) Layers中填写单板的层数；
- 3) Board Thickness中填写单板厚度，以mm单位为准；
- 4) Open windows中填写板上开窗的数量，无开窗则不需填写；
- 5) Spell Mode中填写拼板模式，如：2x3表示横(x)方向2块，竖(y)方向3块，无拼板则不填写。

5.3.2 加工工艺

| |
|---|
| SOLDER MASK:IPC SM-840(COLOR GREEN) |
| SILKSCREEN COLOR: WHITE |
| DIELECTRIC MATERIAL: FR-4 |
| Er@1GHz To 1MHz: 4.2---4.5 |
| PLATED TECHNIQS: |
| [1] |
| 1. HASL |
| 2. GOLDEN FINGER,OTHERS SPRAYED WITH TIN SOLDER |
| 3. OSP |
| 4. ENIG |
| 5. OTHERS(ImAg/ImSn) |

图 73 Notes表格中的加工工艺

- 1) Solder Mask栏为阻焊油标准，默认为绿色；
- 2) Silkscreen Color栏为丝印字符颜色，默认为白色；
- 3) Dielectric Material栏为板材，默认为FR-4；
- 4) Er@1GHz to 1Mhz栏为板材在1GHz到1Mhz的介电常数，默认为4.2-4.5；
- 5) Plated Technics栏选择表面处理工艺，常用热风整平(HASL)；若为金手指板则需选择“Golden figer, others sprayed with tin solder”工艺；其他表面处理工艺包括化镍金(ENIG)、化学银(ImAg)、化学锡(ImSn)、有机保焊剂(OSP)。

5.3.3 阻抗说明

- 1) 单线阻抗：描述某线宽的单线在某层时需控制的阻抗值；
- 2) 差分线：描述某线宽某间距的差分线在某层时需控制的阻抗值；
- 3) 不同线宽、间距和阻抗值的走线需分别描述，且差分线与单线的线宽要有所区别。

别；例如：

| | |
|---------------------------------------|---|
| SINGLE IMPEDANCE [Z ₀] | 50+/-10% Ohm with 6mil trace width for layer 1&12 |
| | 45+/-10% Ohm with 5mil trace width for layer 3&5&8&10 |
| DIFF IMPEDANCE [Z ₀] | 100+/-10% Ohm with 5/6/5 for layer 1&12 |
| | 100+/-10% Ohm with 4.1/9 9/4.1 for layer 7 |
| | 90+/-10% Ohm with 6.5/5/6.5 for layer 1&12 |
| | 90+/-10% Ohm with 4.5/8.5/4.5 for layer 3&10 |
| | 90+/-10% Ohm with 5.1/8/5.1 for layer 6&7 |

图 74 Notes表格中的阻抗说明

5.3.4 其他

- 1) QA栏填写主要QA人员的工号；
- 2) 描述所有钻孔大小均为完成电镀后的大小，如下图所示：

All drill size is finished plated hole size

图 75 Notes2中的钻孔孔径说明

- 3) 描述所有BGA区域的钻孔均做塞绿油处理，如下图所示：

Filled the via under BGA with green_oil

图 76 Notes2中的BGA区域塞孔说明

- 4) 对于2mm压接件的钻孔需描述钻孔公差，如下图所示：

2.Drill Tolerance +/-1.95mil[+/-0.05mm] for connector 24mil hole and 28mil hole

图 77 Notes2中的压接件孔径误差说明

- 5) 若有异形孔，需描述每种规格的异形孔个数和大小，类型过多可分行描述，如下图所示：

OBLONG VIAS:4XOBLONG VIA 40X80MILS;4XOBLONG VIA 100X52MILS
2XOBLONG VIA 45X110MILS;OBLONG 130X50MILS
OBLONG 60X130MILS

图 78 Notes2中的异形孔说明

- 6) 所有Notes文字一律写在Board Geometry/Dimension层，未使用到的标注需将其删除，如：无BGA则将BGA区域过孔塞绿油项删除、无2mm压接件则将钻孔公差项删除。

5.4 叠层说明

5.4.1 文字及叠层表格

- 1) 叠层文字描述各电气层类型和顺序；
- 2) 叠层表格描述各电气层材质和层间材质及厚度参数；
- 3) 叠层文字与叠层表格对齐，如下图所示：

| Layer | Description | Thickness | |
|-------|-------------|-------------------|-------------------|
| L1 | COPPER | 1.9mil | 1--ARTWORK TOP |
| | FR4 | XXXmil | |
| L2 | COPPER | 1.4mil(1.0 Oz Cu) | 2--GROUND PLANE02 |
| | CORE | XXXmil | |
| L3 | COPPER | 1.4mil(1.0 Oz Cu) | 3--POWER PLANE03 |
| | FR4 | XXXmil | |
| L4 | COPPER | 1.9mil | 4--ARTWORK BOTTOM |

图 79 叠层表格

5.4.2 层厚

在叠层表格中需描述每个电气层的沉铜厚度及每层之间的厚度(Thickness)，如上图所示；

5.5 Drill表格

5.5.1 钻孔符号

- 1) 表格中的钻孔符号不能太小，规格100milx100mil；
- 2) 钻孔符号不能重复，不能出现不同钻孔大小钻孔符号却相同；

5.5.2 钻孔大小

钻孔大小一致的其钻孔符号需一致，但若为异形孔其钻孔符号不能相同；

5.6 钻带、光绘设置

5.6.1 钻孔单位

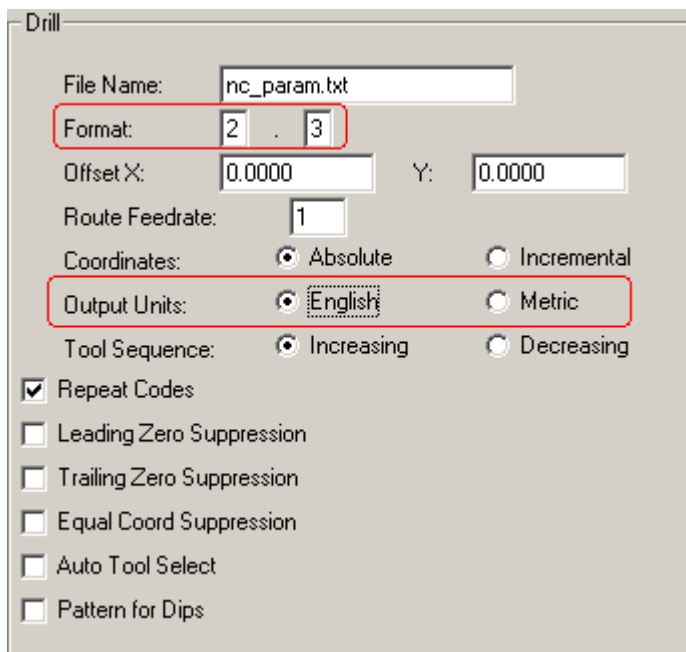


图 80 钻孔参数设置

单位需与PCB设计单位一致，如上图中Output Units所示；

5.6.2 钻孔精度

对钻孔精度有要求的需提高钻孔精度，默认为2.3，如上图Format所示，对于公制单位的PCB钻孔精度需提高为2.5；

5.6.3 光绘格式

- 1) 常用光绘格式为Gerber 6x00，即为RS-274-D。该光绘格式其D码光圈文件与光绘文件是分离的，任何一个单独存在都没有意义；
- 2) 若PCB设计中采用了真实Flash的零件，要想在光绘中反映出Flash的效果则需选择Gerber RS274X。该光绘格式中包含了D码光圈参数和光绘图形信息，无需另外的D码光圈文件；

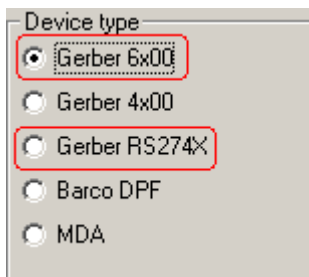


图 81 光绘格式

- 3) 选用RS-274-X格式光绘时，需注意修改负片光绘层所包含的子层中不能包含有任

何Anti-Etch子层；

5.6.4 光绘选项

- 1) 光绘输出单位要与PCB的设计单位一致；
- 2) 光绘输出精度默认为5.3，若为公制单位或对精度要求较高可设置为5.5；
- 3) 各光绘层选项含义如下：
 - (1)Undefined line width: 对于0线宽的线，生成光绘的线宽，最小设置为5mil；
 - (2)Shape Bounding box: 负片有效，表示板边Anti etch向外加宽的宽度，可不设；
 - (3)Plote mode: 层属性，分为正片(Positive)、负片(Negative)；
 - (4)Film mirrored: 光绘是否镜像，底层光绘均匀选此项；
 - (5)Full contact thermal-reliefs: 负片层的热焊盘全连接，而忽略其热焊盘参数；
 - (6)Suppress unconnected pads: 不生成没有连接的正片内层焊盘，如下图所示；

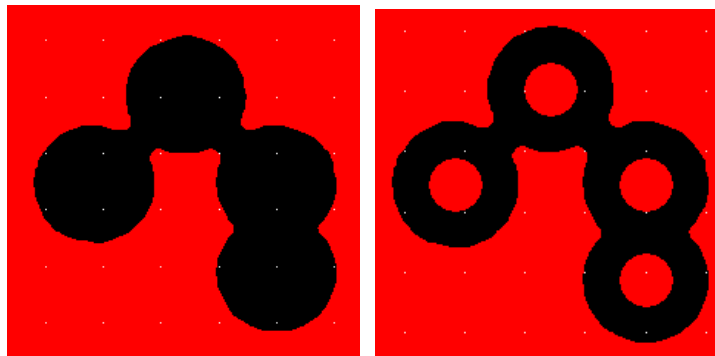


图 82 Suppress unconnected pads选项的示例图

- (7)Draw missing pad apertures: 找不到对应D码光圈的焊盘用线绘制其图形，有非正常角度旋转过的器件需要选择此项；
- (8)Use aperture rotation: 使用旋转的D码光圈，通常不选择此项；
- (9)Suppress shape fill: 填充没有anti etch的区域，对负片层有效；
- (10)Vector based pad behavior: 在光绘格式为RS274X时有效，用向量来描述光圈，文件体积较小，建议勾选，在合并负片层的复合层后就不会产生圆圈式焊盘；

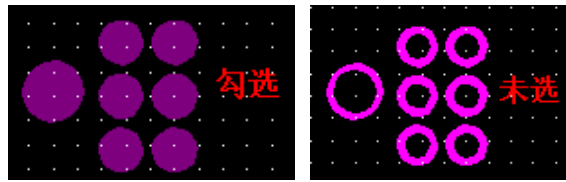


图 83 Vector based pad behavior选项的示例图

注意：默认需设置0线宽的光绘线宽、层属性、Film mirrored、Suppress shape fill即可。对于采用RS274X格式的光绘其各负片层不能包含任何Anti etch子层。

5.6.5 D码文件

生成D码文件时需注意单位与PCB及光绘单位一致，同时单击Auto按钮选择其中的Without Rotation来生成D码，如下图所示：

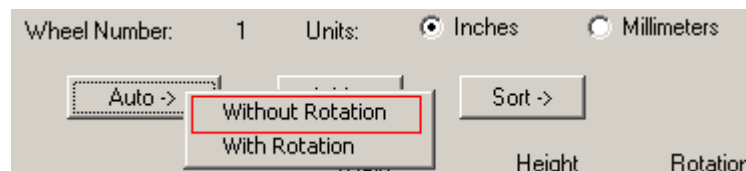


图 84 生成D码的选项