# 多层PCB堆叠规划

本应用程序说明详细尝试和证明的技术，以规划高速度多层PCB堆叠配置。

规划多层PCB堆叠配置是实现产品最佳性能的最重要方面之一。设计不良的基片，选材不当，会降低信号传输的电气性能，增加发射和串扰，也会使产品更容易受到外界噪声的影响。这些问题可能导致间歇性运行，由于定时故障和干扰，大大降低了产品的性能和长期可靠性。

相反，一个合适的PCB基板可以有效地减少电磁辐射，串扰和提高信号的完整性，提供一个低电感的配电网络。而且，从制造的角度来看，还可以提高产品的可制造性。

一旦产品建成，就应该从源头上抑制噪音，而不是试图提高问题的严重性。“按时完成项目并进行预算意味着通过缩短设计周期、缩短上市时间和延长产品生命周期来削减成本。”

含有铜平面的电路板允许信号以微带或带状线控制阻抗传输线配置进行路由，所产生的辐射比两层板上任意的痕迹要小得多。信号与平面(地面或电源)紧密耦合，减少了串扰，提高了信号的完整性。

平面，在多层PCB的，提供显着减少辐射发射超过两层PCB。根据经验，四层板产生的辐射比两层板少15分贝。

在选择多层叠加时，我们应该考虑以下几点:

* 信号层应该总是与平面相邻。这将平面之间嵌入的信号层的数量限制为两个，而顶部和底部(外部)层的数量限制为一个信号。
* 信号层应该与相邻的平面紧密耦合(< 10mil)。
* 电源平面(以及地面)可用于信号的返回路径。
* 确定信号的返回路径(使用哪个平面)。快速上升的时间信号采用最小电感的路径，这通常是最近的平面。
* 成本(老板最重要的设计参数)。

## 焊接掩模-影响阻抗

由于PCB通常被焊膜覆盖，因此在计算阻抗时应考虑保角涂层的影响。一般情况下，在薄道上，焊锡掩模可以使阻抗降低2到3欧姆。随着痕量厚度的增加，镀层的影响减小。

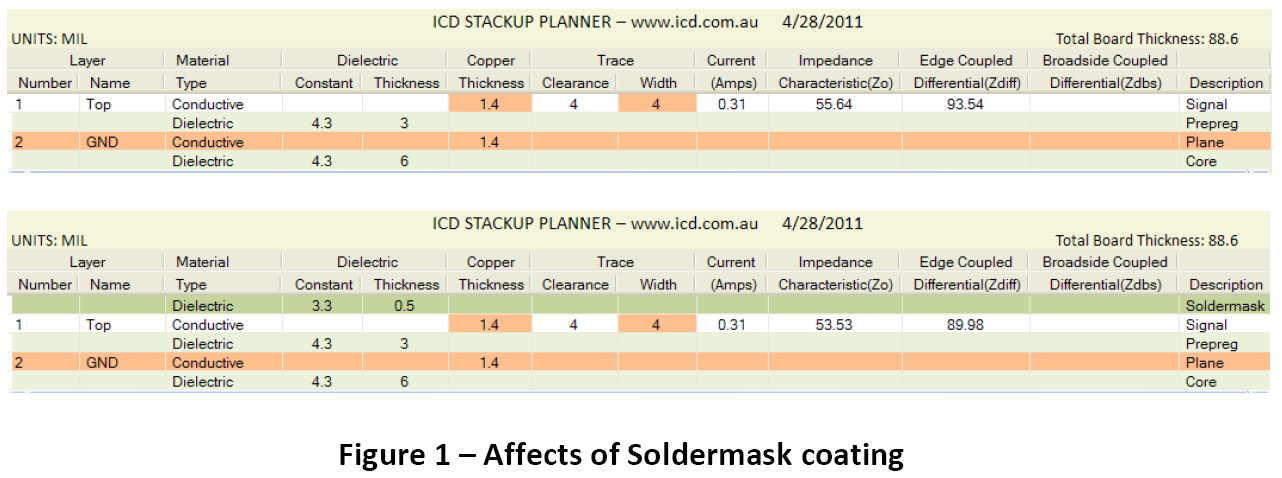


图1说明了焊膜涂层对微带阻抗的影响。本例是一种常用的液体可成像焊接掩模，其厚度为0.5 MIL，介电常数3.3。

该焊锡面罩使微带特性阻抗降低2欧姆，使差动阻抗降低3.5欧姆。所以，如果你不考虑焊接掩模，那么

计算结果可能会相差3 - 4%。

## 介电材料

最受欢迎的介质材料是FR4，可能以芯材或预浸料的形式存在。

核心材料为薄电介质(固化的玻璃纤维环氧树脂)，两侧粘铜箔。例如:Isola公司的FR406材料——包括5、8、9.5、14、18、21、28、35、39、47、59和93mil芯。铜的厚度一般为2盎司(17至70 um)

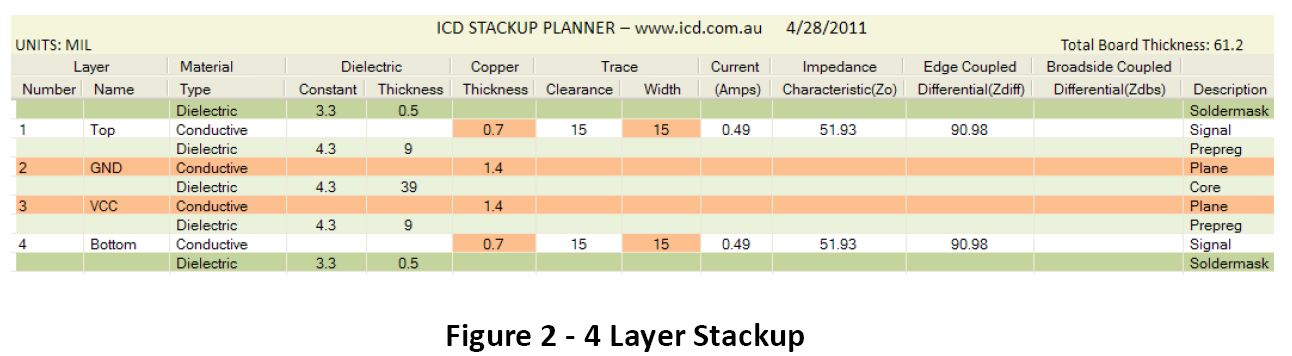
该预浸料为未固化环氧树脂浸渍的玻璃钢薄板，在PCB制作过程中加热加压后变硬。Isola公司的FR406材料包括1.7、2.3、3.9和7.1 MIL的预浸料，这些预浸料可以组合在一起达到预期的预浸料厚度。

最常见的堆叠方法称为“箔片法”，是在最外层(顶部和底部)用铜箔粘接在最外层的预浸料上，然后在整个基体中与预浸料交替使用。另一种堆叠被称为“披风法”，它与箔片法相反，是旧式军事承包商使用的方法。

让我们看看最常见的多层配置。

### 4 Layer Stackup

一个典型的四层板堆叠如下所示。基片的特性和差动阻抗是用ICD叠加规划器计算出来的(可从www.icd.com.au下载)



常见的情况是四层板平均堆放。也就是说，四个均匀间隔的层，平面在中间。虽然，这当然使板对称，它没有帮助EMC。

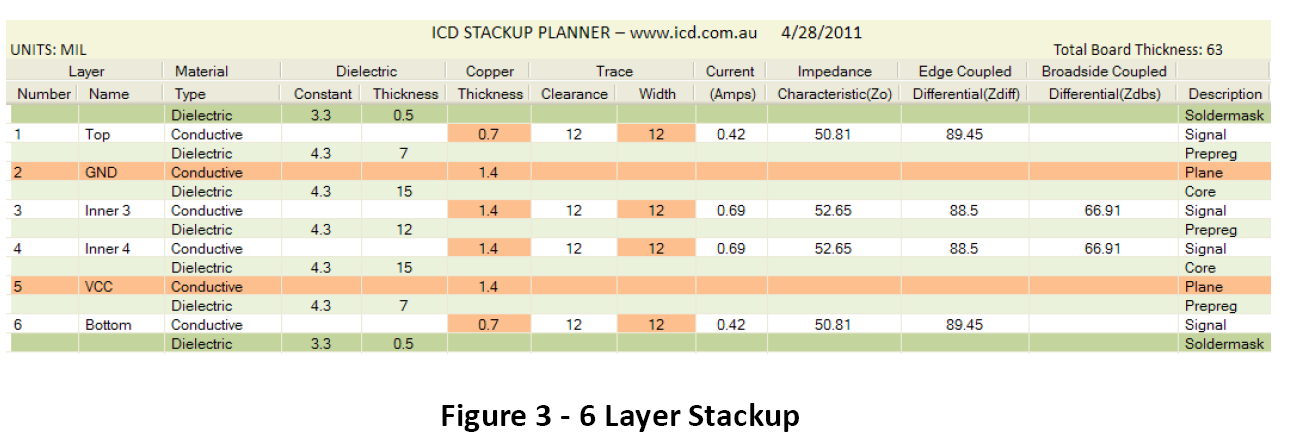
另外，另一个常见的错误是，将信号层和面之间的大介电层与中心的平面紧密耦合。这当然创造了良好的平面间电容，但再次无助于信号完整性，串扰或EMC -这就是为什么我们选择四层PCB而不是两层。

改善的EMC性能四层板,最好是空间信号层尽可能接近飞机(< 10毫升),并使用一个大型核心(40毫升)之间的权力和地平面保持衬底的总厚度~ 62毫升,密切跟踪平面之间的耦合将减少串扰的痕迹,让我们阻抗维持在一个可接受的值。

良好的阻抗范围(Zo)在50到60欧姆之间。记住，较低的阻抗会增加dl/dt，并显著增加绘制的电流(对PDN不好)，较高的阻抗会发出更多的EMI，也会使设计更容易受到外部干扰。

### 6 Layer Stackup

一个六层板基本上是一个四层板与两个额外的信号层之间添加的平面。这大大改善了电磁干扰，因为它提供了两个埋层的高速信号和两个表面层路由的低速信号。



信号层应该放置在非常靠近这些相邻平面的地方，并且通过使用较厚的中心芯来弥补所需的板厚(62mil)。它总是在跟踪阻抗、跟踪宽度和预压/堆芯厚度之间进行折衷，最好使用叠加计算器来快速分析各种可能性。

ICD叠加规划器计算特征阻抗加上边缘耦合和宽边耦合微分阻抗。后者仅适用于嵌入式双带状线层。差动副在利用差动模信号进行高速降噪设计中越来越普遍。