在這一節中我們經由設計一個簡單的CPU(central processing unit)來說明電腦

如何執行一個指令。

該CPU具有:

1.暫存器:具有一個8位元的MAR及8位元的MDR，16位元指令暫存器(instruction register)分為2個byte， 分別為IR0與IR1， 2個通用暫存器A,B ，In Put Register(IPR)與 Out Put Register(OPR) ，20位元的微指令暫存器 (micro-instructions register, MIR)。

2. 三個內部匯流排，A Bus, B Bus與C Bus。

3. 一組ALU及Shifter。

4. 256X20 bit唯讀記憶體(Read Only Memory, ROM)。

CPU在每一個固定週期執行一個指令 稱為指令週期。每一個指令週期包含4個時相(phase)依序為:

Phase0:讀入指令: 讀入PC(program counter)位址內容到IRO,並將PC內容加一(PC=PC+1); 又讀入PC位址內容到IR1, 再將PC內容加一(PC=PC+1),同時以IR0為唯讀記憶體之位址， 讀出20位元的內容寫入微指令暫存器。若控制線L=1, 將IR1 內容copy到MAR。

Phase1:讀入記憶體: 若控制線R=1 將MAR指向的記憶體內容載入MDR與B通用

暫存器。

Phase2:算術與邏輯運算: 載入A匯流排與B匯流排,執行ALU與位移器,再經由C匯流排寫入暫存器庫或MDR。

Phase3:寫出記憶體: 寫入主記憶體，若控制線W=0 則不動作。

個別裝置功能如下:

1. 記憶體控制暫存器: 該CPU有二組記憶體控制暫存器

A:在phase 0時，將PC當位址，把記憶體內容載入IP0，接著PC被加1 (PC是一 個counter，可以被一個時訊號加1)，再以PC當位址載入IR1。IR0是指令的運算子，IR1是運算元，控制線L決定是否將(在Phase0結束時)IR1的內容Copy到 MAR去。

B:8位元的MAR及8位元的MDR(因此僅能配備256 byte的記憶體)。在phase 1

時，若控制線R=1，MAR指向的記憶體內容載入MDR。

1. 暫存器庫: 暫存器庫有8個暫存器，A、B通用暫存器，MAR,IR1,PC，常數0，常數1及In Put Register IPR(or OPR)。這個位置其實有二個暫存器使用同一個位址7)，當被A or B Bus讀取時使用IPR，由C Bus寫入時使用OPR。
2. 三個內部匯流排，A Bus，B Bus及C Bus，分別由二組多工器控制，決定將暫存器內容載入A Bus及B Bus，及一組解碼器決定將結果由C Bus寫入某一暫存器。每個多工器或暫存器需要三調控制線決定暫存器，這9條控制線(控制邏輯)稱為A0,A1,A2，B0,B1,B2及C0,C1,C2。

* Register bank

3-8 多工器

a0 a1 a2

|  |
| --- |
| A 0 |
| B 1 |
| MAR 2 |
| IR1 3 |
| PC 4 |
| 0 5 |
| 1 6 |
| IpR (OpR) 7 |

1. ALU及Shifter: A Bus及B Bus將資料流入ALU(當ALU的兩組輸入)，結果再流入Shifter。ALU的運算由ac0及ac1控制，ALU功能如表一，Shifter的運算由sf0及sf1決定，功能如表二，Shifter的輸出流入C Bus，可同時流入MDR或暫存器庫中的一個暫存器，控制線W決定是否流入(寫入)MDR，C0,C1及C2則決定流入暫存器庫中的那個暫存器。

ALU會產生二個輸出訊號，Z，N，當結果為0時Z被設為1否則為0，當ALU作加法而發生溢位時N=1，不溢位時N=0，不作加法N不變。Shifter也產生一個輸出o，當Shifter作平移而”擠出”的位元=o。

ALU與移位器

B bus

A bus

z

ac0

ALU

N

ac1

sc0

O

sc1

C bus

|  |  |  |  |
| --- | --- | --- | --- |
| ac0 |  | ac1 | C |
| 0 |  | 0 | A |
| 0 |  | 1 | A+B |
| 1 |  | 0 | ~A |
| 1 |  | 1 | A & B |

|  |  |  |
| --- | --- | --- |
| sc0 | sc1 | C |
| 0 | X | Do not change |
| 1 | 0 | Shift left |
| 1 | 1 | Shift right |

1. 跳躍控制邏輯:跳躍控制線Jz,Jn,Jo及Ju，這四個邏輯為微指令暫存器中的四個bit，Jz與訊號Z and後產生跳躍訊號。(Jn與訊號N and後產生跳躍訊號)所有的跳躍訊號經OR運算產生邏輯J，訊號J控制一門閥，當J=0，門閥會阻止 C Bus寫入PC。當C Bus內容寫入PC時，改變下一個執行的指令。
2. 微指令暫存器 (micro-instructions register, MIR):所有的控制訊號均由微指令暫存器發出，控制訊號共有20個，因此MIR共有20位元，格式如下表。MIR的內容是在Phase1中以IPO為位址將事先寫在一ROM上的微指令載入而得。

微指令暫存器:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| L | A  C  0 | A  C  1 | S  C  0 | S  C  1 | R | W | J  z | J  n | J  o | J  u | A  2 | A  1 | A  0 | B  2 | B  1 | B  0 | C  2 | C  1 | C  0 |

注:這 CPU尚需數個clock訊號用以控制特定的工作在特定的時間被執行。