



---

# 实验报告

---

实验一：基本逻辑部件设计



姓名： 苏 易

学号： 231220166

书院： 开甲书院

2024-3-31

## 一、实验目的

1. 熟悉 Logisim 软件的使用方法。
2. 掌握使用晶体管实现基本逻辑部件的方法。
3. 利用基础元器件库设计简单数字电路。
4. 掌握子电路的设计和应用。
5. 掌握分线器、隧道、探针等 Logisim 组件的使用方法。

## 二、实验内容

### 1.3 输入多数表决器

任务描述：

利用基本逻辑门设计一个 3 输入多数表决器。

真值表：

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

表 1: 3 输入多数表决器真值表

输入输出引脚解释：

输入引脚 X,Y,Z 分别代表输入的表决的三票，输出引脚 F 为输出的表决结果。0,1 分别为反对和支持两种表决状态，当一种状态的总和大于另一种状态的总和，输出引脚 F 显示为更多数的状态。

**实验原理：**

根据真值表 1，得出  $F=X&Y+X&Z+Y&Z$ 。

故根据逻辑表达式，

该电路需要三个输入端，一个输出端，

以及添加三个二输入与门和两个二输入或门，如图 1.1

或者添加三个二输入与门和一个三输入或门，如图 1.2

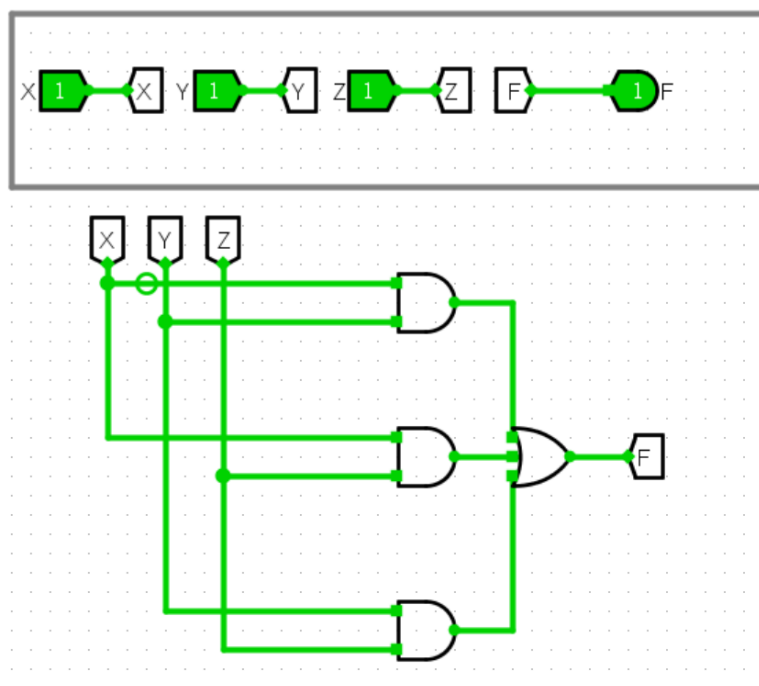


图 1.1: 3 输入多数表决器

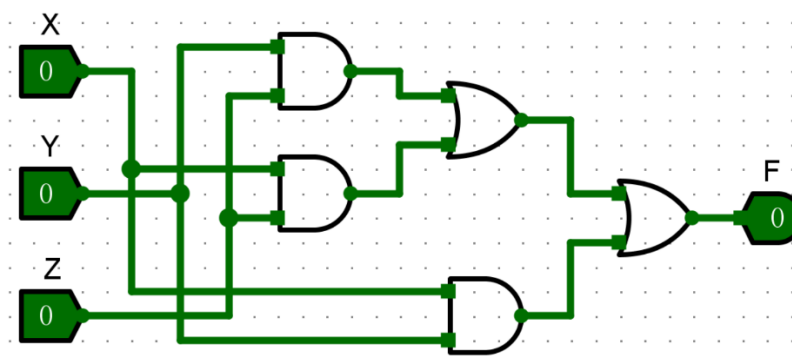


图 1.2: 3 输入多数表决器

验证电路功能：

进入仿真状态，把鼠标移到某个输入引脚上，点击鼠标左键查看输出引脚的状态，验证电路的正确性，验证通过后，在 File 菜单下选择 save 按钮，输入文件名为：lab1，保存电路设计文件 lab1.circ，顺利通过 OJ 实验，无错误发生。

## 2. 或门实现电路

任务描述：

利用 CMOS 晶体管构建两输入或门，并验证其功能，图中已给出输入门与输出门。

实验原理：

根据数字电路原理，或门是由或非门级联反相器构成。或非门、非门（反相器）的原理，如图 2.1 和图 2.2 所示。

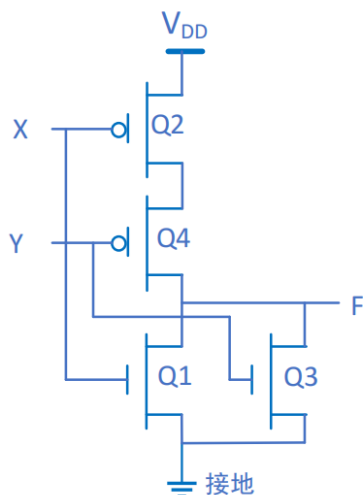


图 2.1: 或非门原理图

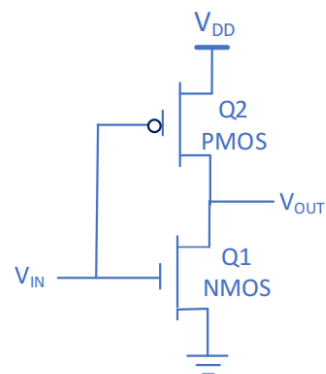


图 2.2: 非门原理图

### 实验过程:

由基本原理可知，需要 3 对 CMOS 晶体管、两个输入引脚、一个输出引脚、一个电源、一个地线。

在 Logisim 的 project 菜单下，选中执行添加子电路功能 Add Circuit，或者直接在子电路工具栏中点击加号“+”按钮，输入子电路的名称为：或门。在工作区中放置晶体管，选择晶体管类型为：P-Type（PMOS 管），朝向选择为：South，复制粘贴该晶体管 2 次，并放置到合适的位置，并修改标号。类似添加 NMOS 晶体管 3 只，朝向选择为：North。添加输入引脚、输出引脚和电源、地线；添加连线；添加标识符，标注输入、输出引脚及晶体管标识符，如图 2.3 所示。

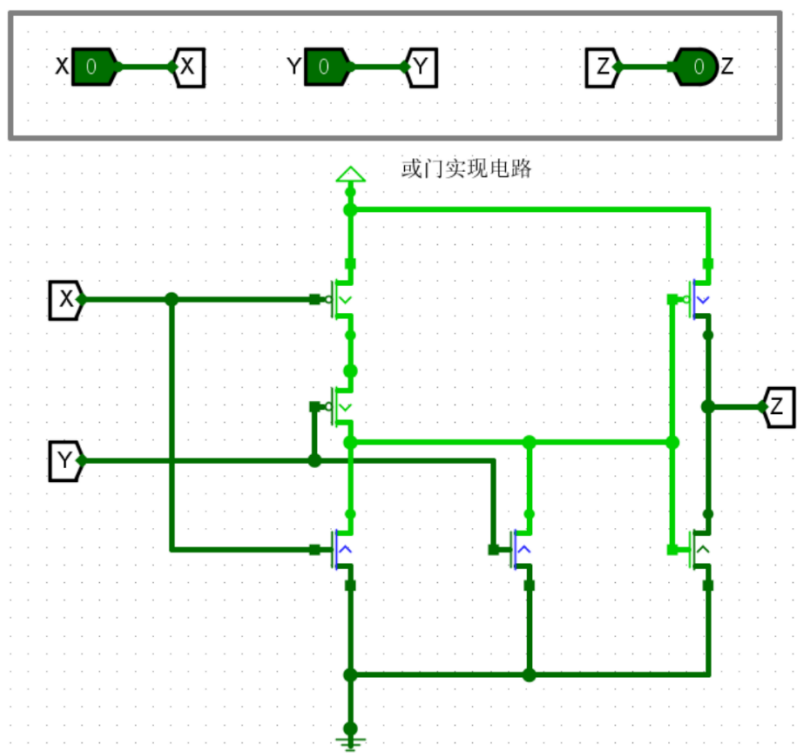


图 2.3: 或门实现电路图

输入输出引脚解释:

输入引脚 X,Y 分别为 CMOS 晶体管的输入, 输出引脚 Z 为 CMOS 晶体管的输出。

验证电路功能:

进入仿真状态, 改变输入引脚赋值, 记录输出引脚值。保存电路设计文件。OJ 成功通过验证, 无错误发生。根据记录的输入/输出值, 填写或门真值表, 验证电路功能的正确性, 如表 2 所示。

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	1

表 2: 或门真值表

### 3.2 选 1 多路选择器

任务描述:

利用基本逻辑部件, 实现 2 选 1 多路选择器。根据 2 选 1 多路选择器的逻辑表达式, 使用逻辑门实现两级与或逻辑电路。图中已给出输入端口、输出端口和部分逻辑门。在完成实验并保存后, 点击右下角测评。

实验原理:

根据 2 选 1 多路选择器的逻辑表达式  $Y=D0\&\sim S+D1\&S$ , 得出需要两个 2 输入与门, 一个二输入或门, 一个非门, 三个输入端, 一个输出端。

输入输出引脚解释:

D0,D1,S 为输入引脚, Y 为输出引脚。当 S 真值为 0, Y 端输出真值与 D0 相同; 当 S 真值为 1, Y 端输出真值与 D1 相同。

实验过程:

在 Logisim 工作区中的添加部件, 添加连线, 如图 3.1 所示

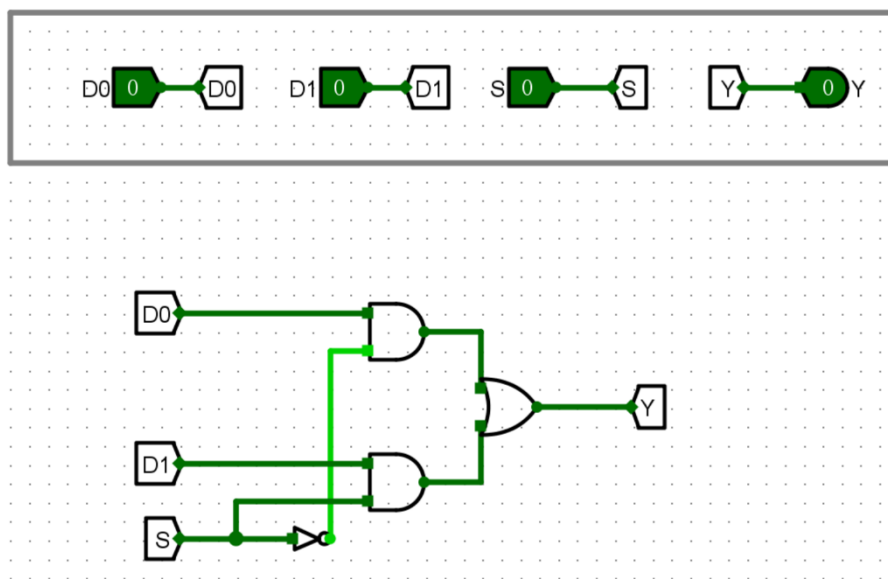


图 3.1: 2 选 1 多路选择器实现电路图

#### 验证电路功能:

进入仿真状态, 根据仿真检测结果, 填写如真值表验证电路的功能, 如表 3.1 所示。经检验, 成功通过 OJ 测验, 无错误。

D0	D1	S	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

表 3.1: 2 选 1 多路选择器真值表

#### 冒险检测:

在非门两端分别连接探针, 并设置 D0=1、D1=1、S=1, 观察输出值, 如图 3.2。在 Logisim 的 Simulate 菜单下, 取消仿真使能 (Simulation Enabled) 前的选中开关, 使得电路从连续仿真状态变为单步仿真状态。

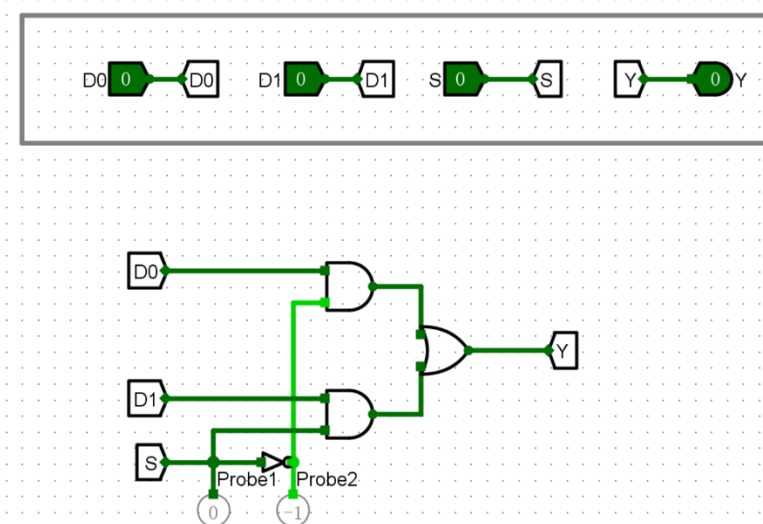


图 3.2: 电路冒险检测探针电路图

使电路变为单步仿真状态。通过在非门输入端和输出端设置探针对电路进行单步仿真。利用单步仿真进行电路冒险检测过程如图 3.3.1~3.3.5 所示。首先将 S 输入端的赋值改为 0，然后单步仿真。图 3.3.1 是单步仿真的初始状态，此时探针 1 (Probe1) 和探针 2 (Probe2) 处还保持原状态，分别是 1 和 0，说明非门的输入端并没有随着 S 的改变而立即发生变化；图 3.3.2 是第 1 次单步仿真得到的状态，此时非门输入端发生变化，但其输出端没有立即发生变化；图 3.3.3 是第 2 次点击后得到的状态，此时非门输出为 1，但与门 AND1 的输出没有变化；直到第 4 次单步仿真后每个逻辑门才都转变为正确的输入/输出状态，如图 3.3.5 所示。单步仿真过程反映了信号在电路中的延迟情况。第 1 次点击进行单步仿真后，经过后续 3 次单步仿真后整个电路得到正确的输入/输出状态，即从输入到输出共经过了非门、与门和或门 3 级逻辑门延迟

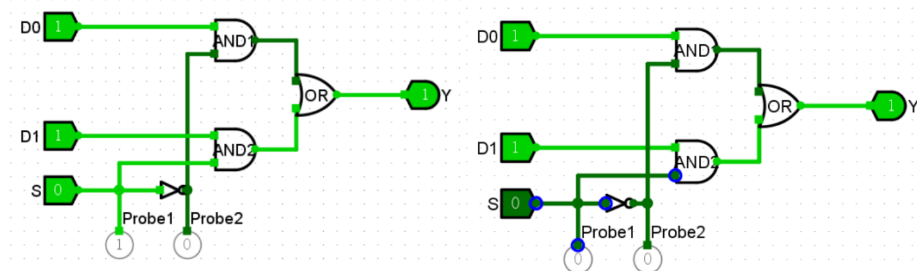


图 3.3.1: 初始状态

图 3.3.2: 第一次单步仿真状态

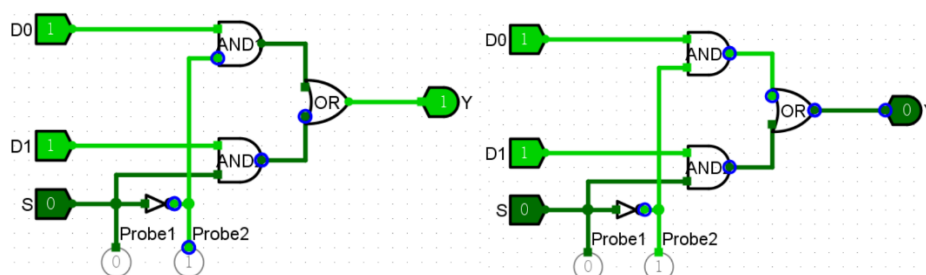


图 3.3.3: 第二次单步仿真状态

图 3.3.4: 第三次单步仿真状态

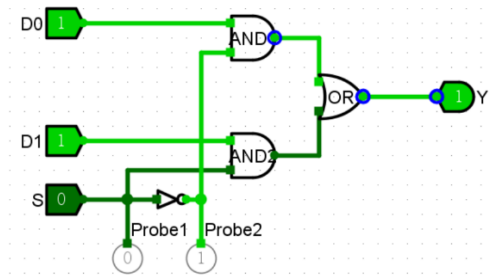


图 3.3.5: 第四次单步仿真状态

#### 利用传输门实现 2 路选择器:

部件包括 1 对 CMOS 晶体管、2 个传输门、2 个输入引脚、1 个输出引脚、1 个电源、1 个地线。选择基本部件并互连, 如图 3.4,所示, 然后进行仿真检测, 以验证电路功能, 并绘制其真值表检验是否正确, 如表 3.2 所示, 符合要求。保存文件通过 OJ 测试, 无错误。

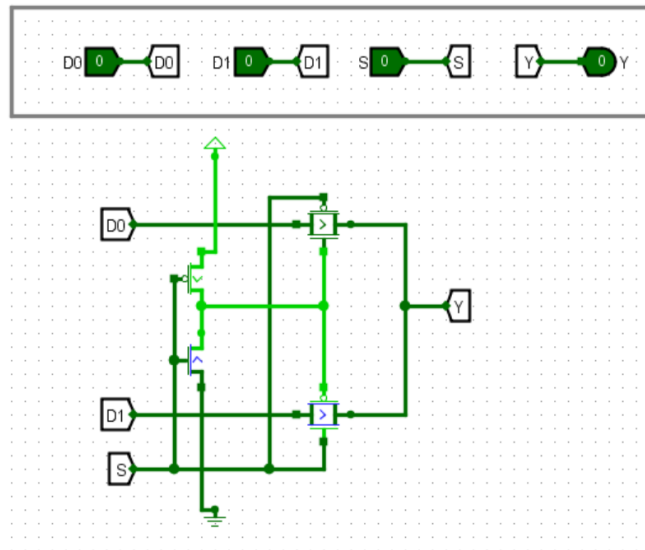


图 3.4: 传输门实现 2 路选择器电路图

D0	D1	S	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

表 3.2: 图 3.4 电路对应真值表

#### 4. 4 选 1 多路选择器

任务描述:

封装上一关实现的 2 选 1 多路选择器, 实现 4 选 1 多路选择器。实现 4 选 1 多路选择器, 完成实验操作。在完成实验并保存后, 点击右下角评测。

实验原理:

子电路用矩形表示, 包括 3 个输入引脚和 1 个输出引脚。构建 4 选 1 多路选择器需要 3 个 2 路选择器通过级联而成。

实验过程:

1. 编辑子电路图形外观, 如图 4.1 和图 4.2 所示。



图 4.1: 子电路的缺省矩形外观

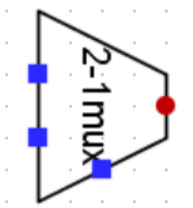


图 4.2: 2 路选择器子电路梯形外观



2. 实现 3 个 2 路选择器通过级联而成，如图 4.3 所示。进入仿真状态模拟测试，保存并完成 OJ 测试。无错误产生。

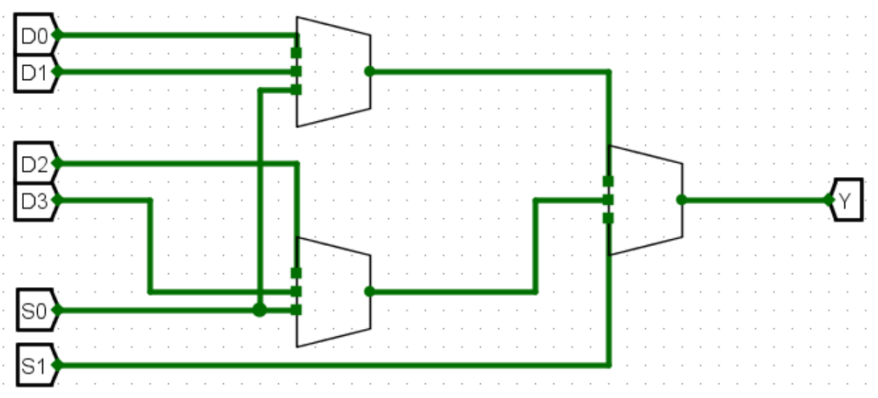


图 4.3: 4 选 1 多路选择器电路图

### 3. 隧道和集线器部件实验:

在 4-1MUX 子电路工作区中放置 4 位输入引脚 INPUT，2 位的输入引脚 SELECT 和 1 位输出引脚 OUTPUT，并放置 3 个隧道，数据位宽分别为 4、2 和 1，分别标识为 data、S 和 Y；并把 INPUT 输入引脚和隧道 data 端口相连，SELECT 输入引脚和隧道 S 相连，输出引脚 OUTPUT 和隧道 Y 相连。删除原电路图中的输入引脚和输出引脚及其与多路选择器之间连线。在工作区放置 4 位 4 分支的集线器，分支连接 2 选 1 多路选择器的数据输入端；再放置 2 位 2 分支的集线器，分支连接到 2 选 1 多路选择器的选择端。复制隧道 data，其端口和 4 分支集线器相连；复制隧道 S，其端口和 2 分支集线器相连；复制隧道 Y，其端口和 4 选 1 多路选择器的输出端相连。级联 2 选 1 多路选择器的数据输入和输出端，如图 4.4 所示。改变 INPUT 输入引脚和 SELECT 输入引脚的数据，验证电路功能。

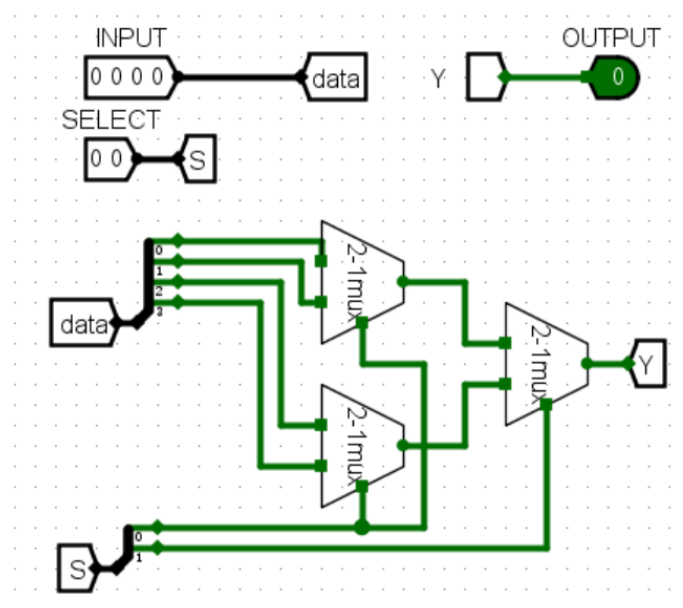


图 4.4: 4 选 1 多路选择器电路图(含隧道和集线器)

经仿真状态测试后，保存文件并进行 OJ 检验，样例通过，该电路无错误。

## 5. 思考题

### 5.1

根据 Logisim 组合电路分析的功能，使用逻辑表达式设计方法选择与非门生成 4 选 1 多路选择器。

#### 实验原理：

4 选 1 多路选择器逻辑表达式  $F = D0 \& \sim S0 \& \sim S1 + D1 \& \sim S0 \& S1 + D2 \& S0 \& \sim S1 + D3 \& S0 \& S1$

输入输出引脚解释：

$D0, D1, D2, D3$  为输入引脚， $S0, S1$  为控制引脚， $F$  为输出引脚， $S0, S1$  的真值对应  $D_i$  的下标， $F$  输出  $D_i$  对应的真值。

#### 实验过程：

在组合逻辑电路分析中添加输入输出引脚，通过逻辑表达式选择仅用与非门，得出电路图，如图 5.1 所示。

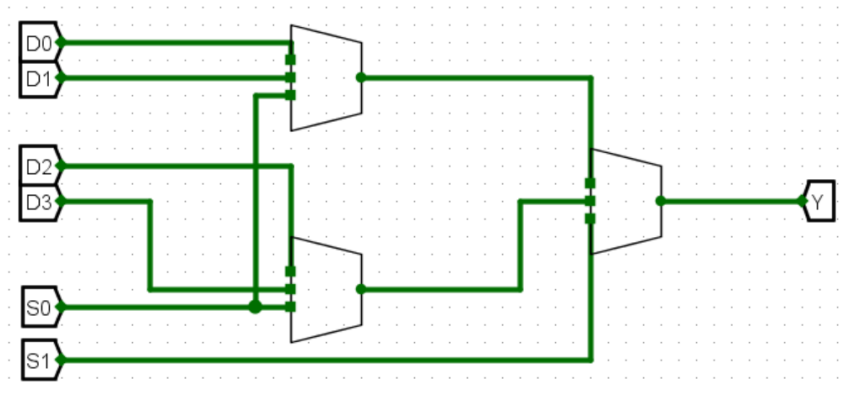


图 5.1: 与非门生成 4 选 1 多路选择器

### 5.2

实现 4 位二进制数转换成格雷码的转换电路。

#### 实验原理：

1. 将第  $n$  位二进制数作为格雷码的第  $n$  位。

2. 第  $i$  位格雷码是第  $i$  位二进制数与第  $i+1$  位二进制数的 XOR 运算结果。

综上得出逻辑表达式

$$G_n = B_n$$

$$G_i = B_i \text{ XOR } B_{i+1} \quad i \leq n-1$$

其中  $G_n, B_n$  为从左往右数的首位。

#### 实验过程：

在组合逻辑电路分析中添加输入  $B4, B3, B2, B1$ , 添加输出  $G4, G3, G2, G1$  引脚，通过逻辑表达式得出电路图，如图 5.2.1 所示，然后利用分线器替换四个输入和四个输出，如图 5.2.2 所示。

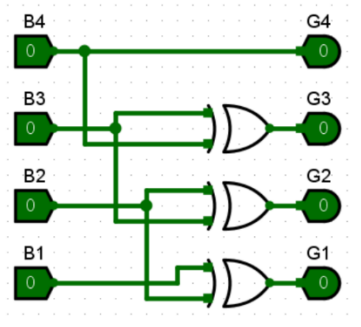


图 5.2.1

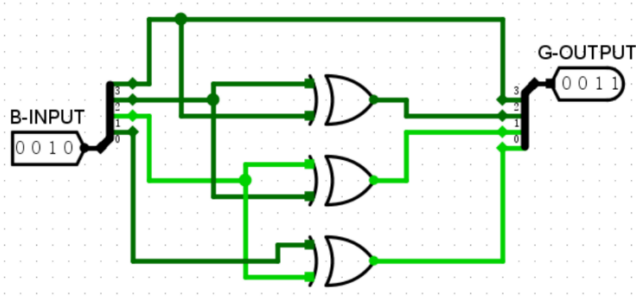


图 5.2.2

### 5.3

实现 4 位二进制数的奇偶校验位生成电路。

#### 实验原理：

根据被传输的一组二进制代码的数位中“1”的个数是奇数或偶数来进行校验。采用奇数的称为奇校验，反之，称为偶校验。根据题意列出真值表，如表 5.3 所示。

N0	N1	N2	N3	EVEN	ODD
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1

表 5.3: 奇偶校验位电路对应真值表

输入输出引脚解释：

输入引脚 N0,N1,N2,N3 分别代表 4 位二进制数，ODD 表示奇校验位输出，EVEN 表示偶校验位输出。

#### 实验过程：

根据真值表画出卡诺图化简得到逻辑表达式：

$$\text{EVEN} = ((N0 \text{ XOR } N1) \text{ XOR } (N2 \text{ XOR } N3))$$

$$\text{ODD} = \sim((N0 \text{ XOR } N1) \text{ XOR } (N2 \text{ XOR } N3))$$

故需要三个二输入异或门和一个非门，四个输入引脚，两个输出引脚，如图 5.3 所示

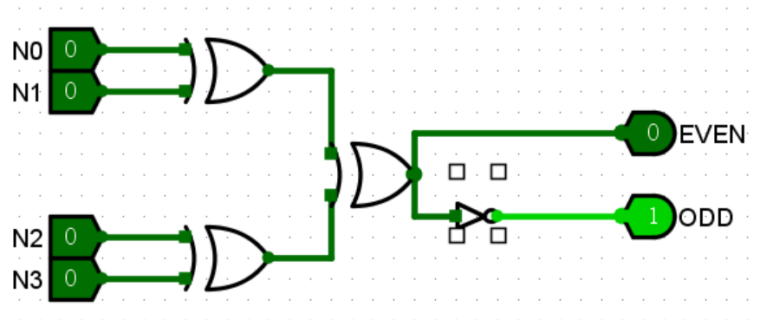


图 5.3: 奇偶校验位电路