**2024春计算机组成原理期末试题（回忆版）**

/\*写在前面：

·本文档所有题目为笔者考试后回忆所写，无违规行为，仅为个人提供免费学习参考；

·由于题目较多和考试时间较为紧张，很多题都想不起来了，仅供参考和了解题型考法。\*/

**一、选择题**

1.CPU内运行速度很快，而访问存储器相对较慢，因此一般选择（ ）作为机器周期。

A.执行周期 B.存期周期

C.间址周期 D.终端周期

2.采用3通道，总线宽度为64位，DDR3-1333固态硬盘主频1333MHz，则总线带宽为（ ）。

A.10.66GB/s B.32GB/s

C.64GB/s D.16GB/s

3.某个加法指令采用一地址格式，其中一个操作数采用直接寻址，则另一个操作数采用（ ）。

A.寄存器寻址 B.立即寻址

C.相对寻址 D.隐含寻址

**二、填空题**

1.控制器的设计方式有 和 两种方式。

2.传送过来的信息为0110101，采用奇配置汉明码，则原始正确信息为 。

3.数据长度8位（1位作为符号位），100的补码为 ，-28的补码为 。

**三、简答题**

1.访问Cache的速度是访问主存的5倍，若该Cache命中率为95%，则采用Cache后性能提高多少？

2.A=-0.1011，B=-0.0101，求[A+B]补。

3.DMA方式的中断请求与程序中断方式的中断请求有何区别？

4.①取值周期

②

③

取指周期、ADD #α指令、ADD X指令

**四、设计题**

1.某模型机共有64种操作，操作码位数固定

①采用一地址或二地址格式。

②有寄存器寻址、相对寻址（位移量-128~+127）、直接寻址共3种寻址方式。

③算术逻辑运算指令两个操作数均存放在寄存器。

④取数/存数指令需要访问寄存器和存储器。

⑤主存容量1MB，按字节编址。

设计算术逻辑运算指令、取数/存数指令、相对转移指令的格式，简述理由。

**五、分析题**

1.主存地址长度32位，Cache采用四路组相联，最多可以存放128个主存块，块大小64B，设置1位有效位，写Cache命中采用回写法，故设置1位“脏”位

（1）写出主存地址格式主存地址标记(Tag)、组号(Index)、块内地址(Offset)的位数，画出地址划分。

（2）该数据Cache的总位数（考虑标记位数和数据块位数）。

/\*其实这次考试笔者答得不是很好，祝学弟学妹们取得好成绩吧。——Kang\*/