

# 第四章 组合逻辑电路设计(二)

秦磊华 计算机学院

## 4.5 logisim的基本使用

例 设计一个比较两个三位二进制数是否相等的数值比较器。

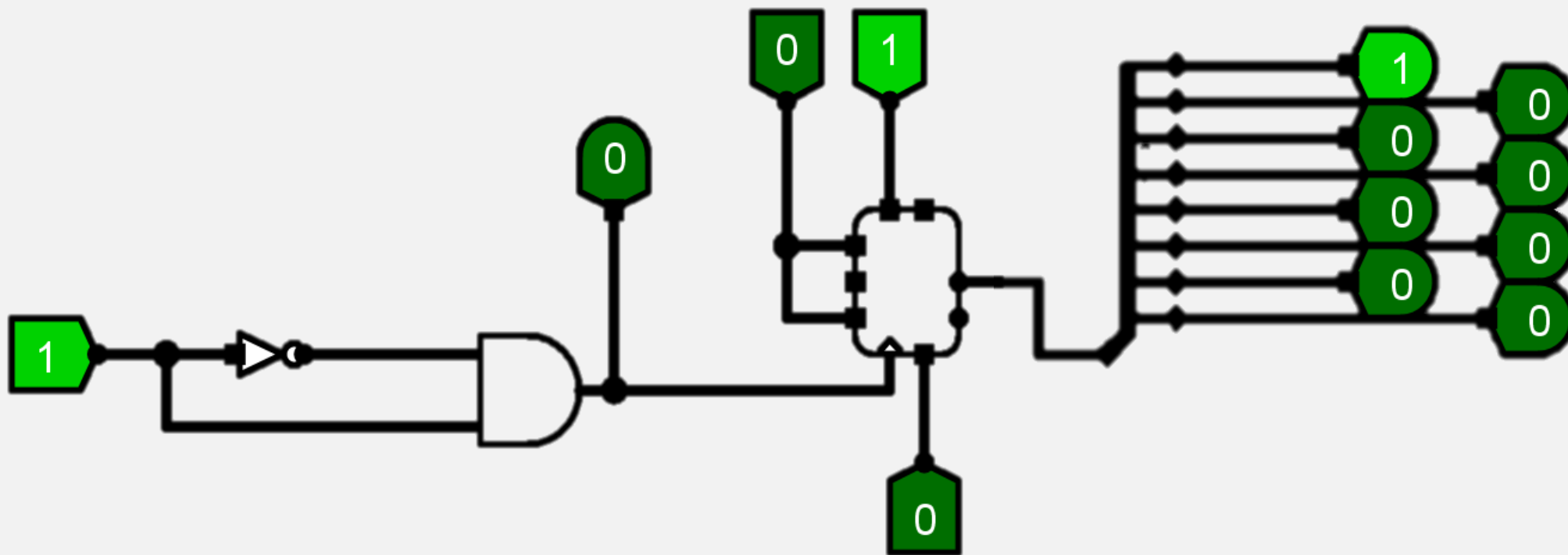
(两个3位二进制数分别为 $A = a_3a_2a_1$ ,  $B = b_3b_2b_1$ )

$$F_{=} = (\overline{a_3} \cdot \overline{b_3} + a_3b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1b_1)$$

$$F_{A>B} = A_3\overline{B_3} + (A_3B_3 + \overline{A_3}\overline{B_3})(A_2\overline{B_2}) + (A_3B_3 + \overline{A_3}\overline{B_3})(A_2B_2 + \overline{A_2}\overline{B_2})(A_1\overline{B_1})$$

$$F_{A<B} = \overline{A_3}B_3 + (A_3B_3 + \overline{A_3}\overline{B_3})(\overline{A_2}B_2) + (A_3B_3 + \overline{A_3}\overline{B_3})(A_2B_2 + \overline{A_2}\overline{B_2})(\overline{A_1}B_1)$$

## 4.5 logisim的基本使用



险像实验演示

### 1. 编码器

#### 1) 编码的基本概念

用 文字、数字、符号等标识特定对象，将数据从一种形式变成另一种形式。

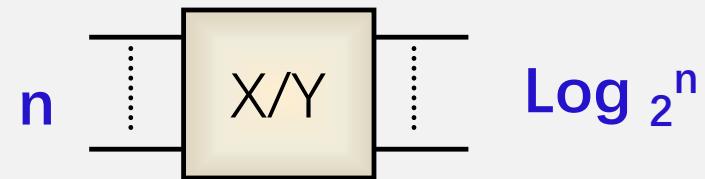
传感器就是一种常见的编码器，如位置传感器、压力传感器等。

#### 2) 编码器

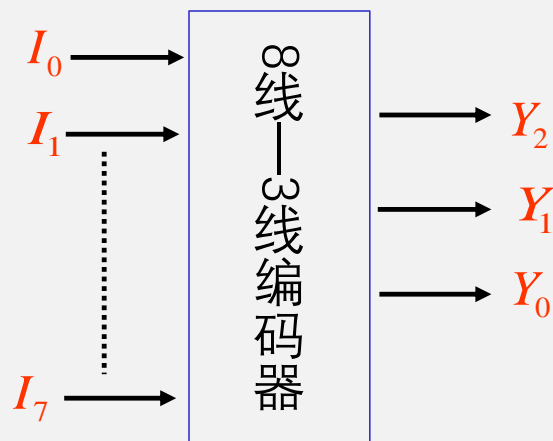
能够完成编码功能的电路叫编码器

#### 3) 编码器分类

普通编码器和优先编码器



### 4) 普通编码器



#### 8线-3线编码器：

输入是 $I_0$ - $I_7$  8个高电平信号，  
输出是3位二进制代码 $Y_2Y_1Y_0$

任何时刻只允许输入一个编码信号，不允许同时输入多个编码信号

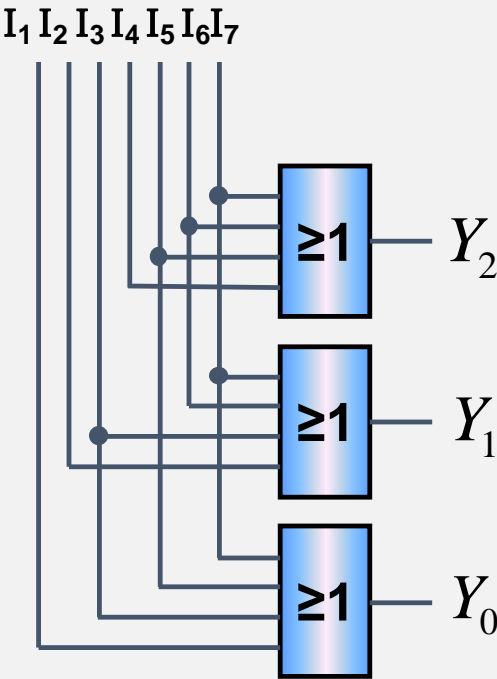
## 4.6 基本组合逻辑功能部件设计

输 入								输 出		
$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$Y_2$	$Y_1$	$Y_0$
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

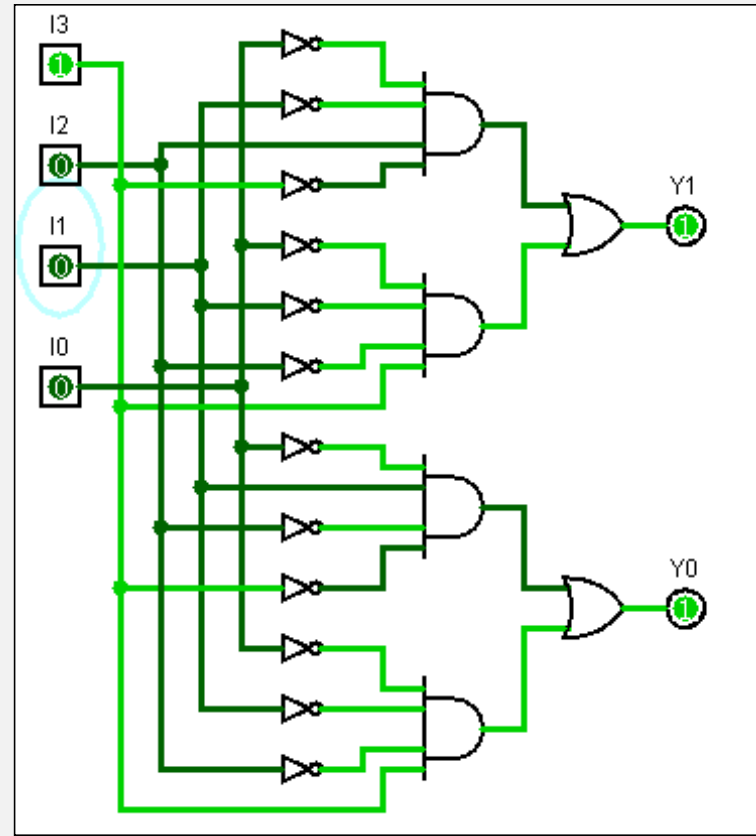
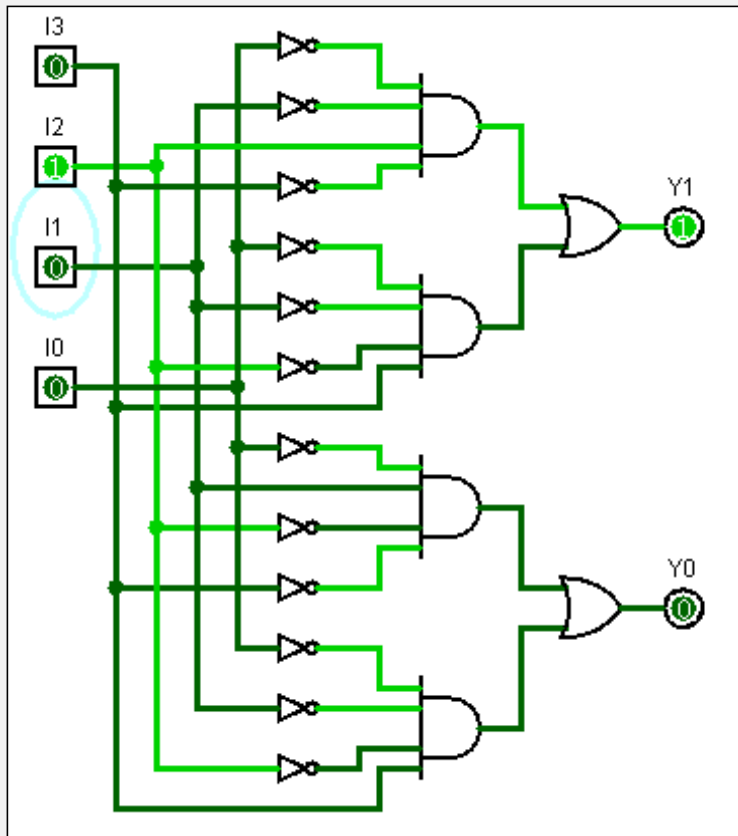
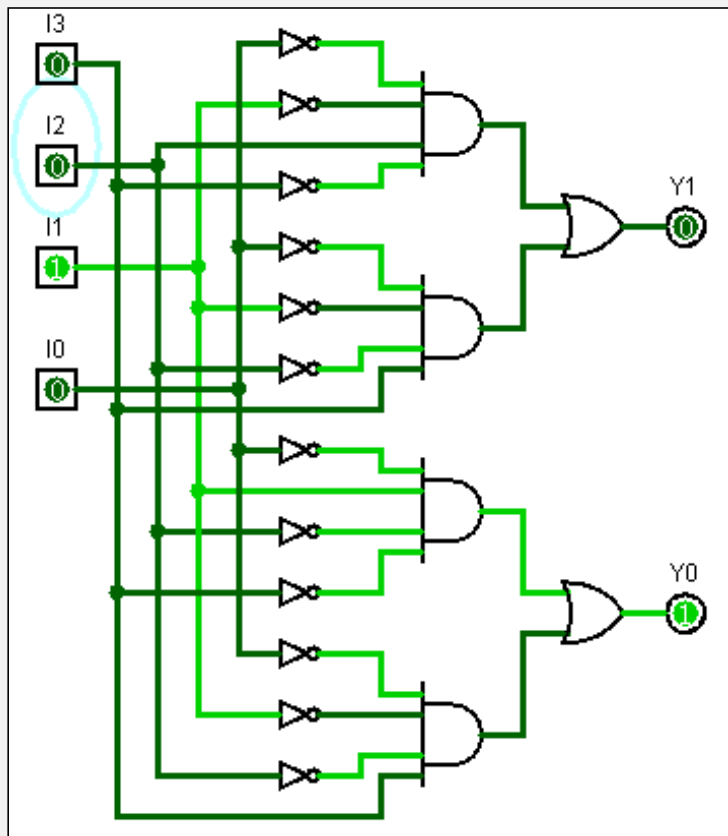
$$Y_2 = I_4 + I_5 + I_6 + I_7$$

$$Y_1 = I_2 + I_3 + I_6 + I_7$$

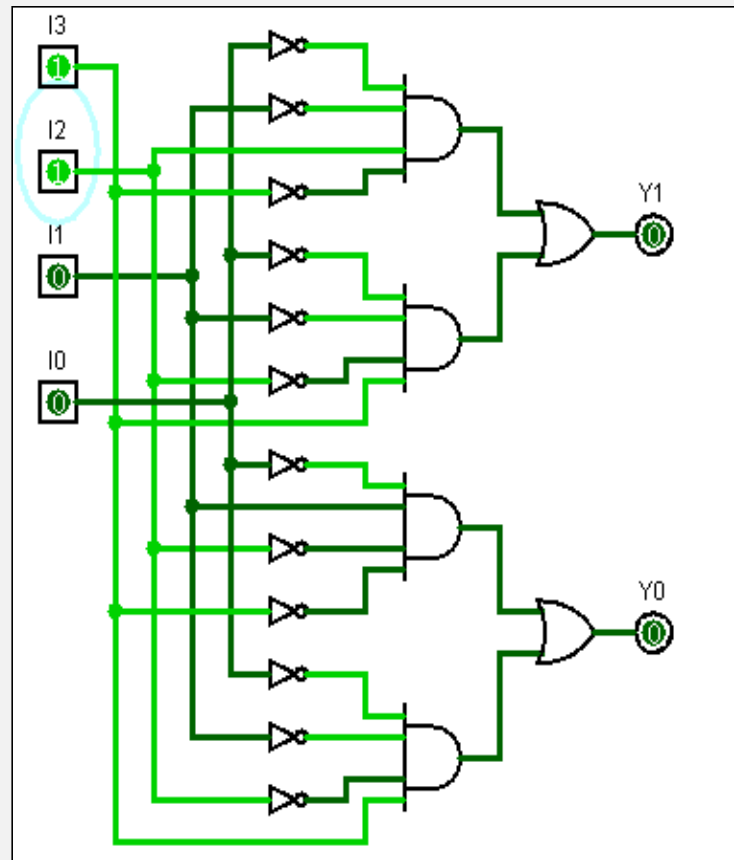
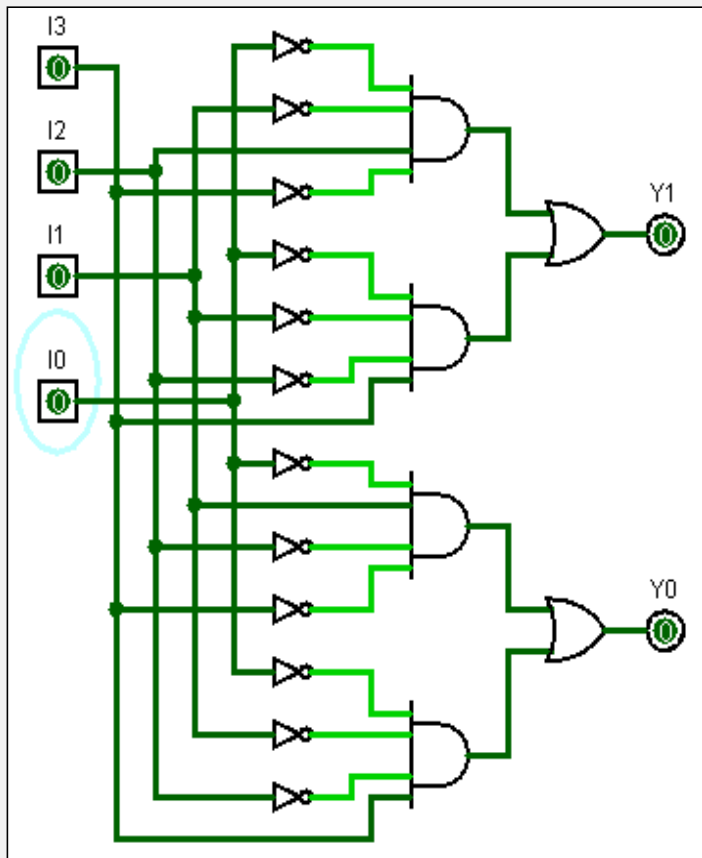
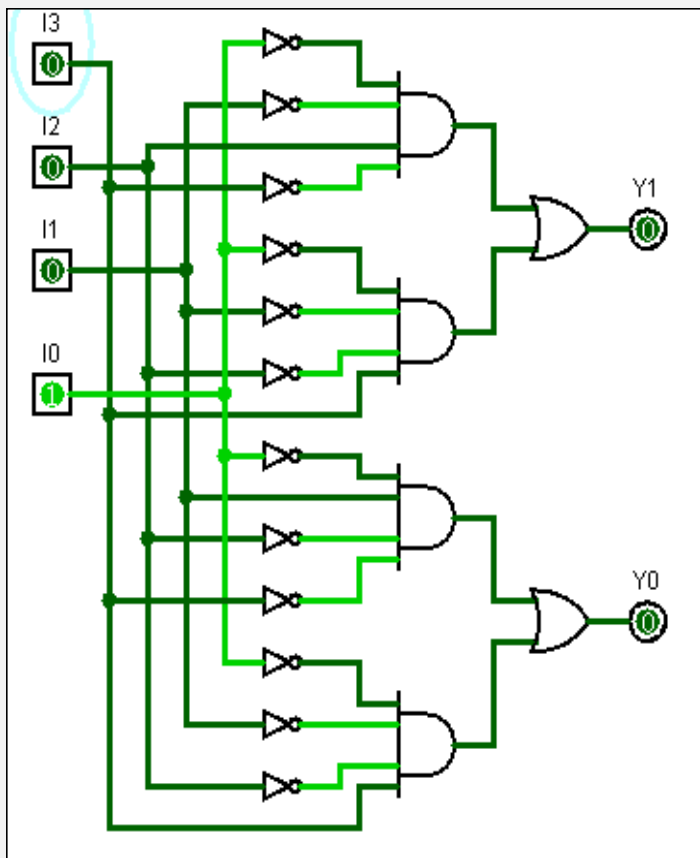
$$Y_0 = I_1 + I_3 + I_5 + I_7$$



## 4.6 基本组合逻辑功能部件设计



## 4.6 基本组合逻辑功能部件设计



发现存在的问题! 如何解决?



## 5) 优先编码器

优先编码器允许同时有几个输入端有输入信号，编码器按输入信号排定的优先顺序，只对同时输入的多个信号中优先权最高的输入进行编码。

I <sub>7</sub>	I <sub>6</sub>	I <sub>5</sub>	I <sub>4</sub>	I <sub>3</sub>	I <sub>2</sub>	I <sub>1</sub>	I <sub>0</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
1	X							1	1	1
0	1	X						1	1	0
0	0	1	X					1	0	1
0	0	0	1	X				1	0	0
0	0	0	0	1	X			0	1	1
0	0	0	0	0	1	X		0	1	0
0	0	0	0	0	0	1	X	0	0	1
0	0	0	0	0	0	0	1	0	0	0

$$Y_2 = I_7 + \overline{I_7} \cdot I_6 + \overline{I_7} \cdot \overline{I_6} \cdot I_5 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot I_4 = I_7 + I_6 + I_5 + I_4$$
$$Y_1 = I_7 + \overline{I_7} \cdot I_6 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot I_4 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot I_3 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot \overline{I_3} \cdot I_2 = I_7 + I_6 + \overline{I_5} \cdot \overline{I_4} \cdot (I_3 + I_2)$$
$$Y_0 = I_7 + \overline{I_7} \cdot \overline{I_6} \cdot I_5 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot I_4 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot I_3 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot \overline{I_3} \cdot I_2 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot \overline{I_3} \cdot \overline{I_2} \cdot I_1 = I_7 + \overline{I_6} \cdot I_5 + \overline{I_6} \cdot \overline{I_4} \cdot I_3 + \overline{I_6} \cdot \overline{I_4} \cdot \overline{I_2} \cdot I_1$$

## 4.6 基本组合逻辑功能部件设计

$$Y_2 = I_4 + I_5 + I_6 + I_7$$

$$Y_1 = I_2 + I_3 + I_6 + I_7$$

$$Y_0 = I_1 + I_3 + I_5 + I_7$$

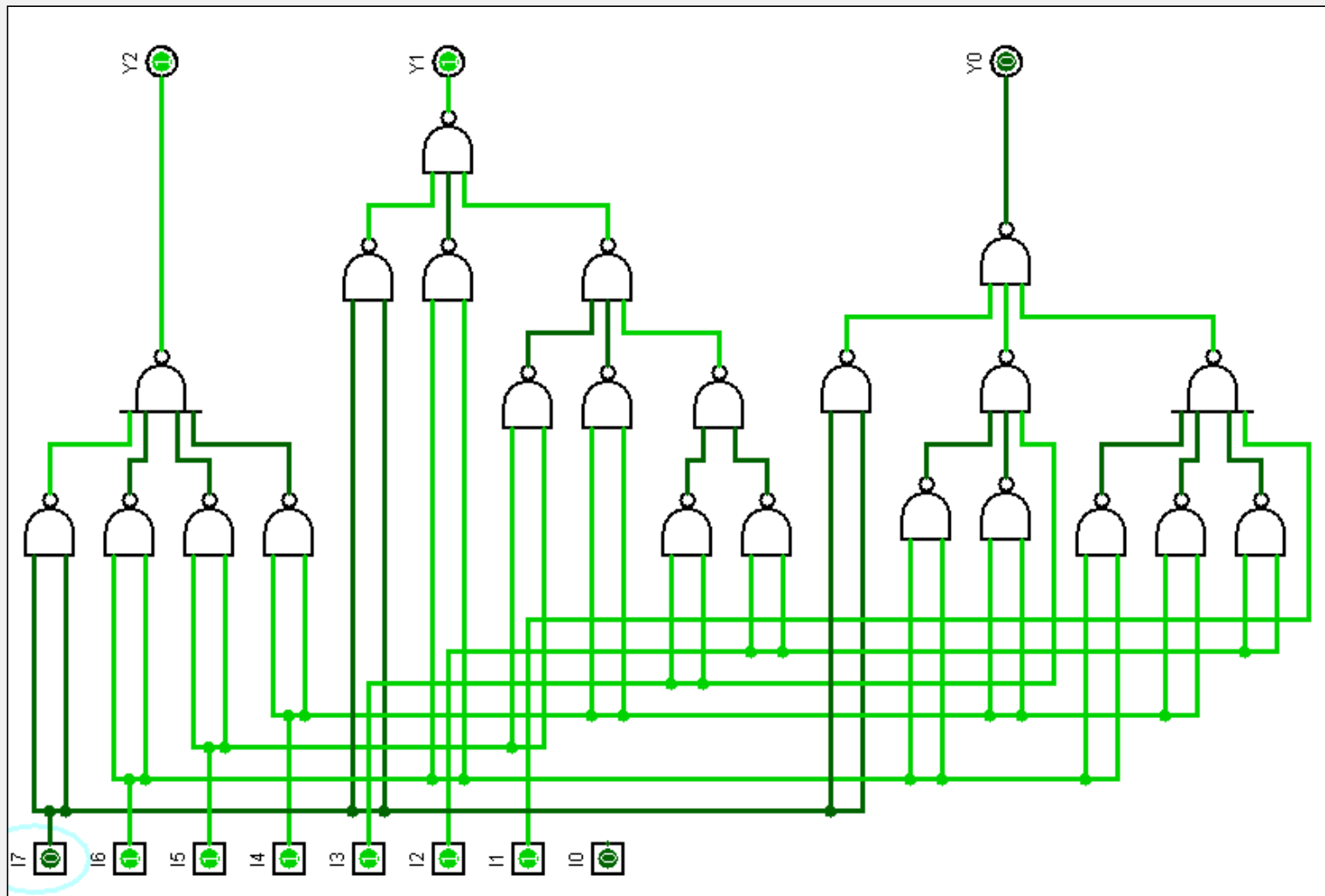


$$Y_2 = I_7 + \overline{I_7} \cdot I_6 + \overline{I_7} \cdot \overline{I_6} \cdot I_5 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot I_4 = I_7 + I_6 + I_5 + I_4$$

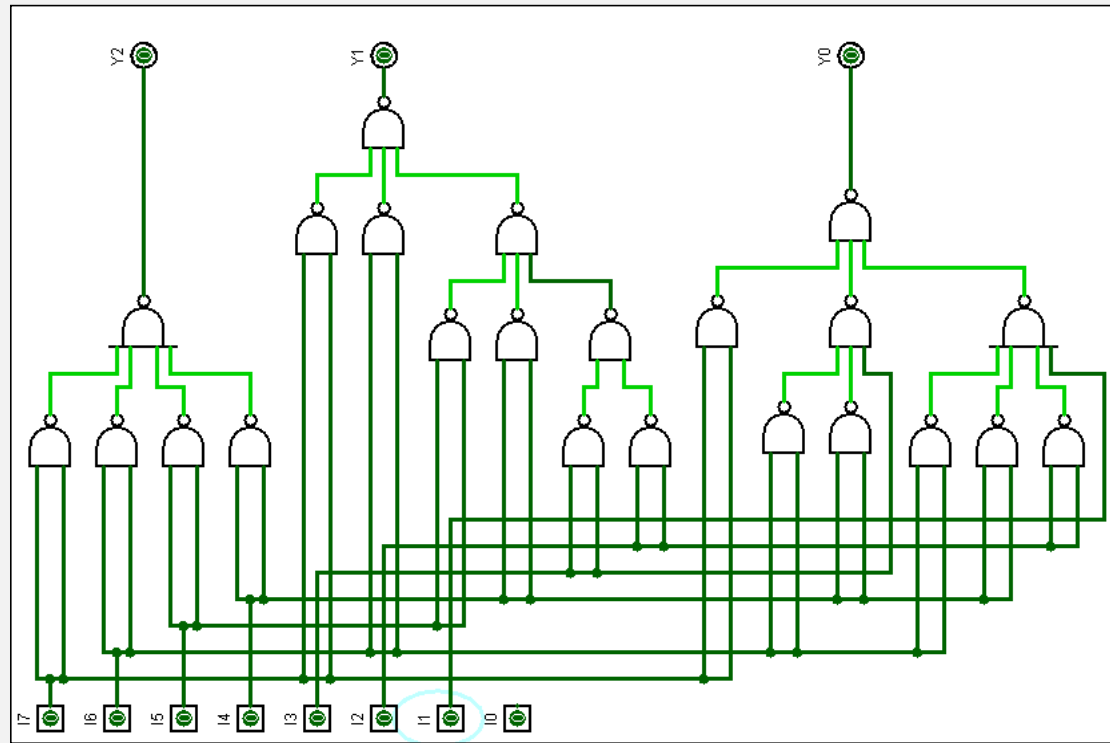
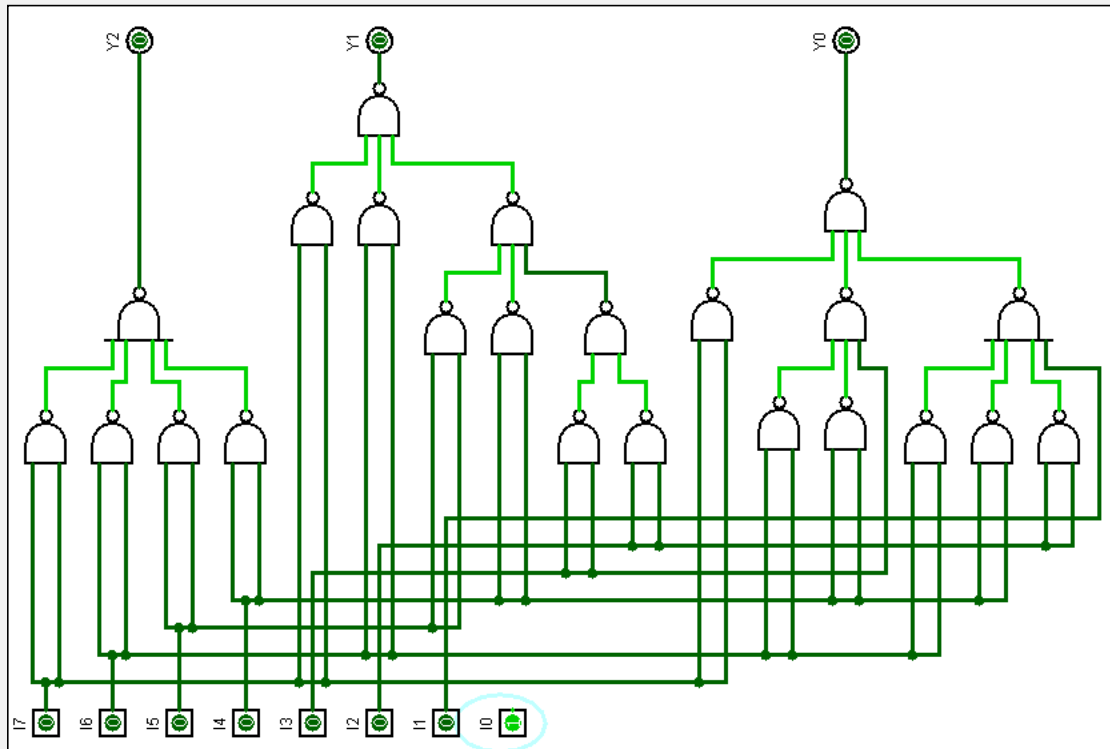
$$Y_1 = I_7 + \overline{I_7} \cdot I_6 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot I_3 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot \overline{I_3} \cdot I_2 = I_7 + I_6 + \overline{I_5} \cdot \overline{I_4} \cdot (I_3 + I_2)$$

$$Y_0 = I_7 + \overline{I_7} \cdot \overline{I_6} \cdot I_5 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot I_3 + \overline{I_7} \cdot \overline{I_6} \cdot \overline{I_5} \cdot \overline{I_4} \cdot \overline{I_3} \cdot \overline{I_2} \cdot I_1 = I_7 + \overline{I_6} \cdot I_5 + \overline{I_6} \cdot \overline{I_4} \cdot I_3 + \overline{I_6} \cdot \overline{I_4} \cdot \overline{I_2} \cdot I_1$$

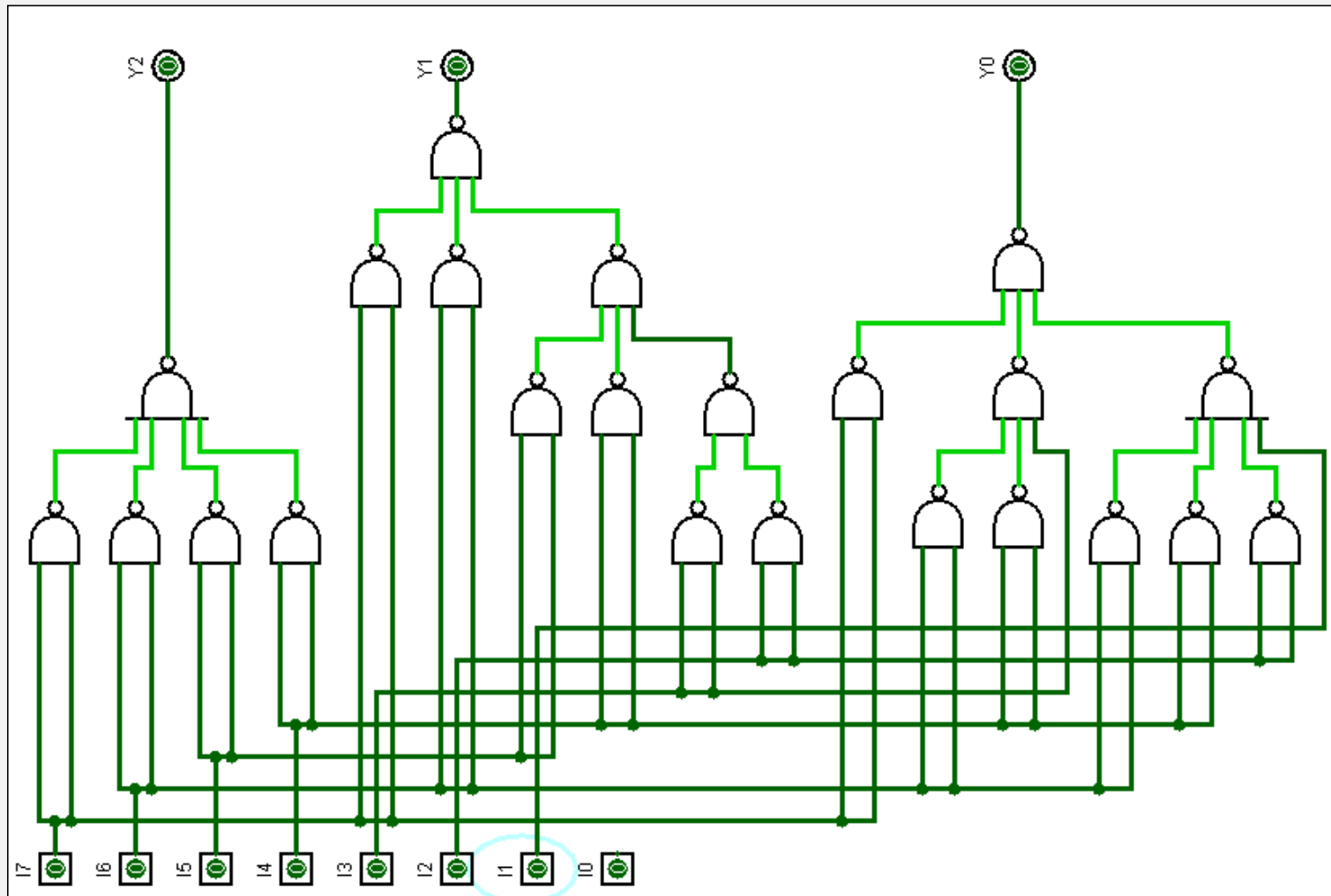
## 4.6 基本组合逻辑功能部件设计



## 4.6 基本组合逻辑功能部件设计



## 4.6 基本组合逻辑功能部件设计



## 6)带使能控制的优先编码器

输入使能端	输入								输出			扩展	使能输出
$\overline{S}$	$\overline{I_7}$	$\overline{I_6}$	$\overline{I_5}$	$\overline{I_4}$	$\overline{I_3}$	$\overline{I_2}$	$\overline{I_1}$	$\overline{I_0}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	$\overline{Y_{EX}}$	$\overline{Y_S}$
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	×	×	×	×	×	×	×	0	0	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	1	1	0	1	1	1	0	1

$$\overline{Y_2} = \overline{(I_4 + I_5 + I_6 + I_7) \cdot ST} \quad \overline{Y_1} = \overline{(I_2 \overline{I_4} \overline{I_5} + I_3 \overline{I_4} \overline{I_5} + I_6 + I_7) \cdot ST}$$

$$\overline{Y_0} = \overline{(I_1 \overline{I_2} \overline{I_4} \overline{I_6} + I_3 \overline{I_4} \overline{I_6} + I_5 \overline{I_6} + I_7) \cdot ST} \quad \overline{Y_S} = \overline{\overline{I_0} \cdot \overline{I_1} \cdot \overline{I_2} \cdot \overline{I_3} \cdot \overline{I_4} \cdot \overline{I_5} \cdot \overline{I_6} \cdot \overline{I_7} \cdot S}$$

# 4.6 基本组合逻辑功能部件设计

## 6)带使能控制的优先编码器

输入使能端	输 入								输 出			扩展	使能输出
$\overline{S}$	$\overline{I_7}$	$\overline{I_6}$	$\overline{I_5}$	$\overline{I_4}$	$\overline{I_3}$	$\overline{I_2}$	$\overline{I_1}$	$\overline{I_0}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$	$\overline{Y_{EX}}$	$\overline{Y_S}$
1	×	×	×	×	×	×	×	×	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	0	×	×	×	×	×	×	×	0	0	0	0	1
0	1	0	×	×	×	×	×	×	0	0	1	0	1
0	1	1	0	×	×	×	×	×	0	1	0	0	1
0	1	1	1	0	×	×	×	×	0	1	1	0	1
0	1	1	1	1	0	×	×	×	1	0	0	0	1
0	1	1	1	1	1	0	×	×	1	0	1	0	1
0	1	1	1	1	1	1	0	×	1	1	0	0	1
0	1	1	1	1	1	1	1	0	1	1	1	0	1

$$\begin{aligned}\overline{Y_{EX}} &= \overline{\overline{Y_S} \cdot S} = \overline{\overline{\overline{I_0 I_1 I_2 I_3 I_4 I_5 I_6 I_7 S S}}} \\ &= \overline{(I_0 + I_1 + I_2 + I_3 + I_4 + I_5 + I_6 + I_7)S}\end{aligned}$$

### 2.译码器

#### 1)基本概念

编码器的逆过程，将输入的每个二进制代码翻译成对应的输出高、低电平。

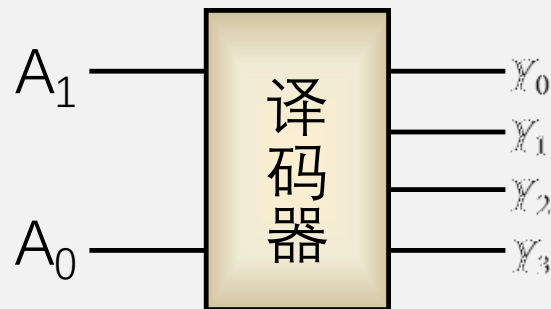
#### 2)译码器分类

- 变量译码器
- 码制变换译码器
- 数字显示译码器



### 3) 变量译码器

变量译码器是表示输入状态的组合逻辑网络，如2:4译码器



对输入的2位二进制数进行译码，具有  $2^2 = 4$  个输出

## 4.6 基本组合逻辑功能部件设计

### 4)2:4变量译码器

$A_1$	$A_0$	$\overline{Y}_3$	$\overline{Y}_2$	$\overline{Y}_1$	$\overline{Y}_0$
0	0	1	1	1	0
0	1	1	1	0	1
1	0	1	0	1	1
1	1	0	1	1	1

$$\overline{Y}_3 = \overline{A_1 A_0}$$

$$\overline{Y}_2 = \overline{A_1 \overline{A_0}}$$

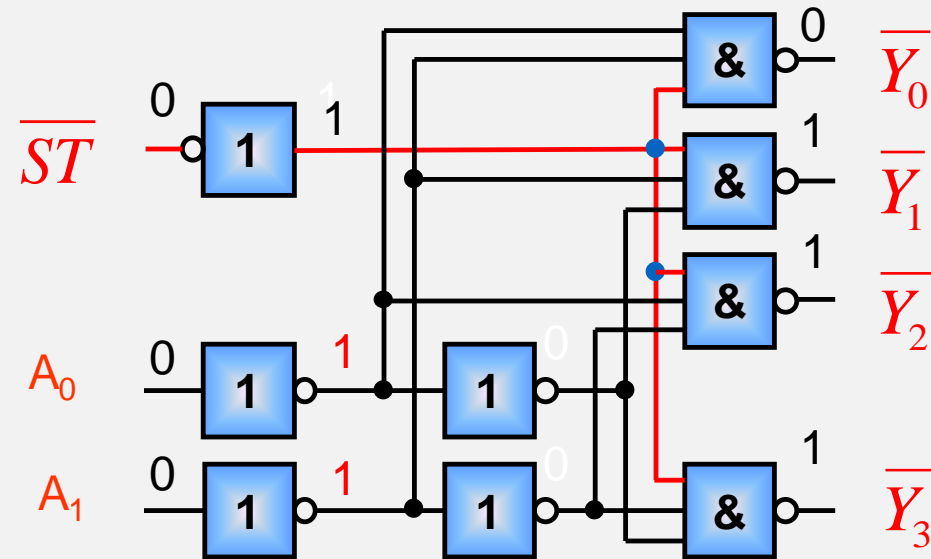
$$\overline{Y}_1 = \overline{\overline{A_1} A_0}$$

$$\overline{Y}_0 = \overline{\overline{A_1} \overline{A_0}}$$

## 4.6 基本组合逻辑功能部件设计

### 5)带选通功能的2:4变量译码器

$\overline{ST}$	$A_1$	$A_0$	$\overline{Y}_3$	$\overline{Y}_2$	$\overline{Y}_1$	$\overline{Y}_0$
1	X	X	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1



$$\overline{Y}_3 = \overline{A_1 A_0 \overline{ST}} = \overline{A_1 A_0 ST}$$

$$\overline{Y}_2 = \overline{A_1 \overline{A_0} ST} \quad \overline{Y}_1 = \overline{\overline{A_1} A_0 ST} \quad \overline{Y}_0 = \overline{\overline{A_1} \overline{A_0} ST}$$

## 4.6 基本组合逻辑功能部件设计

### 3. 码制变换译码器

码制变换译码器的功能是将一种码制转换为另一种码制。

例1: 设计一个将余三码转换为8421BCD码的转换电路

A	B	C	D	W	X	Y	Z
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	1	1
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1

AB \ CD	00	01	11	10
00	X	0	1	0
01	X	0	X	0
11	0	0	X	1
10	X	0	X	0

W

$$W = AB + ACD$$

AB \ CD	00	01	11	10
00	X	0	0	1
01	X	0	X	1
11	0	1	X	0
10	X	0	X	1

X

$$X = \overline{B}\overline{C} + \overline{B}\overline{D} + BCD$$

## 4.6 基本组合逻辑功能部件设计

A	B	C	D	W	X	Y	Z
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1

CD \ AB	AB			
	00	01	11	10
00	X	0	0	0
01	X	1	X	1
11	0	0	X	0
10	X	1	X	1

Y

$$Y = \overline{C}D + C\overline{D}$$

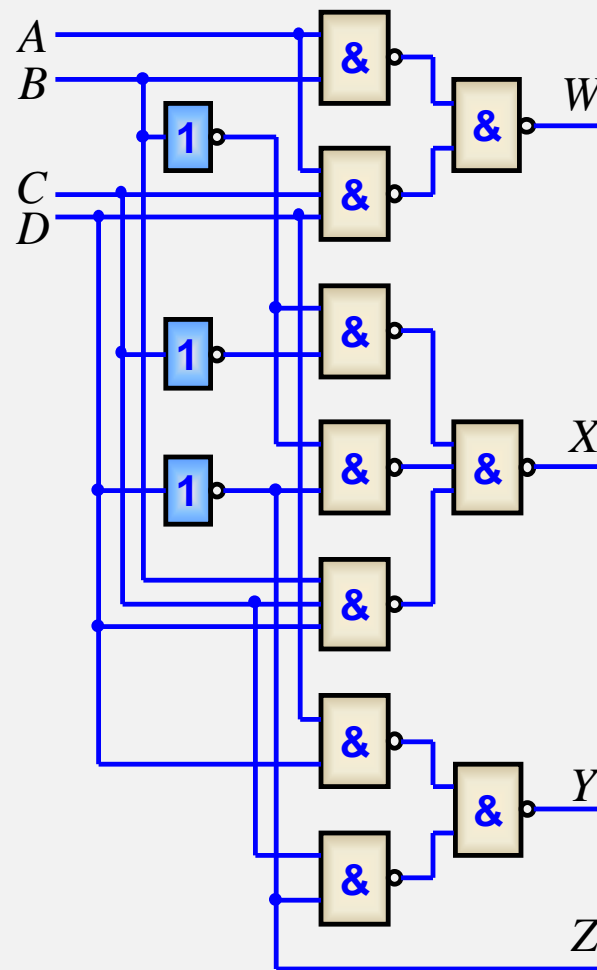
CD \ AB	AB			
	00	01	11	10
00	X	1	1	1
01	X	0	X	0
11	0	0	X	0
10	X	1	X	1

Z

$$Z = \overline{D}$$

## 4.6 基本组合逻辑功能部件设计

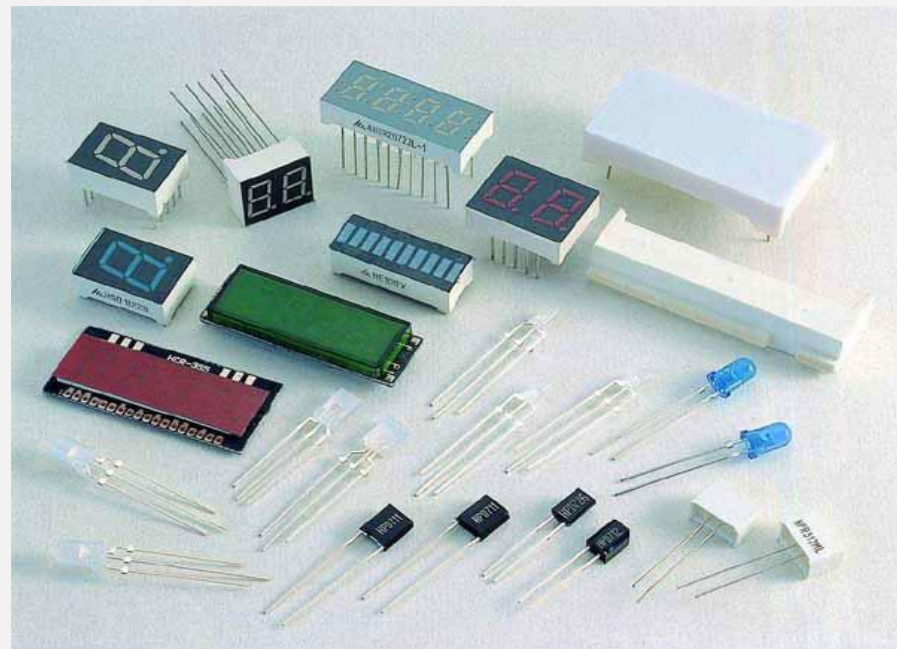
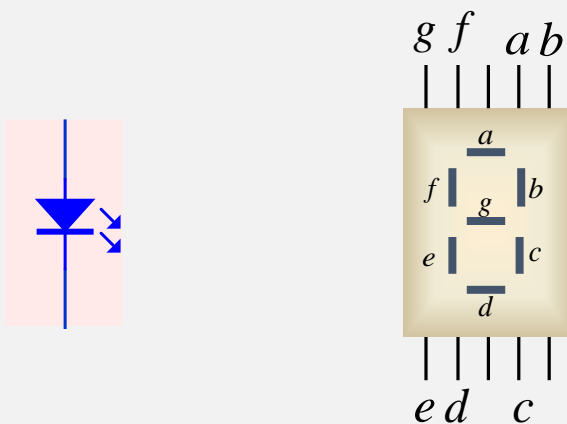
$$W = \overline{\overline{AB} \cdot \overline{ACD}}$$
$$X = \overline{\overline{AC} \cdot \overline{BD} \cdot \overline{BCD}}$$
$$Y = \overline{\overline{CD} \cdot \overline{CD}}$$
$$Z = \overline{D}$$



## 4.6 基本组合逻辑功能部件设计

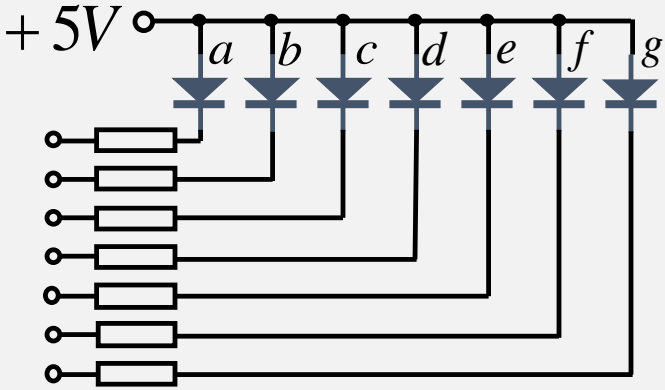
### 4. 数字显示译码器

发光二极管可以单独封装，也可以组合封装为LED数码管。

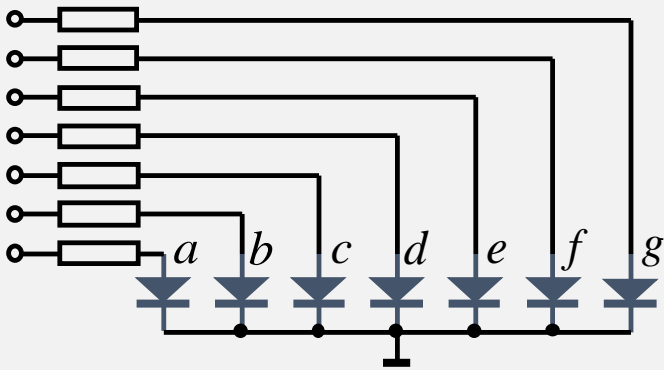


## 4.6 基本组合逻辑功能部件设计

发光二极管按驱动方式又分为共阳极和共阴极接法。



共阳极接法

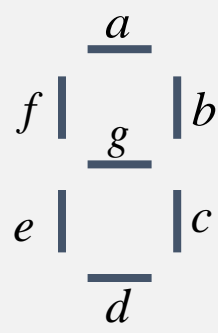


共阴极接法



## 4.6 基本组合逻辑功能部件设计

例2 设计8421BCD七段显示译码电路。



本题采用共阳极设计

D	C	B	A	a	b	c	d	e	f	g	显示
0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0	2
0	0	1	1	0	0	0	0	1	1	0	3
0	1	0	0	1	0	0	1	1	0	0	4
0	1	0	1	0	1	0	0	1	0	0	5
0	1	1	0	0	1	0	0	0	0	0	6
0	1	1	1	0	0	0	1	1	1	1	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	0	0	1	0	0	9

# 4.6 基本组合逻辑功能部件设计

D	C	B	A	a	b	c	d	e	f	g	显示
0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0	2
0	0	1	1	0	0	0	0	1	1	0	3
0	1	0	0	1	0	0	1	1	0	0	4
0	1	0	1	0	1	0	0	1	0	0	5
0	1	1	0	0	1	0	0	0	0	0	6
0	1	1	1	0	0	0	1	1	1	1	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	0	0	1	0	0	9

DC \ BA		00	01	11	10
		0	1	X	0
00	0	1	X	0	
01	1	0	X	0	
11	0	0	X	X	
10	0	0	X	X	

a

$$a = \overline{D}\overline{C}\overline{B}A + C\overline{B}\overline{A}$$

## 4.6 基本组合逻辑功能部件设计

DC \ BA	00	01	11	10
00	0	0	X	0
01	0	1	X	0
11	0	0	X	X
10	0	1	X	X

b

$$b = \overline{C}BA + C\overline{B}\overline{A}$$

DC \ BA	00	01	11	10
00	0	0	X	0
01	0	0	X	0
11	0	0	X	X
10	1	0	X	X

c

$$c = \overline{C}B\overline{A}$$

DC \ BA	00	01	11	10
00	0	1	X	0
01	1	0	X	0
11	0	1	X	X
10	0	0	X	X

d

$$d = \overline{C}\overline{B}\overline{A} + CBA + \overline{D}\overline{C}\overline{B}A$$

DC \ BA	00	01	11	10
00	0	1	X	0
01	1	1	X	1
11	1	1	X	X
10	0	0	X	X

e

$$e = A + \overline{C}\overline{B}\overline{A}$$

DC \ BA	00	01	11	10
00	0	0	X	0
01	1	0	X	0
11	1	1	X	X
10	1	0	X	X

f

$$f = BA + \overline{C}B\overline{A} + \overline{D}\overline{C}\overline{B}A$$

DC \ BA	00	01	11	10
00	1	0	X	0
01	1	0	X	0
11	0	1	X	X
10	0	0	X	X

g

$$g = \overline{D}\overline{C}\overline{B} + CBA$$

## 4.6 基本组合逻辑功能部件设计

$$a = \overline{D}\overline{C}\overline{B}A + C\overline{B}\overline{A}$$

$$b = C\overline{B}A + C\overline{B}\overline{A}$$

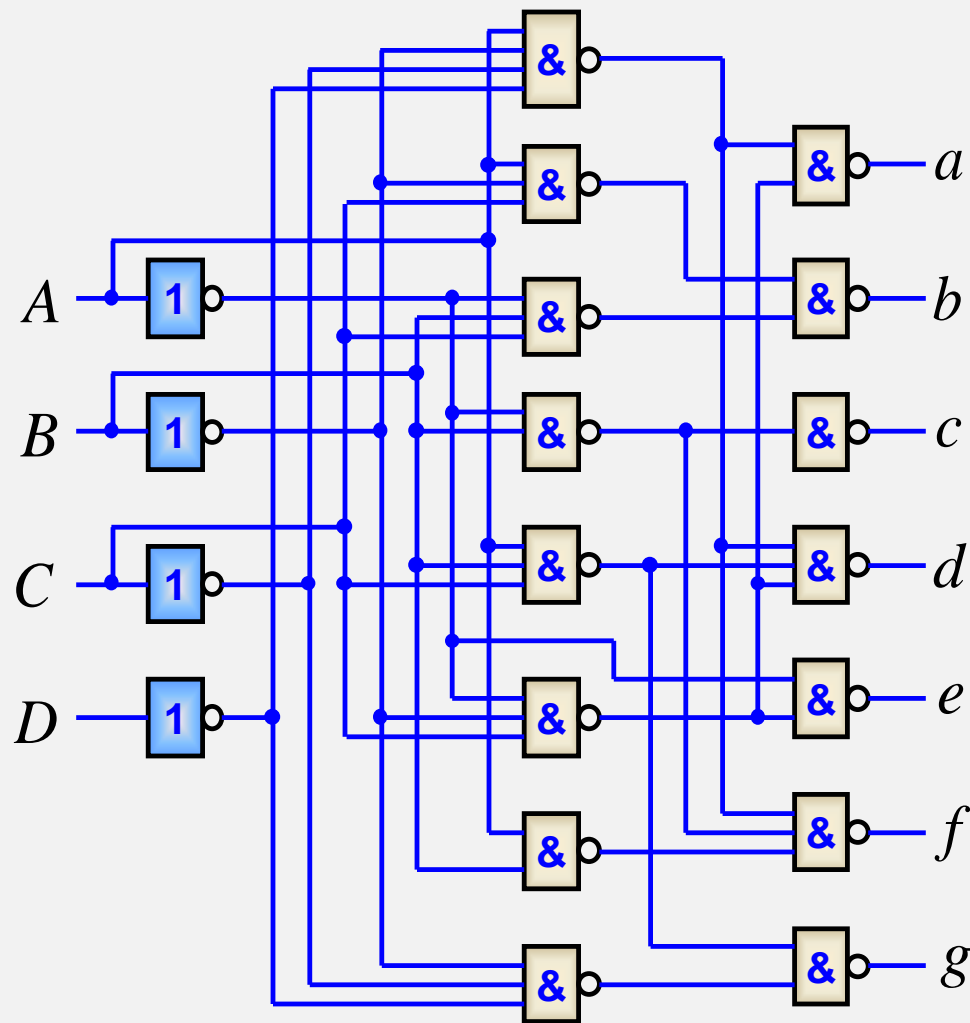
$$c = \overline{C}B\overline{A}$$

$$d = C\overline{B}\overline{A} + CBA + \overline{D}\overline{C}\overline{B}A$$

$$e = A + C\overline{B}\overline{A}$$

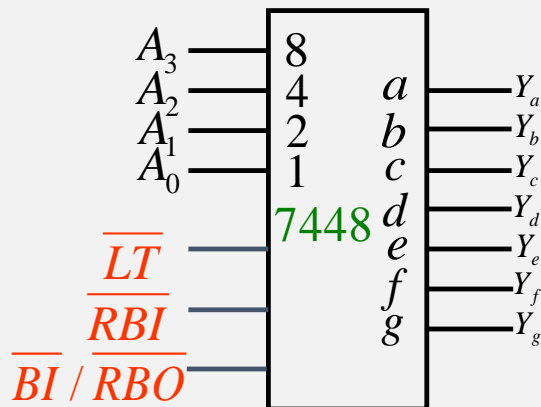
$$f = BA + \overline{C}B\overline{A} + \overline{D}\overline{C}\overline{B}A$$

$$g = \overline{D}\overline{C}\overline{B} + CBA$$



## 4.6 基本组合逻辑功能部件设计

### 数字显示译码器的动态显示



灯测试输入端主要用于检查LED的好坏。

$\overline{LT} = \begin{cases} 1 & \text{时, 正常译码。} \\ 0 & \text{时, 输出 } a \sim g \text{ 全 "1" 七段全亮。} \end{cases}$

消隐输入端（与灭0输出端共用）

$\overline{BI} = \begin{cases} 0 & \text{时, 不管输入何种状态, 输出全0} \\ 1 & \text{时, 正常译码。} \end{cases}$

灭0输入端，熄灭无意义的0

$\overline{RBI} = \begin{cases} 0 & \text{时, 灭掉不要显示的0, } 001 \rightarrow 1 \\ 1 & \text{时, 显示0, 不灭中间0。 } 101 \rightarrow 101 \end{cases}$

灭0输出端  $\overline{RBO}$  与（灭0输入端配合使用）

即：灭0输入等于0, 灭0输出一定等于0。