

第五章 运算方法与运算器(四)

秦磊华 计算机学院

基于补码数据表示研究运算方法和设计运算器(简)

5.5 运算器设计

CONTENT

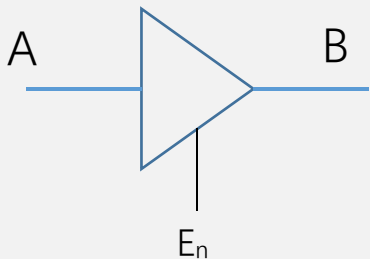


1. 运算器基本组成单元

- ◆ ALU(算术逻辑运算单元):前面已经介绍多种ALU设计方法
- ◆ 寄存器:保存原始数据和中间结果
- ◆ 总线:连接ALU及寄存器, 构建ALU数据通路, 完成运算器功能
- ◆ 多路选择: 根据运算功能和步骤的需要, 选择不同的数据通路

1. 运算器基本组成单元

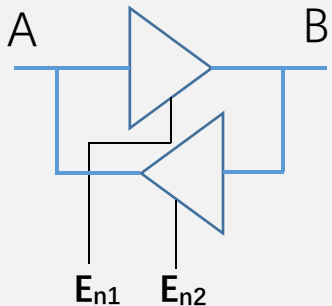
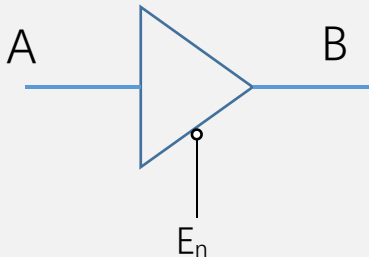
1) 三态门



◆ 单向三态门及其结构

$E_n = 1: A \rightarrow B$

$E_n = 0$: B端输出高阻抗(相当于B端与所连接线路断开)



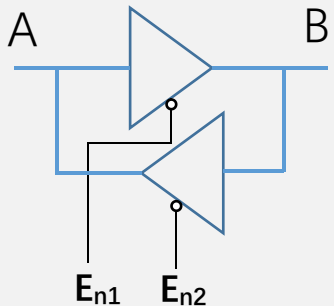
◆ 双向三态门及其结构

$E_{n1} = 1, E_{n2} = 0: A \rightarrow B$

$E_{n1} = 0, E_{n2} = 1: B \rightarrow A$

$E_{n1} = 0, E_{n2} = 0: ???$

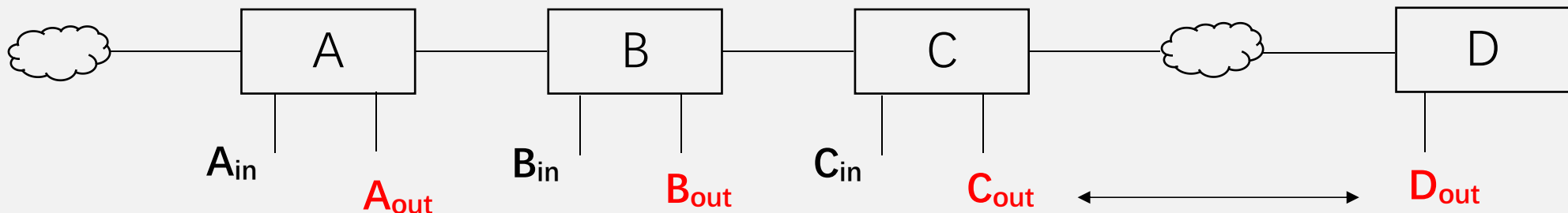
$E_{n1} = 1, E_{n2} = 1: ???$



2. 总线连接的基本原则及示例

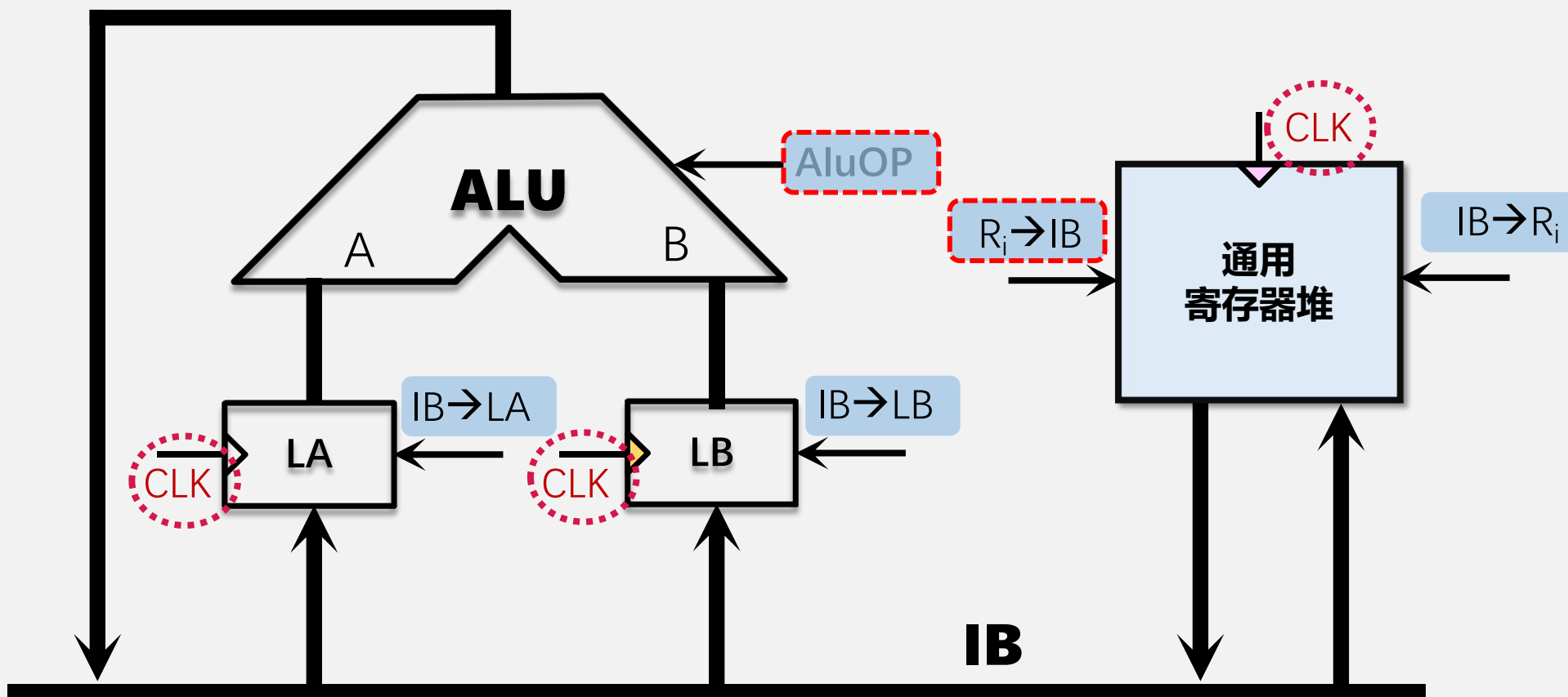
总线连接及控制基本原则：

- ◆ 从总线输入数据的部件应该进行输入控制；
- ◆ 所有向总线输出的部件，其输出端应有三态功能，且需要进行输出控制。
- ◆ 同一有效传输期内，连接在公共总线的部件最多只能有一个输出有效，其余必须为高阻抗状态



5.5 运算器设计

3. 单总线结构运算器组织及控制



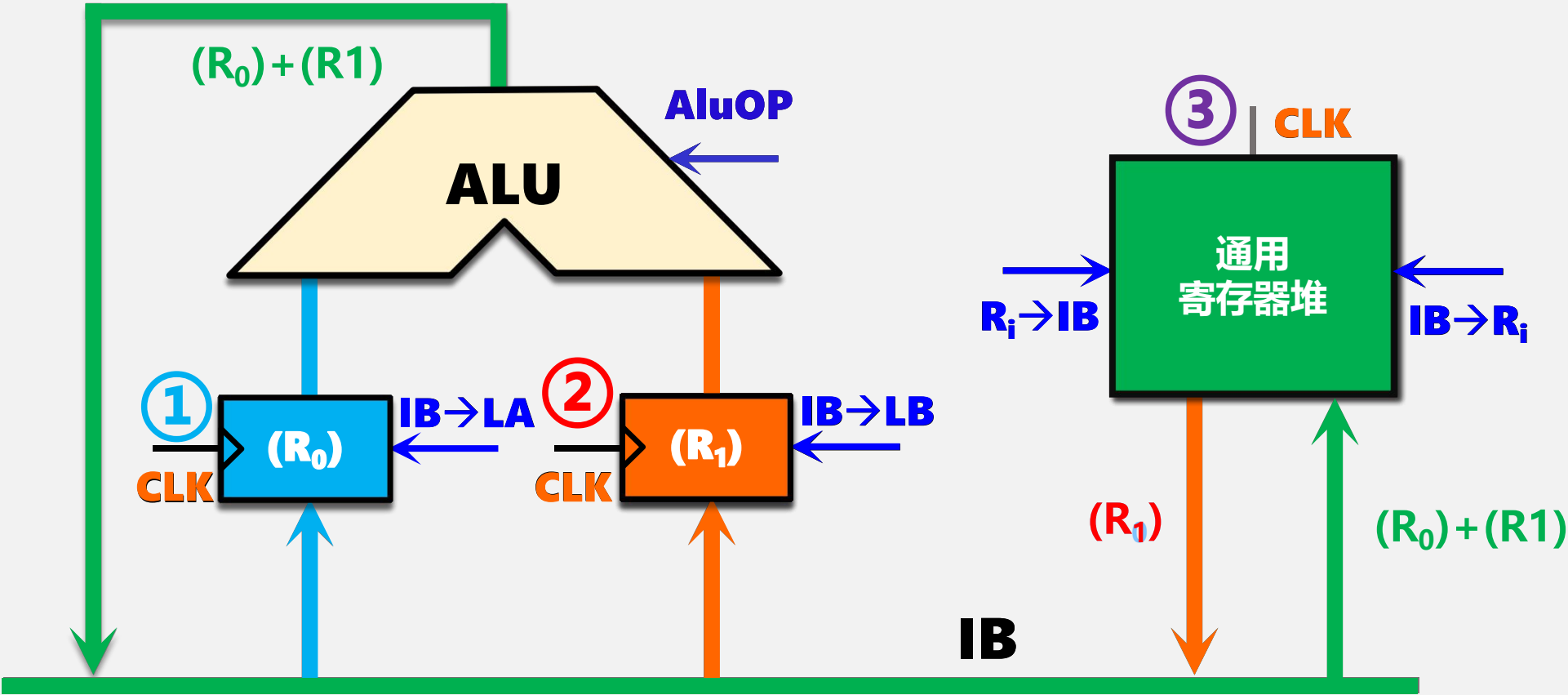
◆ 该电路能正常工作的基本条件是什么？

ALU的输出带三态

3.单总线结构运算器组织及控制

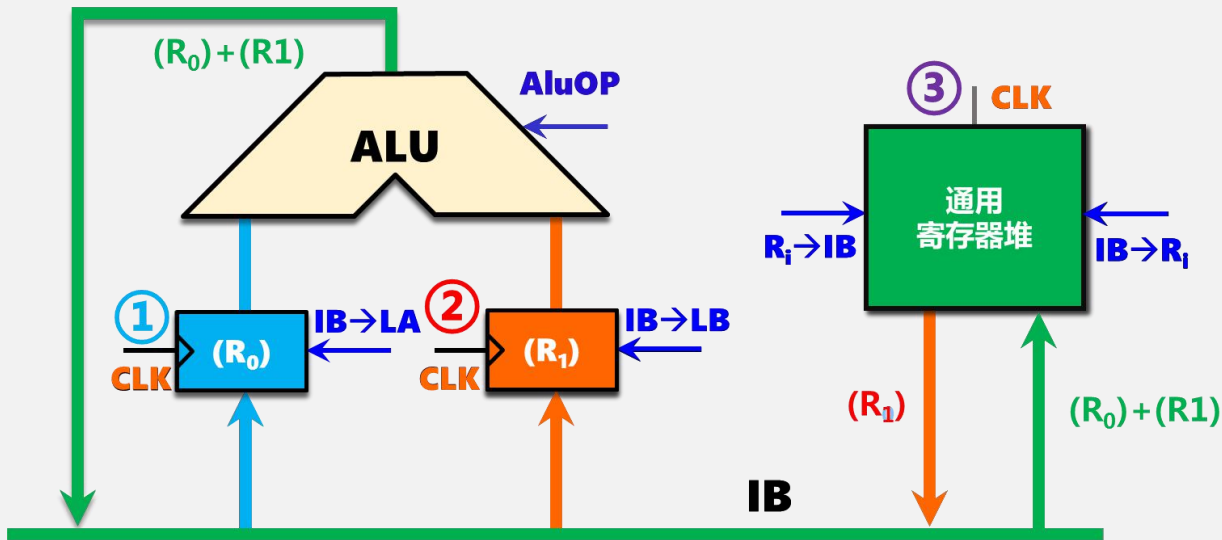
ADD R0 , R1

$$(R_0) + (R_1) \rightarrow R_0$$



■ 单总线，两个锁存器，3个时钟周期

3.单总线结构运算器组织及控制

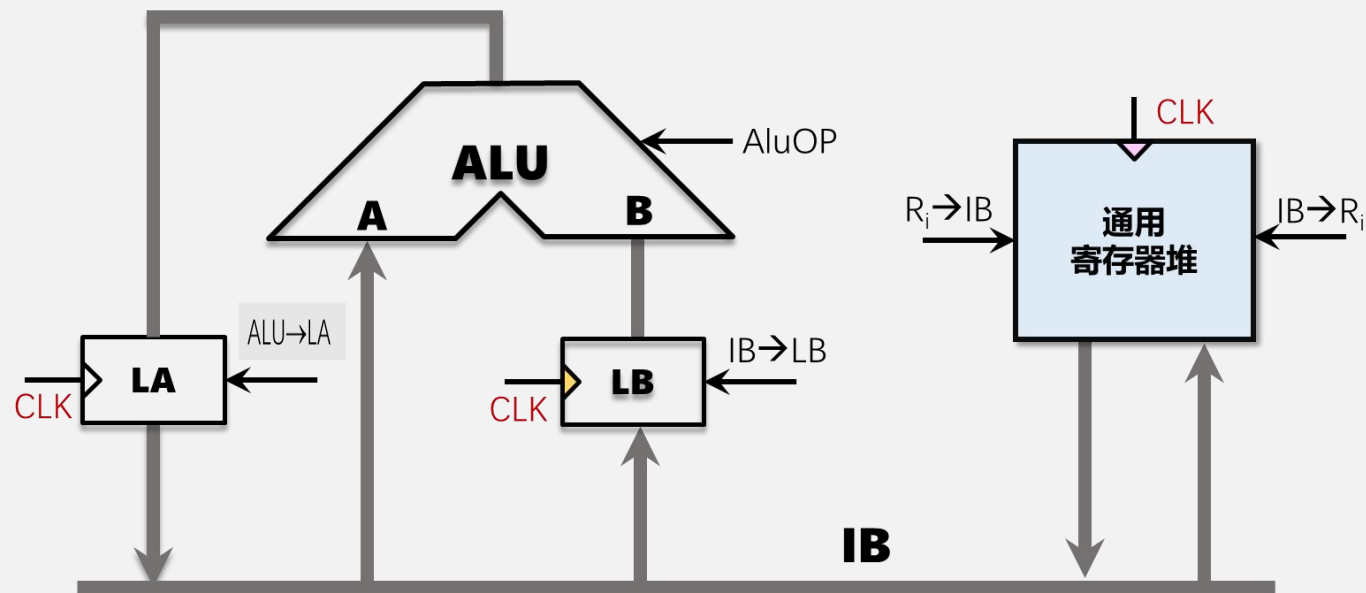


$$(R_0) + (R_1) \rightarrow R_0$$

$T_1: R_0 \rightarrow LA$	有效: $R_0 \rightarrow IB$ 、 $IB \rightarrow LA$ 、 CLK	无效: $IB \rightarrow R_i$ 、 $IB \rightarrow LB$ 、 $ALuOP$
$T_2: R_1 \rightarrow LB$	有效: $R_1 \rightarrow IB$ 、 $IB \rightarrow LB$ 、 CLK	无效: $IB \rightarrow R_i$ 、 $IB \rightarrow LA$ 、 $ALuOP$
$T_3: ALU \rightarrow R_0$	有效: $Aluop$ 、 $IB \rightarrow R_i$ 、 CLK	无效: $R_i \rightarrow IB$ 、 $IB \rightarrow LA$ 、 $IB \rightarrow LB$

5.5 运算器设计

3.单总线结构运算器组织及控制



$$(R_0) + (R_1) \rightarrow R_0$$

◆ 该总线连接存在的问题？

输出冲突：LA、通用寄存器堆(GR)

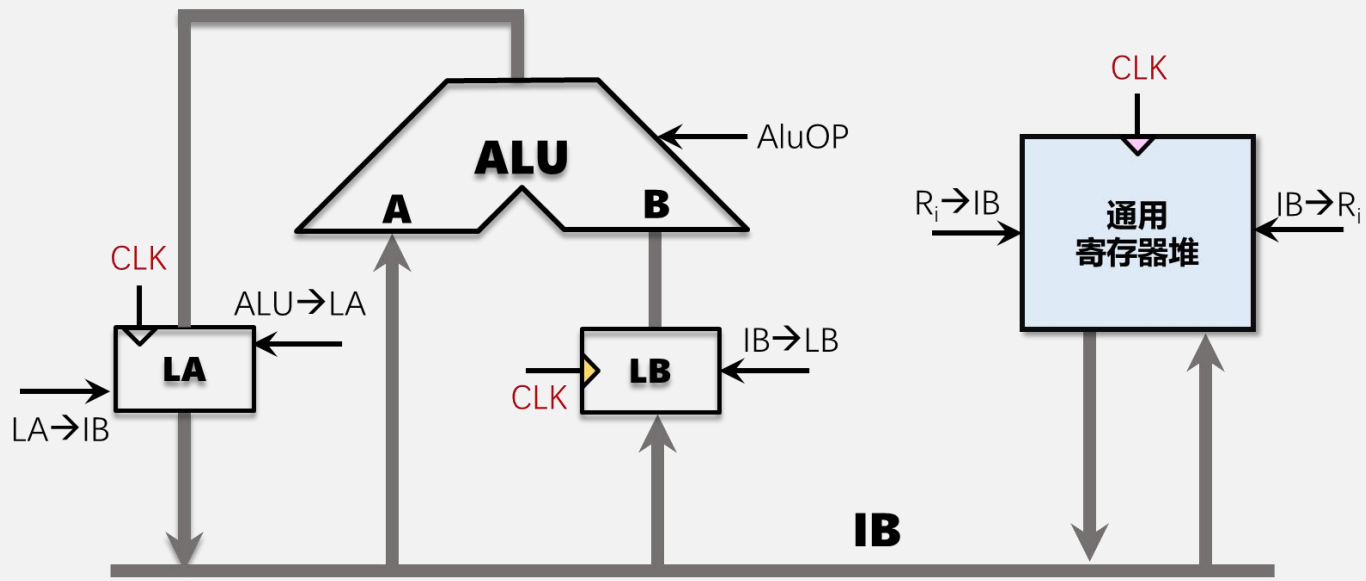
◆ 电路正常工作的条件？

解决冲突：LA 增加三态输出控制

ALU输出需要三态吗？

5.5 运算器设计

3.单总线结构运算器组织及控制



$$(R0) + (R1) \rightarrow R0$$

$R_0 \rightarrow LA$

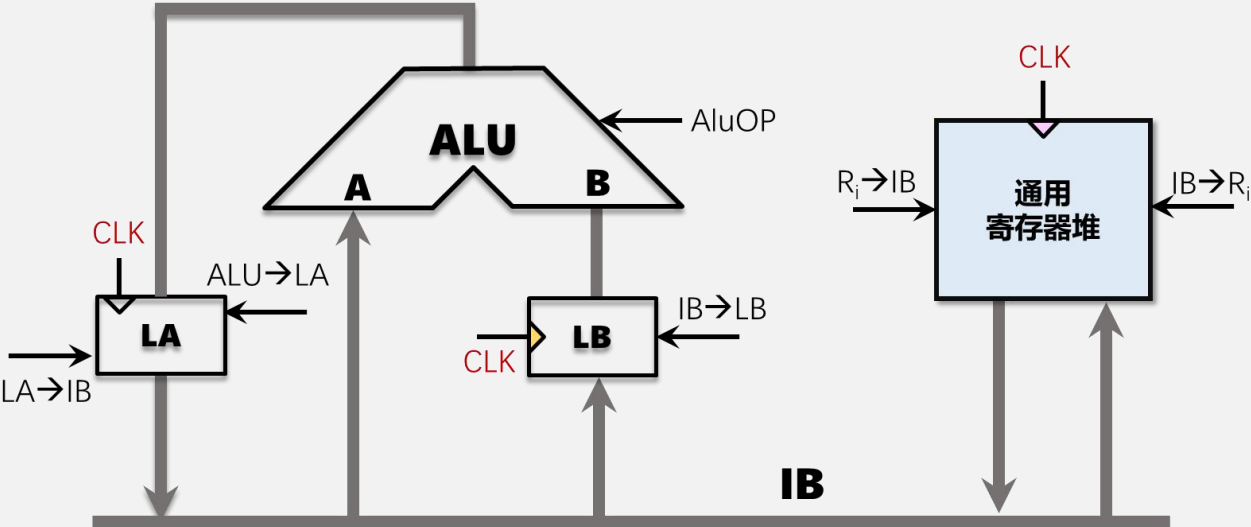
数据通路?

$R_0 \rightarrow LB \rightarrow ALU \rightarrow LA$

T1:有效: $R_0 \rightarrow IB$ 、 $IB \rightarrow LB$ 、 CLK

T2: 有效: $ALU \rightarrow LA$ 、 CLK

3.单总线结构运算器组织及控制

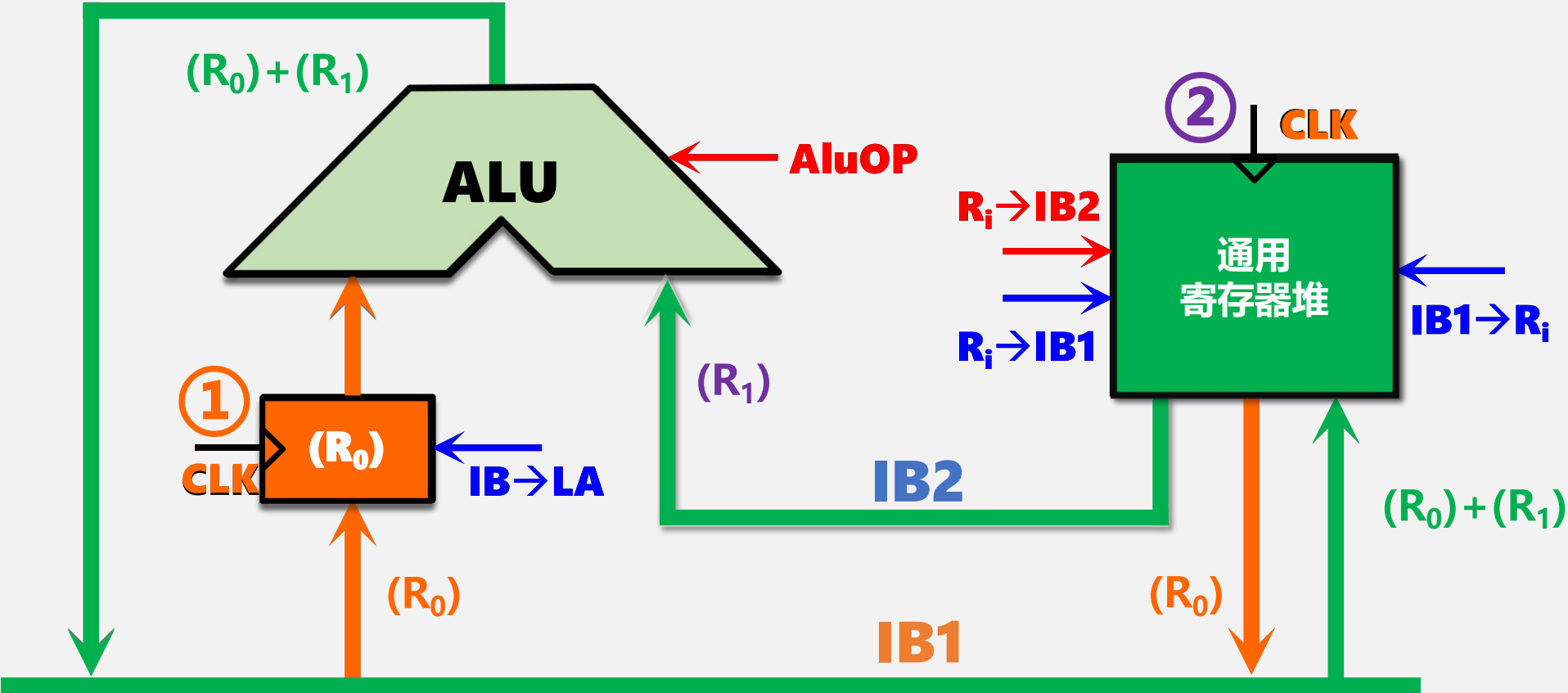


$$(R_0) + (R_1) \rightarrow R_0$$

$R_1 \rightarrow LB$	T3:有效: $R_1 \rightarrow IB$ 、 $IB \rightarrow LB$ 、CLK	无效: $IB \rightarrow R_i$ 、 $LA \rightarrow IB$ 、AluOP、ALU→LA
ALU→LA	T4:有效: AluOP、ALU→LA、CLK	无效: $R_i \rightarrow IB$ 、 $IB \rightarrow R_i$ 、 $IB \rightarrow LB$
$LA \rightarrow R_0$	T 5:有效: $LA \rightarrow IB$ 、 $IB \rightarrow R_0$ 、CLK	无效: $R_i \rightarrow IB$ 、 $IB \rightarrow LB$ 、AluOP

4. 双总线结构运算器组织及控制

ADD R0,R1 $(R_0)+(R_1) \rightarrow R_0$

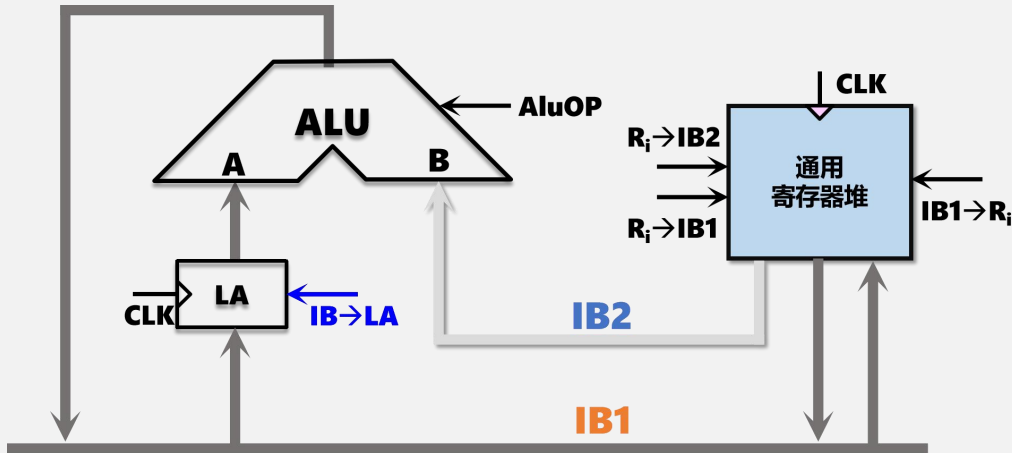


■ 双总线，1个锁存器，2个时钟周期

■ 运算器工作的条件：ALU输出带三态

5.5 运算器设计

4. 双总线结构运算器组织及控制



$$(R0) + (R1) \rightarrow R0$$

- T1: $R_0 \rightarrow LA$

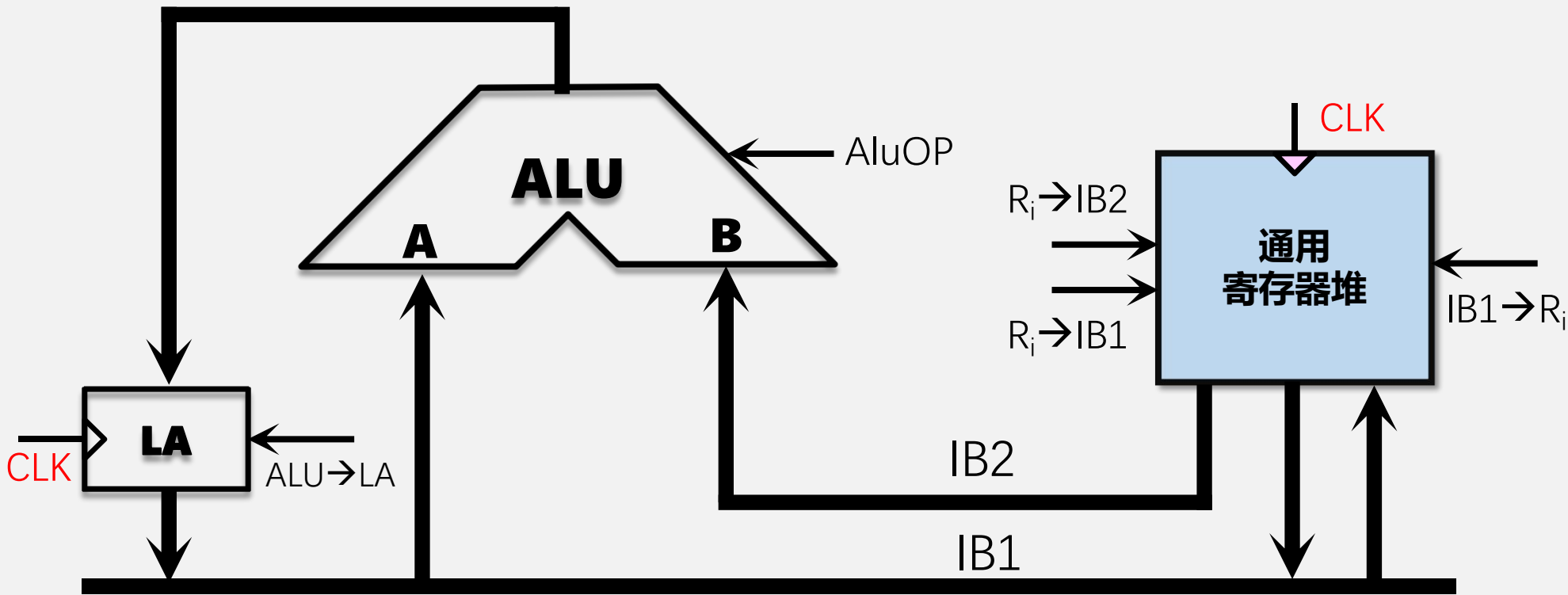
有效: $R_i \rightarrow IB_1$ 、 $IB_1 \rightarrow LA$ 、CLK

无效: $IB_1 \rightarrow R_i$ 、 $R_i \rightarrow IB_2$ 、ALuOP
- T2: $R_1 \rightarrow IB2, ALU \rightarrow R_0$

有效: $R_1 \rightarrow IB_2$ 、ALuOP、 $IB_1 \rightarrow R_i$ 、CLK

无效: $R_i \rightarrow IB_1$ 、 $IB \rightarrow LA$

4. 双总线结构运算器组织及控制



◆ 该总线连接存在的问题？

输出冲突：LA、通用寄存器堆(GR)向IB1的输出控制

◆ 电路正常工作的条件？

解决冲突：LA 增加三态输出控制

ALU输出需要三态吗？

4. 双总线结构运算器组织及控制

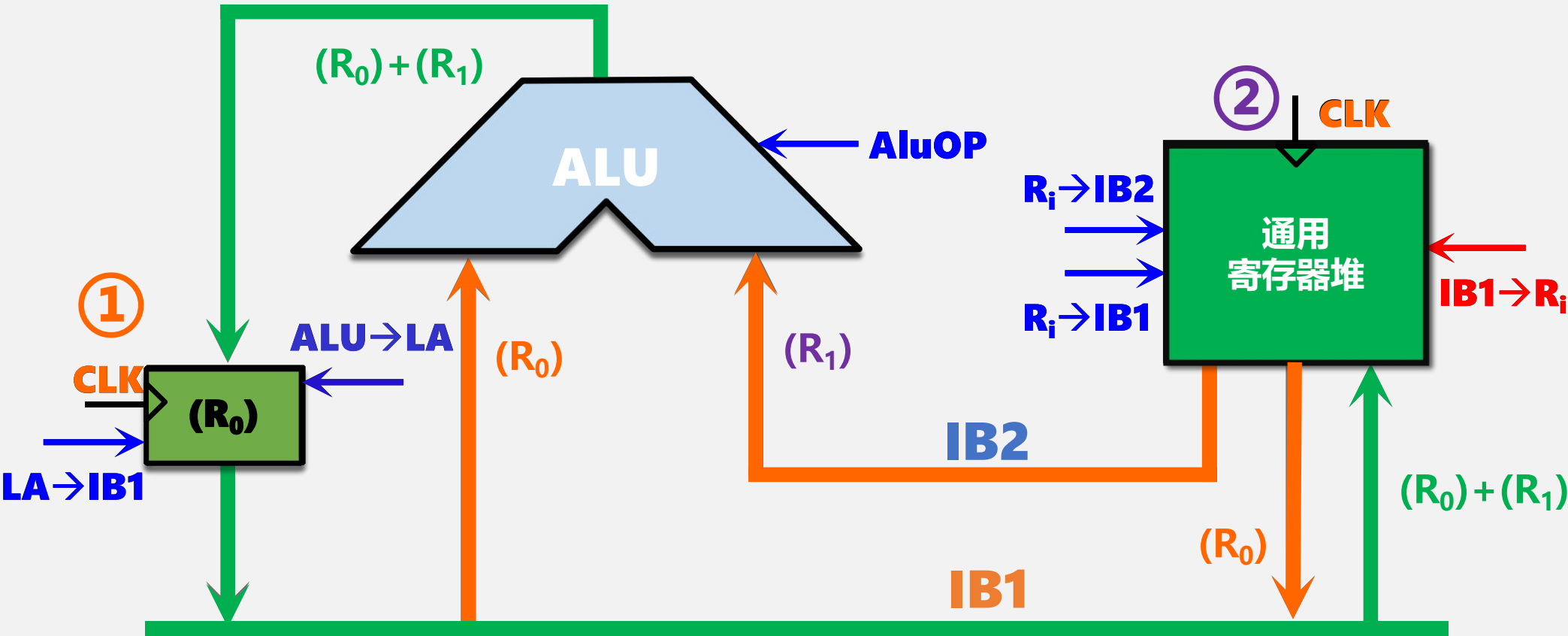




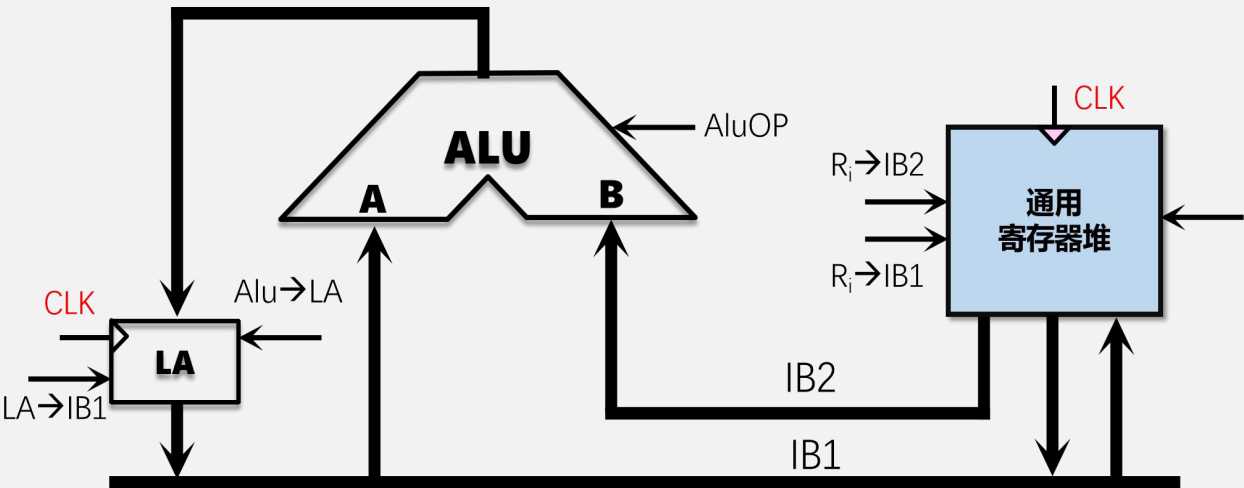
5.5 运算器设计

4. 双总线结构运算器组织及控制

$(R_0) + (R_1) \rightarrow R_0$



4. 双总线结构运算器组织及控制



$$(R0) + (R1) \rightarrow R0$$

T1: $R_0 \rightarrow \text{ALU}$ 、 $R_1 \rightarrow \text{ALU}$ 、 $\text{ALU} \rightarrow \text{LA}$

有效: $R_i \rightarrow \text{IB}_1$ 、 $R_i \rightarrow \text{IB}_2$ 、 ALuOP 、 CLK

无效: $\text{LA} \rightarrow \text{IB}_1$ 、 $\text{IB}_1 \rightarrow R_i$

T2: $\text{LA} \rightarrow R_0$

有效: $\text{LA} \rightarrow \text{IB}_1$ 、 $\text{IB}_1 \rightarrow R_i$ 、 CLK

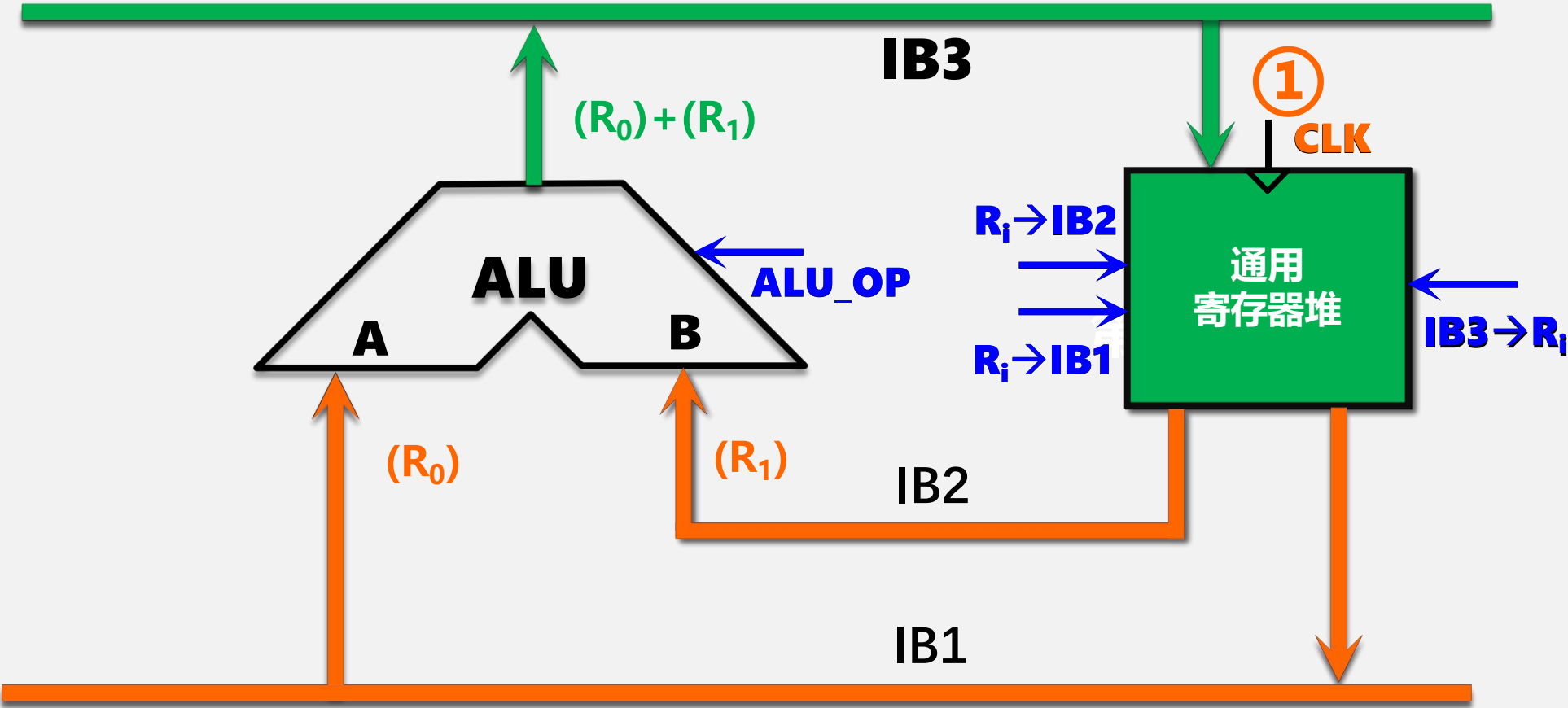
无效: $R_i \rightarrow \text{IB}_1$ 、 ALuOP 、 $\text{ALU} \rightarrow \text{LA}$



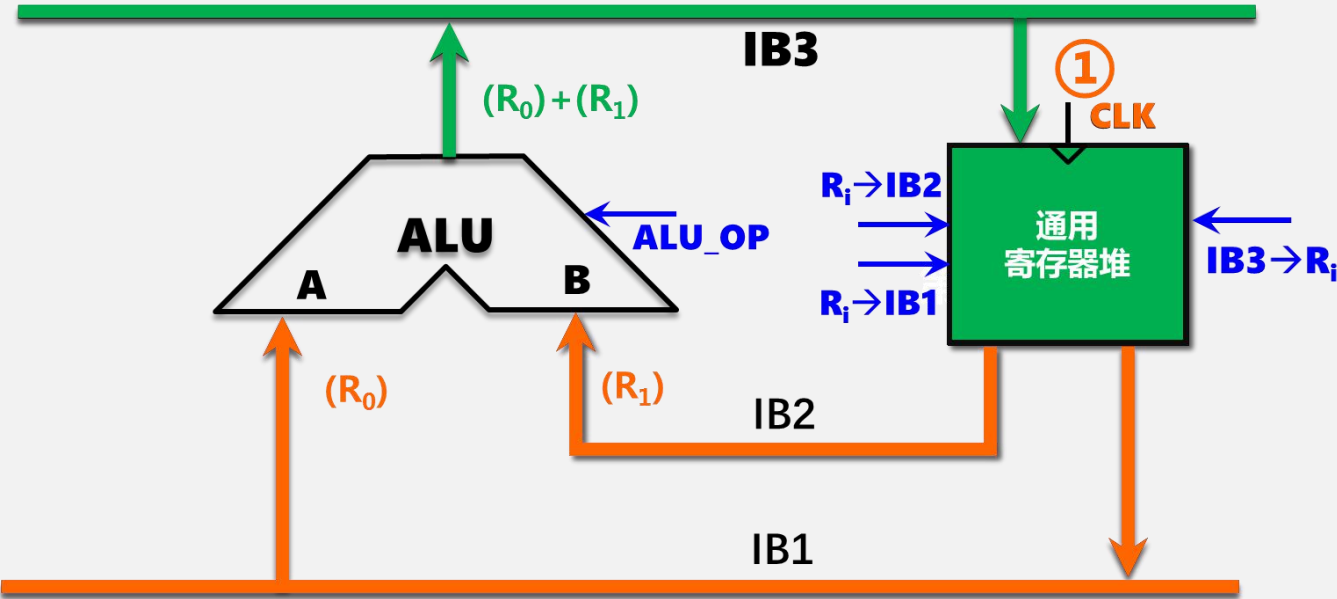
5.5 运算器设计

5. 三总线结构运算器组织及控制

$(R_0) + (R_1) \rightarrow R_0$



5. 三总线结构运算器组织及控制



$$(R_0) + (R_1) \rightarrow R_0$$

T1: $R_0 \rightarrow ALU$, $R_1 \rightarrow ALU$, $ALU \rightarrow R_0$

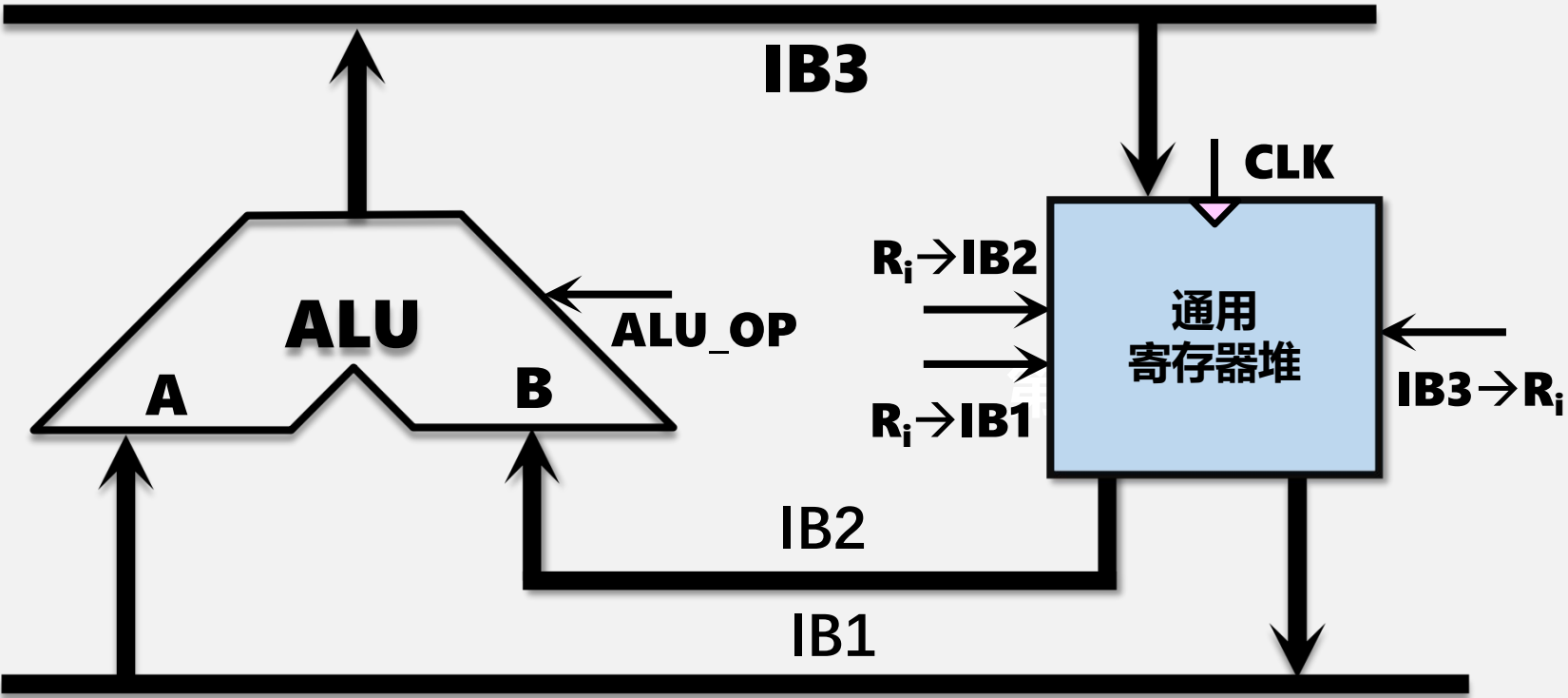
有效: $R_i \rightarrow IB_1$, $R_i \rightarrow IB_2$, $IB_3 \rightarrow R_i$, ALU_{OP} , CLK



5.5 运算器设计

5. 三总线结构运算器组织及控制

MOV R0 , R1 (R₀) → R₁



数据通路: GR → ALU → GR

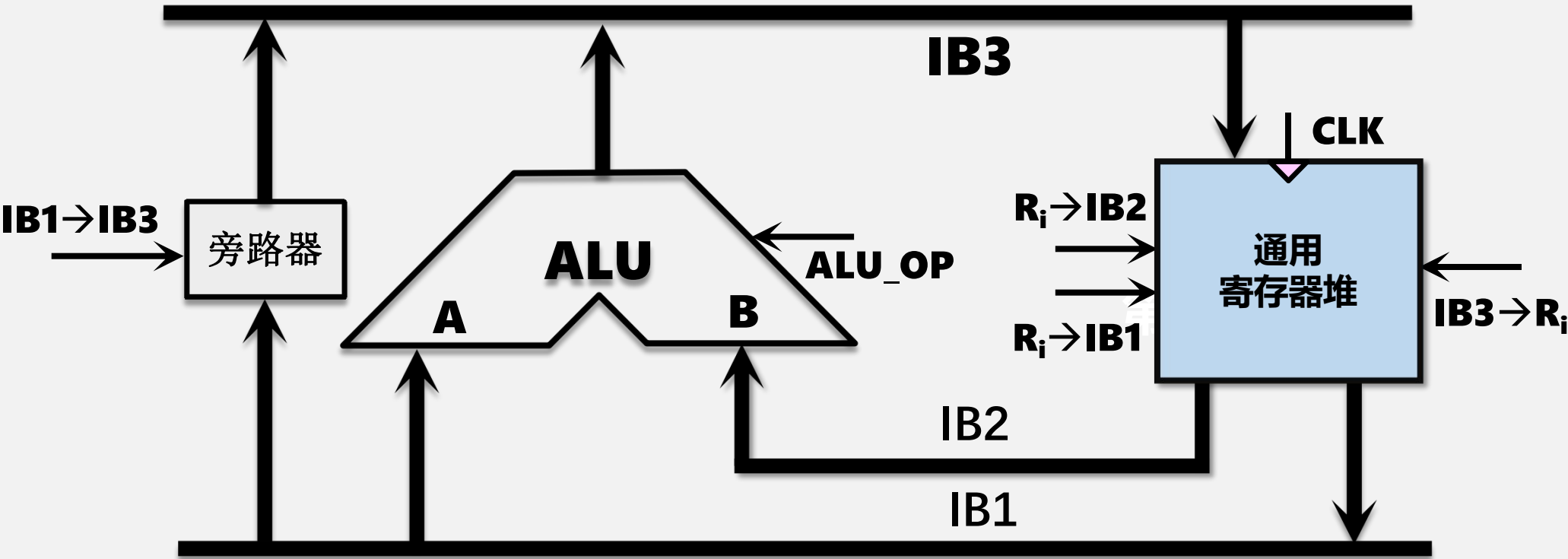
有效: R_i → IB₂、ALU_OP、IB3 → R_i、CLK



5.5 运算器设计

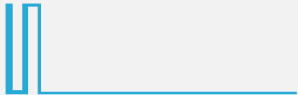
5. 三总线结构运算器组织及控制

MOV R0 , R1 (R₀) → R₁



数据通路: GR → 旁路器 → GR

有效: R_i→IB1 、 IB1→IB3 、 IB3 →R_i 、 CLK



第四部分完