

第四章 组合逻辑电路设计

秦磊华 计算机学院

若逻辑电路在任何时刻产生的**稳定输出值**仅仅取决于该时刻**各输入值**的组合，而与**过去的输入值无关**，则称为组合逻辑电路。



$$F_i = f_i(X_1, X_2, \dots, X_n) \quad i = 1, 2, \dots, m$$

- 由逻辑门电路组成，不包含任何记忆(存储)元件
- 信号单向传输，不存在反馈回路



4.2 组合逻辑电路分析

分析:

找出给定的逻辑电路输出与输入之间的逻辑关系；

目的：

得到给定逻辑电路功能，评价、改进和完善不合理方案等

1.根据电路写出输出函数表达式



2.对函数表达式化简

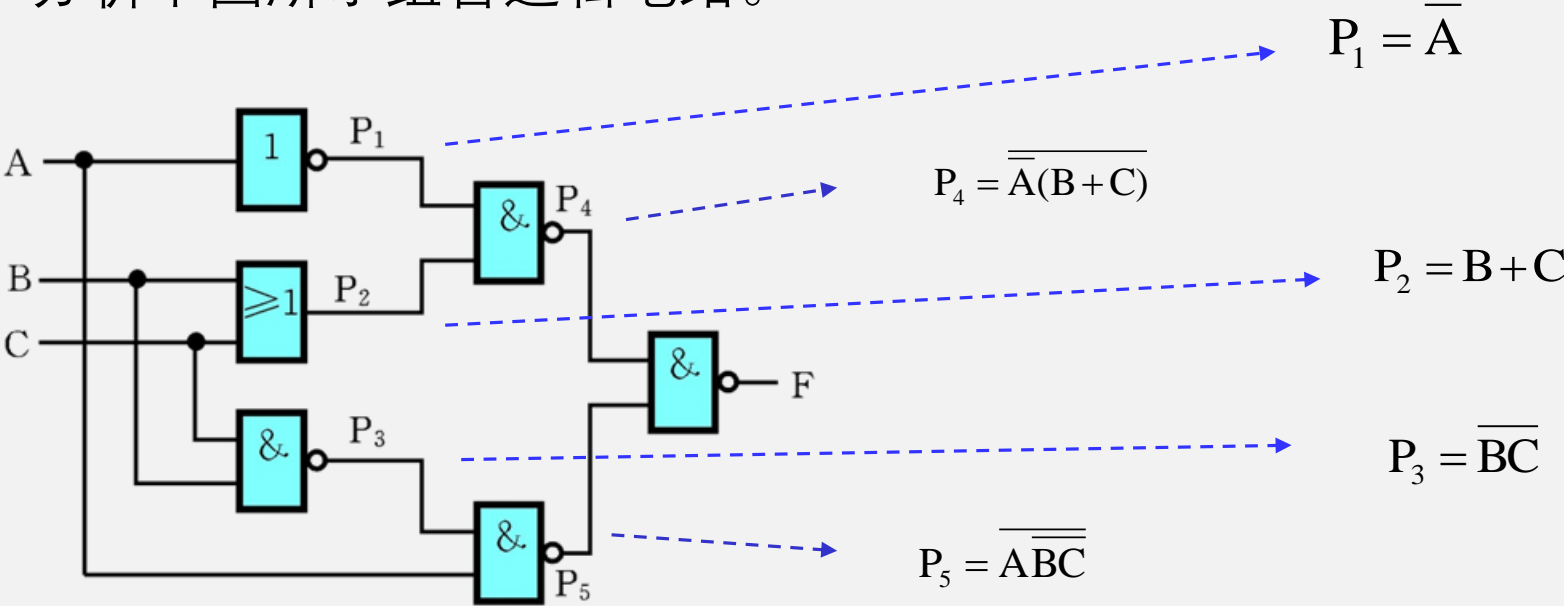


3.列出函数真值表



4.功能评述与优化

例1 分析下图所示组合逻辑电路。



解 根据逻辑电路图写出输出函数表达式

$$F = \overline{P_4} \overline{P_5} = \overline{\overline{\overline{A}(B + C)}} \overline{\overline{\overline{A}BC}}$$

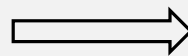
4.2 组合逻辑电路分析

(用代数法) 化简输出函数表达式F

$$= \overline{A}(B + C) + A\overline{BC}$$

$$= \overline{A}B + \overline{A}C + A\overline{B} + A\overline{C}$$

$$= A \oplus B + A \oplus C$$



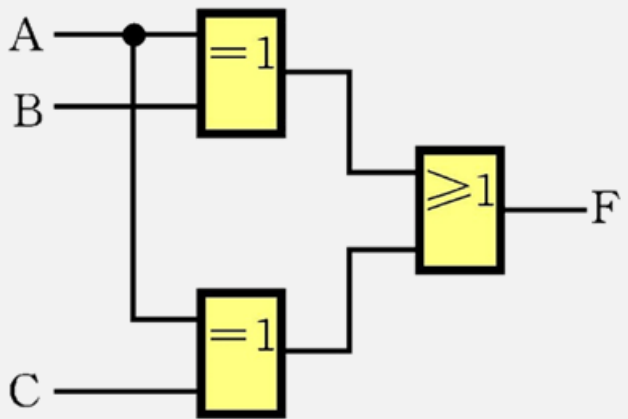
真值表

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

该电路具有检查三个输入信号取值是否一致的逻辑功能，若输出为1，则表明输入不一致。通常称该电路为“不一致电路”

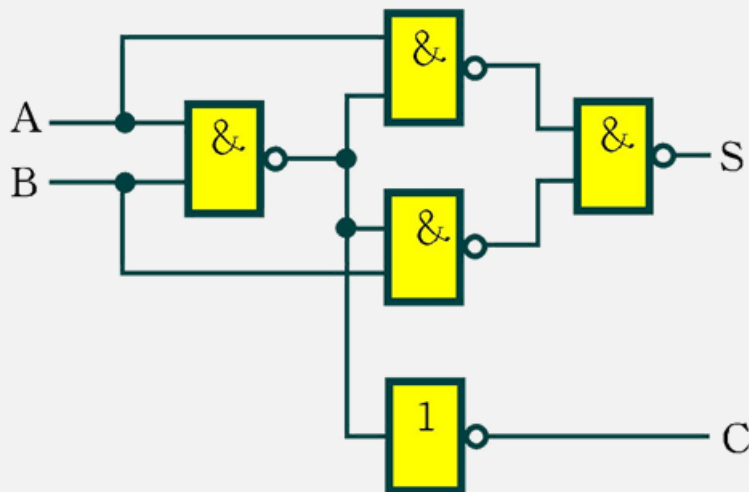
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$F = A \oplus B + A \oplus C \Rightarrow$$



3级6门 到 2级3门

例2 分析下图所示逻辑电路。



解 写出输出函数表达式

$$S = \overline{\overline{AB \cdot A \cdot AB \cdot B}}$$

$$C = \overline{\overline{AB}}$$

4.2 组合逻辑电路分析

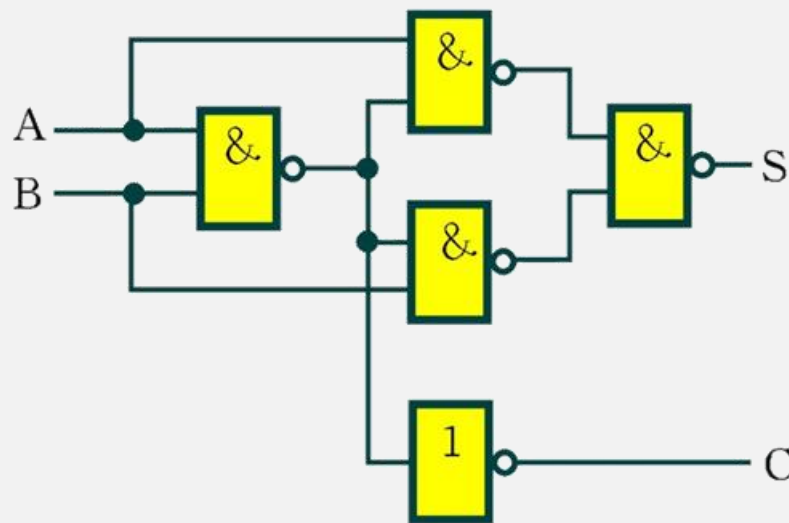
用代数法化简输出函数如下：

$$\begin{aligned} S &= \overline{\overline{AB} \cdot A \cdot \overline{AB} \cdot B} &= \overline{AB} \cdot A + \overline{AB} \cdot B \\ &= (\overline{A} + \overline{B}) \cdot A + (\overline{A} + \overline{B}) \cdot B \\ &= A\overline{B} + \overline{A}B \\ &= A \oplus B \end{aligned}$$

$$C = \overline{\overline{AB}} = AB$$

真值表

A B	S C
0 0	0 0
0 1	1 0
1 0	1 0
1 1	0 1

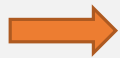


4.3 组合逻辑电路设计

求出特定条件下实现给定功能的逻辑电路，也称为逻辑综合。



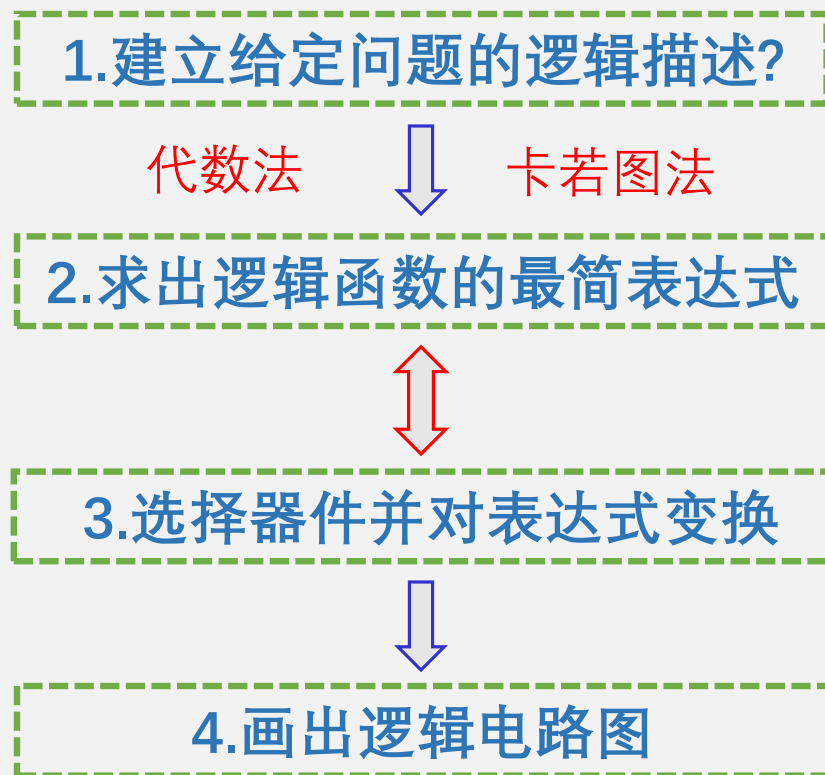
设计的关键



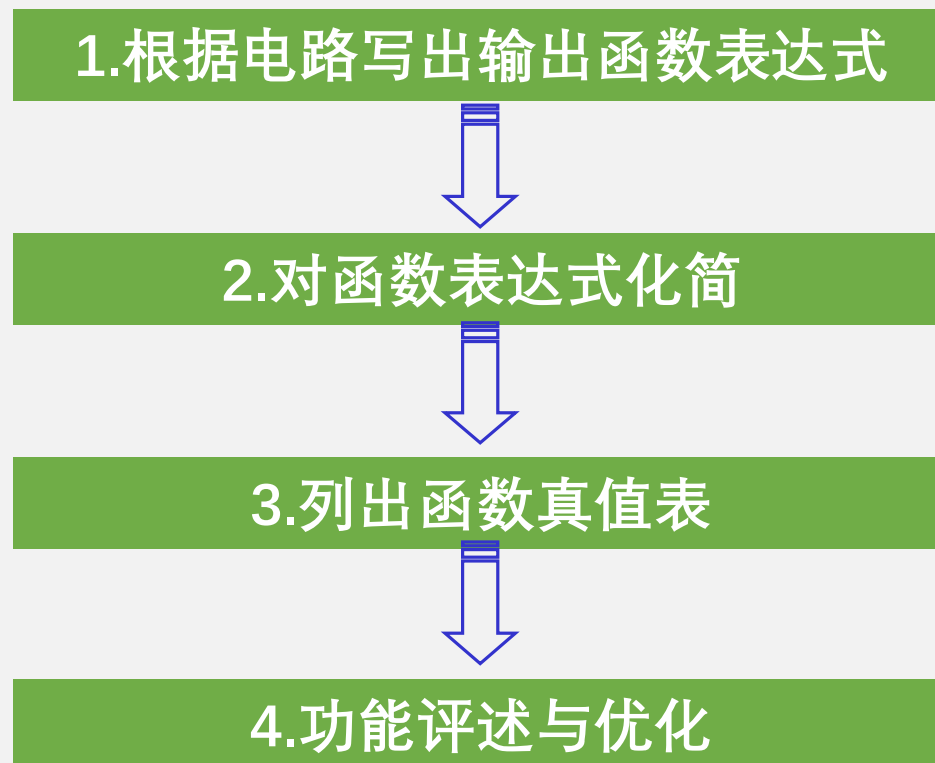
将实际应用中的各种要求，包括逻辑问题和非逻辑问题，抽象出问题的逻辑关系。

4.3 组合逻辑电路设计

设计流程



分析流程





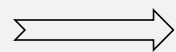
4.3 组合逻辑电路设计

例1 设计一个三变量“多数表决电路”

1)建立给定问题的逻辑描述



A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



$$F(A,B,C) = \sum m(3,5,6,7)$$



4.3 组合逻辑电路设计

2) 求出逻辑函数的最简表达式

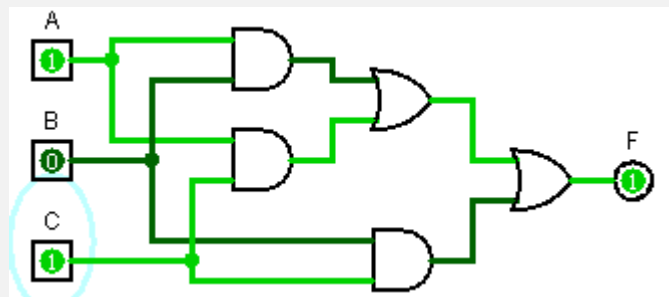
$$F(A,B,C) = \sum m(3,5,6,7)$$

C \ AB	AB			
	00	01	11	10
0	0	0	1	0
1	0	1	1	1

$\Rightarrow F(A, B, C) = AB + AC + BC$

3) 选择逻辑门类型实现电路

- 与门+或门
- 与非门



例2 设计一个比较两个三位二进制数是否相等的数值比较器。

(两个3位二进制数分别为 $A = a_3a_2a_1$, $B = b_3b_2b_1$)

1) 建立给定问题的逻辑描述

尝试用真值表法描述该逻辑问题

如果是比较两个5位数是否相等，有如何处理？

$$F = (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1)$$

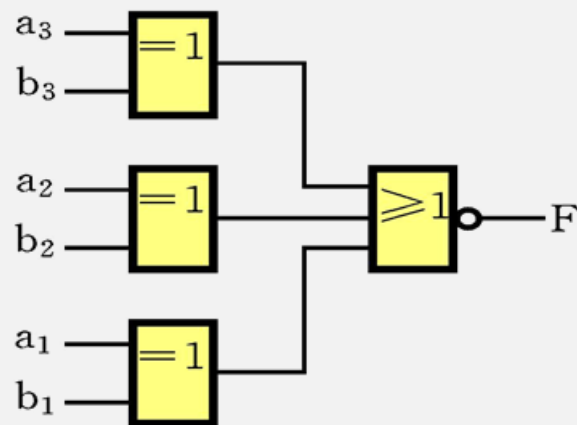
4.3 组合逻辑电路设计

2) 求出逻辑函数最简表达式

$$F = (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1)$$

3) 选择逻辑门类型并进行逻辑函数变换(分析采用何种门最简单)

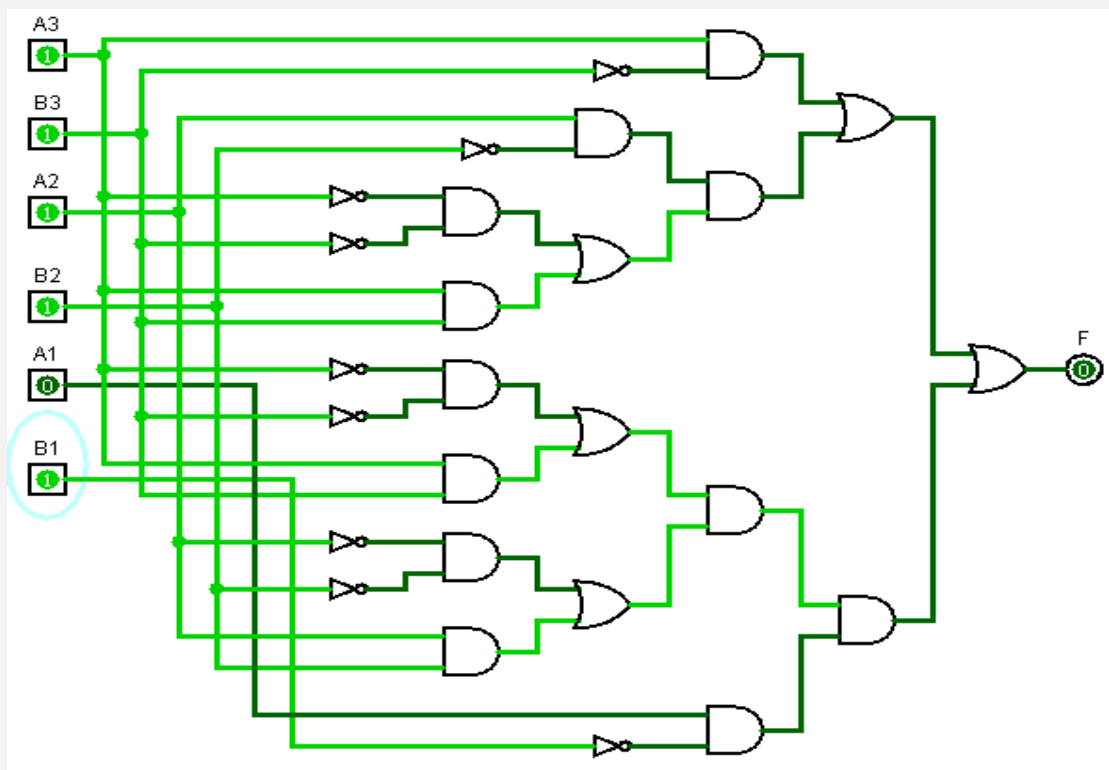
$$\begin{aligned} F &= (\overline{a_3} \cdot \overline{b_3} + a_3 b_3) \cdot (\overline{a_2} \cdot \overline{b_2} + a_2 b_2) \cdot (\overline{a_1} \cdot \overline{b_1} + a_1 b_1) \\ &= \overline{a_3 \oplus b_3} \cdot \overline{a_2 \oplus b_2} \cdot \overline{a_1 \oplus b_1} \\ &= \overline{(a_3 \oplus b_3) + (a_2 \oplus b_2) + (a_1 \oplus b_1)} \end{aligned}$$



4.3 组合逻辑电路设计

在理解的基础上写出 $F_{A>B}, F_{A<B}$ 的表达式

$$F = A_3\bar{B}_3 + (\bar{A}_3\bar{B}_3 + A_3B_3)A_2\bar{B}_2 + (\bar{A}_3\bar{B}_3 + A_3B_3)(\bar{A}_2\bar{B}_2 + A_2B_2)A_1\bar{B}_1$$





4.3 组合逻辑电路设计

例3 设计组合逻辑电路实现下列真值表的功能(包含无关项)

ABCD	F	ABCD	F
0 0 0 0	d	1 0 0 0	0
0 0 0 1	d	1 0 0 1	1
0 0 1 0	d	1 0 1 0	0
0 0 1 1	0	1 0 1 1	1
0 1 0 0	0	1 1 0 0	1
0 1 0 1	0	1 1 0 1	d
0 1 1 0	0	1 1 1 0	d
0 1 1 1	1	1 1 1 1	d

$$F(A,B,C,D) = \sum m(7,9,11,12) + \sum d(0,1,2,13,14,15)$$

4.3 组合逻辑电路设计

AB \ CD	00	01	11	10
00	d	0	1	0
01	d	0	d	1
11	0	1	d	1
10	d	0	d	0

$$F(A, B, C, D) = \bar{A}BD + A\bar{B}\bar{C}\bar{D} + \bar{A}BCD$$

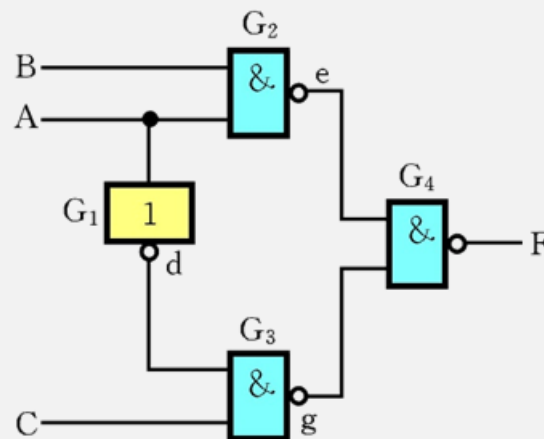
AB \ CD	00	01	11	10
00	d	0	1	0
01	d	0	d	1
11	0	1	d	1
10	d	0	d	0

$$F(A, B, C, D) = AB + AD + BCD$$

使用无关项会带来问题吗?

4.4 组合逻辑电路的竞争与险象

1. 竞争



- 1) 信号经过任何部件都会产生时延，输入稳定时输出并不立即达到稳定
- 2) 时延长短与信号经过门的级数、逻辑门的时延及导线长短等因数有关；
- 3) 时延的危害：速度下降，信号波形参数变坏，产生竞争险象等；
- 4) 竞争：组合电路中，信号经不同途径达到某一会合点时存在时差的现象。

4.4 组合逻辑电路的竞争与险象

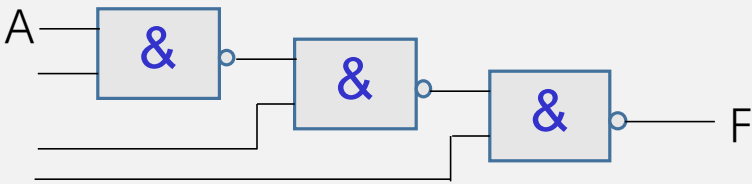
常见的逻辑门时延

at V _{CC} = 5V and T _A = 25°C						
Symbol	Parameter	R _L = 2 kΩ				Units
		C _L = 15 pF		C _L = 50 pF		
		Min	Max	Min	Max	
t _{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	3	10	4	15	ns
t _{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	3	10	4	15	ns

2输入与非
74LS00

$t_{pLH} = 0.69RC$

深入理解微电子电路设计 Richard C. Jaeger 理查德.C 耶格 著



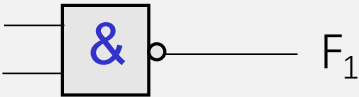
f_A 的范围?

4.4 组合逻辑电路的竞争与险象

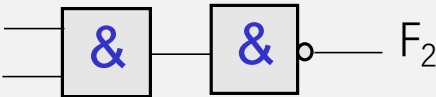
型号	描述	传播延迟 典型值	工作电压	静态工作电流典 型值
SGM7SZ00	单路双输入与非门	4.1ns	1.65V~5.5V	0.10μA
SGM7SZ04	单路反相器	4.2ns		
SGM7SZ08	单路双输入与门	3.6ns		
SGM7SZ14	单路施密特触发反相器	4.2ns		
SGM7SZ19	单路2选1解码器/多路复用器	3.7ns		
SGM7SZ32	单路双输入或门	3.8ns		
SGM7SZ86	单路异或门	4.2ns		
SGM7SZ125	单路三态输出缓冲器	3.5ns		
SGM7SZ126	单路三态输出缓冲器	3.4ns		

表1 SGMICRO逻辑类芯片产品线

圣邦微电子(SG MICRO) 推出的小逻辑系列芯



时延: 4.1ns



时延: 7.8ns

4.4 组合逻辑电路的竞争与险象

4) 竞争的类型

- 非临界竞争: 不产生输出错误的竞争
- 临界竞争: 导致输出错误的竞争

4.4 组合逻辑电路的竞争与险象

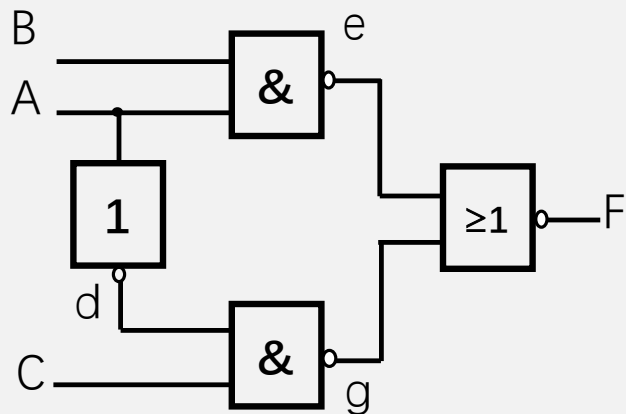
2. 险象

1) 险象的概念: 由竞争导致的错误输出信号

2) 现象的特征

组合电路中的险象是一种瞬态现象, 它表现为在输出端产生不应有的尖脉冲, 暂时地破坏正常逻辑关系。一旦瞬态过程结束, 即可恢复正常逻辑关系。

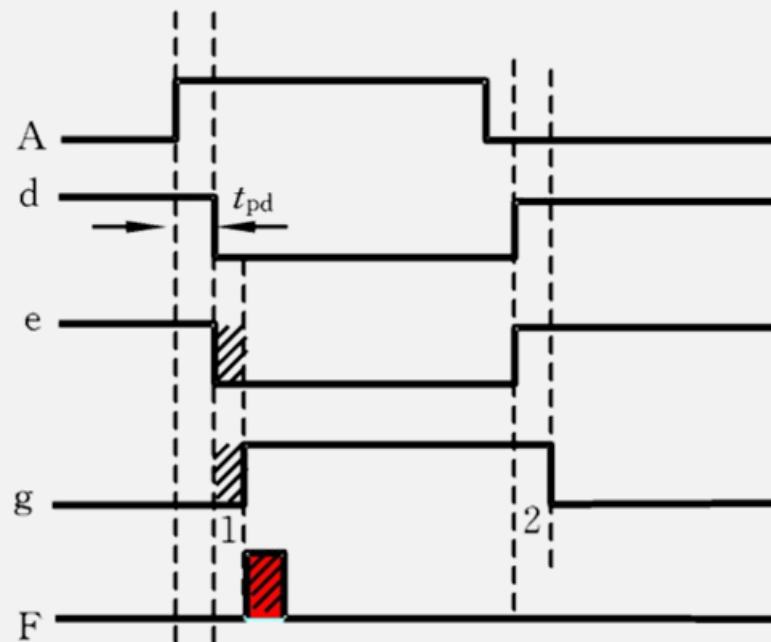
2. 险象



$$F = \overline{A}B + A\overline{C}$$

$$= A\overline{A}BC$$

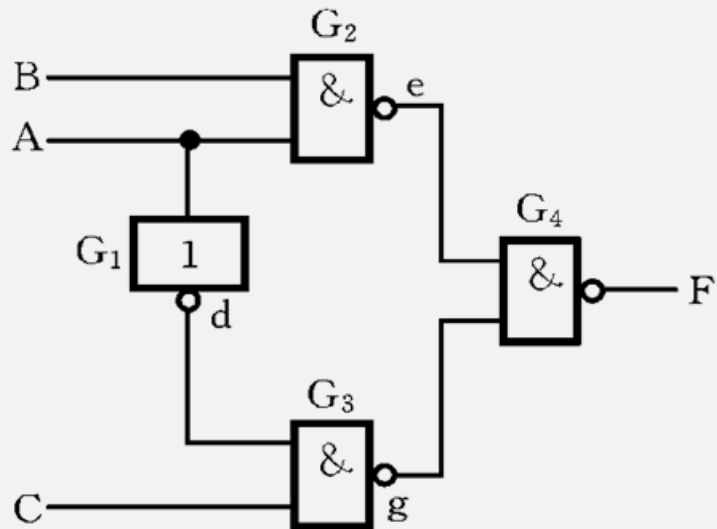
$$= A\overline{A} \quad (B=C=1)$$



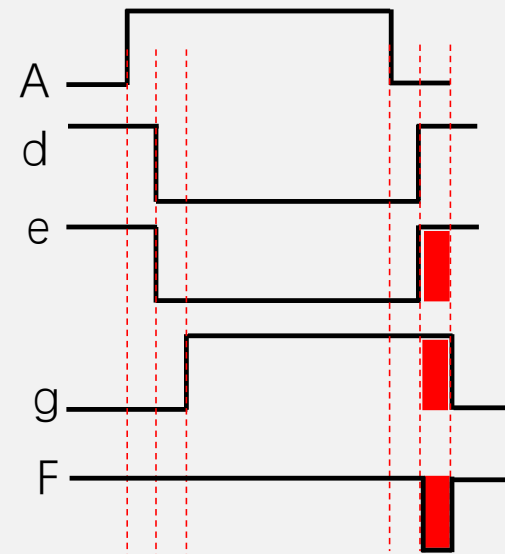
A从0到1：“1”型险象

从1到0：不发生险象

2. 险象



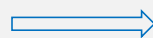
$$\begin{aligned} F &= \overline{\overline{AB}} \cdot \overline{\overline{AC}} = AB + \overline{AC} \\ &= A + \overline{A} \quad (B=C=1) \end{aligned}$$



A从0到1: 不发生险象
从1到0: “0”型险象

4.4 组合逻辑电路的竞争与险象

3) 0”型与“1”型险象



$$\left. \begin{array}{l} F = A + \bar{A} \\ F = A \bar{A} \end{array} \right\}$$

3. 险象的判断

$$F = A + \bar{A} \quad F = A \bar{A}$$

- 1) 当变量X同时以原变量和反变量的形式出现在函数表达式中;
- 2) 在一定条件下该函数表达式可简化成 $X + \bar{X}$ 或 $X \cdot \bar{X}$ 。

- 代数方法
- 卡诺图方法

4.4 组合逻辑电路的竞争与险象

例1 已知描述某组合电路的逻辑函数表达式为

$$F = \overline{A}\overline{C} + \overline{A}B + AC$$

判断该逻辑电路是否可能产生险象。

解 由表达式知，变量A和C均具备竞争条件，对他们分别进行分析。

变量A：

$$\begin{array}{ll} BC=00 & F = \overline{A} \\ BC=01 & F = A \\ BC=10 & F = \overline{A} \\ BC=11 & F = A + \overline{A} \end{array}$$

即：当B=C=1时，A的变化可能使电路产生0型险象。

类似地分析变量C的竞争是否可能产生险象。

4.4 组合逻辑电路的竞争与险象

例2 判断函数 $F = (A + B) \cdot (\bar{A} + C) \cdot (\bar{B} + C)$ 逻辑电路中是否可能产生险象。

解 函数表达式可知，变量A和B均具备竞争条件。

考察变量B：

AC=00	$F = B\bar{B}$
AC=01	$F = B$
AC=10	$F = 0$
AC=11	$F = 1$

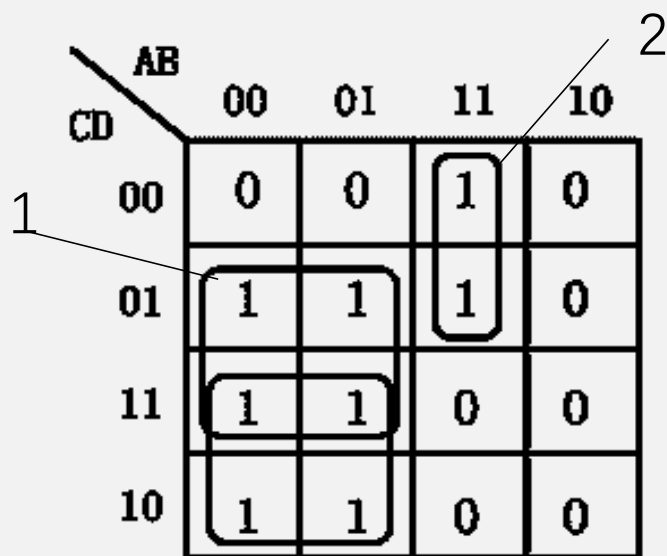
可见，当A=C=0时，B的变化可能使电路输出产生1型险象

类似地分析变量A的竞争是否可能产生险象。

4.4 组合逻辑电路的竞争与险象

例3 判断函数表达式 $F = \bar{A}D + \bar{A}C + ABC\bar{C}$ 对应的电路是否可能产生险象。

解 作出函数的卡诺图



由图可知，卡诺圈 1 和卡诺圈 2 之间存在相邻最小项 m_5 和 m_{13} ，且 m_5 和 m_{13} 不被同一卡诺圈所包含，两个卡诺圈“相切”。

即 $B=D=1, C=0, F=A+\bar{A}$

4.4 组合逻辑电路的竞争与险象

5. 险象的消除

1) 增加冗余项

$$F = A + \bar{A} \longrightarrow \text{或冗余“与项”}$$

$$F = A \cdot \bar{A} \longrightarrow \text{与冗余“或项”}$$

冗余项的选择可以采用代数法或者卡诺图法确定。

4.4 组合逻辑电路的竞争与险象

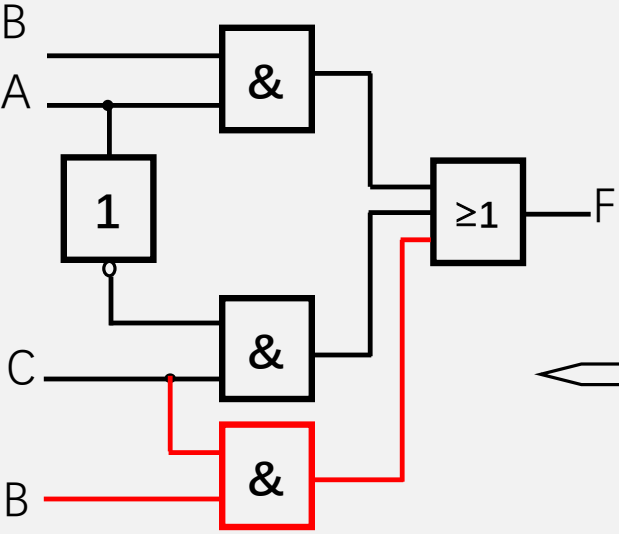
例1 用增加冗余项的方法消除右图所示电路中可能产生的险象。

解： $F = AB + \bar{A}C$

当B=C=1时，A的变化可能使输出产生“0”型险象。

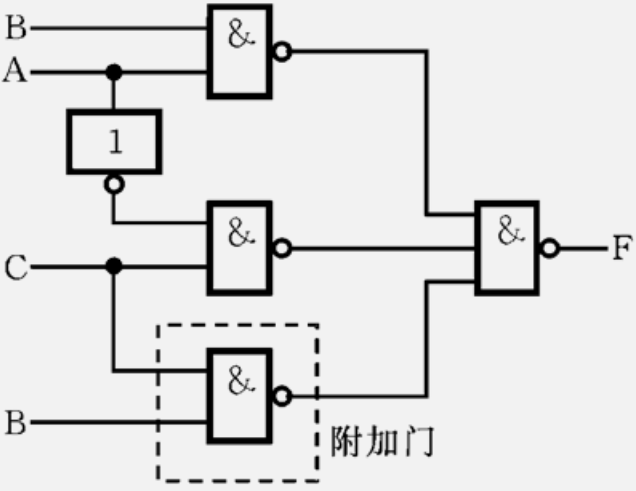
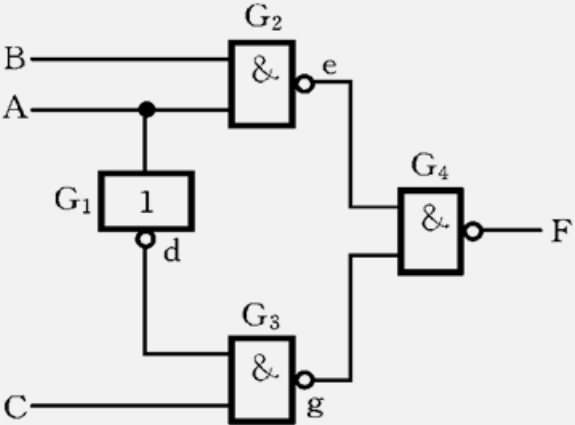
若在函数表达式中增加冗余项BC：

$F = AB + \bar{A}C + BC$



基于简化后的表达式

可消除“0”型险象。



4.4 组合逻辑电路的竞争与险象

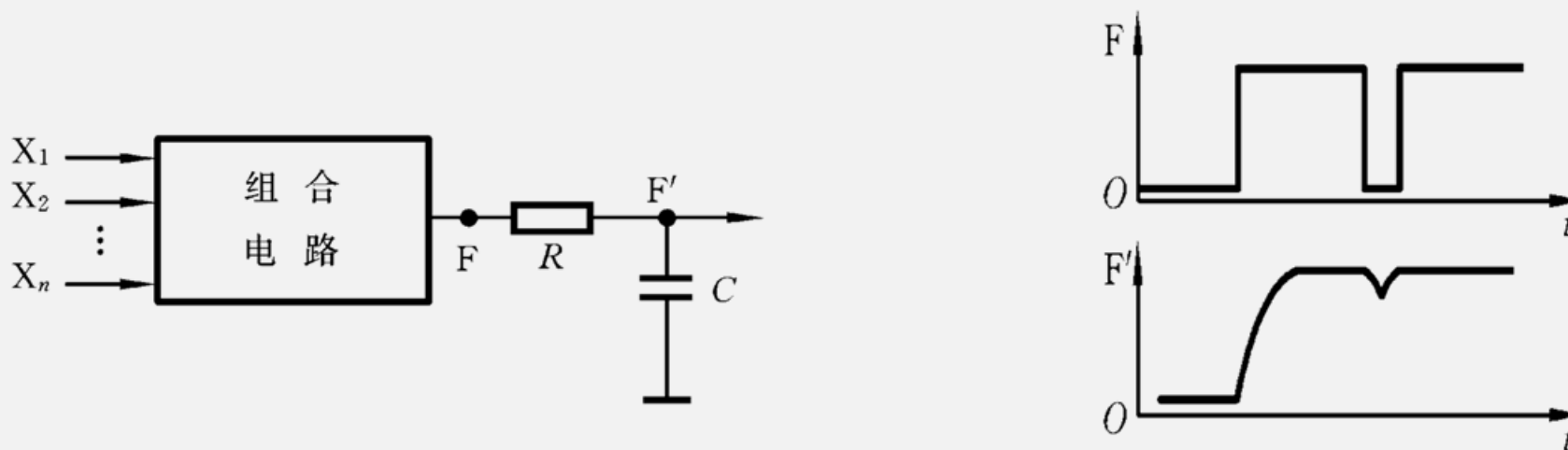
冗余项也可以通过卡诺图方法添加（现场练习）

$$F = AB + \bar{A}C$$

$$F = \bar{A}C + B\bar{C}D + A\bar{B}\bar{C}$$

4.4 组合逻辑电路的竞争与险象

2) 增加惯性延时环节

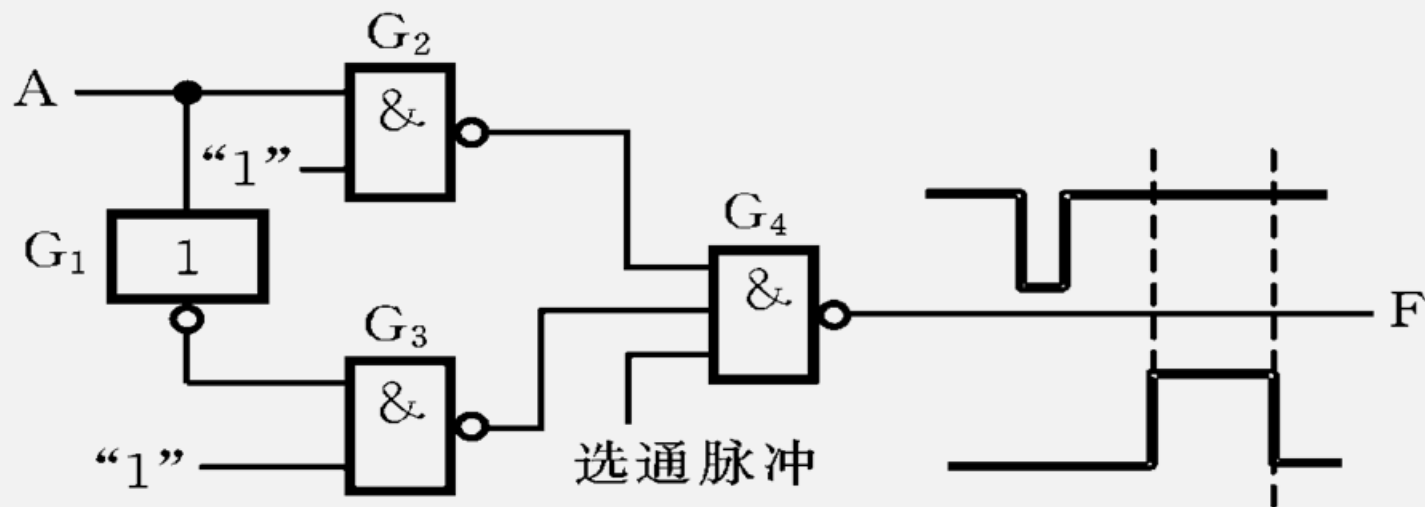


图中RC电路是**低通滤波器**。由于竞争引起的险象是一些频率很高的尖脉冲信号，因此，险象在通过RC电路后能基本被滤掉。

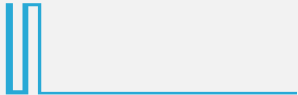
4.4 组合逻辑电路的竞争与险象

3)选通法

利用选通脉冲从时间上使输出避开险象脉冲。



选通脉冲对电路的输出门加以控制，使输出避开险象脉冲，送出稳定输出信号。



第一部分完