

1 选择题

1. 冯·诺依曼计算机中指令和数据均以二进制形式存放在存储器中，CPU 区分它们的依据是____
 - A. 指令操作码的译码结果
 - B. 指令和数据的寻址方式
 - C. 指令周期的不同阶段
 - D. 指令和数据所在的存储单元
2. 以下关于计算机历史发展的叙述，错误的是____
 - A. 第一台电子计算机采用的是电子管技术
 - B. 早期的电子计算机，主要用于个人业务处理
 - C. 集成电路技术的发展，使电子计算机在体积和速度上有了很大改善
 - D. 摩尔定律说明了半导体集成度发展的规律
3. 以下哪一项，不属于 CPU 的组成部分____
 - A. 运算器
 - B. 控制器
 - C. 寄存器
 - D. I/O 系统
4. 下列关于总线仲裁方式的说法中，错误的为____
 - A. 独立请求方式响应时间最快，是以增加处理机开销和增加控制线数为代价的
 - B. 计数器定时查询方式下，有一根总线请求（BR）和一根设备地址线，计数器可以从 0 开始增加，或接上次计数增加
 - C. 链式查询方式对电路故障最敏感
 - D. 分布式仲裁控制逻辑分散在各总线各部件中，不需要中央仲裁器
5. 冯·诺依曼机可以区分指令和数据的部件是____
 - A. 总线
 - B. 控制器
 - C. 控制存储器
 - D. 运算器
6. 计算机的 Cache——主存层次，主要是为了解决什么问题____
 - A. 速度匹配问题
 - B. 存储器容量问题
 - C. 数据格式兼容问题
 - D. 电平匹配问题
7. 总线的特征不包括以下哪一项____

- A. 物理特征
 - B. 功能特征
 - C. 电气特征
 - D. 时间特征
8. 设 CPU 与 I/O 设备以中断方式进行数据传送, CPU 响应中断时, 该 I/O 设备接口控制器发送给 CPU 的指令中断向量表 (中断向量表中放中断向量) 的指针是 0008H。0008H 单元中的值是 1200H。则该 I/O 设备的中断服务程序在内存中的入口地址为_____
- A. 0008H
 - B. 0009H
 - C. 1200H
 - D. 1201H
9. DMA 方式的接口电路中有程序中断部件, 其作用为_____
- A. 进行预处理
 - B. 向 CPU 提出总线使用权
 - C. 向 CPU 提出传输结束
 - D. 检查数据是否出错
10. 设浮点数的基数为 8, 尾数用原码表示, 则以下_____是规格化小数
- A. 1.000101
 - B. 0.000101
 - C. 1.011011
 - D. 0.000010
11. 以下关于加法器的说法, 正确的是_____
- A. 多个半加器串联可以实现两个多位二进制数的加法
 - B. 一位全加器有两个输入端, 分别为被加数和加数
 - C. 全加器的输入端只要有 1, 和即为 1
 - D. 超前进位加法器可以快速计算出各位计算所需要的进位
12. 在微程序控制方式中, 以下说法正确的是_____
- A. 采用微程序控制器的处理器称为微处理器
 - B. 每一条水平微指令发出一个或多个微操作指令
 - C. 在微指令编码中, 执行效率最低的是直接编码方式
 - D. 垂直型微指令能充分利用数据通路的并行结构
13. 下列关于 RISC 的叙述中, 错误的是_____
- A. RISC 普遍采用微程序控制器

- B. RISC 处理器的单挑指令执行速度较快
 - C. RISC 的内部通用寄存器数量相对 CISC 多
 - D. RISC 的指令数寻址方式和指令格式相对 CISC 少
14. 某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间（忽略各功能段之间的缓存时间）分别为 90ns,80ns,70ns 和 60ns。则该计算机的 CPU 时钟周期至少是_____
- A. 70ns
 - B. 80ns
 - C. 90ns
 - D. 60ns
15. 在一个时钟周期内将一个功能部件使用多次，这种技术称为_____
- A. 超标量技术
 - B. 超长指令技术
 - C. 超流水技术
 - D. 超数据流

2 填空题

1. 在规格化浮点数中，如果阶码取 5 位，含一个符号位，尾数取 6 位。含一个符号位，试问其能表示的最小正数的规格化形式是_____
2. 设机器数 10101111，此数如为整数的反码表现形式，包含一个符号位，请问其真值的十进制形式为_____
3. 假设磁盘存储器共有 6 个盘片，最外侧两个记录用不使用，每面有 204 个磁道，没条磁道有 12 个扇区，每个扇区有 512B 容量，请问该磁盘存储器的总容量是_____ MB
4. 某机器指令长度为 16 位，其中操作码字段和地址码字段均为 4 位，假设其有 15 条 3 地址指令，15 条 2 地址指令，15 条 1 地址指令，那么还可以设计_____条 0 地址指令
5. 符号相同的两个定点数相加，结果符号与原操作数的符号_____则溢出
6. 一般来说，指令周期分为取指周期、间指周期、_____和中断周期四个阶段
7. 某计算机系统中软盘驱动器以中断方式与处理机进行 I/O 通信，通信以 16bit 为传输单元，传输率为 50kB/s，每次输送的开销（包括中断）为 100 个节拍，处理器的主频为 50MHz，则磁盘使用时占用处理器时间的比例为_____
8. 动态存储器的刷新方式包括_____，分散刷新和异步刷新。
9. 假设某系统总线在一个总线周期中并行传输 4B 信息，一个总线周期占用 2 个时钟周期，总线时钟频率为 10MHz，则总线带宽是_____ MB/s
10. 若数据在存储器中以小端方式存放，则十六进制数 12345678H 按字节地址从小到大依次为_____

3 问答题

1. 设某计算机有 4 个中断源，分别为 A,B,C,D，其中硬件优先次序为 $A>B>C>D$ 。现要求中断处理次序改为 $C>B>D>A$ ，写出每个中断源对应的屏蔽字。如果每个中断服务程序的执行时间。并且 B,D,A,C 等几个中断源依次在第 10,20,70 和 120 微秒发出中断请求，画出按照硬件优先次序的 CPU 执行程序的轨迹。

2. 下面是部分中断向量表和 4 号中断的中断服务程序，功能是保护现场和保存断点，并在中断服务程序执行完毕后通过间接寻址的跳转指令返回，假设将 ENI 指令（开中断）向上移动两行，分析此程序的执行流程可能会有何种变化。

地址	内容	说明
0	*****;	中断向量表
4	JMP SERVE4;	4 号中断的中断向量
SERVE4	STA SAVE4; LDA 0; STA RETURN 4 LDA SAVE4 JMP @RETURN4	将累加器内容发送到地址 SAVE4 处 累加器清零
SAVE4	*****	
RETURN4	*****	

3. 假设 CPU 执行某段程序时其访问 cache 命中 4800 次，访问 200 次，已知 cache 的存取周期是 30ns，主存的存取周期是 150ns，求 cache 命中率以及 cache-主存系统的平均访问时间和效率。
4. 设相对寻址的转移指令占了 3 字节，第一个字节为操作码，第二、第三字节为相对位移量（补码表示），而且数据在存储器中采用低字节为字地址的存放方式。每当 CPU 从存储器取出一个

字节时，即自动完成 $(PC) + 1 \rightarrow PC$ 。若 PC 当前值为 240（十进制），要求转移到 290（十进制），则转移指令的第二、三字节的机器代码是什么？

4 计算题

1. 假设指令流水分为取值、译码、执行、写回 4 个过程段，共有 40 条指令连续输入此流水线。假设时钟周期为 100ns，求流水线实际吞吐率，加速比和效率。
2. 已知 $[x]_{\text{补}} = 0.1101$ ， $[y]_{\text{补}} = 1.1011$ ，请用定点补码一位乘法求 x 和 y 的乘积。
3. 已知两个浮点数 $x = 2^{(+010)_2} \times (-0.1011)$ ， $y = 2^{(+100)_2} \times (-0.0010)$ ，设阶码 4 位（含阶符 1 位），通过补码运算规则求出 $x + y$ 的二进制浮点规格化结果，并写明运算步骤。
4. 写出 1010 对应的偶校验海明码和奇校验海明码

5 设计题

1. 某机器主存容量为 $16K \times 8$ 位，现有 RAM 存储芯片容量为 $4K \times 4$ 位，74138 译码器和其他门电路（门电路自定）。CPU 有地址总线 $A_{15} \sim A_0$ ，双向数据线 $D_2 \sim D_0$ ，由 R/\overline{W} 及 \overline{MREQ} 信号控制读写。要求：设计该存储系统与 CPU 连接的逻辑电路图并以十六进制形式列出每一组芯片的地址范围。