Organización del computador II Ejercicios obligatorios

Ejercicio 4 - Gestión de memoria.

Usted dispone de un dispositivo que utiliza un sistema de paginación con direcciones virtuales de 32 bits , 1 GB de memoria física y frames de 4 KB. ¿Cuántas entradas posee la tabla de páginas en cada uno de estos esquemas? (Obligatorio)

- a) Si se utiliza un sistema de paginación de un solo nivel.
- b) Si se utiliza un sistema de tabla de paginación invertido.

Datos v cálculos:

Direcciones virtuales de 32 bits

Memoria física: $1GB = 2^30$

Tamaño frame: $4KB = 2^2 * 2^{10} = 2^{12} = tamaño página$

< página, desplazamiento > es de 32 bits, luego p+d=32

Primero busco el offset usando el tamaño de página: página=2^12

El exponente para d: $\langle p, 12 \rangle$ luego p=32-12=20.

Entonces, el formato de las direcciones virtuales es:<20, 12>

Entradas validas:

calcular el número de frames en memoria física

 $frames = 1GB/4KB = \ memoria \ fisica/tamaño \ de \ página = 2^30 \ / \ 2^12 \ = 2^18$

frames en memoria física.

entonces puedo tener 2^9 frames en memoria física, por lo tanto hay 2^18

entradas válidas

RTA:

- a) Para un sistema de paginación de un solo nivel, el número máximo de entradas que puede tener la tabla de páginas es de 2^20= 1048 entradas en la tabla.
- b) Para un sistema de tabla de paginación invertida, hay 2^18 entradas (ver cálculo en el apartado de Datos y cálculos -> entradas válidas)

Ejercicio 6 - Gestión de memoria.

Se encuentran cargados los siguientes registros de segmento para el proceso P1:

CS -> base address: 1000, limit: 800

DS -> base address: 500, limit: 250

SS -> base address: 4000, limit: 200

Por otro lado, el proceso lee las siguientes direcciones lógicas:

A. La dirección 0 para el segmento de datos.

B. La dirección 550 para el segmento de código.

C. La dirección 100 para el segmento de stack.

D. La dirección 4000 para el segmento de stack.

Calcular la dirección física asociada a cada uno de estos.

RTA:

Para este ejercicio vamos a sumar base address + dirección que nos dan, tener en cuenta el rango entre la base address a base address + limit de cada segmento. Esto es:

• CS tiene un rango entre 1000-1800

• DS tiene un rango entre 500 - 750

• SS tiene un rango entre 4000 - 4200

A. La dirección 0 para el segmento de datos.

DS -> base address: 500 + 0 = 500

B. La dirección 550 para el segmento de código.

CS -> base address: 1000 + 550 = 1550

C. La dirección 100 para el segmento de stack.

SS-> base address: 4000 + 100 = 4100

D. La dirección 4000 para el segmento de stack.

SS-> base address: 4000 + 4000 = 8000. SS tiene un rango entre 4000 - 4200 por lo tanto lanza un trap .

Ejercicio 7 - Gestión de memoria.

Dado el siguiente esquema, indicar el estado final de la cache TLB y tabla de páginas.

También indicar la cantidad de rafagas utilizadas en cada secuencia.

Las páginas requeridas son las siguientes:

A. Pagina 1, Pagina 2, Pagina 6, Pagina 3, Pagina 2, Pagina 1, Pagina 4, Pagina 5

B. Pagina 6, Pagina 1, Pagina 3, Pagina 2, Pagina 4, Pagina 5, Pagina 4, Pagina 6

TLB

Página	Frame	Tiempo
2	4	0
1	2	1

Tabla de páginas

Página	Frame	Valid	Tiempo
1	2	V	1
2	4	V	0
3	-	I	
4	-	I	
5	1	V	2
6	3	V	3

Memoria principal

frame 1	frame 2	frame 3	frame 4
página 5	página 4	página 6	página 2

Backing store

página 3	página 4		
----------	----------	--	--

Aclaraciones

- Se tiene un esquema de paginación con 6 páginas , 4 frames, una TLB con dos entradas y un backing store ilimitado.
- Para decidir qué página se reemplaza en cada momento se utiliza la política de reemplazo FIFO (first-in, first-out).
- Siempre que se utiliza una entrada de la tabla de páginas, se actualiza la TLB.
- No se contabilizan los tiempos de escritura en este ejercicio.
- Los tiempos de acceso son los siguientes:
 - TLB -> 1 rafaga
 - Tabla de paginas -> 2 rafagas
 - Backing Store -> 10 rafagas.

RTA:

A. Pagina 1, Pagina 2, Pagina 6, Pagina 3, Pagina 2, Pagina 1, Pagina 4, Pagina 5
El estado final se representa en color rojo, este ejercicio se realizó paso a paso con el fin de

TLB 1 ráfaga

mostrar cómo fue realizado.

página	frame	tiempo
2 6 2 4	4 3 2 3	0 1 0 1 0 <mark>1</mark>
1 3 1 5	2 4 1 4	1 0 1 0 1 <mark>0</mark>

Tabla de páginas 2 ráfagas

página	frame	valid	tiempo
1	2 - 1	v i v	1 0 - 3 2 1
2	4 - 2	v i v	0 - 3 2 1 0
3	- 4 -	i v i	- 3 2 1 0 -
4	- 3	i v	- - - 3 2
5	1 - 4	v i v	2 1 0 - - 3
6	3 -	v i	3 2 1 0 -

Memoria ppal

frame 1	frame 2	frame 3	frame 4
p5 p1	p1 p2	p6 p4	p2 p3 p5

Backing store 10 ráfagas

		pagina	página	página	página		
	página 1	3	2	5	4	pagina 6	

Aquí se representa el total de ráfagas en total fueron 70

páginas	tiempo ráfagas	total ráfagas
paginao	Talagas	Talagas
p1	1	1
p2	1	2
p6	1+2	5
р3	1+2+10	18
p2	1+2+10	31
p1	1+2+10	44
p4	1+2+10	57
p5	1+2+10	70

B. Pagina 6, Pagina 1, Pagina 3, Pagina 2, Pagina 4, Pagina 5, Pagina 4, Pagina 6 **TLB**

página	frame	tiempo
2 6 2 5	4 3 2 3	0 1 0 1 0 1 0
1 3 4 6	2 4 1 4	1 0 1 0 1 0 1

Tabla de páginas

página	frame	valid	tiempo
1	2 -	v i	10 -
2	4 - 2	v i v	0 - 3 2 1 0
3	- 4 -	i v i	3 2 1 0 -
4	- 1	i v	3 2 1
5	1 - 3	v i v	2 1 0 - 3 2
6	3 - 4	v i v	3 2 1 0 - 3

Memoria ppal

frame 1	frame 2	frame 3	frame 4
p5 p4	p1 p2	p6 p5	p2 p3

Backing store

Las página 3 y la página 1 quedan en el backing store.

				página	página	página
	página 3	página 2	página 1	4	5	6

Aquí se representa el total de ráfagas en total fueron 70

páginas	tiempo ráfagas	total ráfagas
p6	1 + 2	3
p1	1	4
р3	1+2+10	17
p2	1+2+10	30
p4	1+2+10	43
p5	1+2+10	56
p4	1	57
р6	1+2+10	70