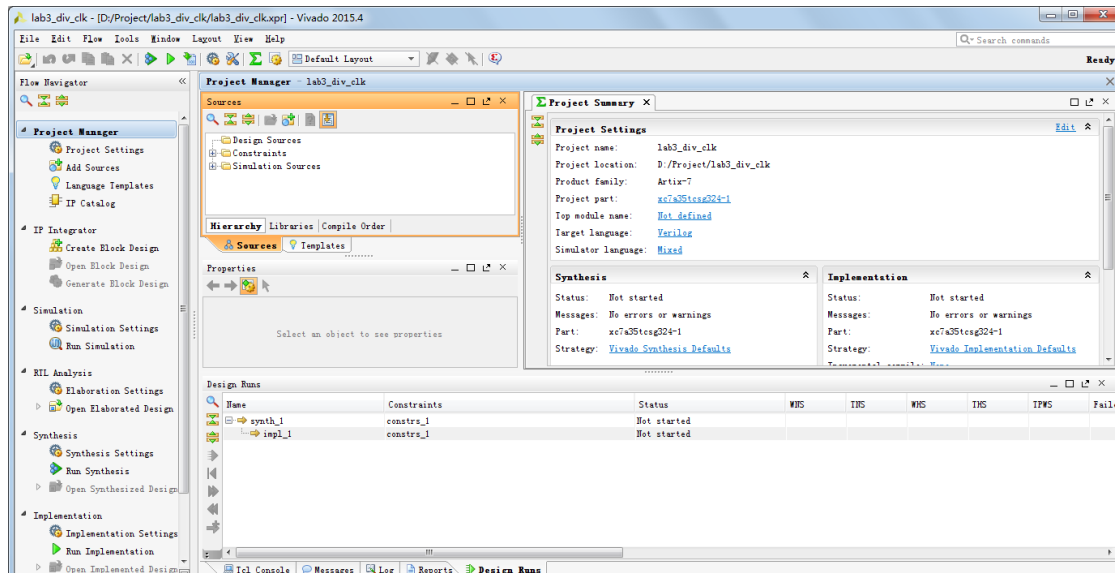


实验三、分频器

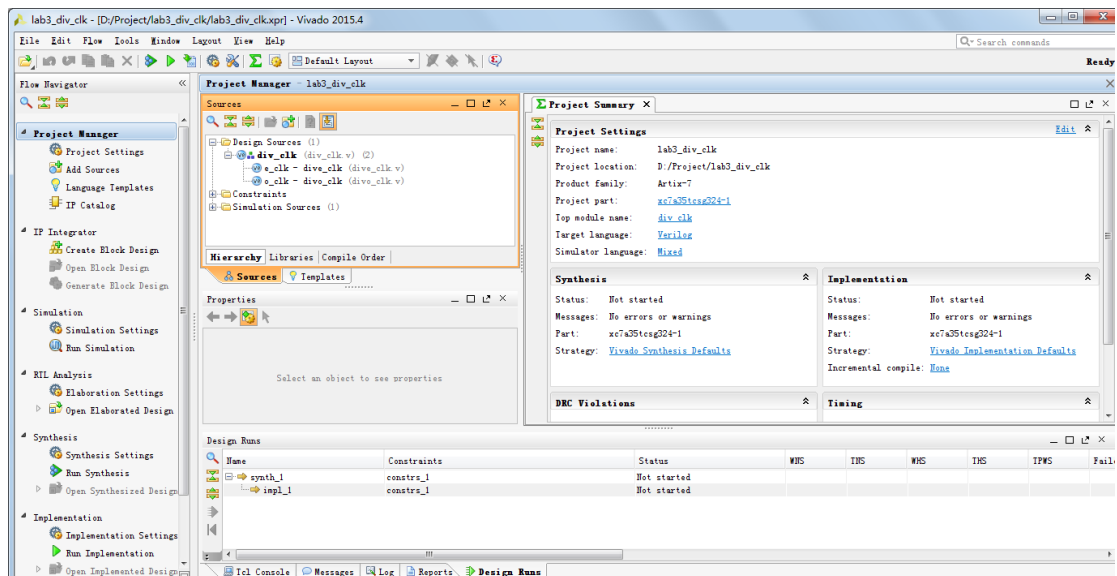
一、创建工程

1、仿照实验一的流程，创建一个新的工程“lab3_div_clk”。



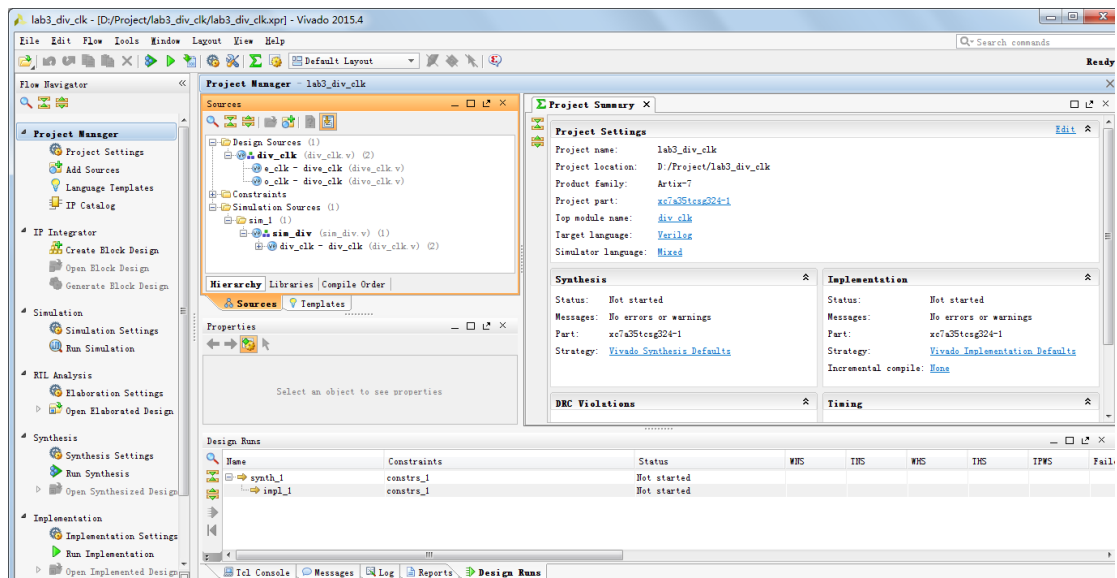
二、添加源文件

2、仿照实验二的流程，添加各模块的源文件（顶层模块 dic_clk.v、偶数倍分频器模块 dive_clk.v、奇数倍分频器模块 divo_clk.v）。



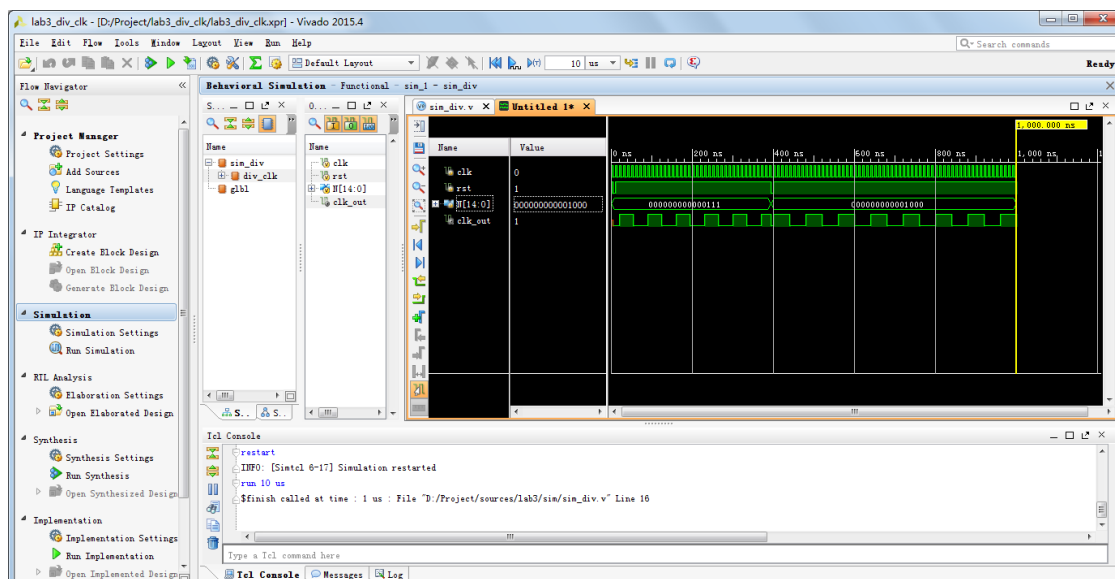
三、仿真

3、仿照实验二的流程，添加仿真文件 sim_div.v。



4、在左侧“Flow Navigator”一栏中的“Simulation”下点击“Run Simulation”，选择“Run Behavior Simulation”，进入仿真界面。

调整界面布局，通过“Zoom Fit”、“Zoom In”及“Zoom Out”，将波形缩放到合适大小。在波形图上信号“N[14:0]”处右击，点击“Radix”，选择“Binary”，用二进制表示。

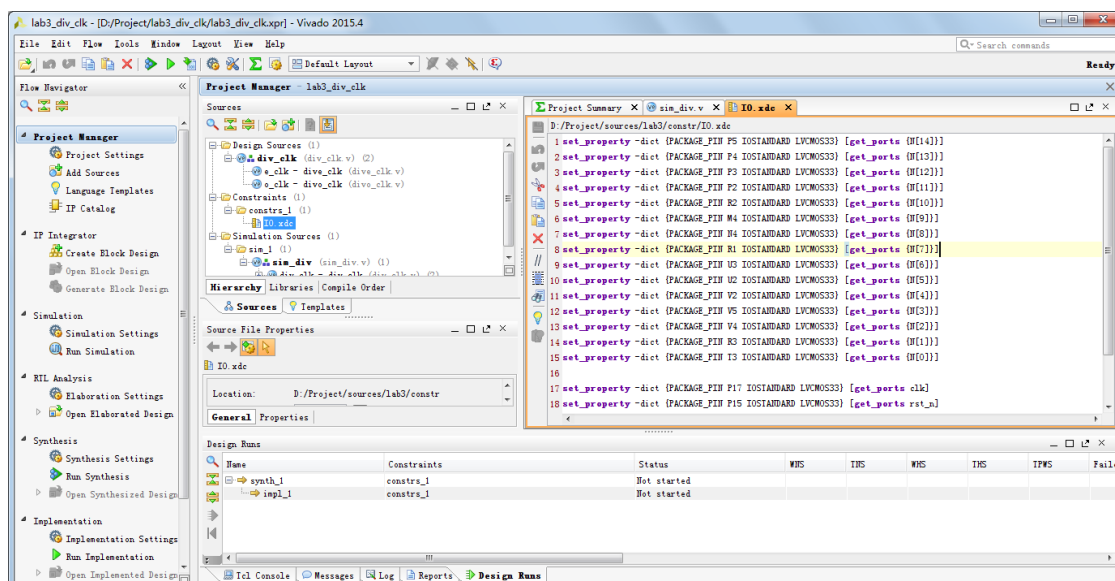


由仿真图形可以看出，前 395ns 输出波形的周期为 70ns，即频率约为 14.29MHZ，正好是输入信号的频率的 $\frac{1}{7}$ ，从 400ns 起输出波形的周期为 80ns，即频率为 12.5MHZ，正好是输入信号的频率的 $\frac{1}{8}$ 。

5、仿真结束之后，在波形窗口上方的浅蓝色区域最右边点击叉号，在确认窗口点击“OK”。在弹出的对话框中选择“Discard”，不保存对波形所作的改动。

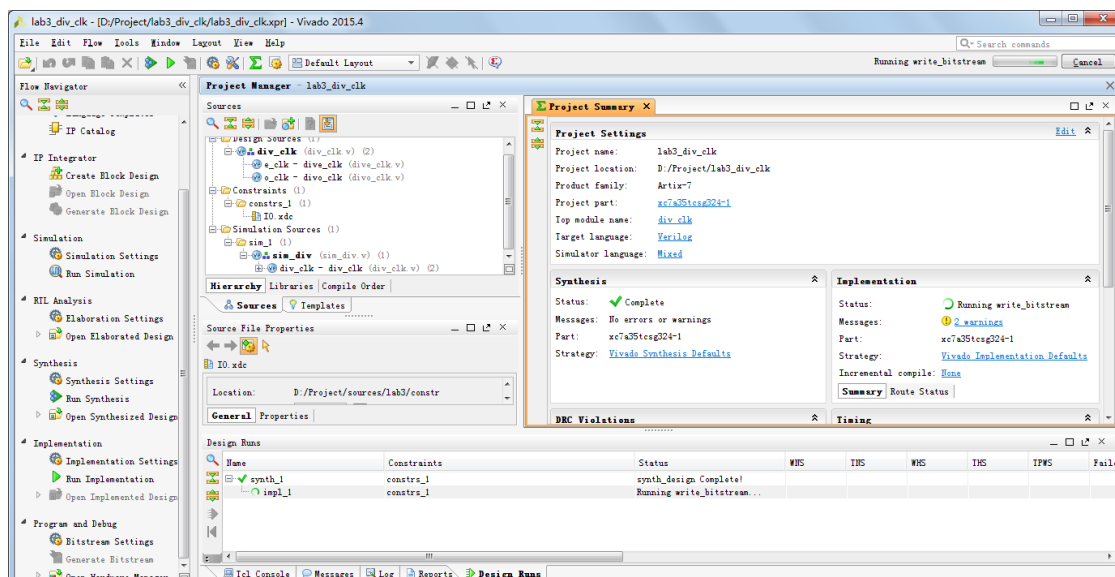
四、添加约束

6、仿照实验二的流程，添加约束文件。



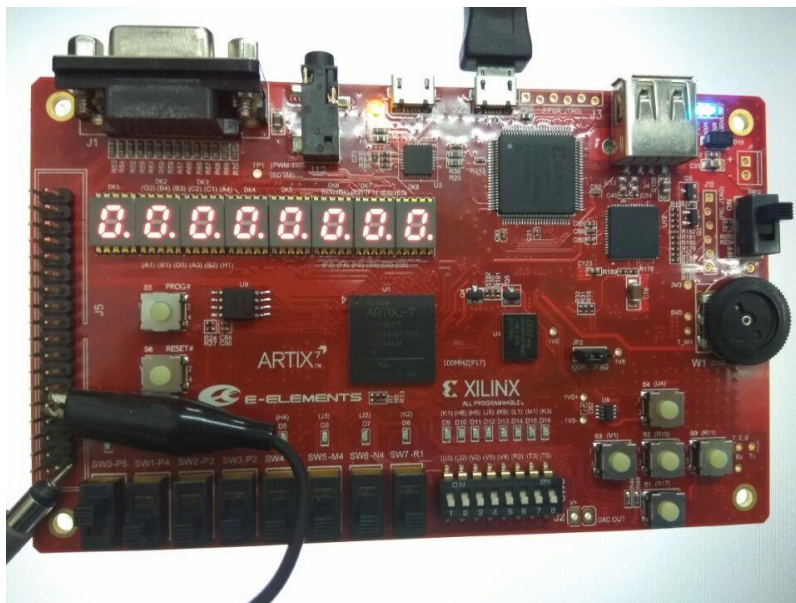
五、生成 bit 文件

7、在“Flow Navigator”一栏中的“Program and Debug”下点击“Generate Bitstream”，此时会提示工程没有实现，点击“Yes”，会自动执行综合及实现过程。



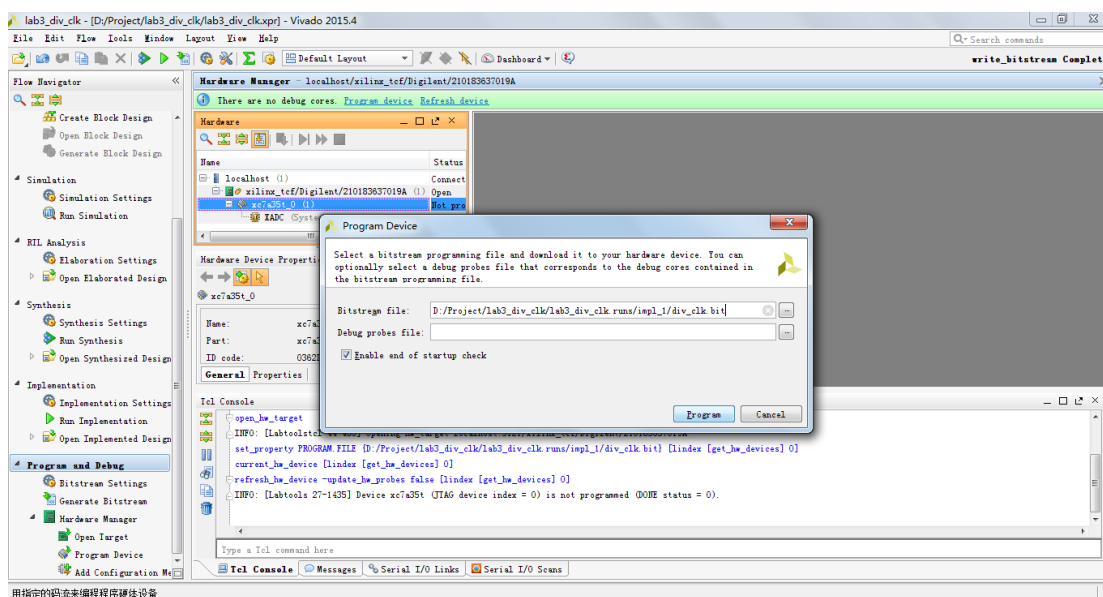
六、下载

8、用 Micro USB 线连接电脑与板卡上的 JTAG 端口，用杜邦线将分频信号输出端口与示波器探头相连，打开电源开关。

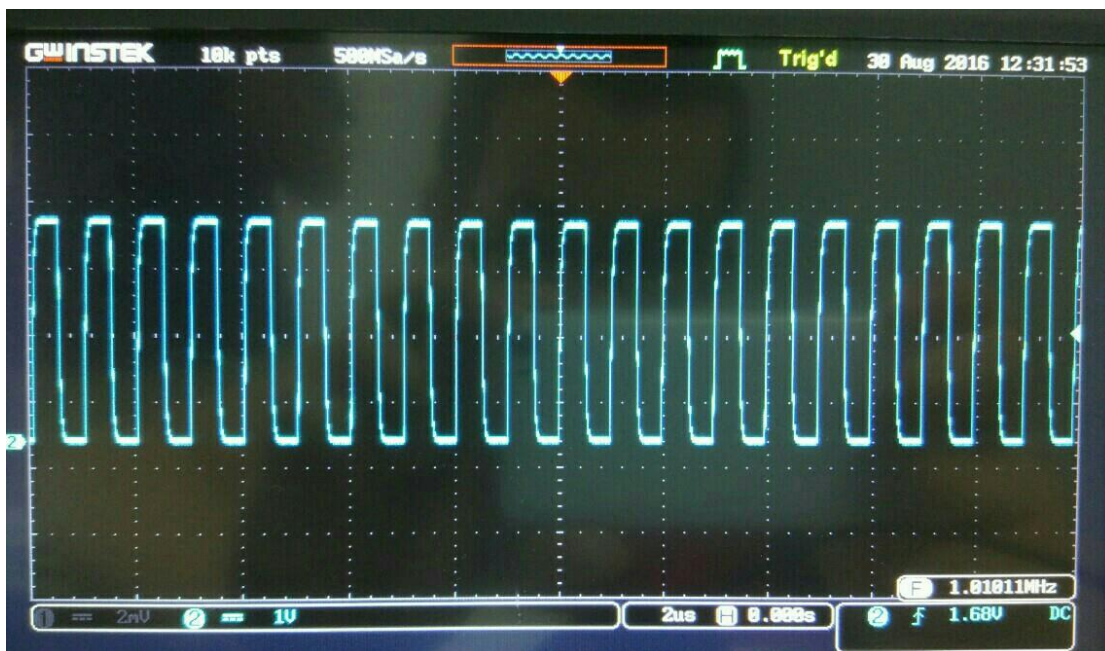


9、生成比特流文件完成后，打开“Hardware Manager”。在“Hardware Manager”界面点击“Open target”，选择“Auto Connect”。

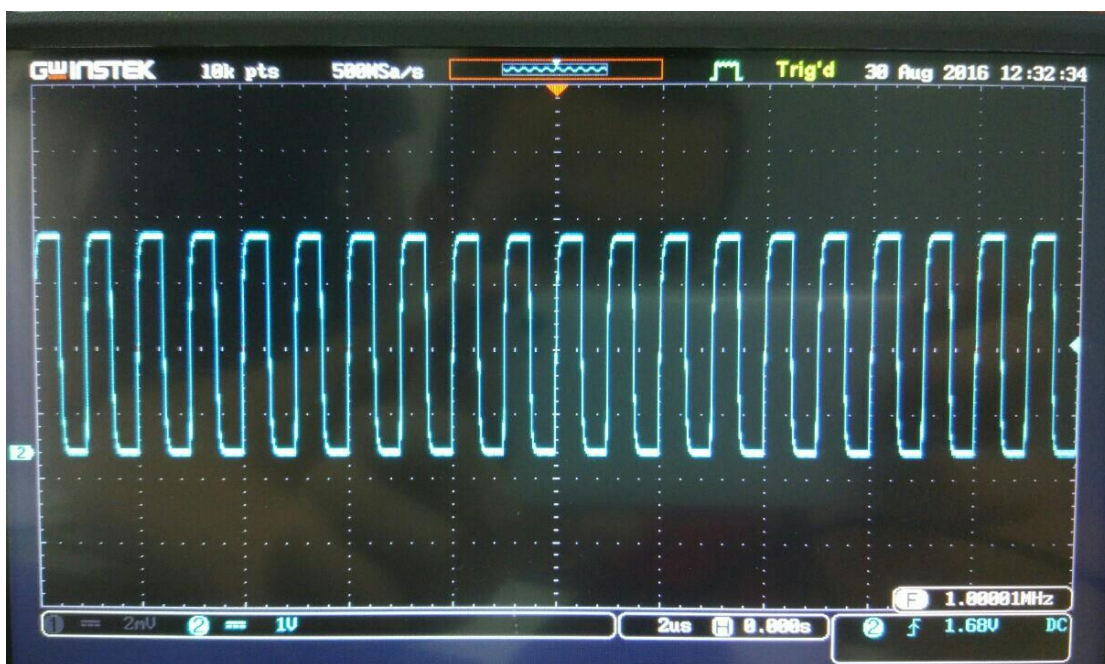
连接成功后，在目标芯片上右击，选择“Program Device”。在弹出的对话框中“Bitstream File”一栏已经自动加载本工程生成的比特流文件，点击“Program”对 FPGA 芯片进行编程。



10、下载完成后，通过拨码开关输入信号时，先后输入二进制 000000001100011 和二进制数 000000001100100，观察示波器所显示波形的频率变化。



拨码开关输入二进制 000000001100011



拨码开关输入二进制 000000001100100

99 倍分频输出频率理论值为 1.01MHz，100 倍分频输出频率理论值为 1MHz。可以观测到硬件实现输出的波形与理论分频后输出的信号频率一致。