

Микроархитектурная спецификация

APB multiplexer

Table of contents

1. Introduction	1
1.1. Purpose	1
1.2. Basic function	1
1.3. Configuration	1
2. Functional description	2
2.1. Block diagram	2
2.2. Work description	3
3. Ports description	4
3.1. Clock ports description	4
3.2. Reset ports description	4
3.3. Bus interfaces description	4
3.4. Initialization	4
3.5. Work with reset	4
4. Power architecture	5
5. Bibliography	6
6. Document version	7

Chapter 1. Introduction

1.1. Purpose

APB Multiplexer — блок, обеспечивающий взаимодействие нескольких мастер-устройств с одним ведомым устройством через APB4 интерфейс.

1.2. Basic function

Блок обеспечивает передачу транзакций от одного из мастер-устройств к ведомому интерфейсу, осуществляя выбор активного источника на основе сигнала арбитража. При этом остальные мастера находятся в состоянии ожидания, пока текущая транзакция не будет завершена.

1.3. Configuration

Table 1. Parameters

Parameter	Value range	Description
APB_ADDR_WIDTH	8-32	ширина адреса APB до 32 бит Default: 32
APB_DATA_WIDTH	8-32	ширина данных APB 32 бит Допустимые значения 8,16,32 Default: 32
NUM_APB_MASTERS	1-32	количество подключаемых APB Master устройств Default: 16

Chapter 2. Functional description

2.1. Block diagram

Рисунок 1. Структурная схема мультиплексора APB4_MUX

В состав блока входит:

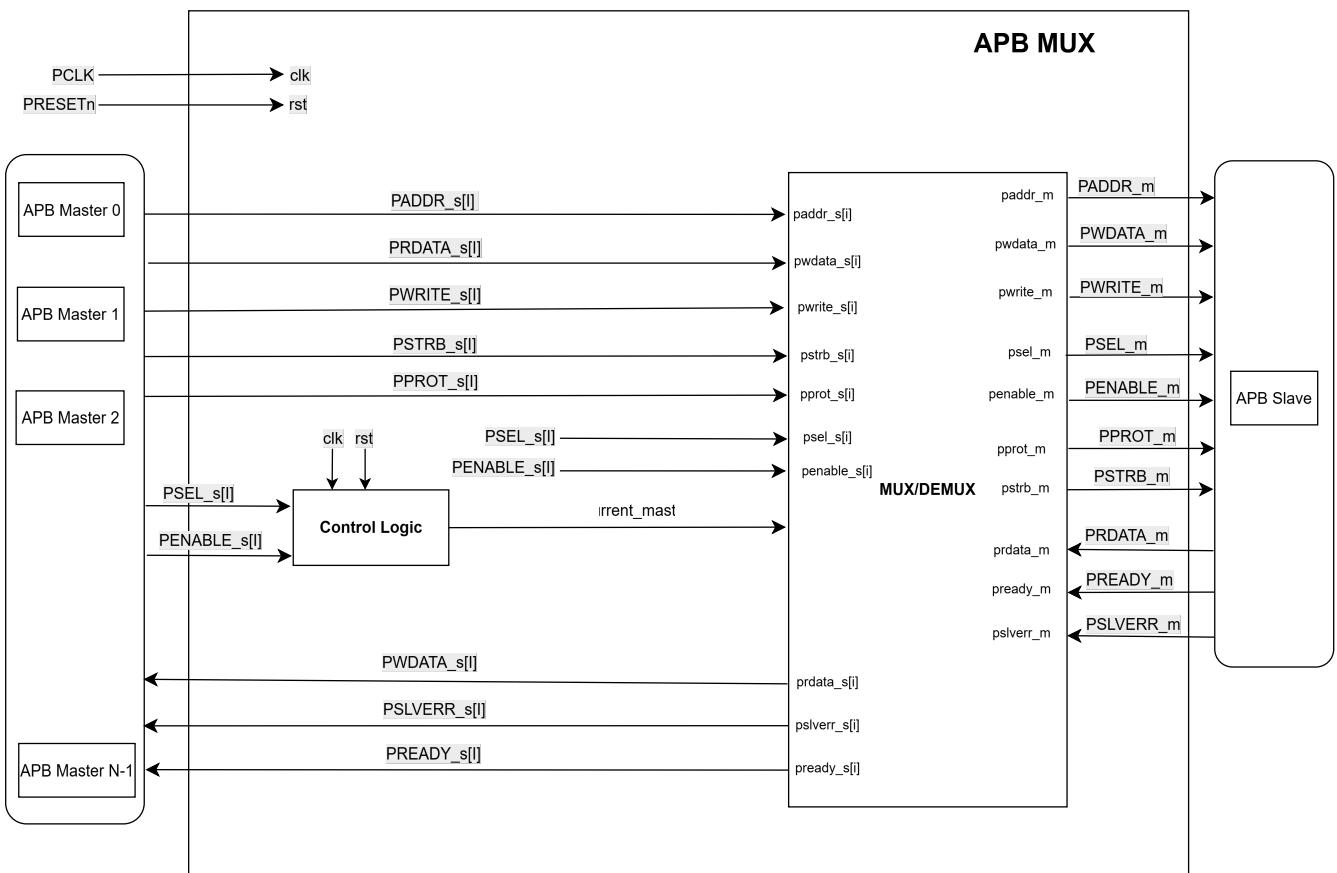


Figure 1. Блок-схема apb_mux

Блок управления (Control Logic) — центральная управляющая часть, объединяющая функции арбитра, генератора управляющих сигналов и автоматов состояний. Формирует последовательность фаз APB-транзакции (SETUP и ACCESS), управляет мультиплексором и демультиплексором спомощью управляющих сигналов, синхронизирует передачу данных между мастерами и slave-устройством. Реализует алгоритм циклического (Round-Robin) выбора активного мастера, контролирует завершение операции по сигналам **PREADY_m** и **PSLVERR_m**, а также предотвращает конфликты доступа при одновременных запросах нескольких мастеров.

Мультиплексор/Демультиплексор (Multiplexer / Demultiplexer) - Мультиплексор (MUX) - передает данные (адрес, данные, управление) от выбранного мастера к slave-устройству.
- **Демультиплексор (DMUX)** - распределяет ответные сигналы (данные, готовность, ошибка) от slave-устройства соответствующему мастеру.

2.2. Work description

Принцип работы мультиплексора APB_MUX

Мультиплексор APB_MUX предназначен для арбитража доступа к одному ведомому устройству (slave) от нескольких ведущих устройств (masters) через интерфейс APB4.

При одновременной активности нескольких мастеров, что определяется установкой сигналов PSEL_s в активное состояние, арбитр Round-Robin осуществляет циклический выбор следующего мастера для предоставления доступа на основе сдвигового регистра приоритета priority_reg. Алгоритм гарантирует, что каждый активный мастер получит доступ к шине в порядке очередности, обеспечивая справедливое распределение пропускной способности.

Мультиплексор направляет к slave-устройству сигналы только от текущего выбранного мастера на основе сигнала current_master, формируя выходные сигналы PADDR_m, PWDATA_m, PWRITE_m, PPROT_m, PSTRB_m. Демультиплексор обеспечивает маршрутизацию ответных сигналов от slave (PRDATA_m, PREADY_m, PSLVERR_m) исключительно тому мастеру, который в данный момент обладает доступом к шине. Остальные мастера в это время получают нулевые ответы, что соответствует стандартному поведению APB-интерфейса.

Конечный автомат управления с состояниями IDLE, SETUP и ACCESS генерирует строгие временные диаграммы протокола APB, формируя сигналы PSEL_m и PENABLE_m в соответствии с фазами транзакции. Переход между состояниями осуществляется при наличии ожидающих транзакций и завершается по сигналу PREADY_m от slave-устройства.

Арбитраж инициирует выбор нового мастера при переходе из состояния IDLE в SETUP, а смена активного мастера происходит либо после завершения текущей транзакции (при PREADY_m), либо при наличии других ожидающих мастеров для обеспечения непрерывного потока данных.

Chapter 3. Ports description

Блок имеет следующий список портов ввода-вывода.

Table 2. All Ports

3.1. Clock ports description

В данном блоке используются следующие тактовые сигналы:

- clk_i

Сигнал синхронизации, тактирующий работу APB4 интерфейса

3.2. Reset ports description

В данном блоке используются следующие сигналы сброса:

- PRESETn

Активный уровень: 0 Сбрасывает всю логику блока.

3.3. Bus interfaces description

В блоке используются следующие интерфейсы:

- APB4 slave интерфейс
- APB4 master интерфейс

3.4. Initialization

Блок переходит в рабочее состояние при неактивном уровне сброса.

3.5. Work with reset

Сброс мультиплексора осуществляется внешним асинхронным сигналом rst_n_i.

Chapter 4. Power architecture

Вся логика находится в одном домене питания. Специальных требований не предъявляется.

Chapter 5. Bibliography

Table 3. Literature

Name	Link	Local Path	Year
APB4 Specification			

Chapter 6. Document version

1.0.0