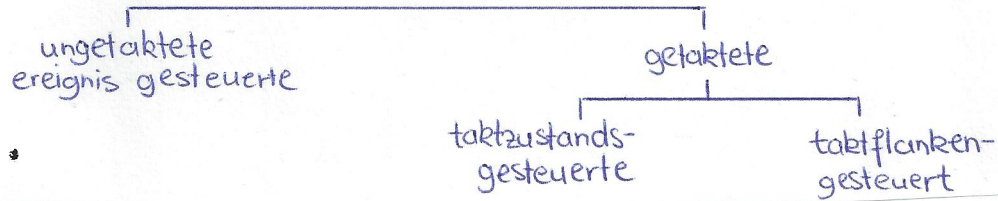
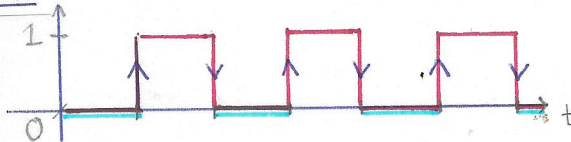


1 Flip-Flop (FF), Bistabile Trigger

1.1 Einteilung der Flip-Flop



Taktsignal



Zustand: Pegel

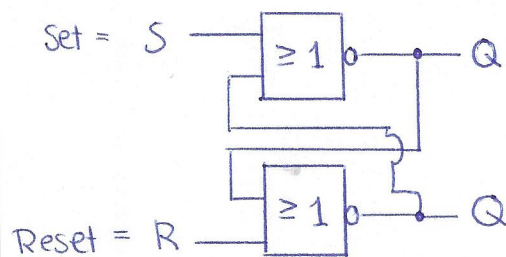
Flanke: Pegeländerung \uparrow oder \downarrow

: 1 high

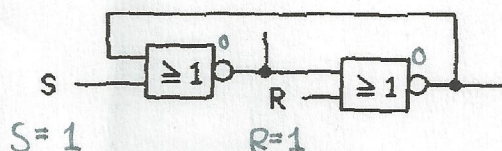
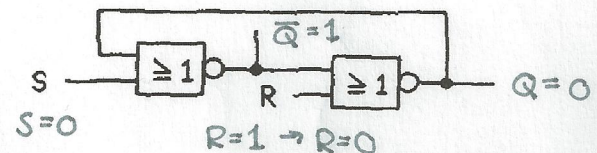
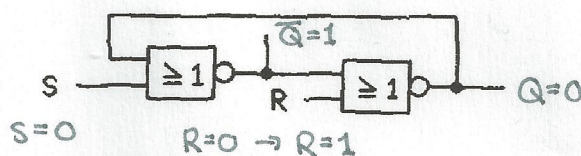
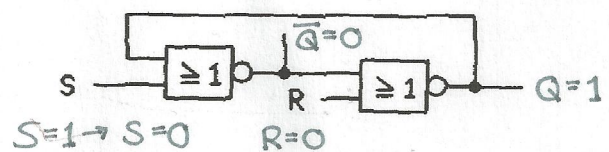
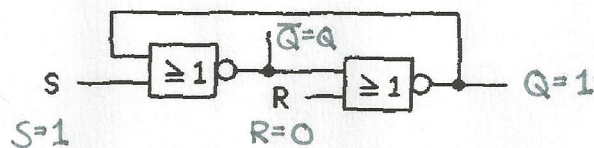
: 0 low

1.2 Basis-RS-Flip-Flop

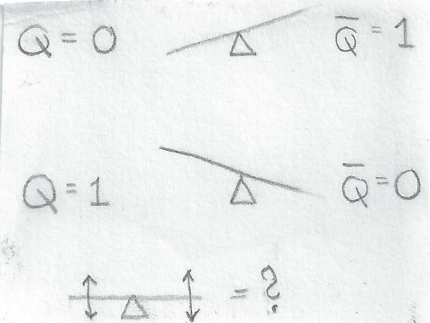
1.2.1 RS-FF in NOR-Realisierung



A	B	NOR: $\overline{A \vee B}$
0	0	1
0	1	0
1	0	0
1	1	0



$Q = \overline{Q}$ \rightarrow unzulässig
setzen und löschen gleichzeitig

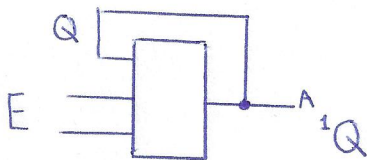


Flip-Flop

Der Flip-Flop (bistabile Kippstufe) ist der Grundbaustein für sequenzielle Schaltungen.

- bestehen aus Gatter (elementarische, kombinatorische Schaltungen)
- haben üblicherweise
 - 2 Eingangsvariablen und
 - 1 Ausgangsvariable
- haben am Ausgang zwei stabile Zustände
- können die Information 1 Bit (1 oder 0) speichern.
- über entsprechende Eingänge können die Flip-Flops gesetzt (1 gespeichert) oder rückgesetzt (0 gespeichert) werden.

Sequenziell: die logische Aufgabe wird nicht nur anhand der aktuellen Bedingungen sondern auch in Abhängigkeit der vorherigen Bedingungen gelöst.



t : nächster Zeitpunkt

zu 1.1. Einteilung der Flip-Flops

Mit Ausnahme des ungetakteten RS-Flip-Flop sind alle bistabilen Kippstufen taktgesteuert.

Flankengesteuerte / Zustandsgesteuerte Flip-Flops sind getaktete Flip-Flops, die in Abhängigkeit von den vorbereiteten Eingängen mit der positiven bzw. negativen Flanke / Zustand des Taktes gesetzt oder rückgesetzt werden.

Der Ausgangszustand des Flankengesteuerten / Zustandsgesteuerten Flip-Flops kann sich nur mit der schaltenden Flanke / dem Zustand ändern.

Abhängig von der eingesetzten Technologie ändert sich das Ausgangssignal des Flip-Flops nach einer kurzen Verzögerungszeit in Bezug auf die Taktflanke / Taktzustand. Der Ausgangszustand bleibt für eine Taktperiode, bis zur nächsten schaltenden Flanke / Zustand unverändert.

Zustandsfolgetabelle

S	R	Q	1Q	$^1\bar{Q}$
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	x	x
1	1	1	x	x

} speichern

} löschen

} setzen

} unzulässig

Kurzform

S	R	1Q
0	0	Q
0	1	0
1	0	1
1	1	x

Charakteristische Gleichung

			Q	S
		1	1	1
R			x	x

$$^1Q = S \vee \bar{R}Q$$

$$\text{Nebenbedingung: } R \wedge S = 0$$

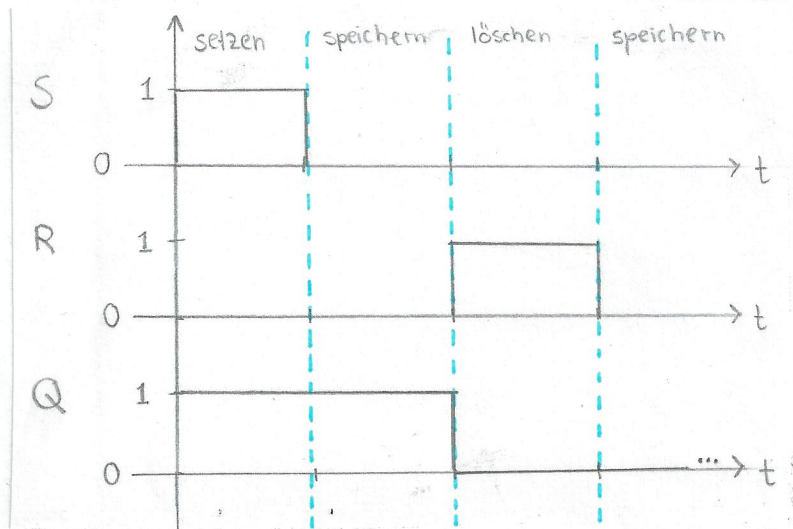
Synthesetabelle

Q	1Q	S	R
0	0	0	0
		0	1
0	1	1	0
1	0	0	1
1	1	0	0
		1	0

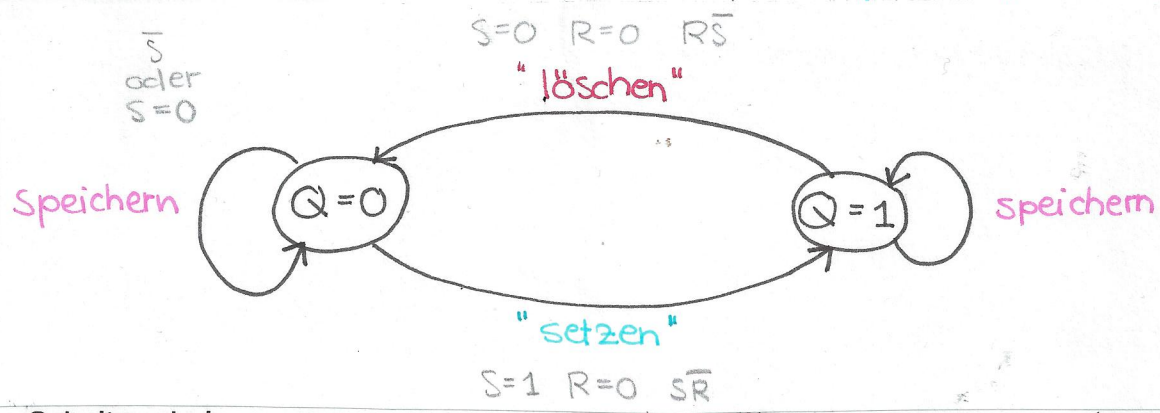
Kurzform

Q	1Q	S	R
0	0	0	x
0	1	1	0
1	0	0	1
1	1	x	0

Impulsdiagramm

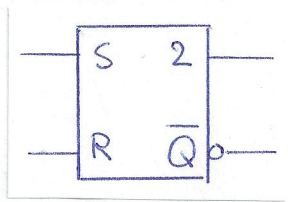


Zustandsdiagramm

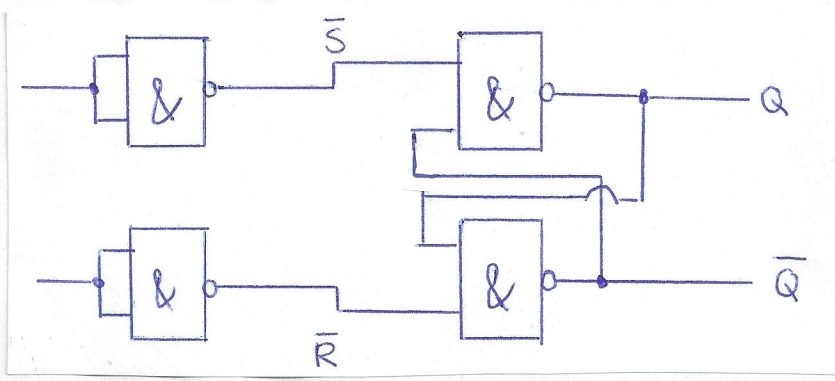


27.10.15

Schaltsymbol



1.2.2 RS-FF in NAND-Realisierung



Zustandsfolgetabelle

\bar{S}	\bar{R}	Q	1Q	$^1\bar{Q}$
0	0	0	x	x
0	0	1	x	x
0	1	0	1	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

unzulässig

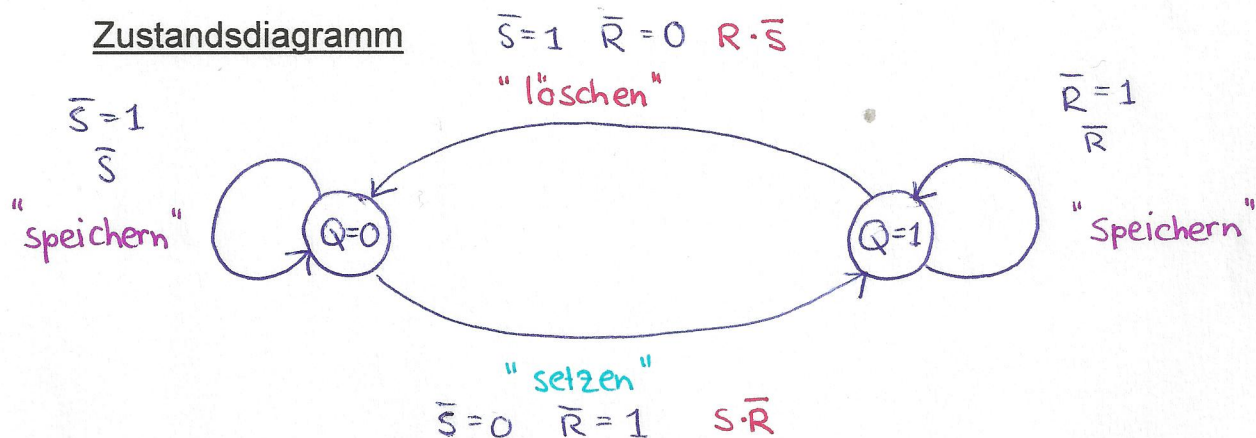
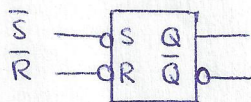
setzen

löschen
rücksetzen

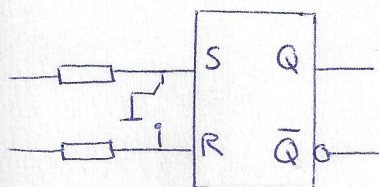
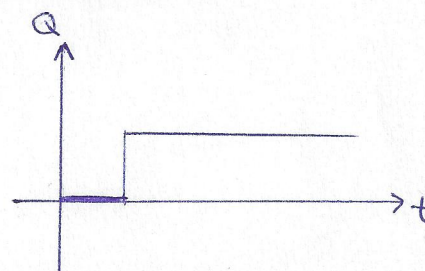
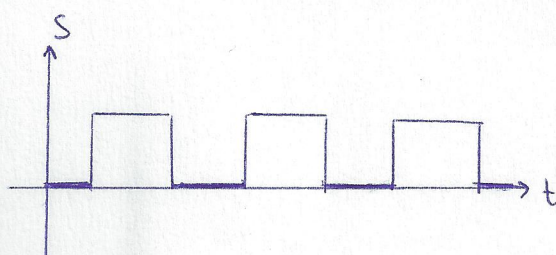
speichern

Kurzform

\bar{S}	\bar{R}	1Q
0	0	x
0	1	1
1	0	0
1	1	Q

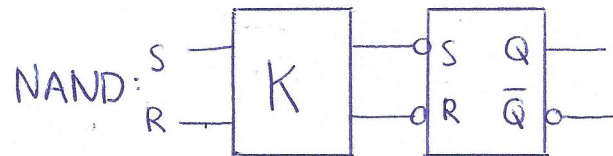
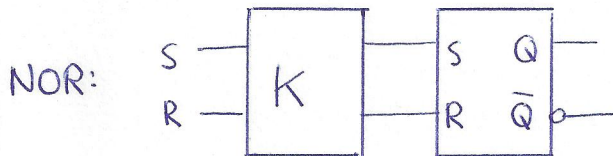
ZustandsdiagrammSchaltsymbol

1.2.3 Anwendung des RS-FF für einen prellfreien Schalter



1.2.4 RS-FF mit besonderem Schaltverhalten

Ziel: Verhinderung der verbotenen Zustände durch ein vorgeschaltetes Schaltnetz



RS-FF mit Setzvorrang

Zustandstabelle

S	R	S'	R'
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	0

S'	R
0	0
1	1

S

$$S' = S$$

$$\overline{S'} = \overline{S'}$$

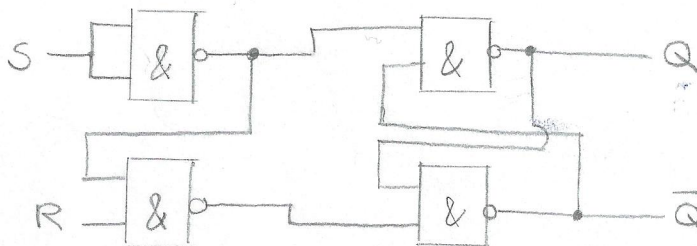
R'	R
0	1
0	0

S

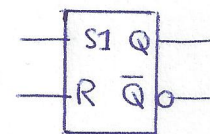
$$R' = \overline{S}R$$

$$\overline{R'} = \overline{SR}$$

Schaltung



Schaltsymbol



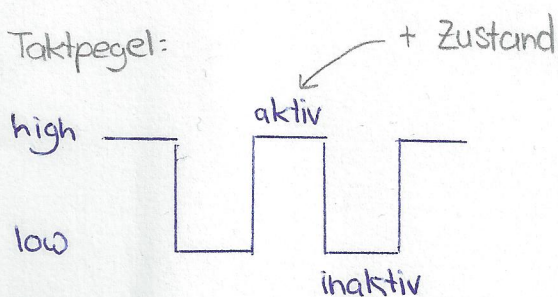
ungetaktete Flip-Flops reagieren auf jede Änderung der Eingangsparameter sofort.

1.3 Flip-Flop mit Taktsteuerung

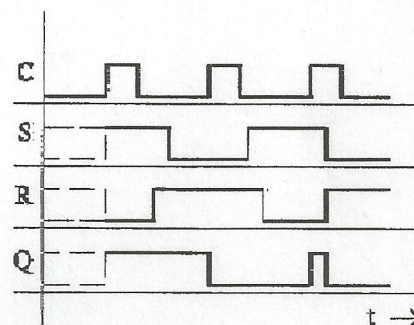
1.3.1 Taktzustandsgesteuerte Einspeicher-Flip-Flop

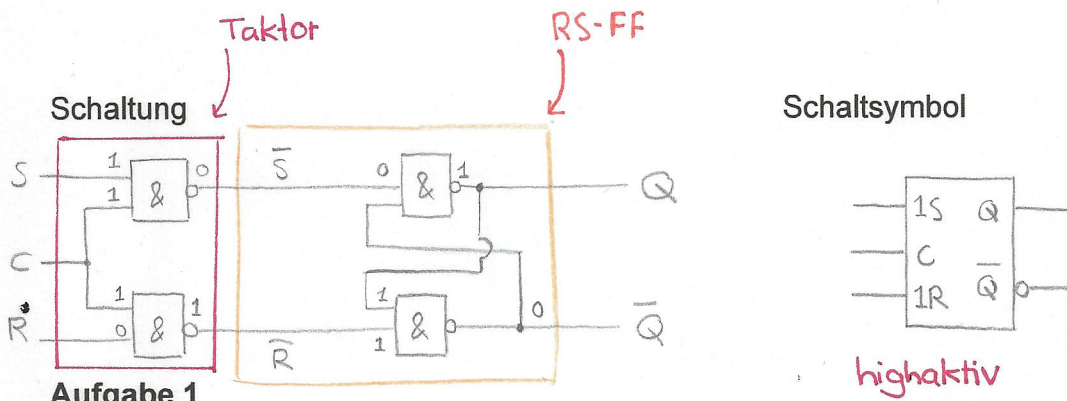
1.3.1.1 Taktzustandsgesteuertes RS-FF [Zustandsänderung nur synchron mit dem Takt]

Taktsignal



Beispiel-Signalverlauf

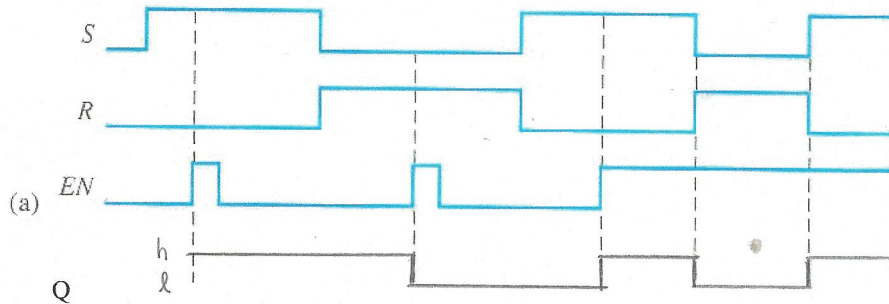
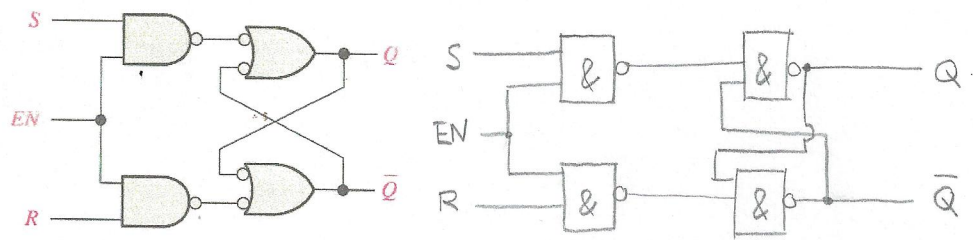




Aufgabe 1

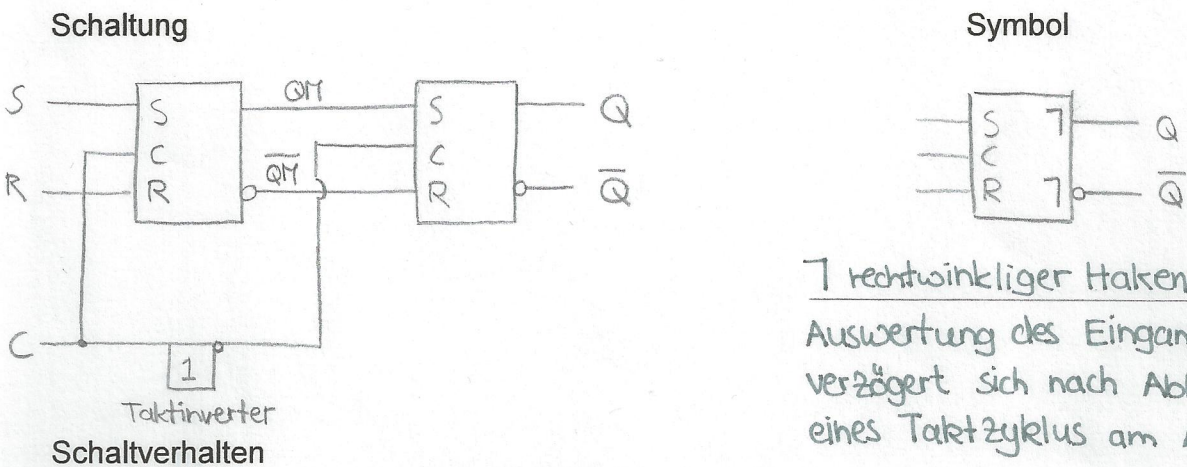
$\bar{x} + \bar{y} = \overline{xy}$ de Morgan

x	y	$\bar{x} + \bar{y}$	\overline{xy}
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0



1.3.2 Taktzustandgesteuerte Zweispeicher-Flip-Flop (Master-Slave-FF)

1.3.2.1 RS-Master-Slave-FF



┐ rechtwinkliger Haken:

Auswertung des Eingangspegels verzögert sich nach Ablauf eines Taktzyklus am Ausgang.

Eingänge werden im Master übernommen

slave speichert

Mastersignal wird in Slave übernommen
Master speichert