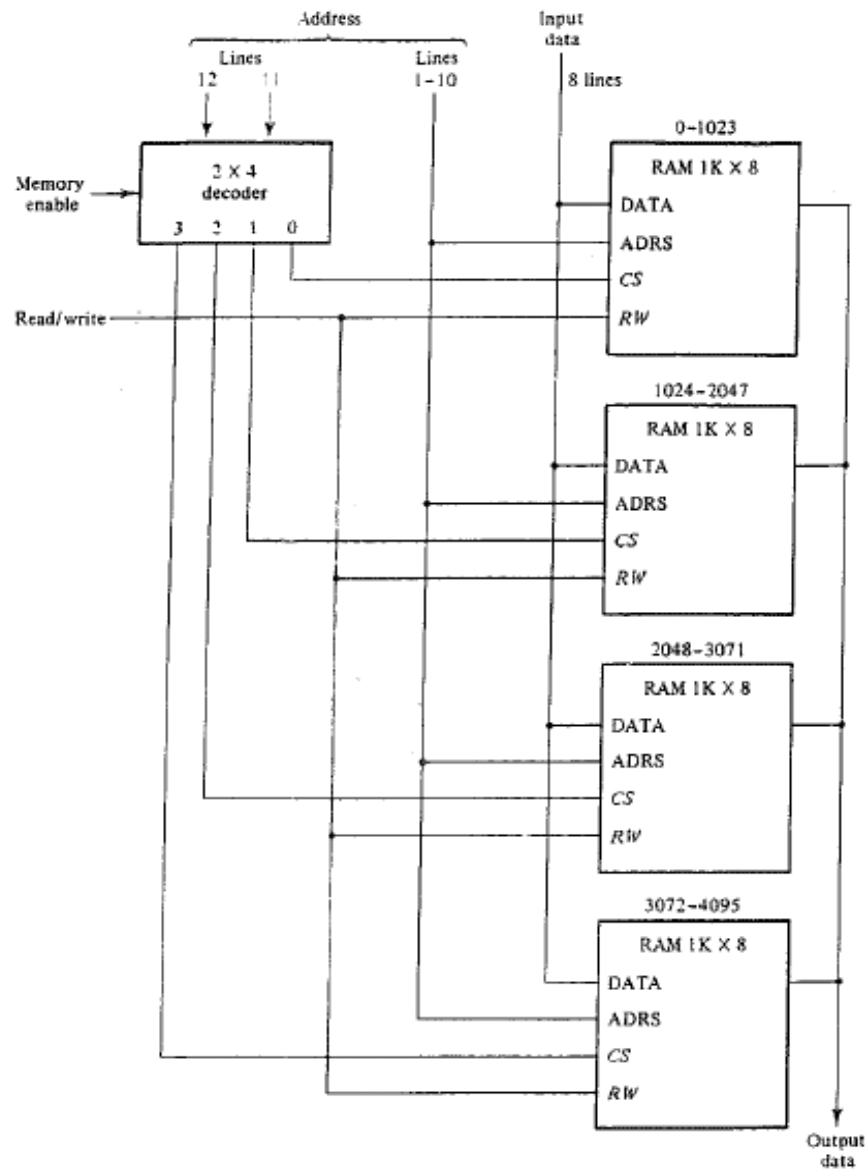
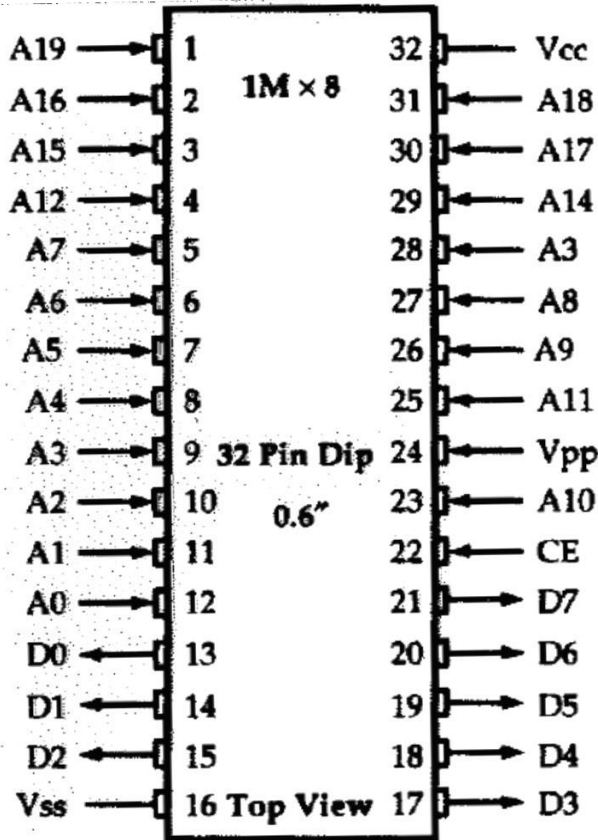


Memoria II : características e interface procesador - memoria

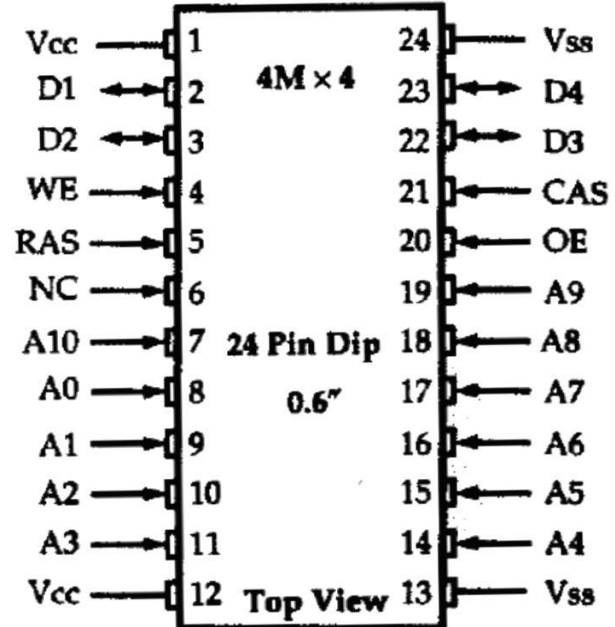
Diagrama de bloques de una RAM 4K x 8



Pines y señales típicas de chips de memoria

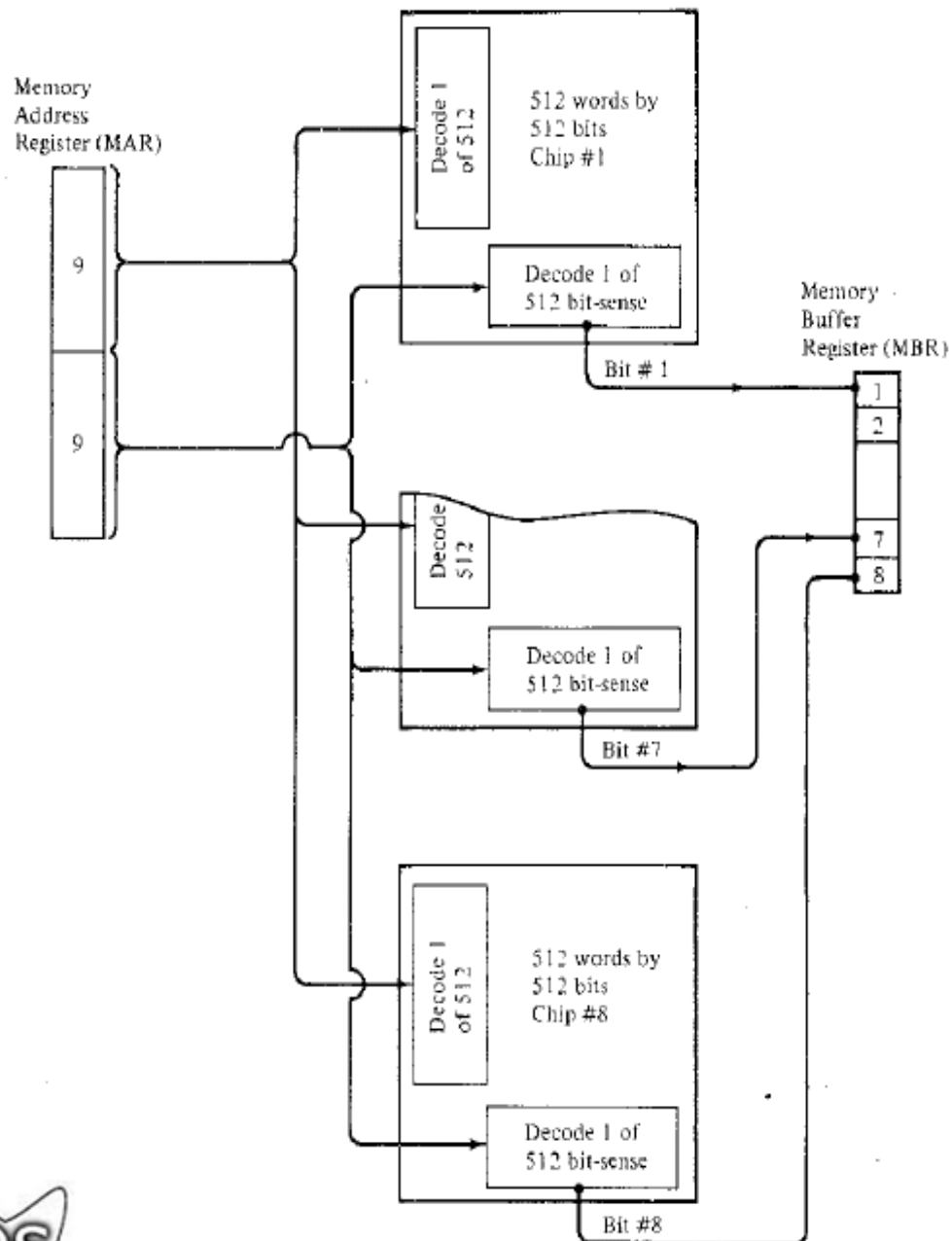


(a) 8 Mbit EPROM

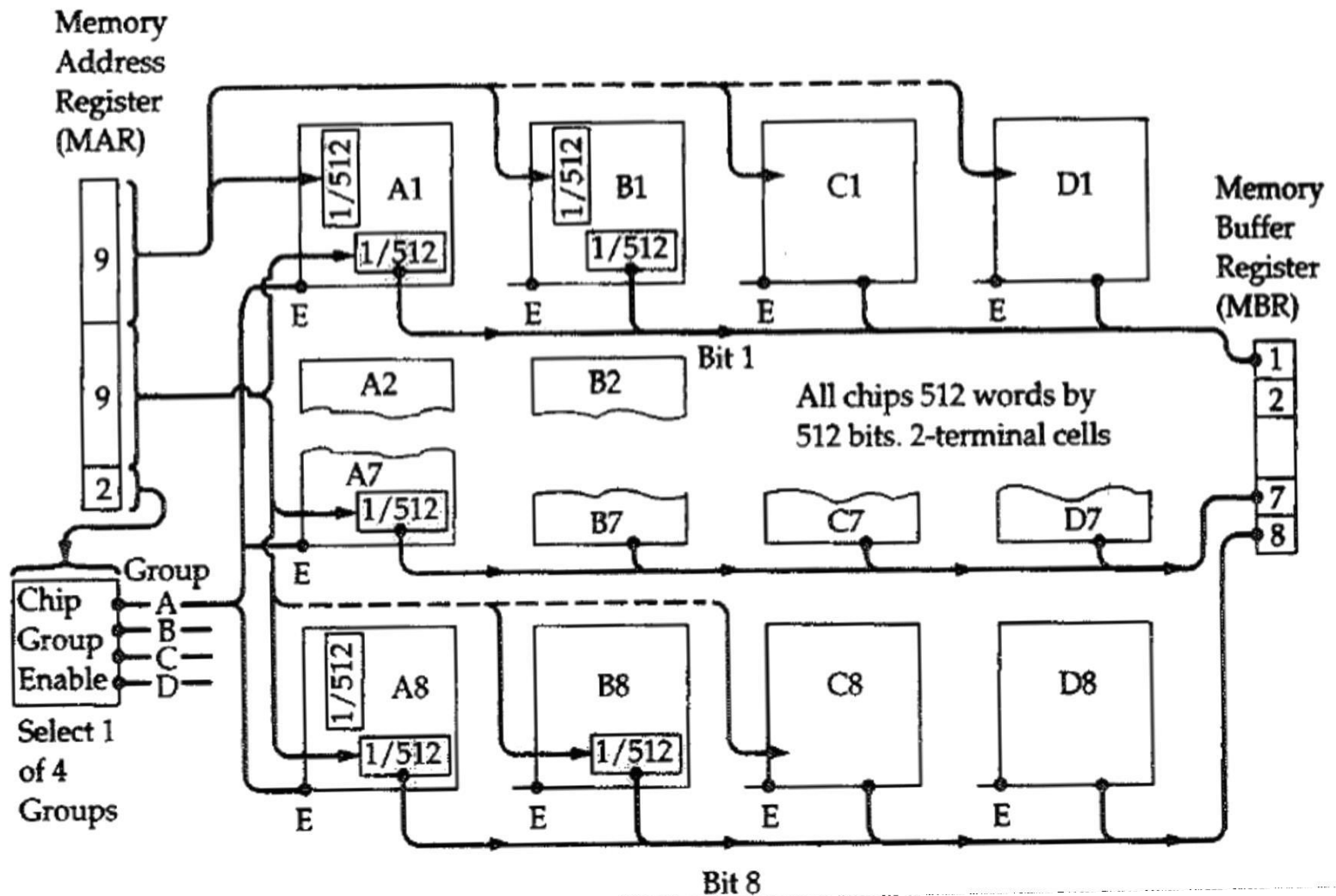


(b) 16 Mbit DRAM

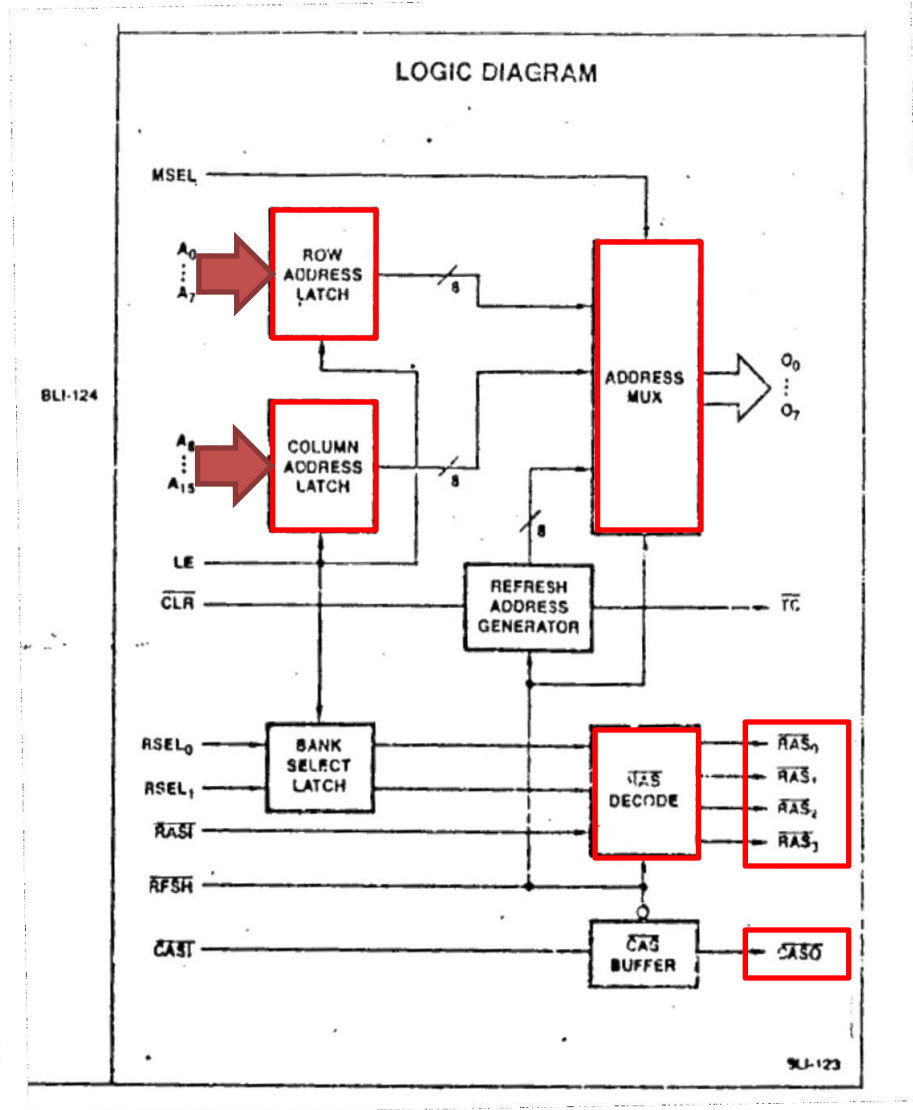
Ejemplo 1



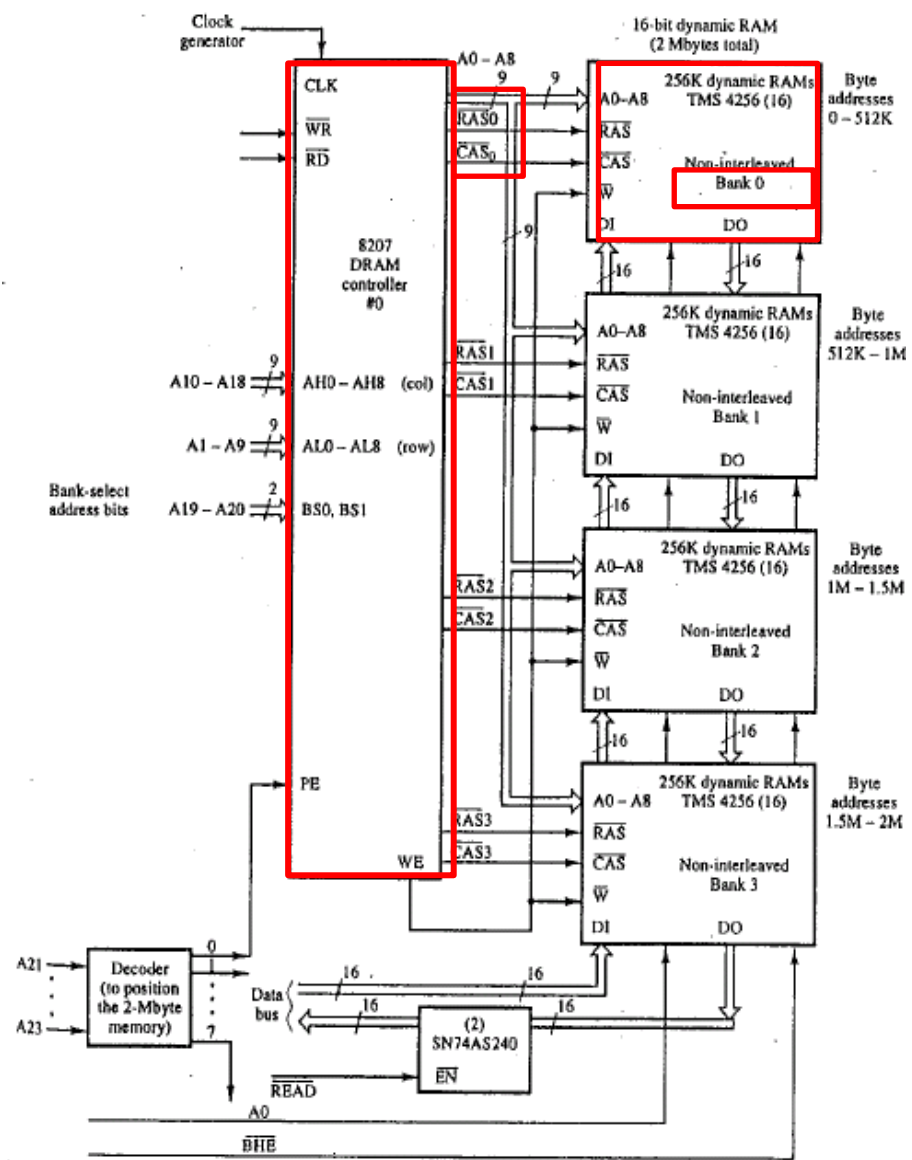
Ejemplo 2

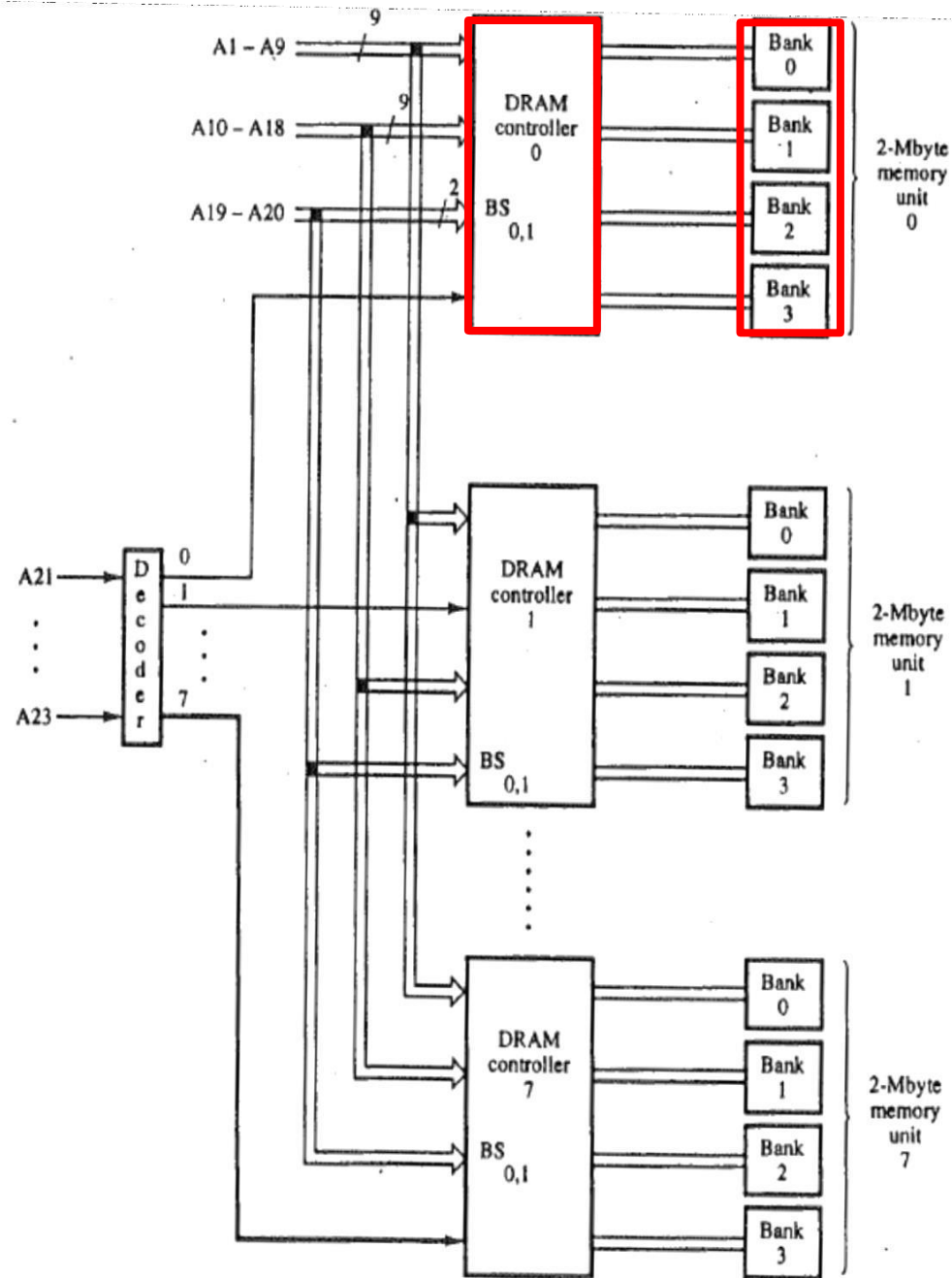


Controlador de RAM dinámica (DRAM)



Chip controlador DRAM que controla una memoria dinámica de 16 Mbyte (la memoria es construida con dispositivos DRAM de 256 K x 1 bit) No se utiliza entrelazado

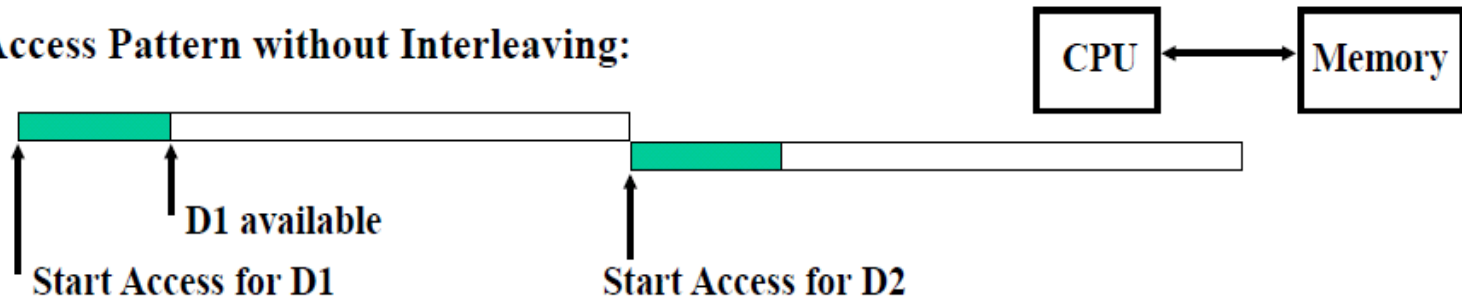




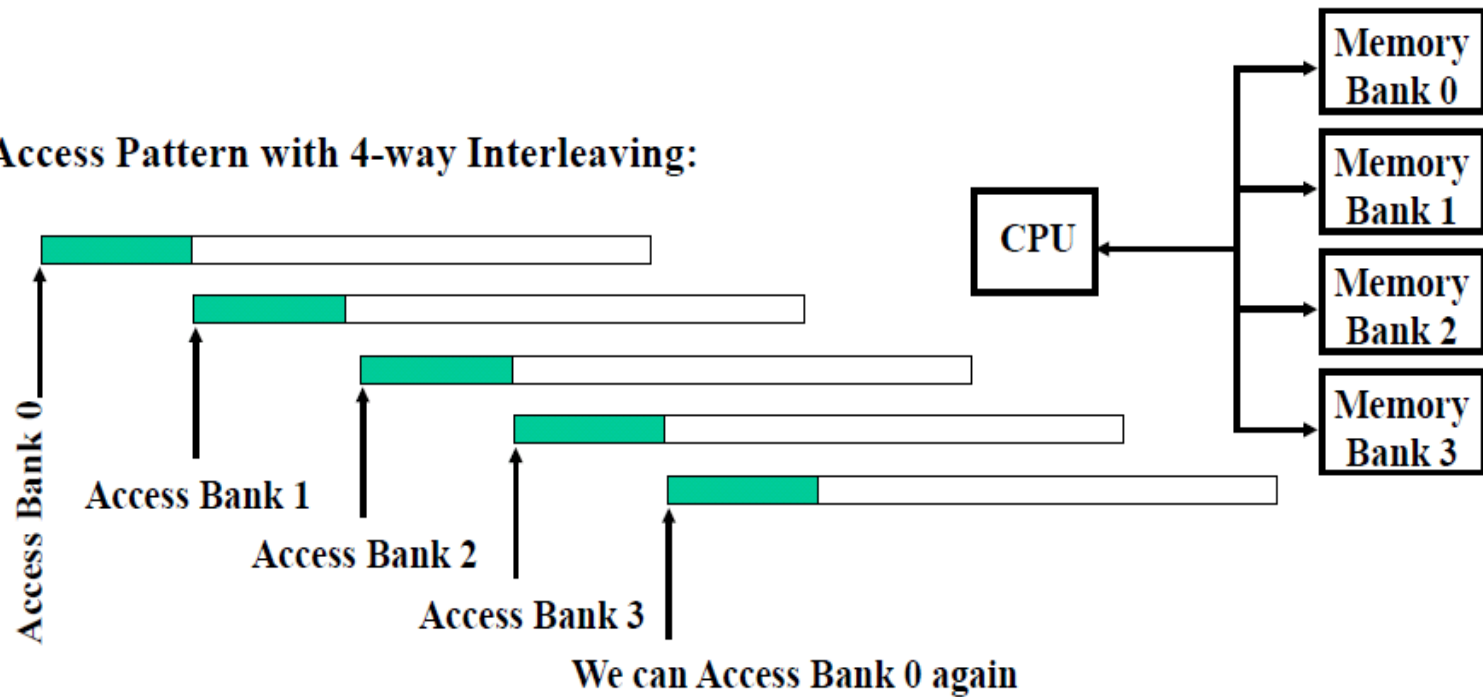
(b) Eight DRAM controllers for a 16-Mbyte noninterleaved dynamic memory

Interleaving

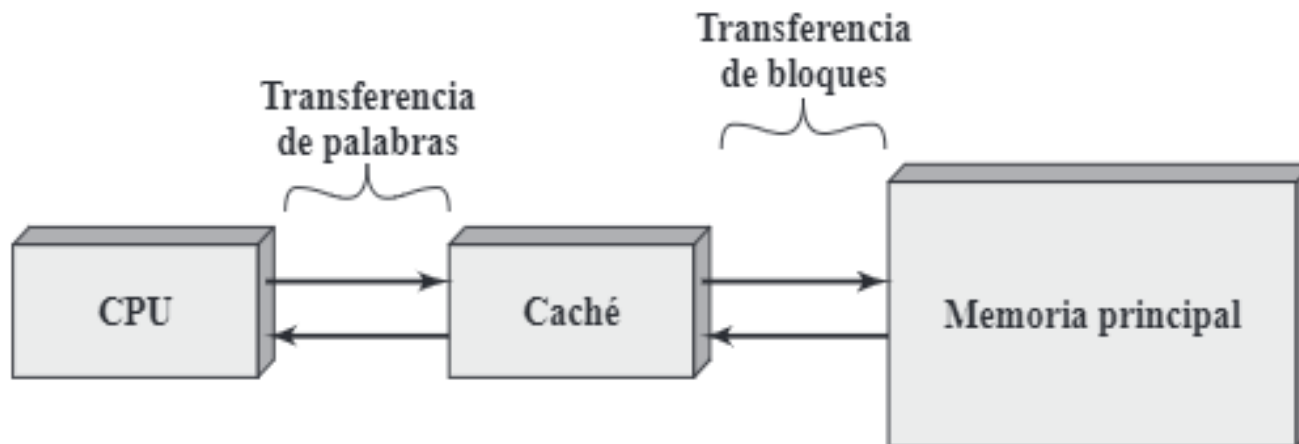
Access Pattern without Interleaving:



Access Pattern with 4-way Interleaving:

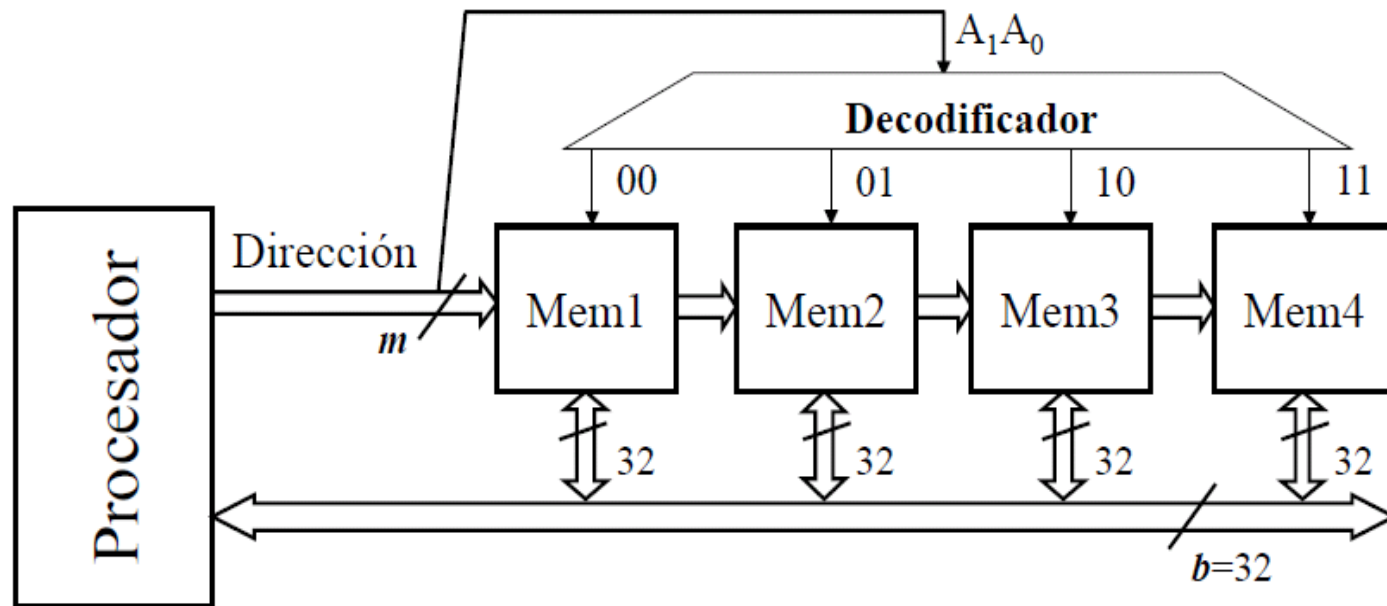


Memoria cache y principal



Interleaving: Diseño H/W

- Los bits de la parte baja de la dirección seleccionan el bloque que se ha de activar
- Se pide un bloque de 128 bits y se reciben 4 palabras consecutivas de 32 bits cada una

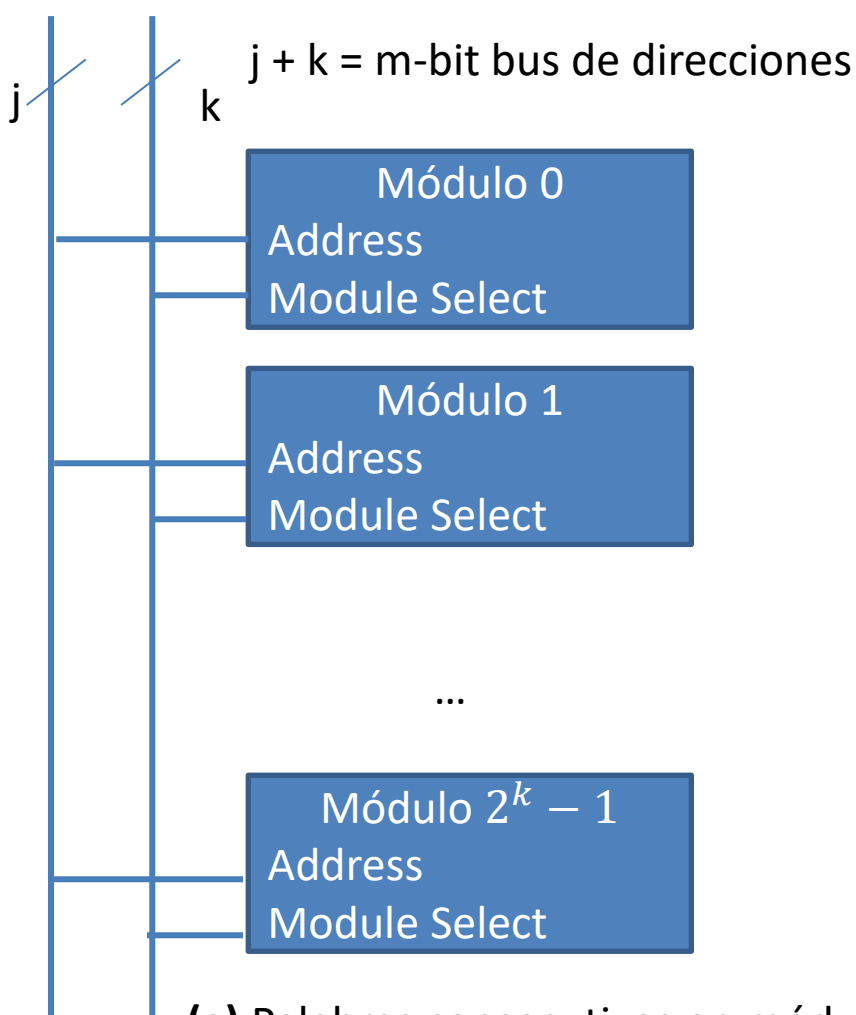


Menos significativo

Más significativo

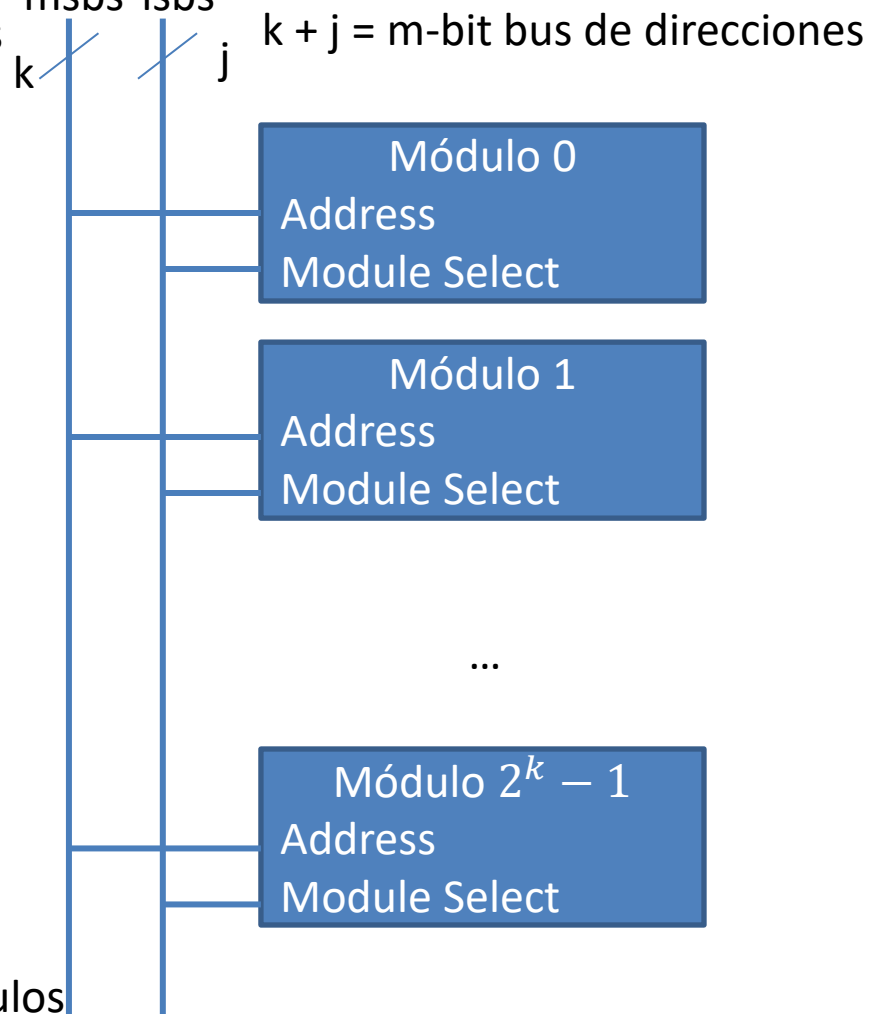
Dos tipos de organización de módulos de memoria

msbs lsbs



(a) Palabras consecutivas en módulos consecutivos (interleaving)

msbs lsbs



(b) Palabras consecutivas en el mismo módulo

Ejercicio:

Se dispone de circuitos RAM de 256x8 y ROM de 1kx8 bits.

Una computadora necesita 2k bytes de RAM , 4K bytes de ROM y 4 unidades de interfaz cada una con 4 registros. La E/S se hace mediante la técnica de Memory Mapped. Los dos bits más significativos del bus de direcciones se codifican como sigue: 00 para la RAM, 01 para la ROM y 10 para los registros de interfaz.

- A) Dibujar el mapa de direcciones para el sistema.
- B) Dar el rango de direcciones de hexadecimal para la RAM, la ROM y las interfaces.
- C) Dibujar la expansión de memoria.

A) El mapa de direcciones será:

A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
0	0	0	0	0	0	x	x	x	x	x	x	x	x	RAM1
0	0	0	0	0	1	x	x	x	x	x	x	x	x	RAM2
0	0	0	0	1	0	x	x	x	x	x	x	x	x	RAM3
0	0	0	0	1	1	x	x	x	x	x	x	x	x	RAM4
0	0	0	1	0	0	x	x	x	x	x	x	x	x	RAM5
0	0	0	1	0	1	x	x	x	x	x	x	x	x	RAM6
0	0	0	1	1	0	x	x	x	x	x	x	x	x	RAM7
0	0	0	1	1	1	x	x	x	x	x	x	x	x	RAM8
0	1	0	0	x	x	x	x	x	x	x	x	x	x	ROM1
0	1	0	1	x	x	x	x	x	x	x	x	x	x	ROM2
0	1	1	0	x	x	x	x	x	x	x	x	x	x	ROM3
0	1	1	1	x	x	x	x	x	x	x	x	x	x	ROM4
1	0	0	0	0	0	0	0	0	0	0	0	x	x	INTF1
1	0	0	0	0	0	0	0	0	0	0	1	x	x	INTF2
1	0	0	0	0	0	0	0	0	0	1	0	x	x	INTF3
1	0	0	0	0	0	0	0	0	0	1	1	x	x	INTF4

Si la línea A11 de la RAM no se conecta → cada palabra tiene 2 direcciones

Si las líneas A11...A4 de las interfaces no se conectan → cada registro tiene 256 direcciones

El bus de direcciones necesita 14 líneas → se pueden direccionar 16 k bytes



B) El rango de direcciones en hexadecimal es:

0000H ---- 07FFH	RAM
0800H ---- 0FFFH	libres 2k
1000H ---- 1FFFH	ROM
2000H ---- 200FH	Registros
2010H ---- 2FFFFH	libres 4080 bytes
3000H ---- 3FFFFH	libres 2K

c)

