

Problema 4.

Donats els següents fragments de codi situats en la memòria principal, mostrar com va variant el contingut de les posicions de memòria dedicades a les dades i la pila, així com dels registres del processador: **PC**, **Ri (i=0,..28)**, **SP**, **RA** i **IR** després de l'execució de cadascuna de les instruccions d'aquests fragments de codi. La columna. DIR ha d'indicar l'adreça de memòria efectiva utilitzada pel mode d'adreçament de cada instrucció. La primera fila mostra l'estat inicial de la memòria i els registres. El registre **PC** ha de contenir la següent instrucció a executar. Totes les adreces i dades estan en decimal.

CODIS EN MEMÒRIA PRINCIPAL

ADRECES (de 4 en 4)	INSTRUCCIONS
12,...,15	LI R1, 60
16,...,19	SW R2,0(SP)
20,...,23	ADDI SP,SP.-4
24,...,27	JAL RA, 40
28,...,31	ADDI SP,SP.4
32,...,35	LW R2,0(SP)
.....	
40,...,43	LW R3, 4(R3)
44,...,47	SUB R2, R1,R3
48,...,51	SW R2, 8(R1)
52,...,55	RET

Adreces de memòria (de 4 en 4) dades i pila						Registres processador								
60,...,63	64,...,67	68,...,71	72,...,75	76,...,79	80,...,83	PC	IR	R1	R2	R3	SP	RA	DIR	
4	8	4	0	0	8	12		8	4	64	80		---	
						16	LI R1, 60	60					----	
					4	20	SW R2,0(SP)						80	
						24	ADDI SP,SP.-4				80-4=76		----	
						40	JAL RA, 40					28	----	
		read				44	LW R3, 4(R3)			4			64+4=68	
						48	SUB R2, R1, R3		60-4=56				----	
		56				50	SW R2, 8(R1)						60+8=68	
						28	RET						----	
						32	ADDI SP,SP.4				76+4		----	

											=80		
					read	36	LW R2,0(SP)		4				80

Problema 5.

a) Repetir les mateixes accions que amb el exercici anterior, però amb els següents fragments de codi

CODIS EN MEMÒRIA PRINCIPAL

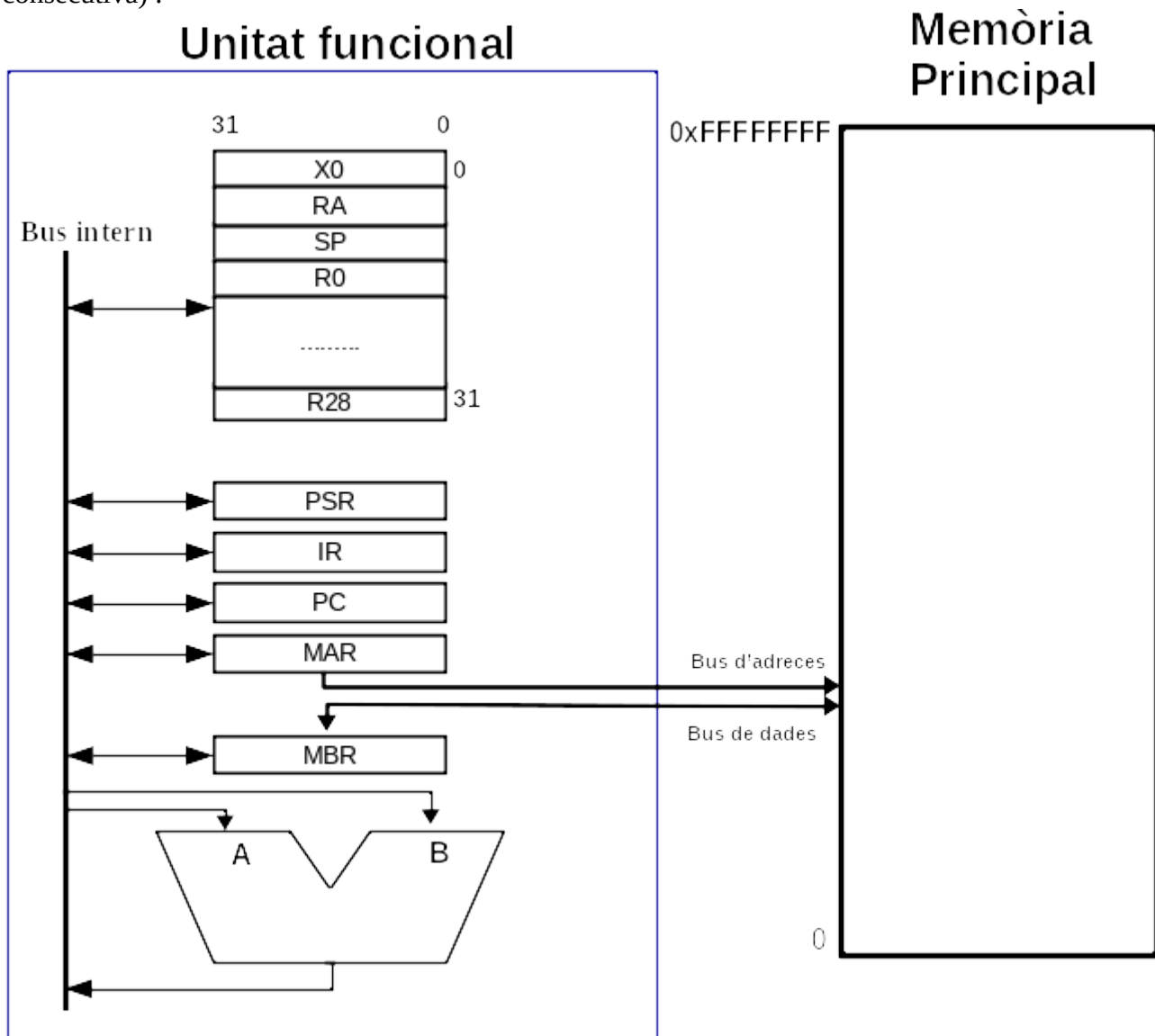
ADRECES (de 4 en 4)	INSTRUCCIONS
12,...,15	LI R1, 76
16,...,19	JAL RA, 32
20,...,23	SW R3, 4(R1)
.....	
32,...,35	SW RA,0(SP)
36,...,39	ADD R2, R2,R1
40,...,43	JAL RA 52
44,...,47	LW RA,0(SP)
48,...,51	RET
52,...,55	SW R1,-4(SP)
56,...,59	MUL R2, R3,R2
60,...,63	LW R1,-4(SP)
64,...,67	RET

Adreces de memòria (de 4 en 4) dades i pila						Registres processador							
72,...,75	76,...,79	80,...,83	84,...,87	88,...,91	92,...,95	PC	IR	R1	R2	R3	SP	RA	DIR
4	8	4	0	0	8	12		8	4	2	88		- - -
						16	LI R1, 76	76					----
						32	JAL RA, 32					20	----
				20		36	SW RA,0(SP)						88
						40	ADD R2, R2,R1		4+76 =80				----
						52	JAL RA 52					40	----
			76			56	SW R1,-4(SP)						88- 4=84
						60	MUL R1, R3,R2	2*80 =160					----

			read			64	LW R1,-4(SP)	76				88-4=84
						40	RET					----
			read			44	LW RA,0(SP)				20	88
						20	RET					----
		2					SW R3, 4(R1)					76+4=80

Problema 6.

A continuació es mostra un esquema ampliat de la **unitat funcional** del processador del sistema (a on també es mostren el bus intern i els registres MAR i MBR per operar amb la memòria)
Suposar que els **busos de dades i de direccions del sistema són de 32 bits cadascun** i recordeu que **cada accés a memòria llegeix o escriu dades de 4 bytes** (s'accedeix a 4 posicions de memòria consecutiva) .



Les principals fases o etapes implicades en l'execució d'una instrucció són:

- 1) **Cerca de la instrucció (Fetch):** Portar la instrucció situada en la **memòria**, al registre d'instruccions (IR)
- 2) **Descodificació de la instrucció (Decode):** Esbrinar quina instrucció es vol executar.
- 3) **Execució de la instrucció (Execute):** Executar l'operació indicada per la instrucció.

Amb les instruccions dels bucles dels diferents codis de l'apartat b) de l'exercici 1, contesteu:

a) Mostreu les **operacions elementals** de les següents instruccions :

a.1) LW R5, 0(R4)

1) Fase de cerca de la instrucció

Cicles	Operacions elementals
1	MAR<-PC
2	MBR<-MEMORIA (accés a memòria per llegir o escriure 32 bits) PC<-PC + 4
3	IR<-MBR

S'executen en paral·lel

2) Fase de descodificació (es tracta d'una instrucció LW)

3) Fase d'execució

Cicles	Operacions elementals
1	MAR<-R4 + 0
2	MBR<-MEMORIA
3	R5<-MBR

a.2) ADD R2, R2,1

1) Fase de cerca de la instrucció

Cicles	Operacions elementals
1	MAR<-PC
2	MBR<-MEMORIA PC<-PC + 4
3	IR<-MBR

2) Fase de descodificació (es tracta d'una instrucció ADD)

3) Fase d'execució

Ciclos	Operacions elementals
1	R2<-R2 + IR _{operand_3} (IR _{operand_3} el contingut del tercer operand de la instrucció situada al registre IR)

Problema 7.

Considerant l'esquema de l'exercici anterior i amb les instruccions dels bucles dels diferents codis de l'apartat b) de l'exercici 1: Quants accessos a memòria produiran les execucions d'aquests 2 bucles?. Si el temps d'execució d'un accés a memòria implica 10 cicles del processador, Quin serà el temps que implicaran el total d'aquests accessos a memòria?. Considereu que A=0 i b=10

Opció 1:

-El bucle d'aquesta solució te **10 instruccions**:

```
1  BGEU R2,R3, endwhile
2  LLA  R4, C
3  LW   R5, 0(R4)
4  ADD R5, R5,R5
5  SW   R5, 0(R4)
6  LLA  R1, A
7  LW   R2, 0(R1)
8  ADD R2, R2,1
9  SW   R2, 0(R1)
10 J while
```

- Les **fases de cerca** de la instrucció i de **descodificació** les executen totes les instruccions:

La **fase de cerca** de cada instrucció implica **1 accés a memòria (per portar la instrucció de la memòria principal al registre IR)**, ja que cada instrucció te una mida de 32 bits. Per tant la **fase de cerca** de les **10 instruccions** implicarà **10 accessos a memòria**

- Tenim **4 instruccions de accés a memòria (LW/SW)**.

Això implica que en la fase **d'execució** de cadascuna d'elles, **tindrem 1 accés a memòria per llegir o escriure a la memòria una dada (32 bits)**. Per tant **aquestes 4 instruccions** implicaran **4 accessos a memòria**

- **Total d'accessos a memòria d'una iteració del bucle while (10 instruccions)**:

10 (fase de cerca) + 4 (instruccions d'accés a memòria)= 14 accessos a memòria

- **Com el codi del bucle es repetirà 10 cops (A=0,...,9)**:

- **El total d'accessos a memòria serà de:**

10 * 14 = 140 accessos a memòria

-**Temps total d'aquests accessos a memòria:**

$$140 * 10 \text{ cicles} = 1400 \text{ cicles}$$

Opció 2:

-El bucle d'aquesta solució te **4 instruccions**:

- 1 BGEU R2,R4, endwhile
- 2 ADD R6, R6,R6
- 3 ADD R2, R2,1
- 4 J while

- Fases de cerca **de la instrucció** i de **descodificació**:

4 instruccions implica 4 accessos a memòria (memòria -> IR)

- Fase de **execució** (cap instrucció es d'accés a memòria) :

- *Com el codi del bucle es repetirà 10 cops (A=0,...,9):*

- *El total d'accessos a memòria serà de:*

$$10 * 4 \text{ (només de la fase de cerca)} = 40 \text{ accessos a memòria}$$

-**Temps total d'aquests accessos a memòria:**

$$40 * 10 \text{ cicles} = 400 \text{ cicles}$$