计算机系统结构(A)

实验 4

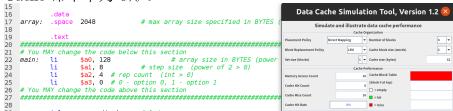
Log Creative

2021年6月27日

一. Cache 可视化工具

(1) 场景一

• Cache 命中率为 0%。



• stepsize 被设定为 8,按照 int (4 Bytes) 存储,写入 (option为0) 需要跳跃 32 bytes,只有一组,而一组正好是

4 blocks \times 2 words \times 4 bytes = 32 bytes

将会导致每一次的写入都会失效。

- 增加 repcount 也无法提高命中率,因为上文所述的间隔无法被改变,会一直失效。
- 将 stepsize 更改为 1, 可以将命中率提高至 50%。

每对访问第一个失效,第二个命中,在块大小为2个字的情形下。



(2) 场景二

• 命中率为 75 %。



- stepsize 是 2, 一块 4 个字, 那么相邻的两次读+写, 除了第一个读失效, 其 余均为命中, 命中率为 75%。
- 命中率会接近于 100% 。因为以第一重复后,所有的数据都进入了 Cache, Cache 大小和数组大小相同: 256 bytes, 那么后面都不会失效。



二. 矩阵乘法

• iki 性能最好, jki 性能最差。

```
logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/l... Q ≡ - □ ⊗

logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/lab04$ ./matrixMultiply
ijk: n = 1000, 1.289 Gflop/s
ikj: n = 1000, 7.510 Gflop/s
jik: n = 1000, 1.576 Gflop/s
jik: n = 1000, 0.111 Gflop/s
kij: n = 1000, 7.340 Gflop/s
kij: n = 1000, 7.340 Gflop/s
kij: n = 1000, 0.113 Gflop/s
kji: n = 1000, 0.113 Gflop/s
```

一致。

	未命中总次数	速率1	速率2
AB	1.25	ijk 1.289	jik 1.576
AC	2.00	jki 0.111	kji 0.113
BC	0.50	kij 7.340	ik j 7.510

不同的算法步长会导致不同的Cache 命中率,从而影响访问时间,也就影响了性能。

• 性能得到了改善,除去 kij。

```
logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/lab04 Q = - □  

logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/lab04$ ./matrixMultiply
ijk: n = 1000, 1.418 Gflop/s
ikj: n = 1000, 8.652 Gflop/s
jik: n = 1000, 1.654 Gflop/s
jik: n = 1000, 0.139 Gflop/s
kij: n = 1000, 6.749 Gflop/s
kij: n = 1000, 0.140 Gflop/s
kji: n = 1000, 0.140 Gflop/s
logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/lab04$
```

使用局部变量进行局部加和可以显著减少 Cache 失效率。在有Cache 失效率的情形下,使用局部变量提前预取可以提升性能。

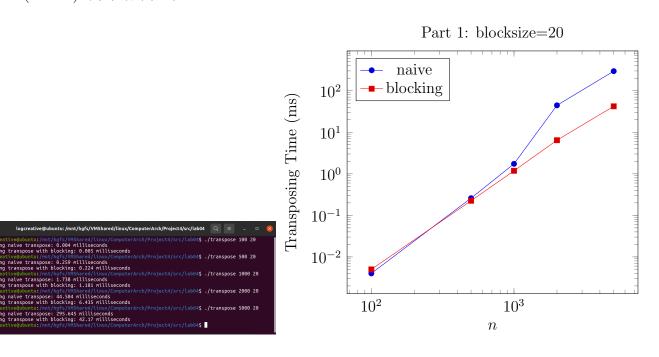
● 硬件预取可以大幅降低最低两种算法的失效率,接近于0,而对于另外一些算法效果不明显。

3. 矩阵转置

transpose_blocking()函数的实现如下:

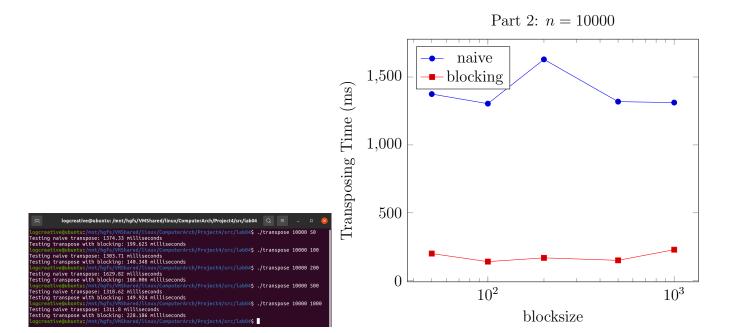
```
/* Implement cache blocking below. You should NOT assume that n is a
* multiple of the block size. */
void transpose_blocking(int n, int blocksize, int *dst, int *src) {
    // YOUR CODE HERE
    for(int i = 0; i < n; i += blocksize)
        for(int j = 0; j < n ; j += blocksize)
        // (j,i) is the starting element
        // of the block
    for(int x = 0; x < blocksize && i + x < n; ++x)
        for(int y = 0; y < blocksize && j + y < n; ++y)
        // (j+y,i+x) is the transposing element
        // of the matrix.
        // (i+x,j+y) is the final position.
        dst[j+y + (i+x)*n] = src[i+x + (j+y)*n];
}</pre>
```

(Part 1) 测评结果如下:



只有当 n 达到 1000 以上时,分块才会比普通方法块,而且规模越大越明显。小型矩阵会因为分块与总规模接近而近似不分块,普通算法和分块算法都不一定能占满 Cache,而且多层循环会增加开销。

(Part 2) 测评结果如下:

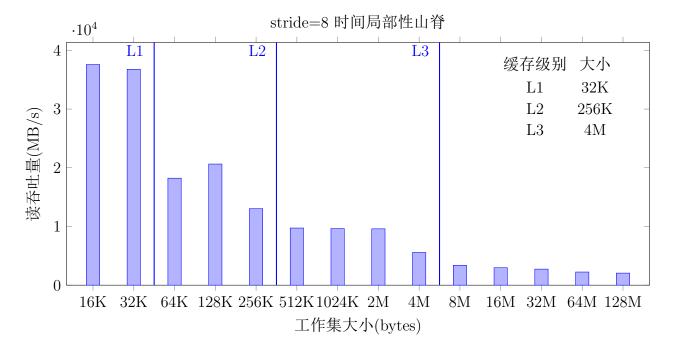


blocksize 增加时性能没有非常明显的变化,会有颠簸现象。因为 Cache 比较大的原因,在一定分块范围内命中率都会比较高,blocksize 并不占据主导因素。比如 当 blocksize 为 5000 时,时间立刻上去并逼近普通算法。

logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/lab04\$./transpose 10000 5000
Testing naive transpose: 1342.76 milliseconds
Testing transpose with blocking: 1226.07 milliseconds

4. 内存山脊

• 运行结果如下:



• 截图得到

```
logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/lab04/mountain Q = - D S

logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/lab04/mountain$ getconf -a | grep CACHE

LEVEL1_ICACHE_SIZE 32768

LEVEL1_ICACHE_SIZE 64

LEVEL1_DACHE_SIZE 32768

LEVEL1_DACHE_SIZE 32768

LEVEL1_DACHE_SIZE 64

LEVEL1_DACHE_SIZE 64

LEVEL2_CACHE_SIZE 262144

LEVEL2_CACHE_SIZE 262144

LEVEL2_CACHE_LINESIZE 64

LEVEL3_CACHE_LINESIZE 64

LEVEL3_CACHE_LINESIZE 64

LEVEL3_CACHE_LINESIZE 64

LEVEL3_CACHE_LINESIZE 64

LEVEL3_CACHE_LINESIZE 64

LEVEL3_CACHE_LINESIZE 64

LEVEL4_CACHE_LINESIZE 64

LEVEL4_CACHE_LINESIZE 64

LEVEL4_CACHE_LINESIZE 64

LEVEL4_CACHE_ASSOC 16

LEVEL4_CACHE_LINESIZE 0

LEVEL4_CACHE_LINESIZE 0

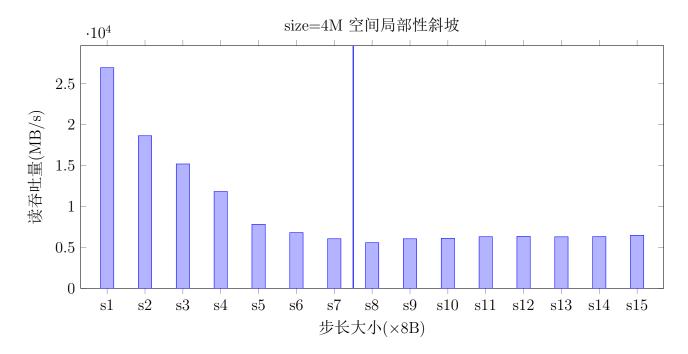
LEVEL4_CACHE_ASSOC 0

LEVEL4_CACHE_LINESIZE 0

logcreative@ubuntu:/mnt/hgfs/VMShared/linux/ComputerArch/Project4/src/lab04/mountain$
```

缓存级别	大小 (字节)
L1	32768
L2	262144
L3	4194304
结果一致。	!

• 固定数组长度为 4MB, 有



图像是一致的。块的大小为 $8 \times 8 = 64$ bytes,因为从8开始就是每个高速缓存行一次访问,所以 $0 \sim 8$ 都是块大小以内的范围。

5. (选做)

- 教材图形比较不清晰,不作答。
- 本程序直接在 Windows 环境下测试,结果如图 1。
- 页大小为 8K。
- 二级TLB数目: $\frac{4M}{8K} = 512$ 一级TLB数目: $\frac{512K}{8K} = 64$
- miss penalty 大概 6ns。
- 一级8路组相连,二级4路组相联。可见于淡颜色组和中颜色组。
- CPU-Z 的报告如图 2。
- 2个处理器, 共4个逻辑处理器。
- 双通道内存。

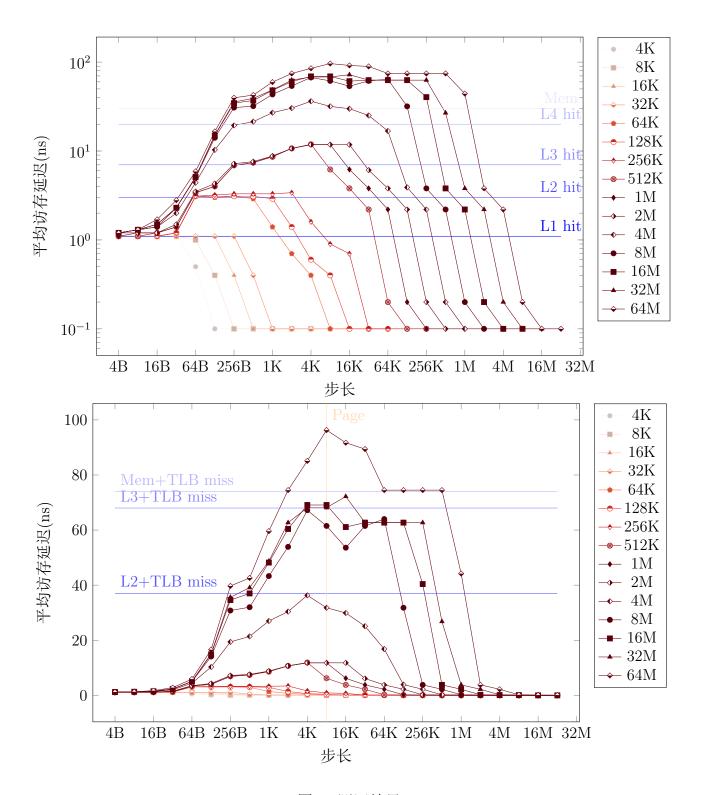


图 1: 测评结果

CPU-Z	- -	X
处理器 │ 缓存	字 主板 内存 SPD 显卡 測試分數 关于	F
名字	Intel Core i7 7200U	
代号		D
插槽	Socket 1515 FCBGA CORE	OCCUPANT OF THE PARTY OF THE PA
工艺	14 纳米 核心电压 0.995 V	
规格	Intel(R) Core(TM) i7-7660U CPU @ 2,50GHz	
系列		9
扩展系列	6 扩展型号 8E 修订 1	B0
指令集	MMX, SSE, SSE2, SSE3, SSE3, SSE4.1, SSE4.2, EM64 AVX, AVX2, FMA3, TSX	1, AES,
┌时钟(核心#		
核心速度		8-way
倍频		8-way
总线速度 额定 FSB		4-way 16-way
HAALT		,
已选择	处理器 #1 ▼ 核心数 2 线程数	4
CPU-Z	Ver. 1.96.1.x64 工具 ▼ 验证	确定
🔅 CPU-Z	- 0	×
处理器 缓存		
处理器 缓存 一级数据缓存	T 32 KBytes x 2	
か理器 缓存 一一级数据缓存 大小	32 KBytes x 2 8-way set associative, 64-byte line size	
处理器 缓存一级数据缓存大小 描述一级指令缓存大小	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2	
处理器 缓存一级数据缓存大小描述一级指令缓存	32 KBytes x 2 8-way set associative, 64-byte line size	
处理器 缓存一级数据缓存大小 描述一级指令缓存大小	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size	
处理器 缓存 一级数据缓花 大小 描述 大小 一级指令缓花 大小 描述 一二级缓存 大小 大小	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2	
处理器 缓存一级数据缓符大描述一级指令缓存大描述一公缓存一加述一加述	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2	
处理器 缓存 一級数据缓布 大描述 一級指令技描述 一工級缓存 一工級缓存 一小述 三級缓存	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2 4-way set associative, 64-byte line size	
处理器 缓存 一級数据缓布 一級指令 一級指令大描述 二級缓存大描述 一三級缓存小 一三級缓存大小	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2 4-way set associative, 64-byte line size	
处理器 缓存 一级数据线 据线 一级指令大描 一级缓存大描 二级缓存大描 一小述 三级缓存大描 一小述	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2 4-way set associative, 64-byte line size	
处理器 少理器 一級数据 一級指令大描 一級緩存大描 一級緩存大描 四級緩存 四級緩存	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2 4-way set associative, 64-byte line size 4 MBytes 16-way set associative, 64-byte line size	
处理器 少理器 一級 据 一級 二級 一次 一級 一次 一次 <td< td=""><td>32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2 4-way set associative, 64-byte line size</td><td></td></td<>	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2 4-way set associative, 64-byte line size	
处理器 少理器 一級数据 一級指令大描 一級緩存大描 一級緩存大描 四級緩存 四級緩存	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2 4-way set associative, 64-byte line size 4 MBytes 16-way set associative, 64-byte line size	
处理器 缓存 一级数据 缓存 一级数据 一级 一级缓转 一级缓转 一级缓转 一次 一级缓转 一次 一级缓转 一次 一四级缓转 一次 一次 一次 一次<	32 KBytes x 2 8-way set associative, 64-byte line size 7 32 KBytes x 2 8-way set associative, 64-byte line size 256 KBytes x 2 4-way set associative, 64-byte line size 4 MBytes 16-way set associative, 64-byte line size	

图 2: CPU-Z