

## 第 2 次作业

李子龙 518070910095

2021 年 4 月 13 日

### 1.. 单周期处理器控制逻辑

在下表中填写出上图中各个控制信号的数值：

Instrs.	Control Signals						
	RegDst	ExtOp	ALUSrc	ALUCtr	MemWr	MemtoReg	RegWr
add							
ori							
lw							
sw							
beq							
j							

### 2. 单周期处理器的性能分析

回答问题：

1. 用到关键路径（critical path）的指令是哪一条？
2. 最小时钟周期  $t_{clk}$  是多少？最大时钟频率  $f_{clk}$  是什么？假设  $t_{clk-to-q} >$  保持时间（hold time）。

### 3. 流水线处理器设计（Pipelined CPU Design）

回答问题：

- 这个五阶段流水线处理器的最小时钟周期长度和最大时钟频率分别是多少？
- 相比于单周期处理器，性能加速比（speed up）是多少？为什么加速比会小于5？

### 4. 控制冒险（Control Hazard）

问题：考虑填充转移延迟槽，我们需要重新排列以下几组指令，如果实在找不到指令填充延迟槽，你可能需要插入一条nop指令。

Set 1	Reordered set 1	Set 2	Reordered set 2
addiu \$t0,\$t1,5		addiu \$t0,\$t1,5	
ori \$t2,\$t3,0xff		ori \$t2,\$t3,0xff	
beq \$t0,\$s0,label		beq \$t0,\$t2,label	
lw \$t4,0(\$0)		lw \$t4,0(\$0)	

## 5. 转移延迟槽

如果需要第二种设计能达到第一种设计的性能，转移预测的准确度应该为多少？

## 6. 指令调度

假定在一个有转发（forwarding）功能的五段流水线中执行以下程序段，则可以怎样调整以下指令序列使其性能达到最好？

---

```
lw    $2, 100($6)
add   $2, $2, $3
lw    $3, 200($7)
add   $6, $4, $7
sub   $3, $4, $6
lw    $2, 300($8)
beq   $2, $8, Loop
```

---

## 7. 中断

当MIPS处理器在执行一条除法指令时，发生了除数为0异常（exception）。那么此时处理器就要进行中断处理。在中断处理过程中，最开始的一部分工作由硬件完成，描述一下：

1. 中断处理开始的阶段，硬件需要完成哪些工作，保存哪些状态？
2. 如果中断处理程序（interrupt handler）需要读寄存器R5, R6, R7，写寄存器R5, R8, R10, 那么中断处理程序应该在一开始保留哪几个寄存器的值？
3. ERET（中断返回）指令会触发硬件完成哪些动作？
4. 如果一条指令在执行阶段，即发生了“指令地址错误”异常，又发生了“ALU运算溢出”异常，那么这条指令被中断时，原因寄存器（cause register）中记录的中断原因，应该是哪一个？