计算机系统结构实验 Lab01

朱凡悦 522031910547

May 2024

1 摘要

在 Lab01 中,通过 Verilog 语言实现了 flowing_light 功能,学习了如何新建 module,与 simulation 文件,初步理解了 Vivado 的语法、项目流程、仿真方法与调试手段,收获颇丰。

目录

1	摘要	1
2	实验目的	2
3	原理分析	2
	3.1 Vivado 工程的的基本组成	2
	3.2 flowing light 的原理	2
4	功能实现	3
5	结果验证	3
	5.1 测试用激励文件	3
	5.2 reset 与基本逻辑的测试	3
	5.3 调整以观察移位	5
6	管脚约束	5
7	总结与反思	5

2 实验目的

- 1. 掌握 Xilinx 逻辑设计工具 Vivado 的基本操作
- 2. 掌握使用 Verilog HDL 进行简单的逻辑设计
- 3. 掌握功能仿真
- 4. 使用 1/0 Planing 添加管脚约束
- 5. 生成 Bitstream 文件
- 6. 上板验证

3 原理分析

3.1 Vivado 工程的的基本组成

- 1. design source .v 文件
- 2. simulation source .v 文件
- 3. constraints .xdc 文件

3.2 flowing light 的原理

Flowing light 要求在一段时间内, 8 个 LED 灯依次轮流亮灭,最后一个 LED 熄灭后,第一个 LED 循环亮起。这个功能可以使用移位来实现控制。实现代码如下:

```
always @ (posedge CLK_i)//CLI_i
          if (!reset)//!reset
              cnt_reg<=0;
              else
                  cnt_reg<=cnt_reg + 1;</pre>
      end
| always @ (posedge CLK_i)//CLK_i
         begin
              if (!reset) //!reset
                      light_reg <=8'h01;
              else if (cnt_reg == 24'hffffff)
                  begin
                      if (light_reg == 8'h80)
                          light_reg <=8'h01;
                          light_reg<=light_reg<<1;
         end
 assign led= light_reg;
```

图 1: flowing light 实现代码

4 功能实现

基于上述原理,易于实现 flowing_light.v。在实现 flowing_light.v 后,生成 flowing_light_tb.v 的激励文件用以仿真测试, 生成 lab01_xdc.xdc 的管脚约束用以练习

5 结果验证

5.1 测试用激励文件

实现代码如下。易得时钟周期 40 单位。

5.2 reset 与基本逻辑的测试

仿真结果如下所示。可见 reset, light_reg, cnt_reg 运行正常,且 led 每一位状态可见。

```
parameter PERIOD=10;

always #(PERIOD*2) clock=!clock;

initial begin
    clock=1'b0;
    reset=1'b0;
    #(PERIOD*2) reset=1'b1;
    #(PERIOD*4) reset=1'b0;

// #580; reset=1'b1;
end
```

图 2: flowing light 激励文件

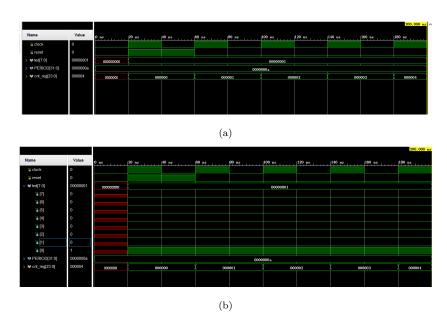


图 3: 仿真结果

5.3 调整以观察移位

由于本实验仿真周期不够,故调整运行时长以观察移位,得到仿真结果如下。



图 4: 移位仿真结果

6 管脚约束

见 lab01_xdc.xdc 文件

7 总结与反思

本次实验使我初步入门了 verilog 语言和仿真实践,感谢助教和老师的课上指导和课程组提供的指导书。