

DDR3 SDRAM 新機能の説明

はじめに

対象者

このマニュアルは、Double Data Rate 3 Synchronous DRAM (DDR3 SDRAM) を用いてアプリケーションシステムを設計するユーザを対象とします。このマニュアルの読者は、電気、論理回路に関する一般的な知識と、Synchronous DRAM (SDRAM) と Double Data Rate Synchronous DRAM (DDR SDRAM)、Double Data Rate 2 Synchronous DRAM (DDR2 SDRAM) の機能と使い方に関する詳しい知識を必要とします。

凡 例

注 意 : 気をつけて読んでいただきたい内容

注 : 本文中につけた注の説明

備 考 : 本文の補足説明

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。
あらかじめご了承ください。

資料名	資料番号
SDRAM の使い方	J0123N
DDR SDRAM の使い方	J0234E
DDR2 SDRAM の使い方	J0437E

注意事項

本資料は、DDR3 SDRAM にて追加された新機能で、特徴的な機能の使い方について理解していただくことを目的としています。

本資料に記載された情報は、半導体製品の動作例、応用例を説明するためのものです。また、本資料に記載している動作例はあくまで参考例を示したもので、記載されている数値は保証値ではありません。従って、これらの情報をお客様の機器に使用される場合、各製品の機能の詳細については、必ずそれぞれのデータシートを参照してください。これらの情報の使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責任を負いません。

目 次

第 1 章 DDR3 SDRAM の特徴(DDR,DDR2 との主な仕様比較).....	5
1.1 主な特徴	5
1.1.1 クロック周波数、データレート、電源電圧、インターフェース	5
1.1.2 バンク数	5
1.1.3 プリフェッチ、バースト長、tCCD.....	6
1.1.4 Posted CAS と AL(Additive Latency)	7
1.1.5 RL(Read Latency)、WL(Write latency).....	7
1.1.6 DQS (データストロープ)	8
1.1.7 VREF ピン.....	8
1.1.8 /RESET ピン	8
1.1.9 出力ドライバインピーダンス(Ron)、ODT とそれらの補正について	9
1.1.10 ZQ Calibration.....	10
1.1.11 CLK-DQS 間 Timing De-skew メカニズム.....	11
1.1.12 Write leveling	12
1.1.13 MPR (Multi Purpose Register).....	13

第1章 DDR3 SDRAM の特徴(DDR,DDR2 との主な仕様比較)

DDR3 SDRAM は DDR2 SDRAM のアーキテクチャーを継承しながら、高速化を図るためにいくつかの新規技術の導入をしています。

表 1-1. DDR1, DDR2, DDR3 の比較

項 目	DDR	DDR2	DDR3
転送速度	200 / 266 / 333 / 400Mbps (100 / 133 / 166 / 200MHz)	400 / 533 / 667 / 800Mbps (200 / 266 / 333 / 400MHz)	800 / 1066 / 1333 / 1600Mbps (400 / 533 / 667 / 800MHz)
電源電圧 (VDD/VDDQ)	2.5 ± 0.2V	1.8 ± 0.1V	1.5 ± 0.075V
インターフェース	SSTL_2	SSTL_18	SSTL_15
バンク数	4	4または8	8
プリフェッチ	2ビット	4ビット	8ビット
バースト長	2 / 4 / 8	4 / 8	4 (Burst chop) / 8
Posted CAS, Additive Latency	なし	あり (AL = 0/1/2/3/4/5)	あり (AL = 0/CL-1/CL-2)
RL,WL	RL = CL (AL機能なし)	RL = AL + CL	RL = AL + CL
	WL = 1	WL = RL - 1 = AL + CL - 1	WL = AL + CWL
ZQ ピン	なし	なし	あり. ZQ Calib.利用 ^{注1}
/Reset ピン	なし	なし	あり ^{注3}
DQ Driver impedance (Ron)	プログラマブル	プログラマブル	プログラマブル
DQ Driver calibration	なし	OCD Calib.利用 ^{注2}	ZQ Calib.利用 ^{注1}
ODT機能	なし	あり	あり
ODT calibration	なし	なし	ZQ Calib.利用 ^{注1}
Dynamic ODT	なし	なし	あり ^{注4}
CLK-DQS間De-skew機能	なし	なし	あり (Write leveling, Read leveling) ^{注5}
パッケージ	TSOP II	FBGA	FBGA

- 注1. ZQ Calibration: PVT (プロセス、電圧、温度) による Ron と ODT 値の変動の補正を行います。
240Ω ± 1%の外部抵抗を ZQ ピンと GND の間に挿入し、参照用として使います。OCD と異なり、Calib.コマンド (ZQCCL, ZQCS) を発行すると DRAM が自動で調整を行うセルフキャリブレーションです。
- 注2. OCD (Off Chip Driver Calibration) : PVT による Ron の変動の補正を行います。インピーダンス値の測定、判定は DDR2 に接続された外部デバイスが行います。OCD はオプション機能です。
- 注3. DRAM の確実な起動のため DDR3 から導入されました。DDR3 の起動時は/RESET ピンを Low に保持します。
- 注4. Dynamic ODT: MRS で事前に Dynamic ODT mode を enable 設定する事により、Write 時の ODT 抵抗値を切り替えることが可能となります。これにより、信号品質の向上に寄与します。
- 注5. DDR3 の DIMM では CMD, ADD, CLK 等の信号に対し Fly-by トポロジーを用いて信号品質を改善します。その場合 DQ, DM, DQS 信号との間に Flight time の差が生じるため、Timing de-skew 機能が必要となります。

1.1 主な特徴

1.1.1 クロック周波数、データレート、電源電圧、インターフェース

DDR3 SDRAM は DDR2 SDRAM の約 2 倍の高速化を図りながらも、電源電圧、インターフェースを 1.5V とすることにより、消費電力の増加を抑えています。

1.1.2 バンク数

DDR3 SDRAM ではバンク数は 8 となっています。バンク数 4 の場合に比べて、バンクインタリーブアクセスの際、効率的なアクセスが可能になります。

1.1.3 プリフェッチ、バースト長、tCCD

DDR3 SDRAM では高速化を図るため 8 ビットプリフェッチ方式 (DDR2 は 4 ビット) を採用しています。DRAM コア部のバス幅は I/O 部のバス幅の 8 倍となっており、これにより、DRAM コアの動作周波数は I/O 部のデータレートに対し 8 分の 1 にすることができます。

READ 動作 : DRAM コアから平行に READ した 8 ビット幅のデータをシリアルに変換し、クロックに同期して (ダブルデータレートで) I/O ピンから出力します。

WRITE 動作 : クロックに同期して (ダブルデータレートで) I/O ピンからシリアルに入力したデータを平行に変換し、DRAM コア部へ 8 ビット幅で書き込みを行います。

DDR3 は 8 ビットを一度に I/O バッファに読み込むことで、データバスは 1066Mbps のスピードでも内部バス動作は 133MHz という負担の少ないスピードで処理することができ、高速動作を無理なく実現しています。

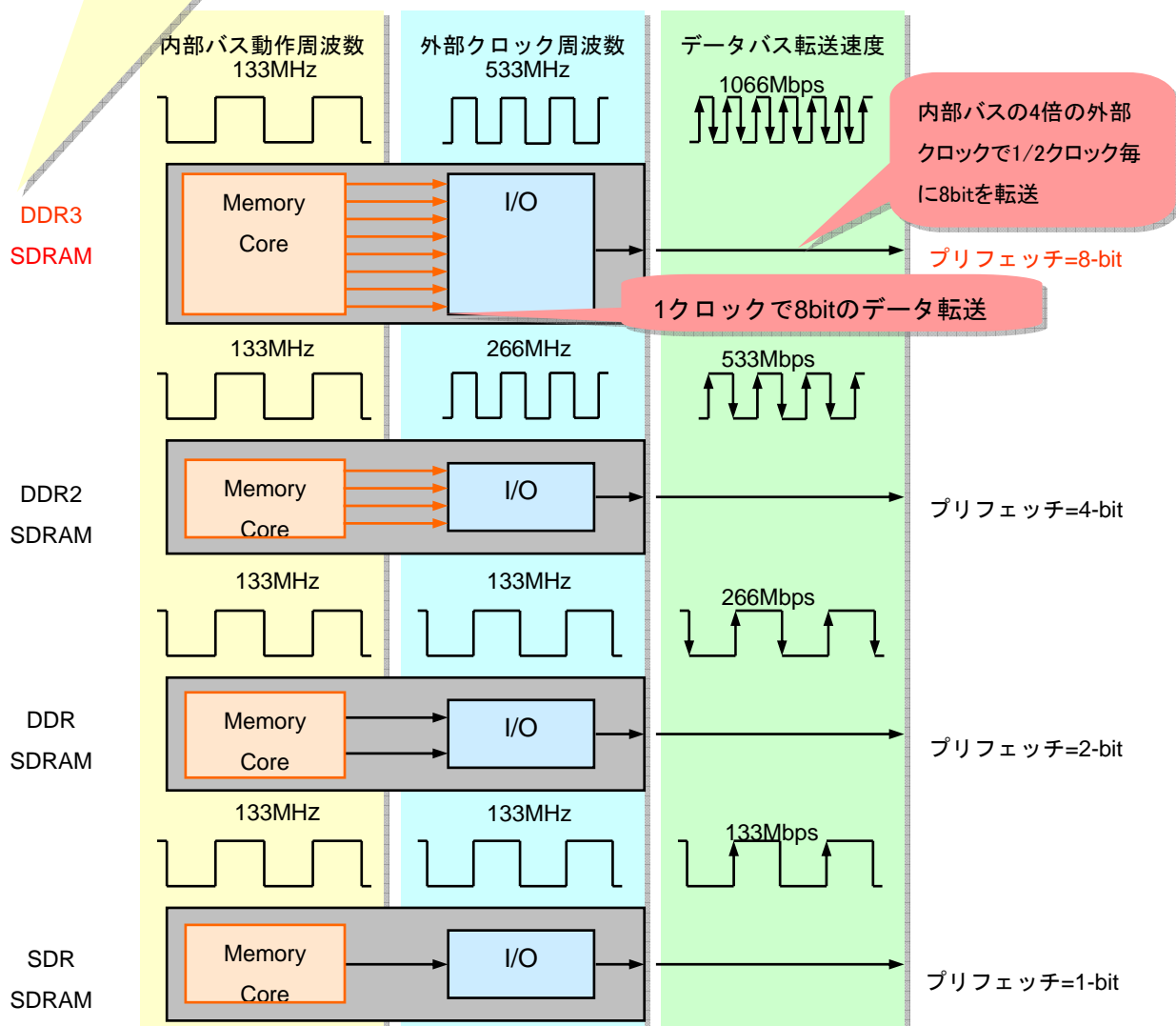


図 1-1 DDR2 SDRAM、DDR SDRAM、SDR SDRAM の動作比較

このような特徴からバースト長は基本的には8となりますが、DDR2 SDRAM からの継承性を考え、バースト長4もサポートしています。但し、その場合にはあたかもバースト長8のアクセスの後半4ビット分がマスクされているような扱いとなります。(これを Burst Chop4(BC4)と呼びます)
また、カラムコマンド間隔(tCCD)も8ビットプリフェッチの関係で4tCK となります。

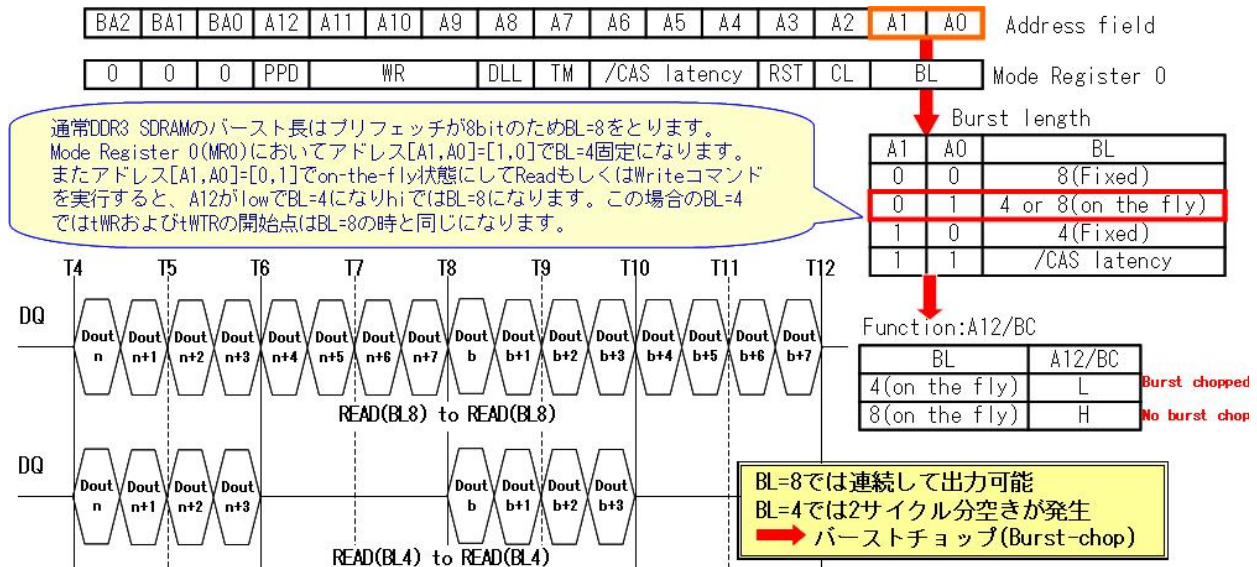


図 1-2.Burst-Chop の説明

1.1.4 Posted CAS と AL(Additive Latency)

DDR3 SDRAM においても Posted CAS、Additive Latency 機能をサポートしています。

本機能の詳細については弊社ユーザーズマニュアル「DDR2 SDRAM の使い方」をご参照ください。

1.1.5 RL(Read Latency)、WL(Write latency)

READ コマンド発行から先頭データ出力までの時間を RL(Read latency)、WRITE コマンド発行から先頭データ入力までの時間を WL(Write Latency)と呼び、クロック数で表現します。

DDR2 SDRAM と DDR3 SDRAM では、RL,WL の定義が一部変更になっています。

表 1-2 DDR2 SDRAM と DDR3 SDRAM における RL,WL の相違

	DDR2 SDRAM	DDR3 SDRAM
RL(Read Latency)	RL=AL+CL	RL=AL+CL
WL(Write Latency)	WL=RL-1=AL+CL-1	WL=AL+CWL
CL	(2),3,4,5,6	5,6,7,8,9,10,(11)
AL	0,1,2,3,4,(5)	0, CL-1, CL-2
CWL	N/A	5,6,7,8

AL: Additive Latency CL: CAS Latency CWL: CAS Write Latency

1.1.6 DQS (データストロープ)

DDR3 SDRAM ではデータレートが高く、より精密なタイミング制御が必要なことから、ディファレンシャル DQS のみ使用可能です。

1.1.7 VREF ピン

DDR3 SDRAM ではデータ用とコマンド/アドレス用で VREF を分離しています。

1.1.8 /RESET ピン

DDR3 SDRAM から /RESET ピンが新たに導入されました。電源投入&初期化時や、RESET が必要なときは /RESET ピンを Low レベルにします。

1.1.9 出力ドライバーインピーダンス(R_{on})、ODT とそれらの補正について

出力ドライバーインピーダンス(R_{on})

—DQ,DQS,/DQS,DM の出力ドライバーインピーダンス(R_{on})は、DDR2 SDRAM と同様選択が可能です。
(MR1 [A5,A1])

— R_{on} はプロセス、電圧、温度(PVT)により変動することがあります。

DDR2 SDRAM では、OCD(Off chip Driver Calibration)という機能 (オプション) で PVT に対する補正を行うことができますが、DDR3 SDRAM では OCD 機能は廃止し、代わりに ZQ Calibration という機能を利用します。

ODT (On Die Termination)

チップ上に終端抵抗を設け、信号反射を抑えます。外部抵抗部品削減と信号品質向上の効果がありません。

—ODT 抵抗値 R_{tt} は DDR2 SDRAM と同様選択が可能です。(MR1 [A9,A6,A2]、MR2 [A10,A9])。

—DDR2 SDRAM で設けられていた ODT 機能を継承し、さらに ODT モードを拡張しています。

Synchronous ODT : 従来の DDR2 SDRAM と同様の ODT タイミング

Asynchronous ODT : Slow Exit Power down モード時の ODT タイミング

Dynamic ODT : MRS コマンド発行なしに Write 時の ODT 抵抗値を動的に切り替えることが出来る機能。Write 時の信号品質向上に寄与。

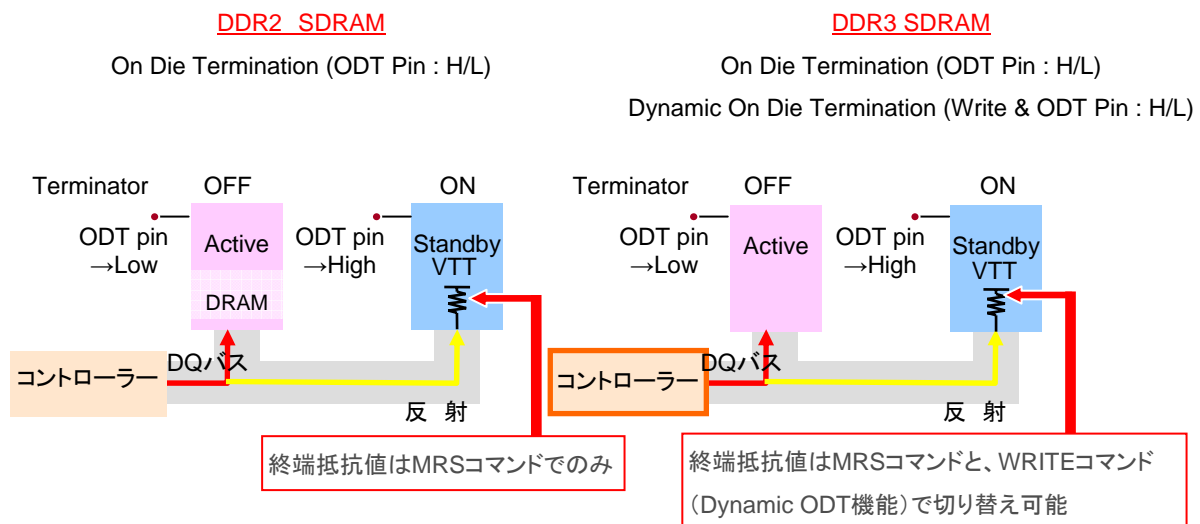


図 1-3. DDR2 SDRAM の ODT と DDR3 SDRAM の Dynamic ODT の比較

高速転送を実現するため、DDR2/DDR3 SDRAM では DRAM 上に終端抵抗を搭載し、バス上の反射を抑えています。

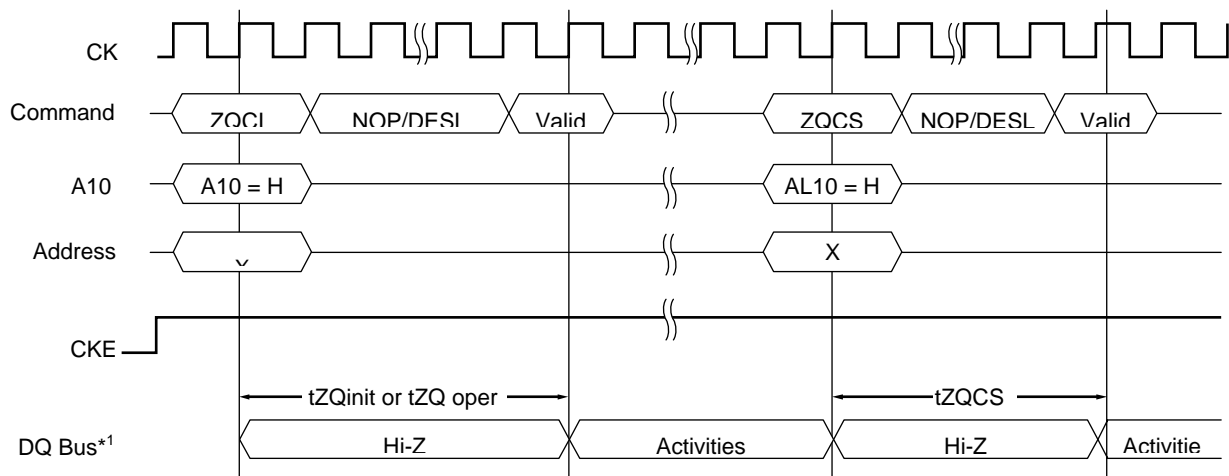
(各 DRAM からの反射の影響を抑える事が可能。ODT pin (Input : High / Low) にて ON, OFF を制御。)

DDR3 SDRAM では終端抵抗値を動的に切り替えることができ、Write 時の波形品質を向上させることで、ギガヘルツ級のスピードでの安定動作を実現しております。

(ODT の終端抵抗値 (RTT_{Nom})、および Dynamic ODT 機能で適用する終端抵抗値 (RTT_{WR}) は MRS にて設定頂けます。Dynamic ODT を OFF に設定している場合、Write 時に ODT pin を High にすると RTT_{Nom} で設定した値が適用されます。)

1.1.10 ZQ Calibration

—ODT 抵抗値 R_{tt} は PVT で変動することがありますが、DDR3 SDRAM では DDR2 SDRAM ではできなかった PVT に対する補正 (Calibration) が可能となりました。Ron 補正同様、 R_{tt} 補正も ZQ Calibration 機能を利用します。



Notes 1. ODT must be disabled via ODT signal or MRS during calibration procedure.

図 1-4. ZQ Calibration

ZQ Calibration は DDR3 が正常動作するために必須の機能です。DRAM が ZQpin に接続された外部抵抗値 ($=240\Omega \pm 1\%$) を基準として、温度/電圧変化に対し ZQpin の Ron/ R_{tt} 値を補正します。(図 1-5.)

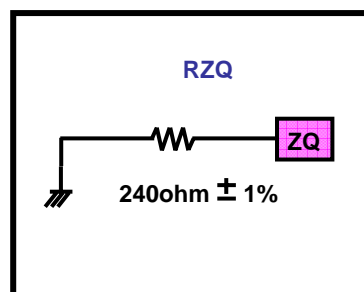


図 1-5. 外部抵抗 (RZQ)

また ZQ Calibration のコマンドは電源投入および初期化時に行う ZQ Calibration Long と、動作中に定期的に行う ZQ Calibration Short があります。

表 1-3. ZQ Calibration コマンドと投入タイミング

コマンド	投入
ZQCL (ZQ Calibration Long)	電源投入/イニシャライズ
ZQCS (ZQ Calibration Short)	動作中

1.1.11 CLK-DQS 間 Timing De-skew メカニズム

DDR3 SDRAM のメモリモジュールでは、CMD/ADD/CLK に対し図 1-6.のような Fly-by トポロジーを採用し、信号品質の改善を図ります。

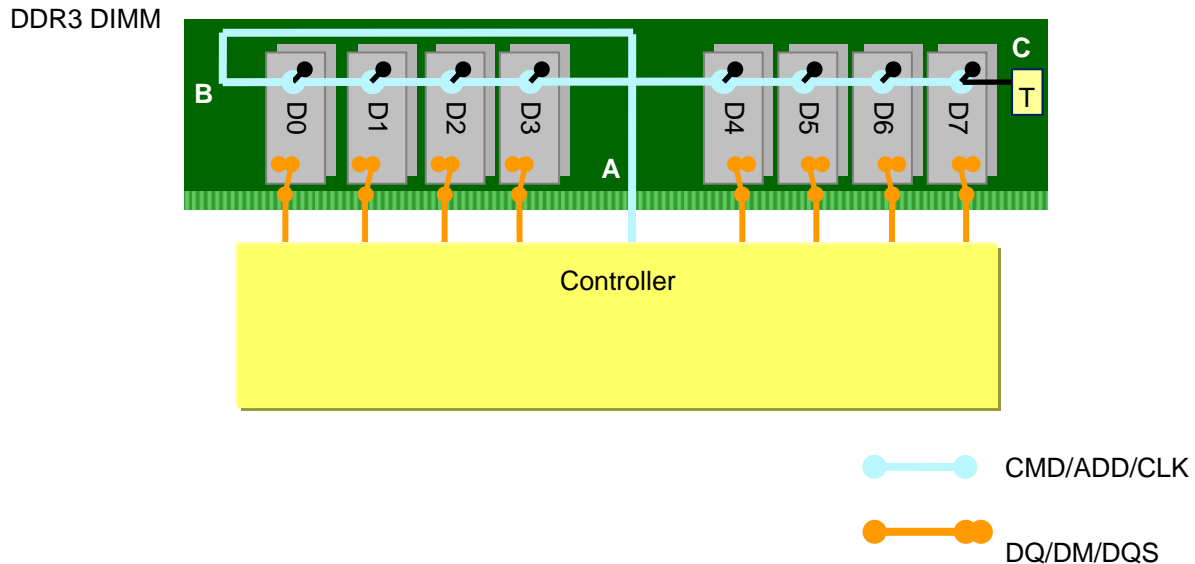


図 1-6. Fly-by Topology と Timing De-skew

このトポロジーでは、信号品質が向上する反面、DQ 信号と CMD/ADD/CLK 信号との間に Flight Time の差ができるので（特に C の位置では Flight Time の差が最大になります）、コントローラーはそれぞれの信号を送出するタイミングを調整する必要があります。このため DDR3 では Timing de-skew メカニズムが用意されています。

—Read leveling

DDR3 SDRAM があらかじめ決められたデータパターンを出力します。コントローラーは DQ/DQS の取り込みタイミングを調整します（MPR（Multi Purpose register）を利用します）。

—Write leveling

DDR3 が CLK-DQS 間 Skew 情報を出力します。コントローラーは Skew 情報を利用し、CMD/ADD/CLK 信号が DQ/DM/DQS 信号と同時に DDR3 に到達するように調整します。

1.1.12 Write leveling

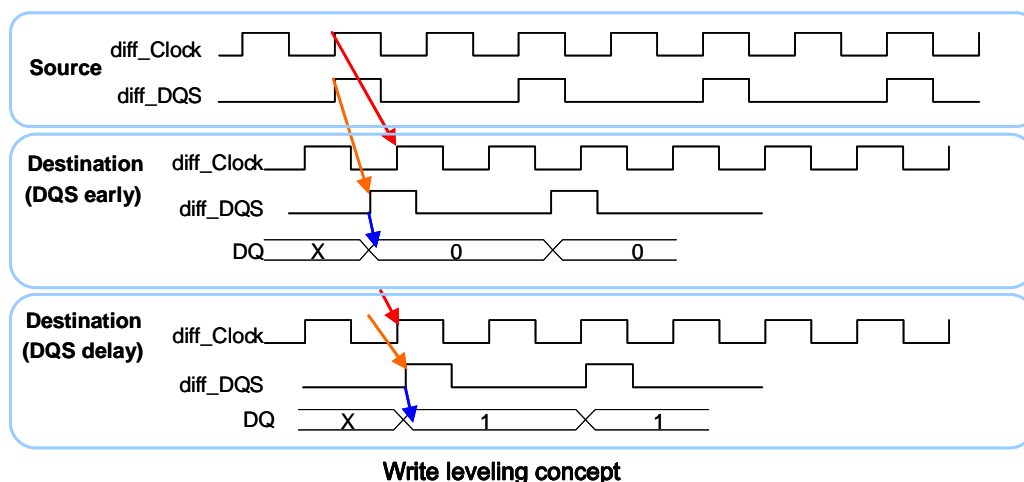


図 1-7. Write leveling 概念図

ー調整シーケンス

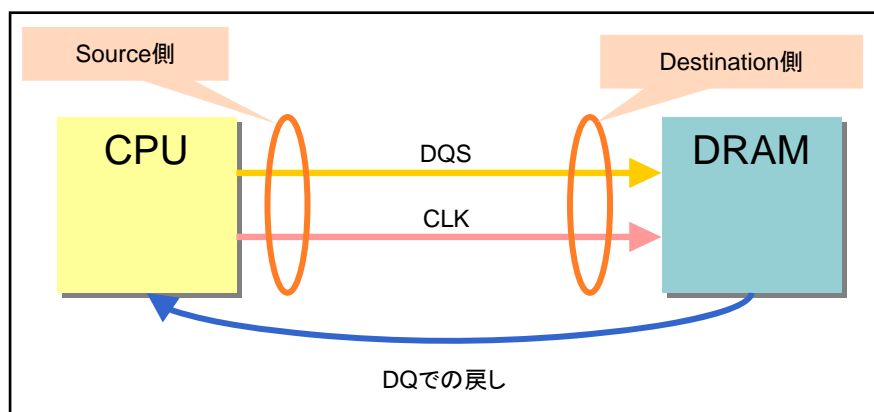
- ① Mode register set コマンドで MR1 を Write leveling enable にセットします。
- ② Write leveling モードでは DDR3 は DQS 立ち上がりエッジで CLK をサンプリングし、DQ からその情報を出力します。
- ③ コントローラーが送出する DQS タイミングをずらしていきます。Destination に CLK、DQS が同時に到達するようになった段階で、DQ からの出力が変化します。

<解説>

メモリ側からは、DQ にて現状をフィードバックします。(0 : 早い、1 : 遅い)

この結果を受け取り、システム側で判断し調整して頂きます。

本機能は enable 設定時は常時起動されておりますので、調整終了時は disable する必要があります。



Source : コントローラー端 Destination : DDR3 端

図 1-8. 解説図

1.1.13 MPR (Multi Purpose Register)

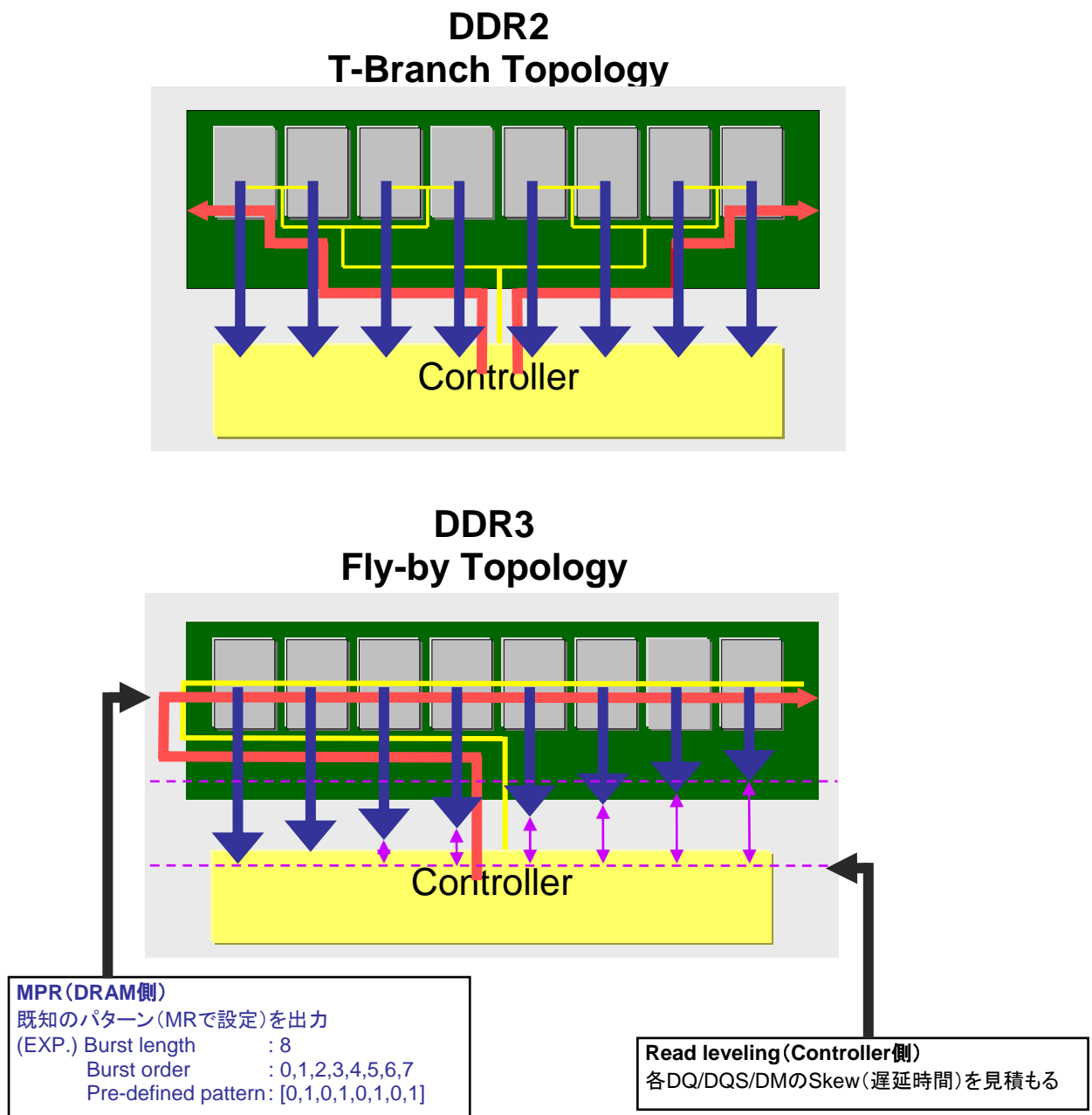


図 1-9. MPR (Multi Purpose Register) 概念図

Read leveling はコントローラー各 DRAM からの出力 Skew を調整する仕様ですが、DDR3 は高速動作のため、タイミング調整を実施しないと正しい入力を行えない可能性があります。

MPR は、Read leveling を補助する仕様で、メモリアレイとは別に特定のデータパターンを保持した ROM があり、その ROM からデータを出力する機能です。

この特定データパターンを使用することで、READ 時のタイミング補正を行うことができます。

※MPR を使用するためには、コントローラー側が MPR に対応している必要があります。

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

CMOSデバイスの入力レベルは固定してください。バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して電源またはグランドに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

電源投入時、MOSデバイスの初期状態は不定です。分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

CMJ0107

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

当社の書面による事前承諾なしに本資料の全部または一部を転載、複製することを禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権（特許権、著作権、回路配置利用権を含むがこれに限定されない）その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路、ソフトウェア、及びこれらに付随する情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。

[本製品の用途に関する注意]

本製品は、一般電子機器に汎用標準的な用途で使用されることを想定しております。

当社は品質、信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に当社営業担当までご相談いただきますようお願いいたします。

[使用上の注意]

設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、当社保証範囲内でご使用いただきますようお願いいたします。保証値を越えてご使用された場合の故障及び事故につきましては、当社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、当社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じていただきますようお願いいたします。

[使用環境に関する注意]

本製品は、下記特殊環境での使用を配慮した設計にはなっておりません。

従いまして、下記のような特殊環境における使用に起因するお客様もしくは第三者の損害に対して、当社はその責を負いません。

例：

- 1) 水、油、薬液、有機溶剤等の液体中でのご使用。
- 2) 直射日光、屋外暴露、塵埃中でのご使用。
- 3) 潮風、 Cl_2 、 H_2S 、 NH_3 、 SO_2 、 NO_x 等の腐食性ガスの多い場所でのご使用。
- 4) 静電気や電磁波や放射線の強い環境でのご使用。
- 5) 結露するような場所でのご使用。
- 6) 振動、衝撃、応力が加わる環境でのご使用。
- 7) 発熱体、発火物及び引火物の近くでのご使用。

本資料に記載の製品及び技術のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては日本国の輸出管理関連法規に定める手続をとることが必要であり、米国輸出管理規則等外国の輸出管理関連法規の規制に該当する場合は必要に応じそれらの法令に定める手続をとることが必要です。また、それらを、第三者に販売、賃貸、譲渡又は使用許諾等をする場合、当該第三者に対し、責任をもって輸出管理関連法規に定める手続をとることを遵守させて下さい。

M01J0706

