

DDR SDRAM の使い方

はじめに

このマニュアルは、Double Data Rate Synchronous DRAM (DDR SDRAM) を用いてアプリケーション・システムを設計するユーザを対象とします。このマニュアルの読者は、電気、論理回路に関する一般的な知識と、従来の Synchronous DRAM (SDRAM) の機能と使い方に関する詳しい知識を必要とします。

凡 例

注 意 : 気をつけて読んでいただきたい内容

注 : 本文中につけた注の説明

備 考 : 本文の補足説明

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。

あらかじめご了承ください。

ドキュメント名	資料番号
SDRAM の使い方 ユーザーズマニュアル	J0123N

注意事項

本資料は、DDR2 SDRAM の基本的な性能とその使い方について理解していただくことを目的としています。本資料に記載された情報は、半導体製品の動作例、応用例を説明するためのものです。また、本資料に記載している動作例はあくまで参考例を示したもので、記載されている数値は保証値ではありません。従って、これらの情報をお客様の機器に使用される場合、各製品の機能の詳細については、必ずそれぞれのデータシートを参照してください。これらの情報の使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責任を負いません。

目 次

第1章 DDR SDRAM と SDRAM との違い	10
1.1 機能・仕様の違い	11
1.1.1 データ転送周波数, データ・レート	12
1.1.2 クロック入力	13
1.1.3 データ・ストロブ信号 (DQS)	13
1.1.4 インタフェース	14
1.1.5 電源電圧	15
1.1.6 /CAS リード・レーテンシ, /CAS ライト・レーテンシ, バースト長, バースト・シーケンス	15
1.1.7 DLL の使用	15
1.1.8 データ・マスク	15
1.2 コマンドの違い	16
1.2.1 クロック・サスペンド	16
1.2.2 フルページ・バースト	16
1.2.3 バースト・ストップ	16
1.2.4 バースト・リード後のシングル・ライト	16
1.3 動作タイミングの違い	17
第2章 製品概要	19
2.1 端子接続図	19
2.2 端子機能説明	21
2.2.1 クロック入力 (CK, /CK)	21
2.2.2 クロック・イネーブル入力 (CKE)	21
2.2.3 チップ・セレクト入力 (/CS)	21
2.2.4 ロウ・アドレス・ストロブ入力 (/RAS), カラム・アドレス・ストロブ入力 (/CAS), ライト・イネーブル入力 (/WE)	21
2.2.5 アドレス入力 (A0 – Ax)	22
2.2.6 バンク・アドレス入力 (BA0, BA1)	22
2.2.7 データ入出力 (DQ0 – DQx)	23
2.2.8 データ・ストロブ入出力 (DQS, LDQS, UDQS)	23
2.2.9 DQ ライト・マスク・イネーブル入力 (DM, LDM, UDM)	23
2.2.10 電源電圧 (内部回路用) (VDD, VSS)	23
2.2.11 電源電圧 (I/O バッファ用) (VDDQ, VSSQ)	23
2.2.12 参照電圧 (VREF)	23

2.3	ブロック図.....	24
2.3.1	128M ビット DDR SDRAM のメモリ・セル・アレイ	25
2.3.2	アドレス・デコーダ (ロウ・アドレス・デコーダ, カラム・アドレス・デコーダ)	26
2.3.3	I/O バッファ	26
2.3.4	リフレッシュ・カウンタ	26
2.3.5	DLL 回路	26
第3章	製品の特徴	27
3.1	シンクロナス動作	28
3.2	コマンド制御	29
3.2.1	コマンド入力タイミング	29
3.2.2	DDR SDRAM コマンド一覧	30
3.3	マルチ・バンク・オペレーション	31
3.3.1	4 バンク構成	31
3.3.2	基本タイミングの種類	32
3.4	バースト動作	33
3.5	アクセス時間	35
第4章	初期化	38
4.1	電源投入後の初期化	38
第5章	モード・レジスタ設定	40
5.1	モード・レジスタの設定	40
5.2	設定項目	40
5.3	モード・レジスタ, 拡張モード・レジスタのフィールド	45
第6章	状態遷移図	46
6.1	DDR SDRAM の状態遷移図.....	46
6.2	状態説明	48
6.2.1	アイドル (IDLE)	48
6.2.2	バンク・アクティベイティング (Bank Activating) (ロウ・アクティベイティング)	48
6.2.3	バンク・アクティブ (BANK ACTIVE) (ロウ・アクティブ)	48
6.2.4	プリチャージング (Precharging)	48
6.2.5	リード, ライト (READ, WRIT)	48
6.2.6	オート・プリチャージ付きリード, ライト (READA, WRITA)	48
6.2.7	モード・レジスタ設定 (Mode Register Set)	48
6.2.8	CBR (オート) リフレッシュ (CBR (auto) Refresh)	49
6.2.9	セルフ・リフレッシュ (Self Refresh)	49
6.2.10	セルフ・リフレッシュ・リカバリ (Self Refresh Recovery)	49
6.2.11	パワーダウン (Power Down)	49

第7章 コマンド・オペレーション	50
7.1 DDR SDRAM コマンド真理値表	50
7.2 コマンド実行条件	51
7.3 DDR SDRAM のコマンド動作	52
第8章 基本動作モード	58
8.1 リード・モード	58
8.2 tRAS ロックアウト機能 (Fast Auto Precharge) について	61
8.3 ライト・モード	62
8.4 リフレッシュ・モード	64
第9章 データ・ストローク信号 (DQS) 制御動作	65
9.1 データ・ストローク信号 (DQS)	65
9.1.1 リード・サイクル中のデータ・ストローク信号 (DQS)	66
9.1.2 ライト・サイクル中のデータ・ストローク信号 (DQS)	67
9.2 リード・サイクル中のデータ・ストローク信号 (DQS) , 出力データ (DQ) と クロック (CK , /CK) との関係	68
9.3 リード・サイクル中のデータ・ストローク信号 (DQS) と出力データ (DQ) の関係	69
9.4 データ・ストローク信号 (DQS) のリード・プリアンブルとリード・ポストアンブル	70
9.5 ライト・サイクル中のデータ・ストローク信号 (DQS) と入力データ (DQ) , DQ ライト・マスク・イネーブル信号 (DM) との関係	72
9.6 データ・ストローク信号 (DQS) のライト・プリアンブルとライト・ポストアンブル	73
第10章 DQ ライト・マスク・イネーブル信号 (DM) 制御動作	74
10.1 DQ ライト・マスク・イネーブル信号 (DM)	74
10.2 ライト・サイクル中の DQ ライト・マスク・イネーブル信号 (DM) 制御	75
10.3 DQ ライト・マスク・イネーブル信号 (DM) 真理値表	75
第11章 クロック・イネーブル信号 (CKE) 制御動作	76
11.1 基本制御	76
11.2 クロック・イネーブル信号 (CKE) 制御例	77
11.2.1 パワーダウン・モード	78
11.2.2 セルフ・リフレッシュ・モード	79
11.2.3 クロック・イネーブル信号 (CKE) コマンド真理値表	80
第12章 バースト動作	82
12.1 バースト動作の終了	82
12.1.1 リード・コマンドによるデータ割り込み	82
12.1.2 ライト・コマンドによるデータ割り込み	84
12.1.3 バースト・ストップ・コマンドによるバースト動作の終了	85
12.1.4 プリチャージ・コマンドによるバースト動作の終了	86

エラー! ブックマークが定義されていません。

図の目次 (1/2)

図番号	タイトル	ページ
図 1 - 1	2 ビット・プリフェッチ構成	12
図 1 - 2	クロック入力	13
図 1 - 3	SSTL_2 インタフェース (DIMM の例)	14
図 1 - 4	DDR SDRAM リード・サイクル・タイミング	17
図 1 - 5	SDR SDRAM リード・サイクル・タイミング	17
図 1 - 6	DDR SDRAM ライト・サイクル・タイミング	18
図 1 - 7	SDR SDRAM ライト・サイクル・タイミング	18
図 2 - 1	128M ビット DDR SDRAM の端子接続図	19
図 2 - 2	256M / 512M ビット DDR SDRAM の端子接続図	20
図 2 - 3	128M ビット DDR SDRAM のブロック図	24
図 2 - 4	128M ビット DDR SDRAM のメモリ・セルとメモリ構成 (Bank A)	25
図 3 - 1	DDR SDRAM リード・サイクル・タイミング	28
図 3 - 2	DDR SDRAM ライト・サイクル・タイミング	28
図 3 - 3	コマンド入力タイミング	29
図 3 - 4	4 バンク構成	31
図 3 - 5	バースト動作	34
図 3 - 6	バースト・リード・サイクル	36
図 3 - 7	DDR SDRAM , SDR SDRAM , EDO DRAM のアクセス時間	37
図 4 - 1	DDR SDRAM の初期化	39
図 5 - 1	モード・レジスタ / 拡張モード・レジスタ設定サイクル	40
図 5 - 2	バースト長 = 8 の場合のリード / ライト・サイクル	41
図 5 - 3	バースト・シーケンス	42
図 5 - 4	/CAS レーテンシ = 2 , 2.5 のタイミング上の違い	44
図 5 - 5	モード・レジスタ , 拡張モード・レジスタのフィールド (128M ビット DDR SDRAM の場合)	45
図 6 - 1	DDR SDRAM の状態遷移図	47
図 8 - 1	リード・サイクル	59
図 8 - 2	オート・プリチャージ付きリード・サイクル	60
図 8 - 3	オート・プリチャージ付きリード・サイクル (Fast Auto Precharge) (DDR266A の例)	61
図 8 - 4	ライト・サイクル	62
図 8 - 5	オート・プリチャージ付きライト・サイクル	63
図 8 - 6	CBR (オート) リフレッシュ・サイクル	64

図の目次 (2/2)

図番号	タイトル	ページ
図 9 - 1	データ・ストローブ信号とデータ入出力の関係.....	65
図 9 - 2	リード・サイクル中のデータ・ストローブ信号.....	66
図 9 - 3	ライト・サイクル中のデータ・ストローブ信号.....	67
図 9 - 4	リード・サイクル中のクロックに対するデータ・ストローブ信号と出力データのタイミング.....	68
図 9 - 5	リード・サイクル中のデータ・ストローブ信号と出力データ.....	69
図 9 - 6	データ・ストローブ信号のリード・プリアンブルとリード・ポストアンブルのタイミング 1.....	71
図 9 - 7	データ・ストローブ信号のリード・プリアンブルとリード・ポストアンブルのタイミング 2 (リード - リード・データ・バス遷移).....	71
図 9 - 8	ライト・サイクル中の入力データと DQ ライト・マスク・イネーブル信号の タイミング・パラメータ.....	72
図 9 - 9	データ・ストローブ信号のライト・プリアンブルとライト・ポストアンブルのタイミング.....	73
図 10 - 1	ライト・サイクル中の DQ ライト・マスク・イネーブル信号制御.....	75
図 11 - 1	クロック・イネーブル信号による制御信号の入力タイミング.....	76
図 11 - 2	クロック・イネーブル信号 (CKE) 制御例.....	77
図 11 - 3	パワーダウン・モード.....	78
図 11 - 4	セルフ・リフレッシュ・モード.....	79
図 12 - 1	リード/リード・コマンド.....	82
図 12 - 2	ライト/リード・コマンド.....	83
図 12 - 3	ライト/ライト・コマンド.....	84
図 12 - 4	リード/バースト・ストップ/ライト・コマンド.....	84
図 12 - 5	リード/バースト・ストップ・コマンド.....	85
図 12 - 6	リード/プリチャージ・コマンド.....	86
図 12 - 7	ライト/プリチャージ・コマンド.....	87

表の目次

表番号	タイトル	ページ
表 1 - 1	DDR SDRAM と SDR SDRAM の機能・仕様の違い	11
表 1 - 2	SSTL_2 インタフェース仕様.....	15
表 1 - 3	DDR SDRAM と SDR SDRAM のコマンドの違い.....	16
表 2 - 1	128M ビット DDR SDRAM のアドレス端子.....	22
表 2 - 2	バンク・アドレス端子と選択されるバンク	22
表 3 - 1	DDR SDRAM (x4 / x8 / x16 ビット構成) コマンド一覧表.....	30
表 3 - 2	DDR SDRAM , SDR SDRAM , EDO DRAM のアクセス時間	37
表 7 - 1	DDR SDRAM (x4 / x8 / x16 ビット構成) コマンド真理値表	50
表 7 - 2	コマンド実行条件	51
表 9 - 1	リード・サイクル中のデータ・ストローク信号と出力データの AC 特性.....	68
表 9 - 2	リード・サイクル中のデータ・ストローク信号と出力データの AC 特性.....	69
表 9 - 3	データ・ストローク信号のリード・プリアンブルとリード・ポストアンブルの AC 特性.....	70
表 9 - 4	ライト・サイクル中の入力データ, データ・マスク信号の AC 特性.....	72
表 9 - 5	データ・ストローク信号のライト・プリアンブルとライト・ポストアンブルの AC 特性.....	73
表 10 - 1	DQ ライト・マスク・イネーブル信号 (DM) 真理値表.....	75

第 1 章 DDR SDRAM と SDRAM との違い

DDR SDRAM (Double Data Rate Synchronous DRAM) は、従来の SDRAM (DDR SDRAM との対比で、このマニュアルでは従来の SDRAM を SDR SDRAM (Single Data Rate Synchronous DRAM) と表記します) と比較して、2 倍のデータ転送レートを可能にした DRAM です。

この章では、DDR SDRAM と SDR SDRAM との違いを次の項目ごとに説明します。

- (1) 機能・仕様の違い
- (2) コマンドの違い
- (3) 動作タイミングの違い

1.1 機能・仕様の違い

DDR SDRAM は SDR SDRAM の技術を引き継ぎ、高速化、低消費電力化を可能にした SDRAM です。DDR SDRAM は SDR SDRAM に似ている部分が多く、スムーズな移行が可能になっています。

ここでは DDR SDRAM と SDR SDRAM の機能と仕様の違いを説明します。

表1 - 1 DDR SDRAMとSDR SDRAMの機能・仕様の違い

項 目	DDR SDRAM	SDR SDRAM
データ転送周波数	動作周波数の 2 倍	動作周波数と同じ
データ・レート	$2/t_{CK}$	$1/t_{CK}$
クロック入力	ディファレンシャル・クロック	シングル・クロック
データ・ストロブ信号 (DQS)	必須	サポートなし
インタフェース	SSTL_2	LVTTL
電源電圧	2.5 V	3.3 V
/CAS リード・レーテンシ	2, 2.5, 3	2, 3
/CAS ライト・レーテンシ	1	0
バースト長	2, 4, 8	1, 2, 4, 8, full page (256) 注
バースト・シーケンス	シーケンシャル/インタリーブ	シーケンシャル/インタリーブ
DLL の使用	必須	オプション
データ・マスク	ライト・マスクのみ	ライト・マスク/リード・マスク

注 SDR SDRAM のバースト長 full page (256) はオプションです。

備考 t_{CK} : クロック・サイクル時間

1.1.1 データ転送周波数，データ・レート

DDR SDRAM は 2 ビット・プリフェッチ構成の採用により，クロック周波数の 2 倍のデータ転送レートを可能にしています。

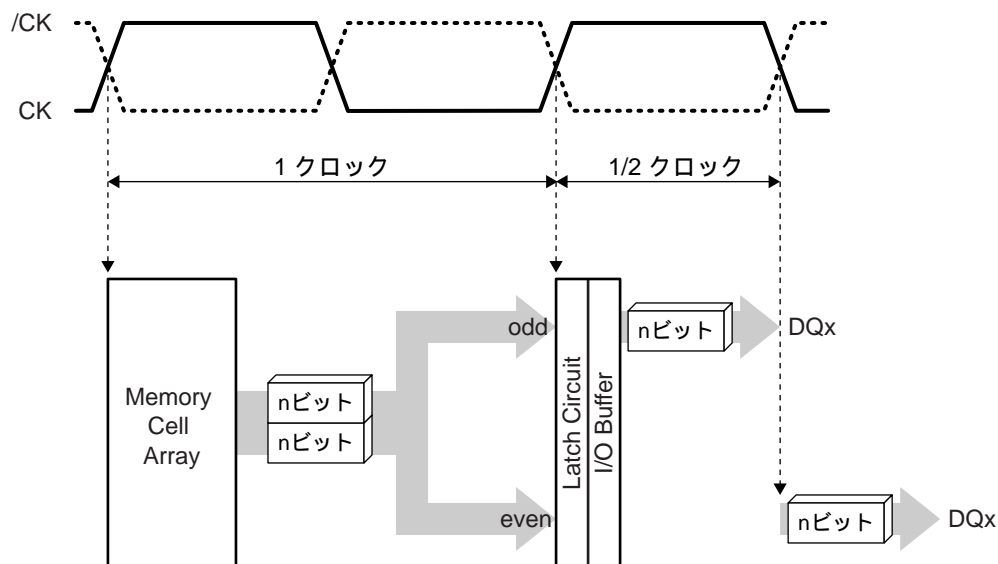
リード・サイクルを例に 2 ビット・プリフェッチ構成について説明します。

2 ビット・プリフェッチ構成では，1 クロックごとに $2n$ ビット分のデータをメモリ・セル・アレイから I/O バッファに転送します。I/O バッファに転送されたデータは， $1/2$ クロックごと（クロック（CK）の立ち上がりと立ち下がりの両エッジ）に n ビットずつ出力されます。

このとき，内部バス幅が外部バス幅の 2 倍であることにより，内部バスのデータ・レートに対して 2 倍の速さでのデータ出力を実現しています。

なお，データが 2 ビットのペアでアクセスされるため，DDR SDRAM のバースト長は 2，4，8 のみのサポートとなっています。

図1-1 2ビット・プリフェッチ構成



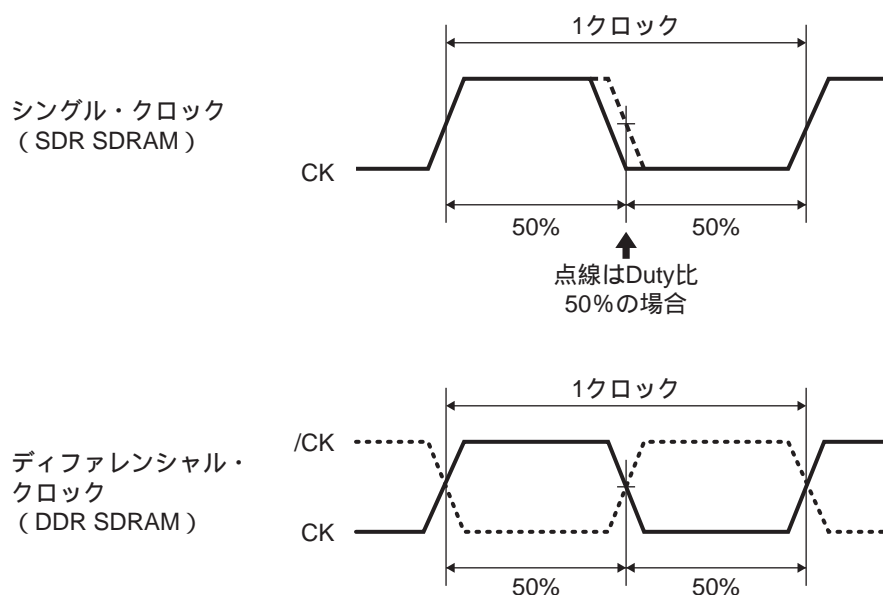
1.1.2 クロック入力

様々な要因により、クロック入力のハイ・レベルとロウ・レベルの期間が同一（Duty 比 50 %）ではないことがあります。

クロックの立ち上りによりのみ同期してデータの入出力を行う SDR SDRAM では、このようなクロックを基準にしてもタイミング設計に余裕があります。しかし、DDR SDRAM ではデータの入出力をクロックの立ち上がりと立ち下りの両エッジに同期して制御するため、従来のシングル・クロックを基準にして正確にデータ入出力のタイミングを制御することが難しくなりました。

そのため、DDR SDRAM ではディファレンシャル・クロックを採用し、メモリの正確な制御を可能にしています。

図1-2 クロック入力



/CK は CK と同周期で、位相が CK と逆位相の入力信号です。CK と /CK の交点を入力リファレンス・レベルとすることでハイ・レベルとロウ・レベルの期間を同一にすることができます。DDR SDRAM では、CK と同周期のデータ・ストローブ信号（DQS）の立ち上がりと立ち下りの両エッジに同期してデータの入出力を行います。

ディファレンシャル・クロックの採用により、DDR SDRAM は高いクロック周波数への対応や、ノイズなどによる悪影響を抑えることを可能にしています。

1.1.3 データ・ストローブ信号（DQS）

DDR SDRAM は SDR SDRAM と同様に、クロック（CK）の立ち上がりエッジでコマンドを入力して制御しますが、データ入出力のタイミングが SDR SDRAM とは異なります。DDR SDRAM では、高速データ転送を実現するためにデータ・ストローブ信号（DQS）を採用しています。ドライバから DQS を出力し、レシーバはそれを受け取ってデータ（DQ）を取り込むタイミングを調整します。詳細は第9章 データ・ストローブ信号（DQS）制御動作を参照してください。

1.1.4 インタフェース

DDR SDRAM では、動作周波数の高速化に伴って生じるノイズや反射による信号の劣化を解消するため、JEDEC に準拠した SSTL_2 (Stub Series Terminated Logic for 2.5 V) インタフェースを採用しています。

SSTL_2 は低電圧 (2.5 V) で、バスからの信号の分岐点 (stub) とメモリとの間に直列に抵抗を付加して反射の影響を低減した、小振幅で高速のインタフェースです。

(1) スタブ抵抗

約 25 (DIMM (Dual In-Line Memory Modules) では 22 が一般的) のスタブ抵抗を出力端子 (V_{OUT}) に直列接続し、伝送線路とデバイス出力との整合をとっています。

(2) 終端電圧

終端電圧 (V_{TT}) に約 25 (DIMM では 27 が一般的) の抵抗で終端します。伝送系の反射を抑えるとともに、振幅を抑えるため、高速データ転送が可能になります。

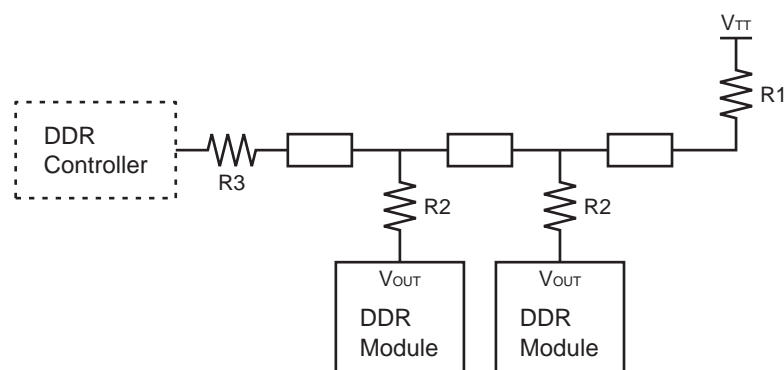
(3) 参照電圧

SSTL_2 インタフェースはハイ・レベル出力、ロウ・レベル出力が対称的なインタフェースです。 V_{REF} は、ハイ・レベル、ロウ・レベルを検出するための参照電圧として使用されます。

(4) インタフェース仕様

DDR SDRAM では SSTL_2 インタフェースが一般的に用いられます。SSTL_2 インタフェースでは、出力ドライバの能力により Class 1, Class 2 が規定されています。

図1 - 3 SSTL_2インタフェース (DIMMの例)



R1: 終端抵抗 (27Ω)
 R2: スタブ抵抗 (22Ω) (DIMM上に搭載)
 R3: (22Ω)
 $V_{TT} = 1/2 V_{DDQ}$

表1 - 2 SSTL_2インタフェース仕様

項 目	略 号	MIN.	TYP.	MAX.	単 位
電源電圧	V _{DD}	2.3	2.5	2.7	V
I/O バッファ用電源電圧	V _{DDQ}	2.3	2.5	2.7	V
SSTL_2 参照電圧	V _{REF}	0.49 V _{DDQ}	0.5 V _{DDQ}	0.51 V _{DDQ}	V
終端電圧	V _{TT}	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04	V
ハイ・レベル入力電圧 (DC 特性)	V _{IH} (DC)	V _{REF} + 0.18		V _{DD} + 0.30	V
ロウ・レベル入力電圧 (DC 特性)	V _{IL} (DC)	-0.30		V _{REF} - 0.18	V
ハイ・レベル入力電圧 (AC 特性)	V _{IH} (AC)	V _{REF} + 0.35			V
ロウ・レベル入力電圧 (AC 特性)	V _{IL} (AC)			V _{REF} - 0.35	V

注意 上記特性は製品ごとに異なる場合があります。詳しくは、個々の製品のデータ・シートを参照してください。

1.1.5 電源電圧

SDR SDRAM の電源電圧が 3.3 V であるのに対し、DDR SDRAM では電源電圧を 2.5 V に引き下げています。電源電圧を低くすることにより、DDR SDRAM 内の回路の消費電力を低減しています。

1.1.6 /CAS リード・レーテンシ、/CAS ライト・レーテンシ、バースト長、バースト・シーケンス

DDR SDRAM では SDR SDRAM と同様に、モード・レジスタでレーテンシ、バースト長、バースト・シーケンスなどの動作モードを設定することができます。第 5 章 モード・レジスタ設定を参照してください。

1.1.7 DLL の使用

DDR SDRAM は DLL (Delay Locked Loop) 回路を搭載しています。DLL 回路は、外部クロックと内部クロックとの間に生じる時間差を制御、調整し、高速アクセス時間や、高い動作周波数を実現するための回路です。

2.3 ブロック図を参照してください。

1.1.8 データ・マスク

DDR SDRAM ではライト・データのマスクに DQ ライト・マスク・イネーブル信号 (DM) を使用します。SDR SDRAM ではリード/ライト・データ両方のマスクが可能ですが、DDR SDRAM ではリード・マスクはサポートしていません。DM の制御動作については第 10 章 DQ ライト・マスク・イネーブル信号 (DM) 制御動作を参照してください。

1.2 コマンドの違い

DDR SDRAM は SDR SDRAM と同様に、コマンドによってデバイスを制御しますが、サポートしているコマンドが異なります。

表1 - 3 DDR SDRAMとSDR SDRAMのコマンドの違い

項 目	DDR SDRAM	SDR SDRAM
クロック・サスペンド	×	
フルページ・バースト	×	
バースト・ストップ	リード時のみ有効	
バースト・リード後のシングル・ライト	×	

1.2.1 クロック・サスペンド

SDR SDRAM ではリード / ライト動作時にクロック・イネーブル信号 (CKE) をロウ・レベルにすることで、動作を一時停止することができますが、DDR SDRAM ではクロック・サスペンドはサポートしていません。

1.2.2 フルページ・バースト

DDR SDRAM のバースト長は 2, 4, 8 です。フルページ・バーストはサポートしていません。

1.2.3 バースト・ストップ

DDR SDRAM ではバースト・リード中にバースト・ストップ・コマンドを入力してデータ出力を止めることはできますが、バースト・ライト中にバースト・ストップ・コマンドを入力することはできません。その代わりに、バースト・ライト中に DQ ライト・マスク・イネーブル信号 (DM) を入力してライト・データをマスクすることはできますが、バースト・リード中にデータをマスクすることはできません。

1.2.4 バースト・リード後のシングル・ライト

DDR SDRAM ではバースト・リード後のシングル・ライトをサポートしていません。これはコマンドの入力がクロックの立ち上りエッジにのみ同期するのに対し、データの入出力はクロックの立ち上がりと立ち下りの両エッジに同期し、動作周波数の 2 倍になるためです。

DDR SDRAM のコマンドについては 3.2 コマンド制御、第 7 章 コマンド・オペレーションを参照してください。

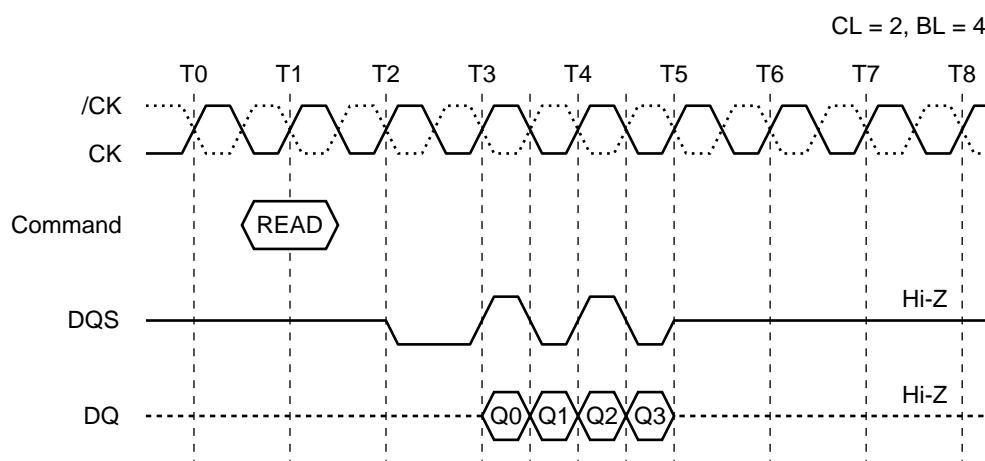
1.3 動作タイミングの違い

DDR SDRAM は SDR SDRAM と同様に、クロック (CK) の立ち上がりエッジでコマンドを入力して制御しますが、データ入出力のタイミングが SDR SDRAM とは異なります。

DDR SDRAM では高速データ転送を実現するためにディファレンシャル・クロック (CK, /CK) とデータ・ストロブ信号 (DQS) を採用しています。DQS は CK に同期し、データ入出力 (DQ) は DQS の立ち上がりと立ち下りの両エッジに同期します。

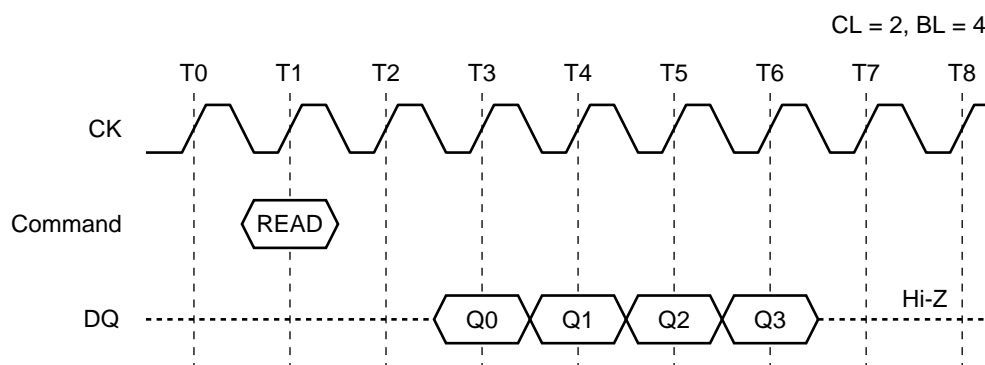
次に DDR SDRAM と SDR SDRAM のクロック入力と各制御信号 (コマンド)、およびデータ入出力の関係を示します。

図1 - 4 DDR SDRAMリード・サイクル・タイミング



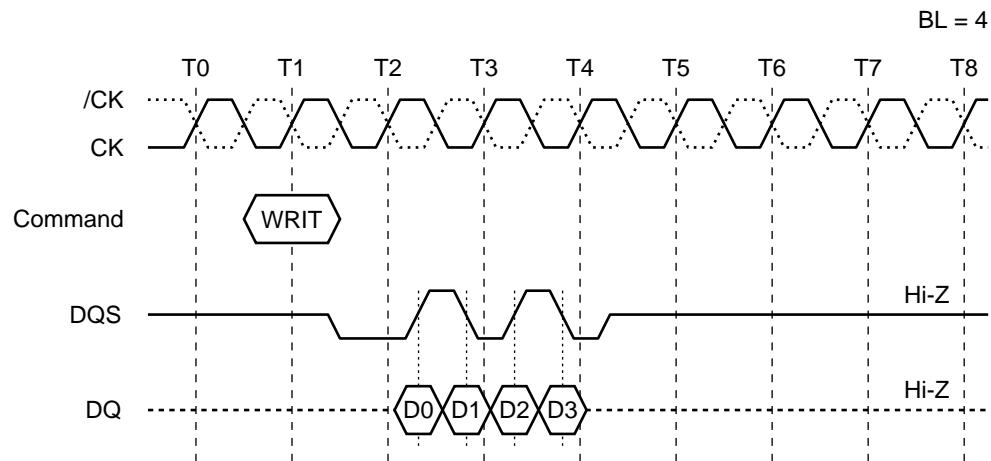
備考 CL : /CAS レーテンシ, BL : バースト長

図1 - 5 SDR SDRAMリード・サイクル・タイミング



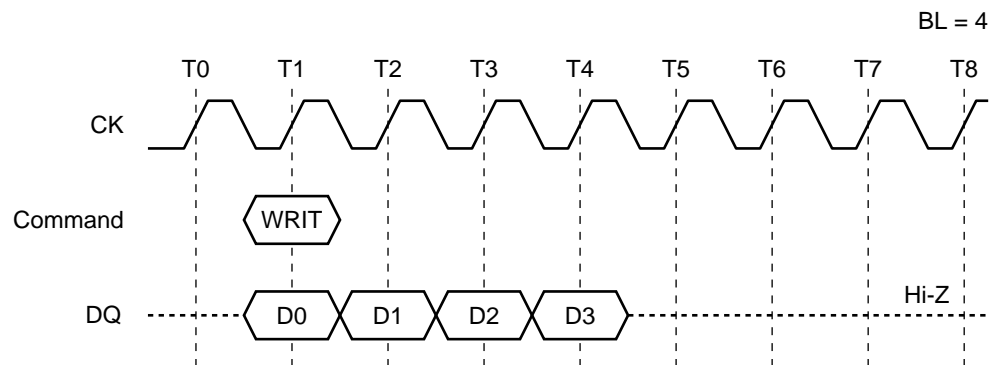
備考 CL : /CAS レーテンシ, BL : バースト長

図1-6 DDR SDRAMライト・サイクル・タイミング



備考 BL : バースト長

図1-7 SDR SDRAMライト・サイクル・タイミング



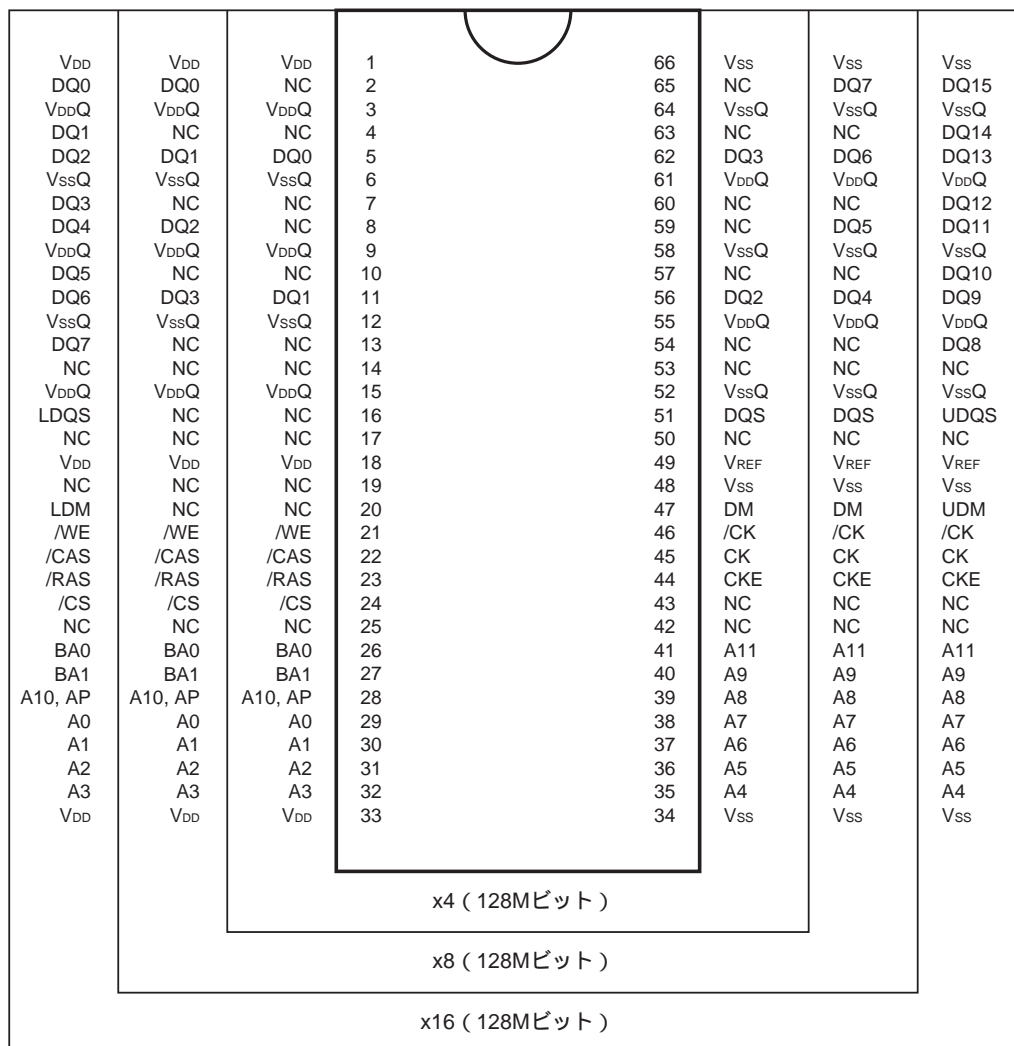
備考 BL : バースト長

第2章 製品概要

2.1 端子接続図

128M / 256M / 512M ビット DDR SDRAM の端子接続図と端子名称を示します。

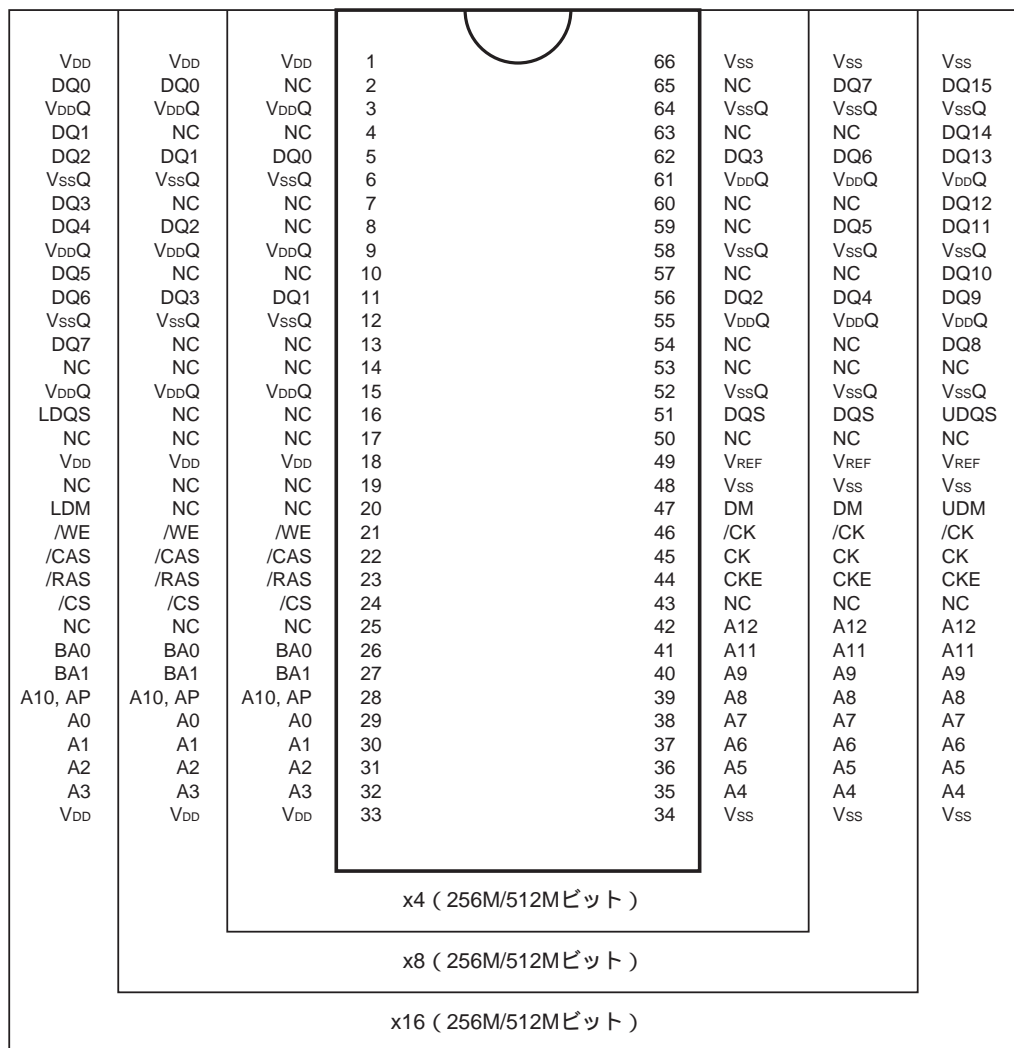
図2 - 1 128MビットDDR SDRAMの端子接続図



CK, /CK : クロック入力
 CKE : クロック・イネーブル入力
 /CS : チップ・セレクト入力
 /RAS : ロウ・アドレス・ストローブ入力
 /CAS : カラム・アドレス・ストローブ入力
 /WE : ライト・イネーブル入力
 A0 - A11 : アドレス入力
 BA0, BA1 : バンク・アドレス入力
 DQ0 - DQx : データ入出力
 DQS, LDQS, UDQS : データ・ストローブ入出力
 DM, LDM, UDM : DQライト・マスク・イネーブル入力
 VDD : 電源電圧 (内部回路用)
 VSS : グランド (内部回路用)
 VDDQ : 電源電圧 (I/Oバッファ用)
 VSSQ : グランド (I/Oバッファ用)
 VREF : 参照電圧
 NC : ノー・コネクション

備考 /xxx はアクティブ・ロウを示します。

図2 - 2 256M / 512MビットDDR SDRAMの端子接続図



CK, /CK : クロック入力
 CKE : クロック・イネーブル入力
 /CS : チップ・セレクト入力
 /RAS : ロウ・アドレス・ストローブ入力
 /CAS : カラム・アドレス・ストローブ入力
 /WE : ライト・イネーブル入力
 A0 - A12 : アドレス入力
 BA0, BA1 : バンク・アドレス入力
 DQ0 - DQx : データ入出力
 DQS, LDQS, UDQS : データ・ストローブ入出力
 DM, LDM, UDM : DQライト・マスク・イネーブル入力
 VDD : 電源電圧 (内部回路用)
 VSS : グランド (内部回路用)
 VDDQ : 電源電圧 (I/Oバッファ用)
 VSSQ : グランド (I/Oバッファ用)
 VREF : 参照電圧
 NC : ノー・コネクション

備考 /xxx はアクティブ・ロウを示します。

2.2 端子機能説明

ここでは DDR SDRAM の各端子の機能について説明します。

2.2.1 クロック入力 (CK, /CK)

メモリが動作するためのクロック入力 (CK, /CK) です。/CK は CK と同周期で、位相が CK と逆位相の信号です。

データ入出力 (DQ), データ・ストローブ (DQS), DQ ライト・マスク・イネーブル (DM) を除くすべての入力信号は、CK の立ち上がりエッジに同期します。入出力のタイミングは CK と /CK の交点を基準にします。

2.2.2 クロック・イネーブル入力 (CKE)

クロック・イネーブル信号 (CKE) は、クロック (CK) が有効か無効かを決定する信号です。ある CK の立ち上がりエッジで、CKE がハイ・レベルの場合、次の CK の立ち上がりエッジは有効です。それ以外の場合は無効です。

(1) セルフ・リフレッシュ・モード

デバイスがアイドル状態のときにセルフ・リフレッシュ・コマンド (CKE はロウ・レベル) を実行すると、セルフ・リフレッシュ・モードに入ります。セルフ・リフレッシュ・モードの間は CKE をロウ・レベルに保持する必要があります。CKE によるセルフ・リフレッシュ・モードの制御については **11.2.3 クロック・イネーブル信号 (CKE) コマンド真理値表**を参照してください。

(2) パワーダウン・モード

デバイスがアイドル状態、またはバンク・アクティブ状態のときに CKE をロウ・レベルにすると、パワーダウン・モードに入ります。パワーダウン・モードの間は、CKE をロウ・レベルに保持する必要があります。パワーダウン・モードの間はリフレッシュ動作が自動的に行われなため、パワーダウン・モード期間はデバイスのリフレッシュ・サイクルより短くする必要があります。CKE によるパワーダウン・モードの制御については、**11.2.3 クロック・イネーブル信号 (CKE) コマンド真理値表**を参照してください。

2.2.3 チップ・セレクト入力 (/CS)

チップ・セレクト (/CS) がロウ・レベルの場合、コマンドの入力は有効です。

/CS がハイ・レベルの場合、コマンドは無視されますが動作は続行します。

2.2.4 ロウ・アドレス・ストローブ入力 (/RAS), カラム・アドレス・ストローブ入力 (/CAS), ライト・イネーブル入力 (/WE)

ロウ・アドレス・ストローブ (/RAS), カラム・アドレス・ストローブ (/CAS), およびライト・イネーブル (/WE) の機能は、SDR SDRAM で使われているものと同じです。クロック (CK) の立ち上がりでチップ・セレクト (/CS) を入力すると同時に、/RAS, /CAS, /WE を入力することにより、DDR SDRAM の動作を決定します。詳細は、**7.1 DDR SDRAM コマンド真理値表**を参照してください。

2.2.5 アドレス入力 (A0 – Ax)

(1) ロウ・アドレス

アクティブ・コマンド入力時のアドレス (A0 – Ax) によって決定します。

(2) カラム・アドレス

リード/ライト・コマンド入力時のアドレス (A0 – Ax) によって決定します。

(3) プリチャージ・モード選択アドレス (AP)

プリチャージ・コマンド, またはリード/ライト・コマンド入力時のプリチャージ・モード選択アドレス (AP) の入力レベルにより, 機能が異なります。

プリチャージ・コマンド入力時

AP	動作
ハイ・レベル	すべてのバンクのプリチャージを開始します。
ロウ・レベル	バンク・アドレス (BA0, BA1) で選択されたバンクのみ, プリチャージを開始します。

リード/ライト・コマンド入力時

AP	動作
ハイ・レベル	バースト・リード/バースト・ライト後, 自動的にプリチャージを開始します。
ロウ・レベル	プリチャージを開始するためには, プリチャージ・コマンドの入力が必要です。

表2 - 1 128MビットDDR SDRAMのアドレス端子

構成 (ワード×ビット×バンク)	アドレス端子	ロウ・ アドレス	カラム・ アドレス	AP
8M×4×4	A0 – A11	A0 – A11	A0 – A9, A11	A10
4M×8×4	A0 – A11	A0 – A11	A0 – A9	A10
2M×16×4	A0 – A11	A0 – A11	A0 – A9	A10

2.2.6 バンク・アドレス入力 (BA0, BA1)

コマンド入力時のバンク・アドレス (BA0, BA1) の入力レベルにより, 選択されるバンクが異なります。
リード/ライト, プリチャージは BA0, BA1 で選択されたバンクに適用されます。

表2 - 2 バンク・アドレス端子と選択されるバンク

選択されるバンク	BA0	BA1
バンク A	L	L
バンク B	H	L
バンク C	L	H
バンク D	H	H

2.2.7 データ入出力 (DQ0 – DQx)

データ入出力 (DQ0 – DQx) の機能は、SDR SDRAM で使われているものと同じです。

2.2.8 データ・ストローク入出力 (DQS, LDQS, UDQS)

データ・ストローク信号 (DQS, LDQS, UDQS) は、I/O バッファの制御に使用します。すべてのデータの入出力は、これらの信号の立ち上がり、立ち下がりエッジを基準にします。x16 ビット構成の製品は、下位バイト、上位バイトのそれぞれに LDQS, UDQS を使用します。

2.2.9 DQ ライト・マスク・イネーブル入力 (DM, LDM, UDM)

DQ ライト・マスク・イネーブル信号 (DM, LDM, UDM) は、データ・ストローク信号 (DQS) の立ち上がり、立ち下がりの両エッジを基準にしてライト・データをマスクします。x16 ビット構成の製品は、下位バイト、上位バイトのそれぞれを制御するために LDM, UDM を使用します。

ライト動作時に DM がハイ・レベルの場合、ライト・データはマスクされます。SDR SDRAM で使われているものとは異なり、リード動作の制御には使用しません。

2.2.10 電源電圧 (内部回路用) (V_{DD} , V_{SS})

V_{DD} と V_{SS} は、内部回路用の電源端子です。

2.2.11 電源電圧 (I/O バッファ用) (V_{DDQ} , V_{SSQ})

V_{DDQ} と V_{SSQ} は、I/O バッファ用の電源端子です。

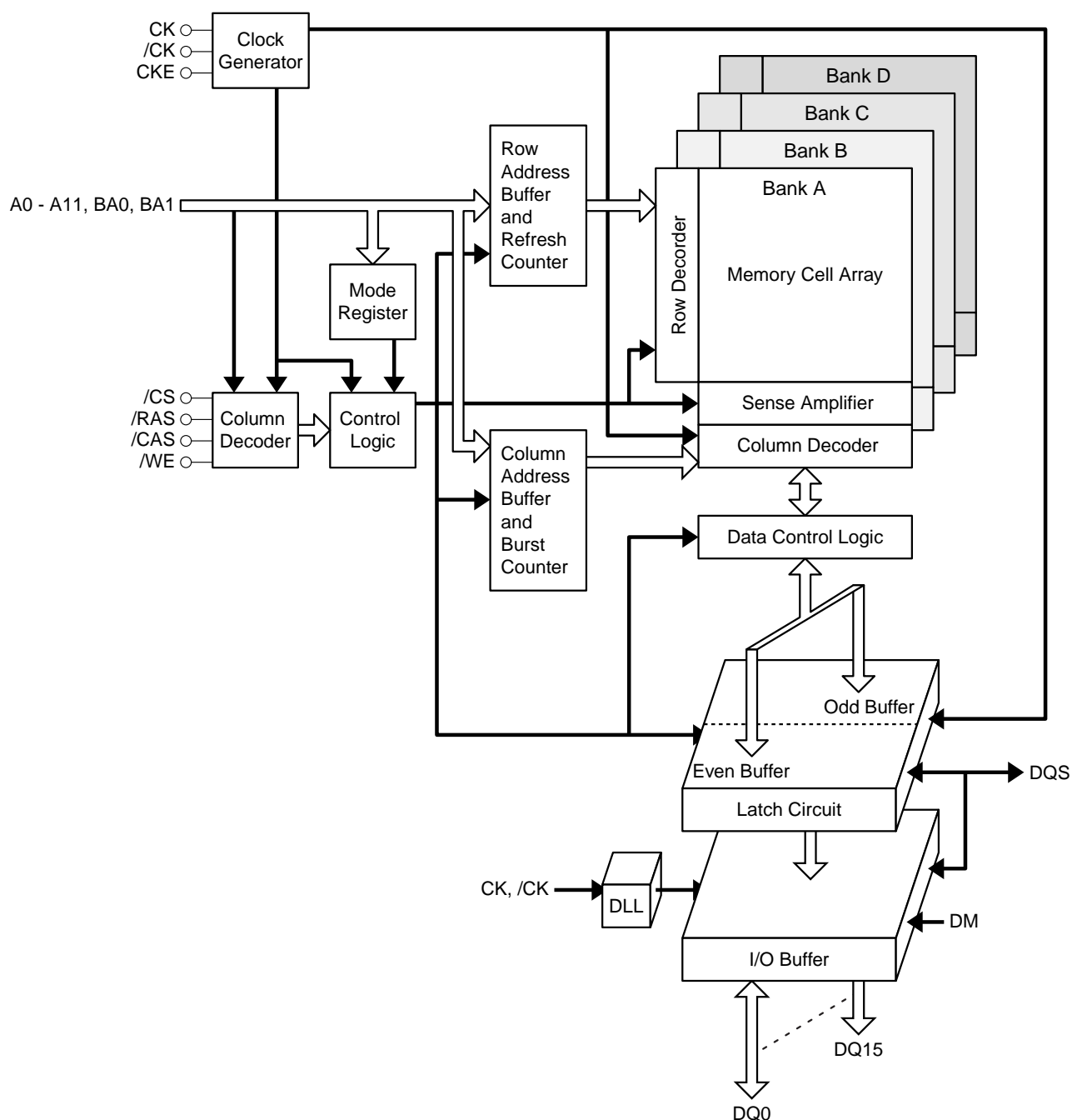
2.2.12 参照電圧 (V_{REF})

V_{REF} は、SSTL_2 インタフェースのための参照電圧を供給する電源端子です。

2.3 ブロック図

128M ビット DDR SDRAM のブロック図を示します。

図2 - 3 128MビットDDR SDRAMのブロック図

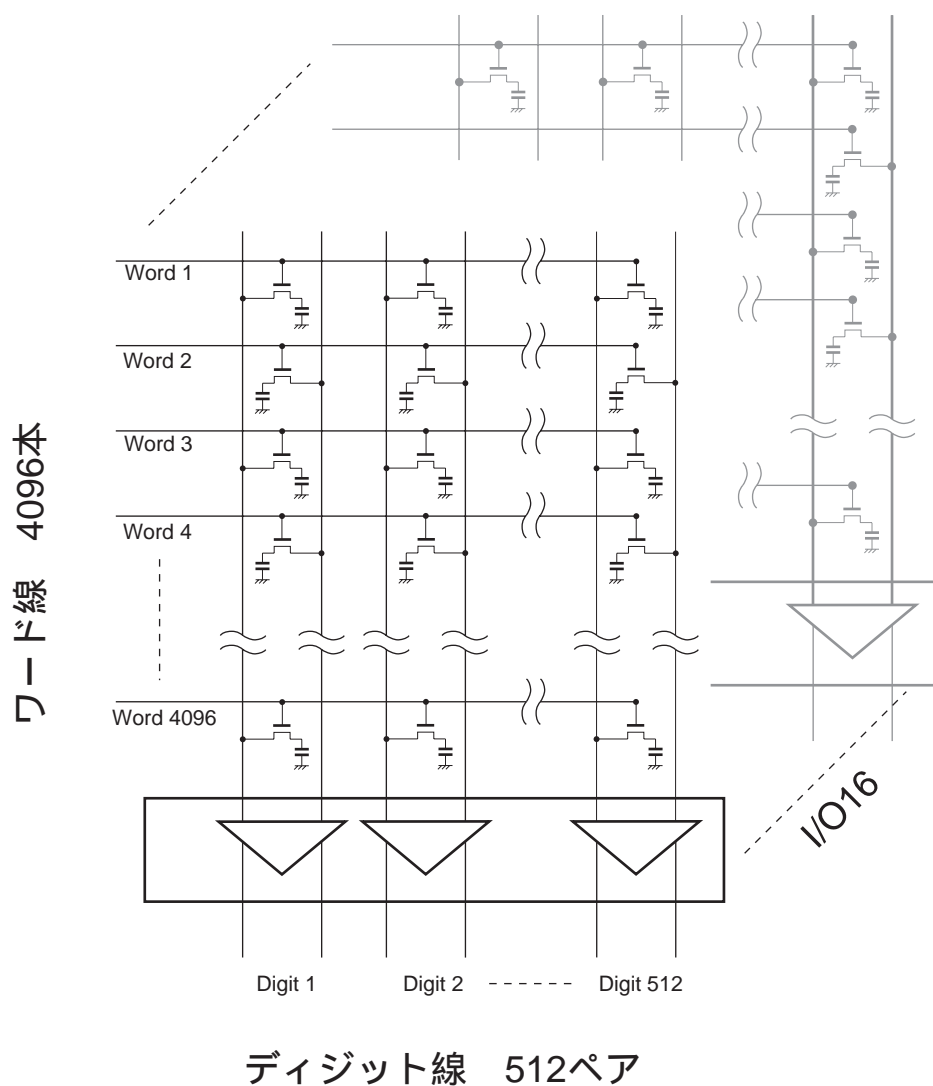


2.3.1 128M ビット DDR SDRAM のメモリ・セル・アレイ

DDR SDRAM のメモリ・セルは SDR SDRAM と同様で、1 トランジスタ+ 1 コンデンサで構成されています。

DDR SDRAM は総容量 128 M ビットで、ワード線 4,096 本 × デジット線 512 ペア × 16 I/O × 4 バンクで構成されています。

図2 - 4 128MビットDDR SDRAMのメモリ・セルとメモリ構成 (Bank A)



注意 この図は概念図です。実際の製品のレイアウトとは異なる場合があります。

2.3.2 アドレス・デコーダ (ロウ・アドレス・デコーダ, カラム・アドレス・デコーダ)

DDR SDRAM は SDR SDRAM と同様に、アドレス・マルチプレクス方式を採用しています。はじめにアクティブ・コマンドと同時にバンク・アドレスとロウ・アドレスを取り込み、該当するワード線を選択します。次に、リード/ライト・コマンドと同時にバンク・アドレスとカラム・アドレスを取り込み、該当するディジット線を選択します。

2.3.3 I/O バッファ

データ入出力用のバッファです。

2.3.4 リフレッシュ・カウンタ

このカウンタはメモリ内部でロウ・アドレスを自動的に生成します。

2.3.5 DLL 回路

DDR SDRAM は DLL (Delay Locked Loop) 回路を搭載しています。DLL 回路は、外部クロックと内部クロックとの間の時間差を回路的に制御、調整します。DLL 回路の働きにより、クロック (CK, /CK) に対するデータ入出力 (DQ), データ・ストローブ信号 (DQS) のスキューが最小となるように調整されます。

第 3 章 製品の特徴

この章では以下に示す DDR SDRAM の特徴を説明します。

- (1) シンクロナス動作
- (2) コマンド制御
- (3) マルチ・バンク・オペレーション
- (4) バースト動作
- (5) アクセス時間

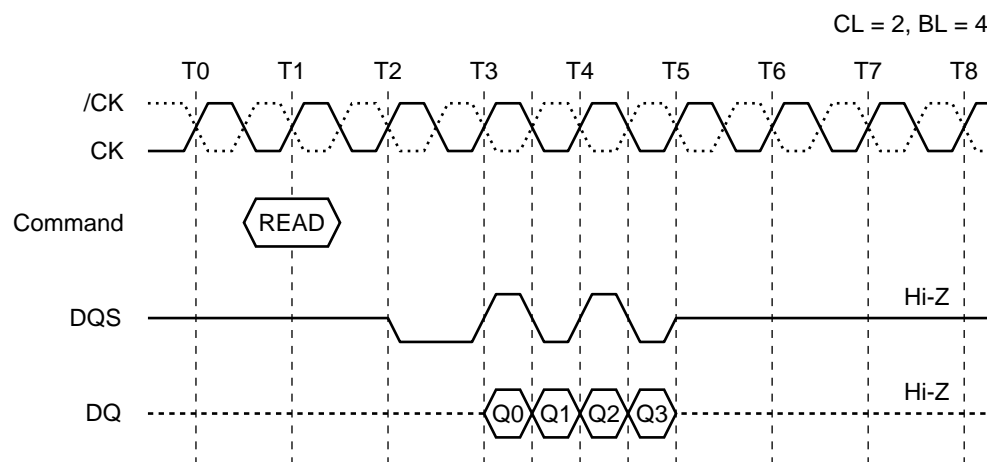
3.1 シンクロナス動作

各制御信号（コマンド）はクロック（CK）の立ち上がりエッジでラッチされます。入出力データ（DQ）はデータ・ストローブ信号（DQS）と一緒に転送され、DQS の立ち上がりと立ち下りの両エッジでレシーバに取り込まれます。このことにより、高速動作が容易になります。

次に DDR SDRAM のクロック入力と各制御信号、データ入出力のタイミング例を示します。

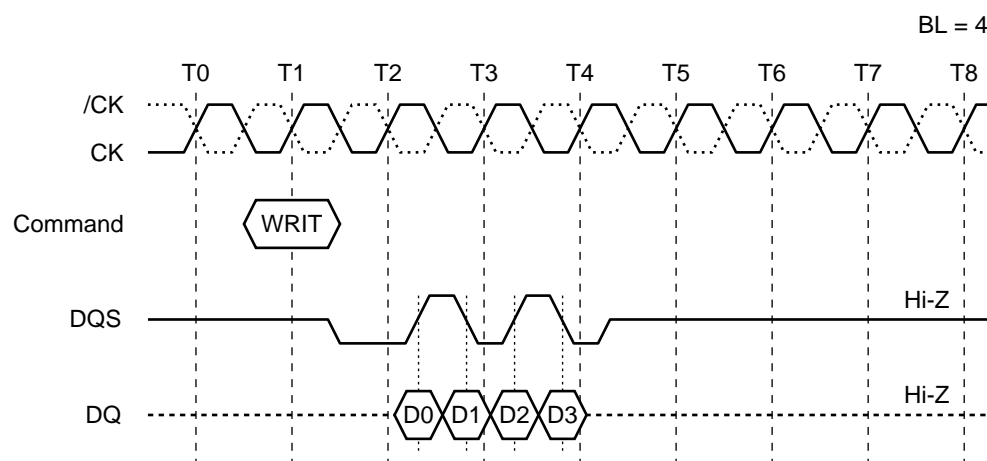
なお、DDR SDRAM のクロック入力については **1.1.2 クロック入力**、DQS については **第9章 データ・ストローブ信号（DQS）制御動作**を参照してください。

図3 - 1 DDR SDRAMリード・サイクル・タイミング



備考 CL : /CAS レーテンシ, BL : バースト長

図3 - 2 DDR SDRAMライト・サイクル・タイミング



備考 BL : バースト長

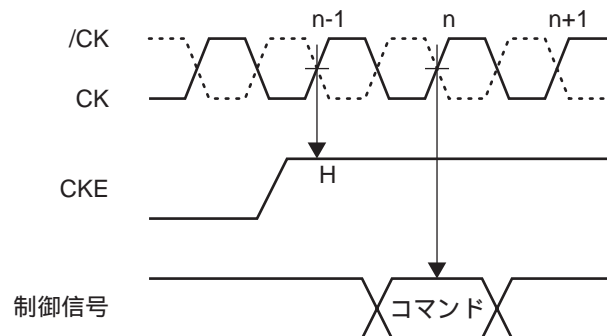
3.2 コマンド制御

DDR SDRAM では SDR SDRAM と同様に、コマンド（制御信号を論理レベルで組み合わせたもの）によってデバイスを制御します。代表的なコマンドにはアクティブ・コマンド、リード・コマンド、ライト・コマンド、プリチャージ・コマンドなどがあります。DDR SDRAM のコマンドの詳細は第 7 章 コマンド・オペレーションを参照してください。

3.2.1 コマンド入力タイミング

すべてのコマンドは、クロック（CK）の立ち上がりエッジと、クロック（/CK）の立ち下がりエッジとの交点のタイミングに同期してラッチされます。また、クロックを活性化するための信号としてクロック・イネーブル信号（CKE）があります。CK の立ち上がり（CK “n”）でコマンドを入力するためには、コマンドを入力する 1 サイクル前（CK “n-1”）で CKE がハイ・レベルである必要があります。

図3 - 3 コマンド入力タイミング



3.2.2 DDR SDRAM コマンド一覧

以下に DDR SDRAM のコマンド一覧を示します。

表3 - 1 DDR SDRAM (x4 / x8 / x16ビット構成) コマンド一覧表

コマンド	略号	動作
デバイス非選択	DESL	デバイスを非選択状態にします。現在行っている動作を継続します。
ノー・オペレーション	NOP	変化を与えません。現在行っている動作を継続します。
バースト・ストップ	BST	バースト・リードを中断します。
リード	READ	バースト・リードを開始します。
リード (オート・プリチャージ付き)	READA	バースト・リードを開始します。 バースト・リードが終了すると自動的にプリチャージを開始します。
ライト	WRIT	バースト・ライトを開始します。
ライト (オート・プリチャージ付き)	WRITEA	バースト・ライトを開始します。 バースト・ライトが終了すると自動的にプリチャージを開始します。
バンク・アクティブ	ACT	次の動作のために、該当バンクのロウ・アドレスをオープン (またはアクティブ) にします。
選択バンクのプリチャージ	PRE	選択されたバンクのプリチャージを開始します。
全バンクのプリチャージ	PALL	全バンクのプリチャージを開始します。
モード・レジスタ設定	MRS	レーテンシ、バースト・シーケンス、バースト長、DLL リセットなどの動作モードを設定します。
拡張モード・レジスタ設定	EMRS	DLL の動作モードを設定します。
CBR (オート) リフレッシュ	REF	CBR (オート) リフレッシュを開始します。
セルフ・リフレッシュ開始	SELF	セルフ・リフレッシュを開始します。
セルフ・リフレッシュ終了	SREX	セルフ・リフレッシュを終了します。
パワーダウン・モード開始	PWDN	パワーダウン・モードを開始します。
パワーダウン・モード終了	PDEX	パワーダウン・モードを終了します。

備考 それぞれの動作は、そのコマンドを実行可能な状態で入力されたときに有効です。6.1 DDR SDRAM の状態遷移図、7.2 コマンド実行条件を参照してください。

3.3 マルチ・バンク・オペレーション

DDR SDRAM は SDR SDRAM と同様に、アドレス・デコーダ、メモリ・セル・アレイ、センス・アンプから構成される複数のバンクを持っており、各バンクを独立して制御することができます。これをマルチ・バンク・オペレーションと呼びます。各バンクのインタリーブ動作を使用することで、あるバンクがプリチャージ中でも別のバンクにアクセスすることが可能となり、バンクを効率的に活用することができます。

3.3.1 4 バンク構成

DDR SDRAM は 4 つのバンク (A, B, C, D) を持っており、これらのバンクはバンク・アドレス (BA0, BA1) によって選択されます。バンク・アドレスについては **2.2.6 バンク・アドレス入力 (BA0, BA1)** を参照してください。

次に、4 バンク構成の概略図を EDO DRAM との比較して示します。

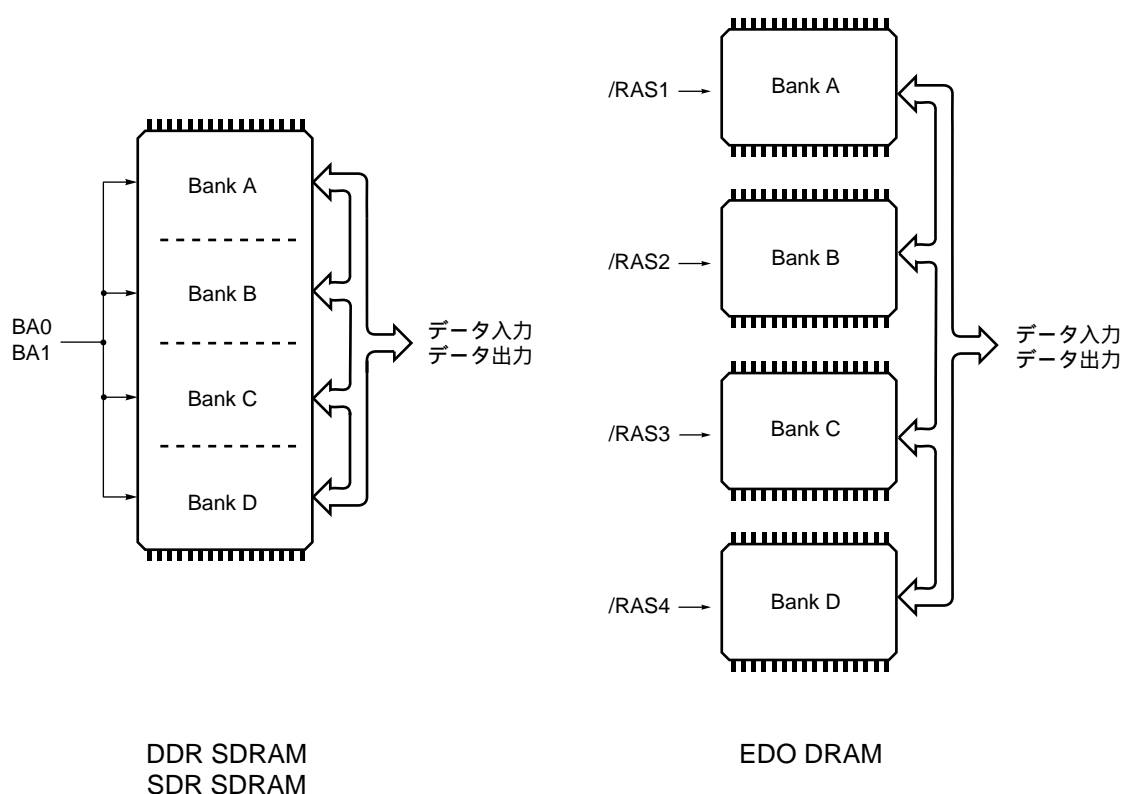
(1) EDO DRAM

4 バンクを構成するためには、デバイスが 4 個必要です。これらの 4 つのバンクは /RAS 信号で選択されます。

(2) DDR SDRAM / SDR SDRAM

DDR SDRAM と SDR SDRAM は内部に 4 つのバンクを持つため、4 バンクが 1 つのデバイスで構成できます。

図3 - 4 4バンク構成



3.3.2 基本タイミングの種類

マルチ・バンク・オペレーションには、次に示す種類があります。

(1) バースト・リード/ライトを実行中に、別のバンクに対してバースト・リード/ライトを実行する場合

現在の状態 (バンク X)		次の動作 (バンク Y)
バースト・リード	完了 / 中断	バースト・リード
バースト・リード	完了 / 中断	バースト・ライト
バースト・ライト	完了 / 中断	バースト・リード
バースト・ライト	完了 / 中断	バースト・ライト

(2) バースト・リード/ライトを実行中に、別のバンクを活性化してバースト・リード/ライトを実行する場合

現在の状態 (バンク X)		次の動作 (バンク Y)
バースト・リード	完了 / 中断	バンクを活性化 バースト・リード
バースト・リード	完了 / 中断	バンクを活性化 バースト・ライト
バースト・ライト	完了 / 中断	バンクを活性化 バースト・リード
バースト・ライト	完了 / 中断	バンクを活性化 バースト・ライト

(3) オート・プリチャージ付きのバースト・リード/ライトを実行中に、別のバンクに対してバースト・リード/ライトを実行する場合

現在の状態 (バンク X)		次の動作 (バンク Y)
オート・プリチャージ付きバースト・リード	完了 / 中断	バースト・リード
オート・プリチャージ付きバースト・リード	完了 / 中断	バースト・ライト
オート・プリチャージ付きバースト・ライト	完了 / 中断	バースト・リード
オート・プリチャージ付きバースト・ライト	完了 / 中断	バースト・ライト

注意 (1), (2), (3) の詳細な説明, タイミング例については SDR SDRAM のユーザズマニュアルを参照してください。/CAS レーテンシ, ライト・レーテンシを除く, DDR SDRAM のすべてのタイミング例は SDR SDRAM と同様です。

3.4 バースト動作

DDR SDRAM では SDR SDRAM と同様に、メモリ内部でパイプライン処理を行っているため、外部クロックに同期して、ある決まった数のデータを連続して入出力できます。

パイプライン処理では、データ転送能力を高めるために、カラム・アドレス入力からデータ入出力までの動作をいくつかのブロックに分割して、各ブロックの動作を並列して実行します。

リード・サイクルを例に EDO DRAM，SDR SDRAM，DDR SDRAM のバースト転送について説明します。

(1) EDO DRAM

アドレス入力からデータ出力までの一連の動作が完了するまで、次の動作に移ることはできません。

(2) SDR SDRAM

カラム動作を 3 つの動作ブロック (Y-Decoder，Data amplifier，Output buffer) に分割しています。各ブロックの動作を並列して処理することができるため、それぞれのブロックは、現在の処理が完了し、その結果を次のブロックに渡すと、次の処理を開始することができます。また、カラム・アドレスを入力すると、メモリ内部のカラム・アドレス・カウンタはクロック (CK) に同期して、内部のカラム・アドレスを自動的にインクリメントします。インクリメントの数はバースト長によって決まります。

このような内部構造により、連続したアドレスのデータをリード/ライトできます。このとき、出力されるデータは CK の立ち上がりエッジに同期して、連続して出力されます。

(3) DDR SDRAM

基本的な転送方法は SDR SDRAM と同じですが、DDR SDRAM では 2 ビット・プリフェッチ構成を採用しています。

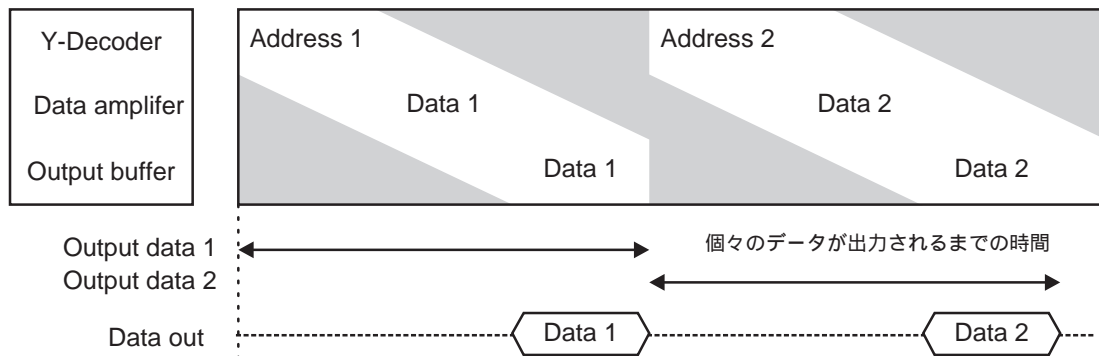
2 ビット・プリフェッチ構成では、1 クロックごとに 2n ビット分のデータをメモリ・セル・アレイから I/O バッファに転送します。I/O バッファに転送されたデータは、1/2 クロックごと (偶数アドレス、奇数アドレス) に出力します。そのため、データはクロックの立ち上がりと立ち下りの両エッジに同期して、連続して出力されます。2 ビット・プリフェッチ構成の詳細は 1.1.1 データ転送周波数、データ・レートを参照してください。

(4) EDO DRAM，SDR SDRAM，DDR SDRAM の比較

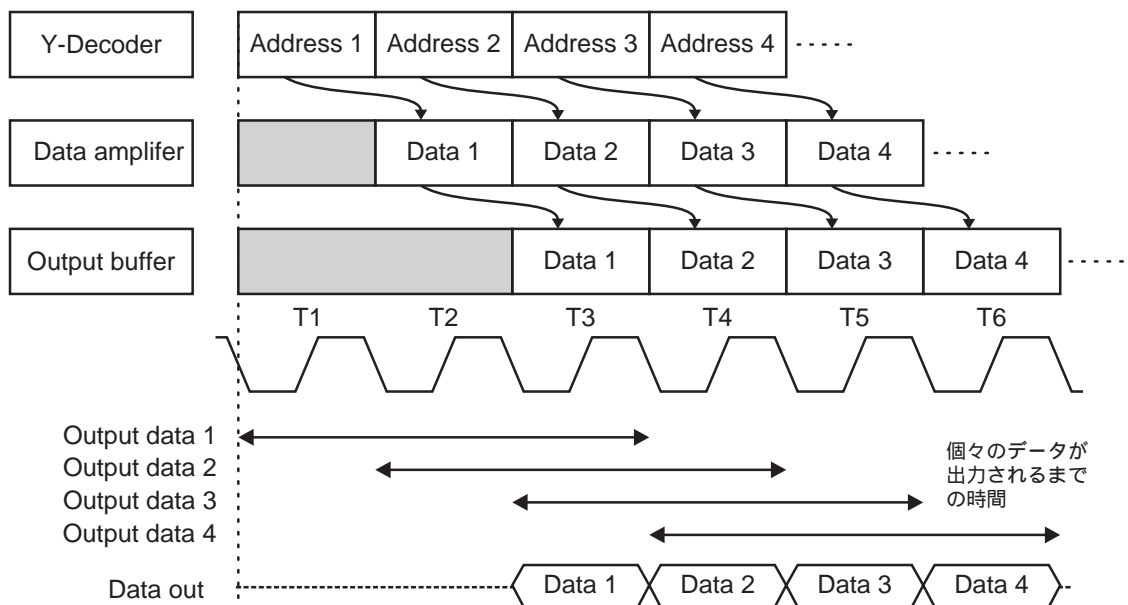
これらの DRAM では最初のデータが出力されるのにかかる時間はほぼ同じです。しかし、データを連続して入出力する場合、パイプライン処理を行っている SDR SDRAM と DDR SDRAM は EDO DRAM よりも高速データ転送が可能です。また、2 ビット・プリフェッチ構成を採用している DDR SDRAM では SDR SDRAM よりもさらに高速のデータ転送が可能となります。

図3-5 パースト動作

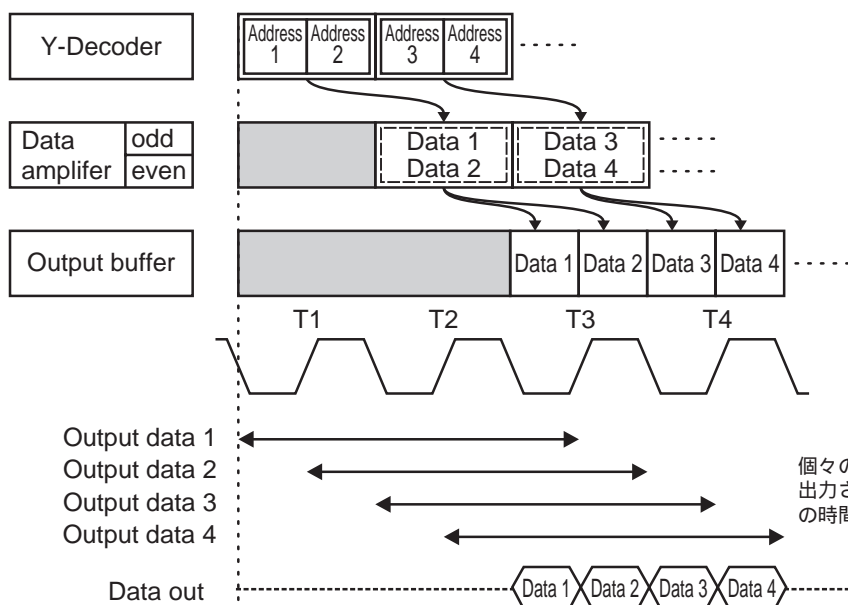
EDO DRAM



SDR SDRAM



DDR SDRAM



3.5 アクセス時間

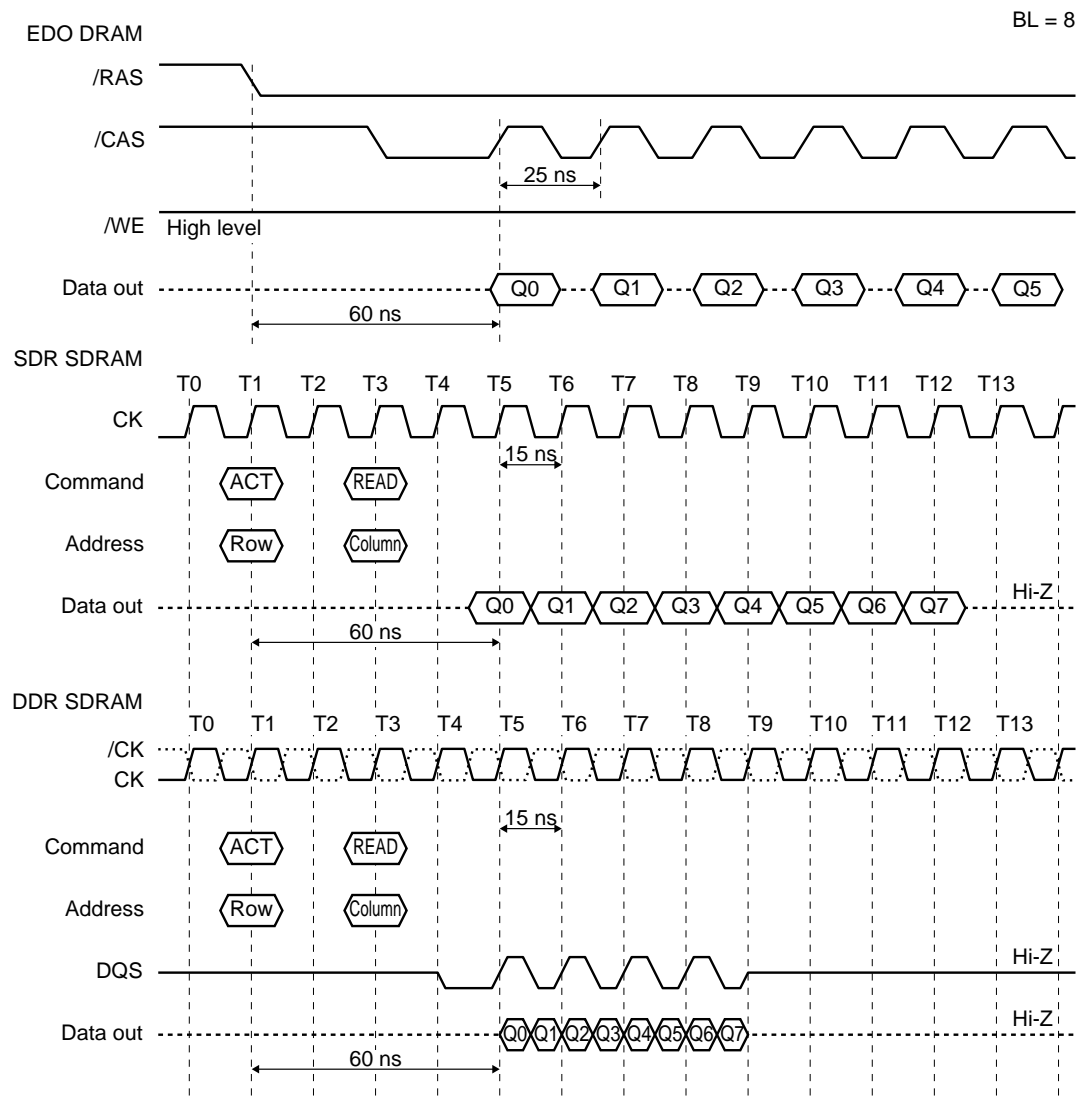
リード・サイクルを例に EDO DRAM , SDR SDRAM , DDR SDRAM のアクセス時間を比較します。

図3-6は、バースト長=8で、クロック周波数が66 MHz のDDR SDRAM と SDR SDRAM , /RAS アクセス時間が60 ns のEDO DRAM のそれぞれのバースト・リード・サイクルを示しています。

第1データまでのアクセス時間 (/RAS アクセス時間) はいずれも60 ns 前後であり、大きな時間の差は見られません。これはメモリ内部の基本構成がほぼ同じであるためです。

これに対して、第2データ、第3データ、第4データとバースト・サイクルが長くなるにつれて、**3.4 バースト動作**で説明した理由により、データ出力時間の差が大きくなります。

図3-6 バースト・リード・サイクル



注意 EDO DRAM は非同期です。

備考 BL : バースト長

図3-7 DDR SDRAM , SDR SDRAM , EDO DRAMのアクセス時間

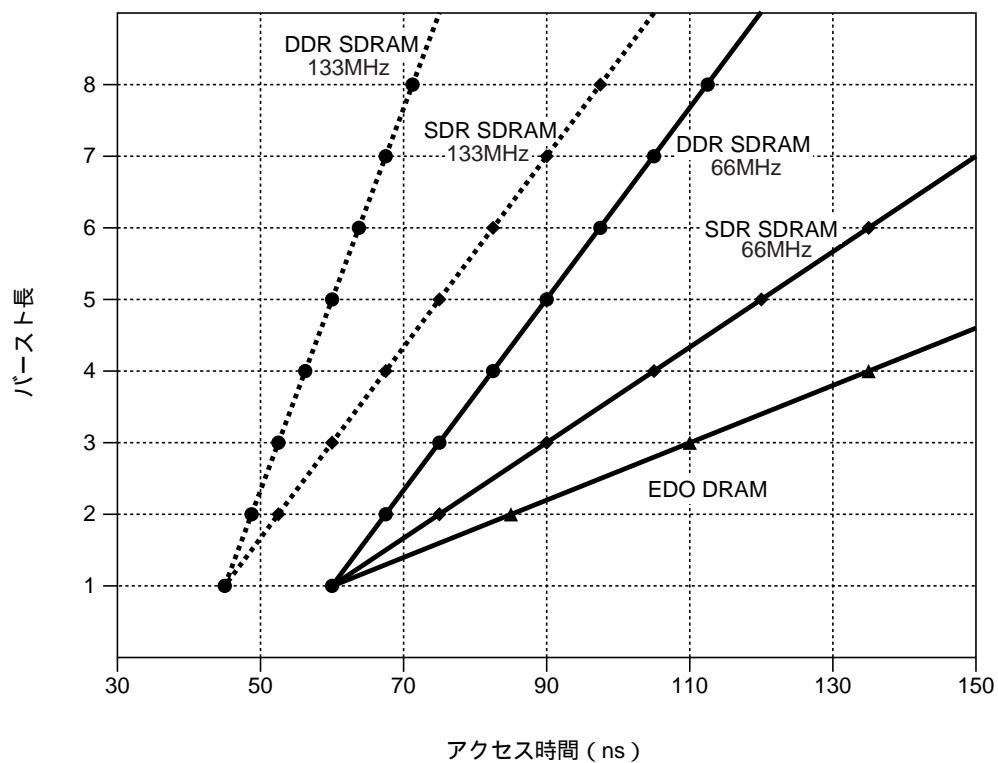


表3-2 DDR SDRAM , SDR SDRAM , EDO DRAMのアクセス時間

アクセス時間	EDO DRAM -60	SDR SDRAM 66 MHz (15 ns)	DDR SDRAM 66 MHz (15 ns)	EDO DRAM -50	SDR SDRAM 100 MHz (10 ns)	DDR SDRAM 100 MHz (10 ns)	SDR SDRAM 133 MHz (7.5 ns)	DDR SDRAM 133 MHz (7.5 ns)
第 1 アクセス	60 ns			50 ns			45 ns	
第 2 アクセス	85 ns	75 ns	67.5 ns	70 ns	60 ns	55 ns	52.5 ns	48.75 ns
第 3 アクセス	110 ns	90 ns	75 ns	90 ns	70 ns	60 ns	60 ns	52.5 ns
第 4 アクセス	135 ns	105 ns	82.5 ns	110 ns	80 ns	65 ns	67.5 ns	56.25 ns
第 5 アクセス	160 ns	120 ns	90 ns	130 ns	90 ns	70 ns	75 ns	60 ns
第 6 アクセス	185 ns	135 ns	97.5 ns	150 ns	100 ns	75 ns	82.5 ns	63.75 ns
第 7 アクセス	210 ns	150 ns	105 ns	170 ns	110 ns	80 ns	90 ns	67.5 ns
第 8 アクセス	235 ns	165 ns	112.5 ns	190 ns	120 ns	85 ns	97.5 ns	71.25 ns

第 4 章 初期化

この章では、電源投入後の初期化について説明します。

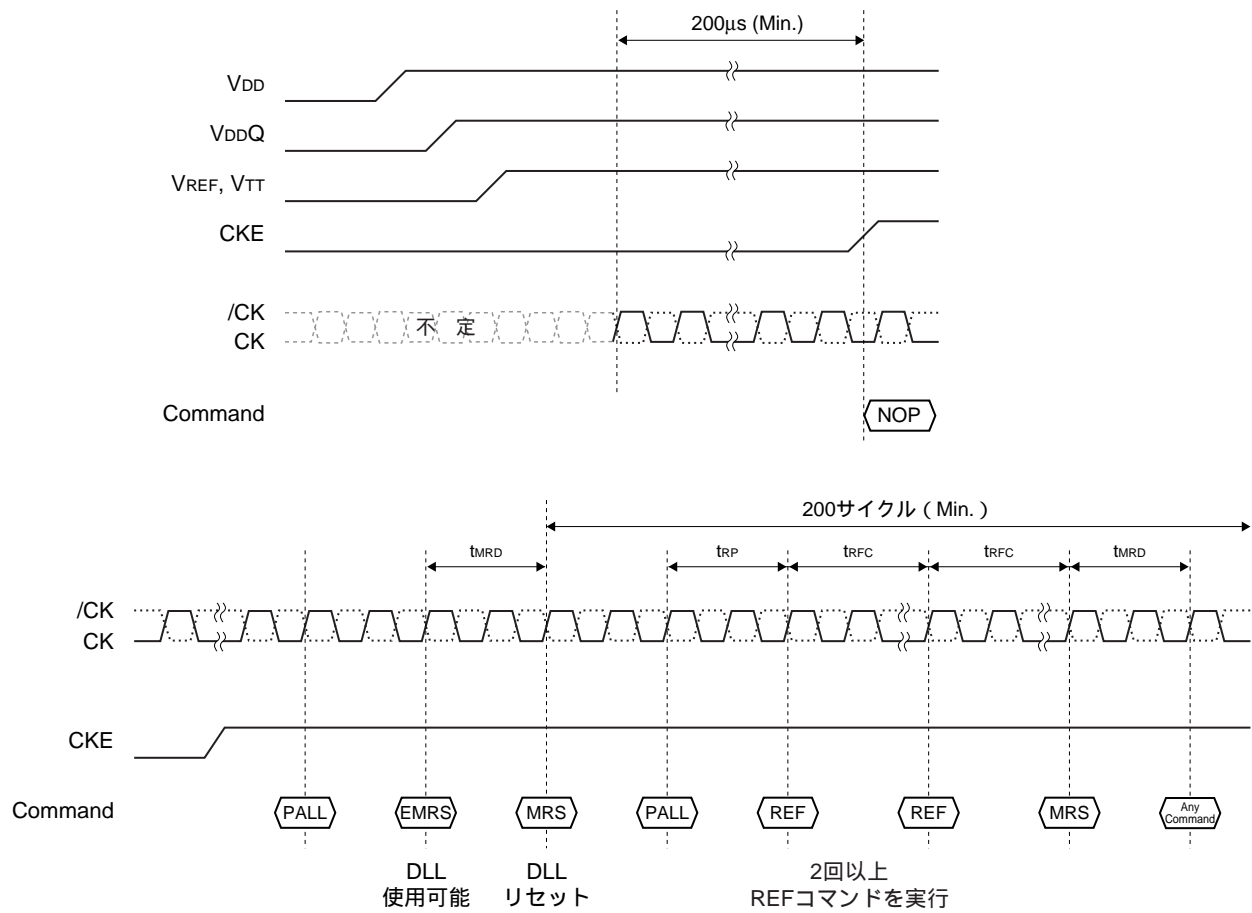
4.1 電源投入後の初期化

電源投入直後は DDR SDRAM 内部回路の論理状態が不定であり、正常な動作を確保するためには、初期化（イニシャライズ）を行う必要があります。DDR SDRAM の電源投入、初期化の一連の動作は次の通りです。

- (1) 始めに V_{DD} 、次に V_{DDQ} 、最後に V_{REF} 、 V_{TT} の順序で電源を投入します。
- (2) データ入出力 (DQ) 端子、データ・ストロブ (DQS) 端子をハイ・インピーダンスに保つため、クロック・イネーブル信号 (CKE) をロウ・レベルに保持します。
- (3) 電源電圧、参照電圧、クロックが安定してからコマンドを入力するまでに、 $200\ \mu\text{s}$ 以上状態を保持します。 $200\ \mu\text{s}$ 経過後、デバイス非選択コマンド (DESL) またはノー・オペレーション・コマンド (NOP) を入力し、CKE をハイ・レベルにします。
- (4) すべてのバンクのプリチャージを行います (全バンクのプリチャージ・コマンド (PALL) を使用することを推奨します)。
- (5) 拡張モード・レジスタ設定コマンド (EMRS) で、DLL を使用可能にします。次に、モード・レジスタ設定コマンド (MRS) で A8 をハイ・レベルにして、DLL をリセットします。DLL をリセットしてからリード・コマンドを入力するまでに、最小 200 サイクルを確保する必要があります。
- (6) 再びすべてのバンクのプリチャージを行った後、CBR (オート) リフレッシュコマンド (REF) を 2 回以上入力します。
- (7) モード・レジスタ設定コマンド (MRS) を入力し、動作モードを決定します。

DDR SDRAM では、初期化実行後、クロック周波数を変更することはできません (ただし、セルフ・リフレッシュ動作中を除く)。クロック周波数を変更するには、再度その周波数にて初期化を行ってください。

図4 - 1 DDR SDRAMの初期化



第5章 モード・レジスタ設定

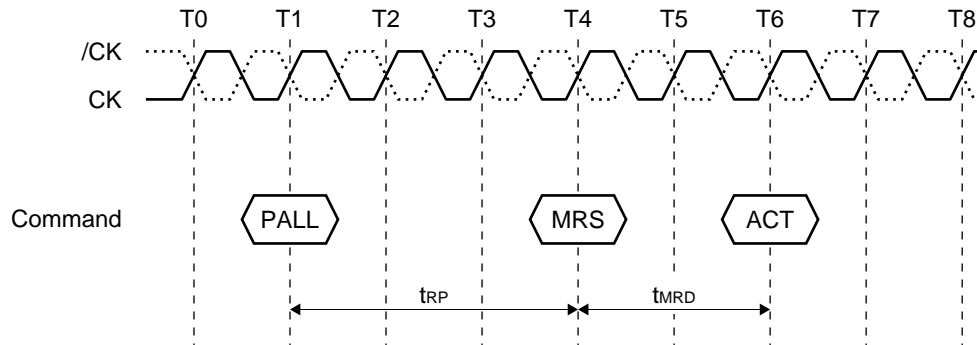
5.1 モード・レジスタの設定

モード・レジスタは、レーテンシ・モード、バースト・シーケンス（ラップ・タイプ（WT））、バースト長などの DDR SDRAM の動作モードを設定するために使用します。また、拡張モード・レジスタは DLL の動作モードを設定するために使用します。

モード・レジスタ、拡張モード・レジスタの設定には、アドレス（A0 – Ax）、およびバンク・アドレス（BA0 , BA1）を入力データとして使用します。これらの設定は、いったん設定すると、再度設定するか電源を切断するまで設定したデータを保持します。

- (1) 全バンクのプリチャージ・コマンド（PALL）を実行します。t_{RP} 経過後に全バンクはアイドル状態になります。
- (2) モード・レジスタ設定コマンド（MRS）、拡張モード・レジスタ設定コマンド（EMRS）を実行して、レジスタの設定をします。

図5 - 1 モード・レジスタ/拡張モード・レジスタ設定サイクル



5.2 設定項目

モード・レジスタは5つに区分することができます。

- (1) A0 – A2 : バースト長
- (2) A3 : バースト・シーケンス
- (3) A4 – A6 : /CAS レーテンシ
- (4) A7 , A9 – A11 : オプション
- (5) A8 : DLL リセット

拡張モード・レジスタは2つに区分することができます。

- (6) A0 : DLL 動作モード
- (7) A1 – A11 : オプション

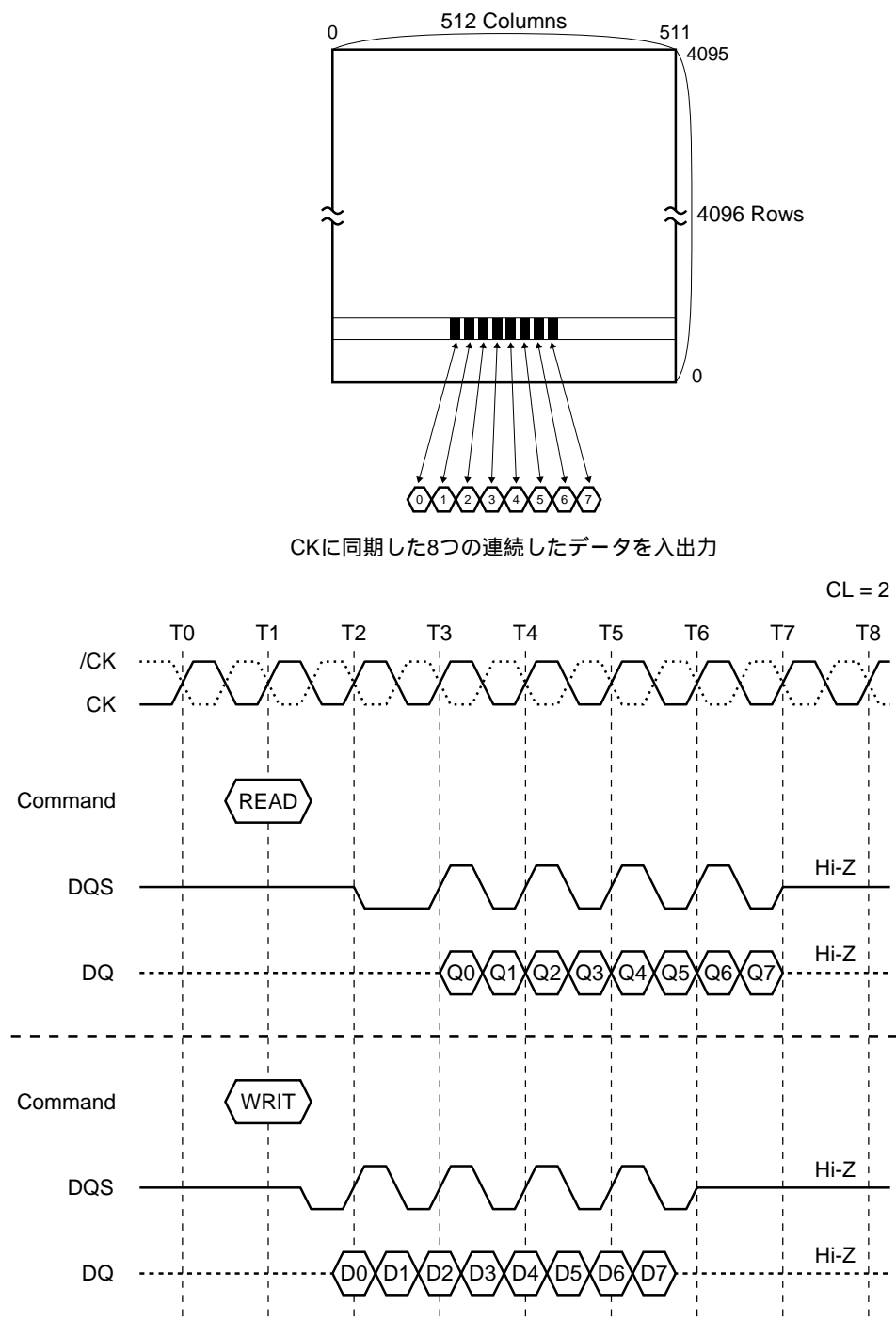
(1) バースト長

バースト長とは、連続して入出力することができるデータの個数です。DDR SDRAM のバースト長は 2, 4, 8 です。

例) バースト長 = 8 の場合

1 回のリード/ライト・コマンド (READ, WRIT) 入力で、8 カラム分のデータを連続して入出力します。バースト動作を終了すると、データ・バスはハイ・インピーダンスになります。

図5-2 バースト長=8の場合のリード/ライト・サイクル



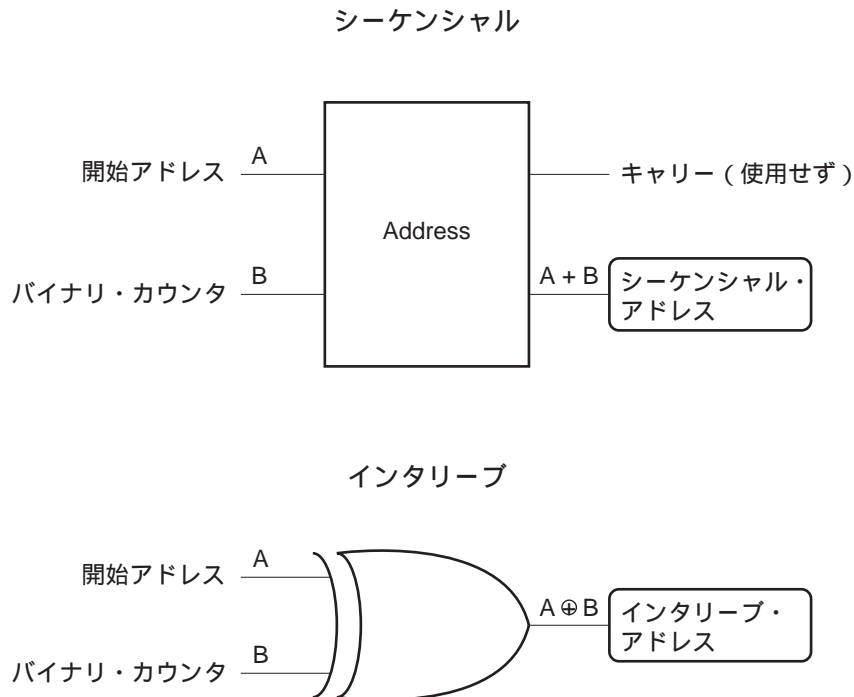
備考 CL : /CAS レーテンシ

(2) バースト・シーケンス

バースト・シーケンスは、バースト・データのアドレスがインクリメントされる順序を指定します。

DDR SDRAM は SDR SDRAM と同様に、シーケンシャル・タイプとインタリーブ・タイプをサポートしています。アドレス (A3) = (0) のときはシーケンシャル・タイプ、アドレス (A3) = (1) のときはインタリーブ・タイプが選択されます。どちらを選択するかは、各システムで使用している CPU のタイプによって決まります。

図5 - 3 バースト・シーケンス



バースト長とアドレッシング順序

各バースト長での開始カラム・アドレスとアドレッシングの順序を示します。

[バースト長 = 2]

開始アドレス (カラム・アドレス : A0 , 2 進数)	シーケンシャル・アドレッシング での順序 (10 進数)	インタリーブ・アドレッシング での順序 (10 進数)
0	0, 1	0, 1
1	1, 0	1, 0

[バースト長 = 4]

開始アドレス (カラム・アドレス : A1 – A0 , 2 進数)	シーケンシャル・アドレッシング での順序 (10 進数)	インタリーブ・アドレッシング での順序 (10 進数)
00	0, 1, 2, 3	0, 1, 2, 3
01	1, 2, 3, 0	1, 0, 3, 2
10	2, 3, 0, 1	2, 3, 0, 1
11	3, 0, 1, 2	3, 2, 1, 0

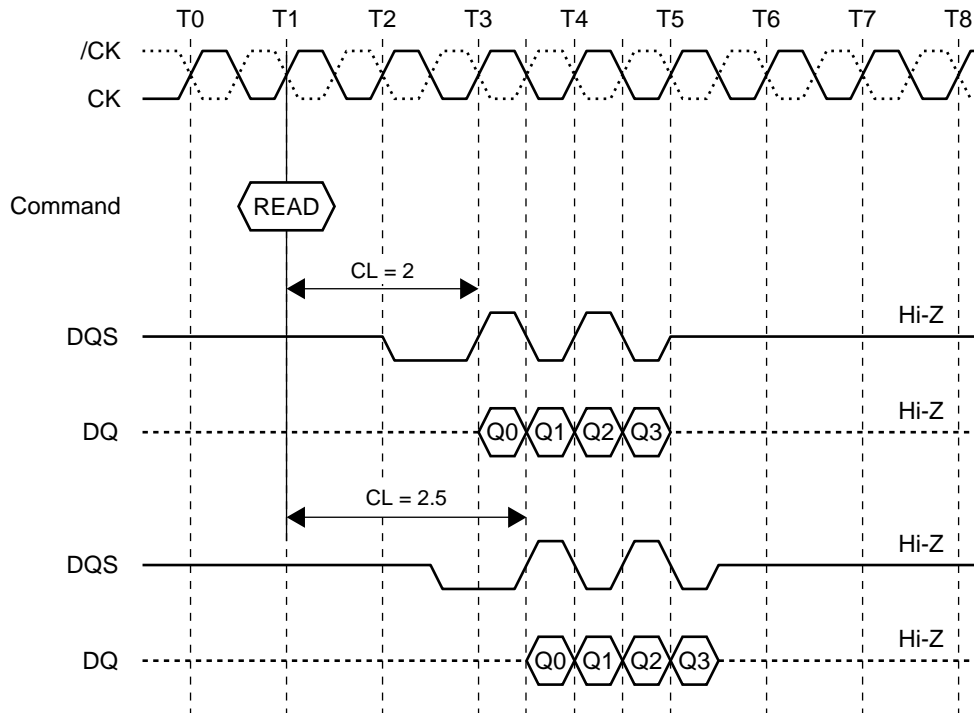
[バースト長 = 8]

開始アドレス (カラム・アドレス : A2 – A0 , 2 進数)	シーケンシャル・アドレッシング での順序 (10 進数)	インタリーブ・アドレッシング での順序 (10 進数)
000	0, 1, 2, 3, 4, 5, 6, 7	0, 1, 2, 3, 4, 5, 6, 7
001	1, 2, 3, 4, 5, 6, 7, 0	1, 0, 3, 2, 5, 4, 7, 6
010	2, 3, 4, 5, 6, 7, 0, 1	2, 3, 0, 1, 6, 7, 4, 5
011	3, 4, 5, 6, 7, 0, 1, 2	3, 2, 1, 0, 7, 6, 5, 4
100	4, 5, 6, 7, 0, 1, 2, 3	4, 5, 6, 7, 0, 1, 2, 3
101	5, 6, 7, 0, 1, 2, 3, 4	5, 4, 7, 6, 1, 0, 3, 2
110	6, 7, 0, 1, 2, 3, 4, 5	6, 7, 4, 5, 2, 3, 0, 1
111	7, 0, 1, 2, 3, 4, 5, 6	7, 6, 5, 4, 3, 2, 1, 0

(3) /CAS レーテンシ

/CAS レーテンシは、リード・コマンド (READ) を入力してから最初のデータが出力されるまでのクロック数です。/CAS レーテンシの値は、DDR SDRAM の動作周波数とスピード・グレードによって選択肢に制限があります。DDR SDRAM の/CAS レーテンシは 2, 2.5, 3 が選択可能です。

図5-4 /CASレーテンシ=2, 2.5のタイミング上の違い



備考 CL : /CAS レーテンシ

(4) オプション

モード・レジスタ設定コマンド入力時のアドレス (A7, A9 – A11) はオプションのフィールドで 사용됩니다。

(5) DLL リセット

モード・レジスタ設定コマンド入力時のアドレス (A8) は DLL リセットに使用されます。

(6) 拡張モード・レジスタ設定

モード・レジスタ設定でバンク・アドレス (BA0, BA1) = (1, 0) の場合、デバイスは拡張モード・レジスタ設定サイクルに入ります。拡張モード・レジスタ設定サイクルでのアドレス (A0) の情報により、DLL の動作モードが変わります。

DLL は通常 Enable で使用しますが、パワーダウン・モードのときに Disable にすることにより、デバイスの消費電流を低く抑えることができます。

(7) オプション

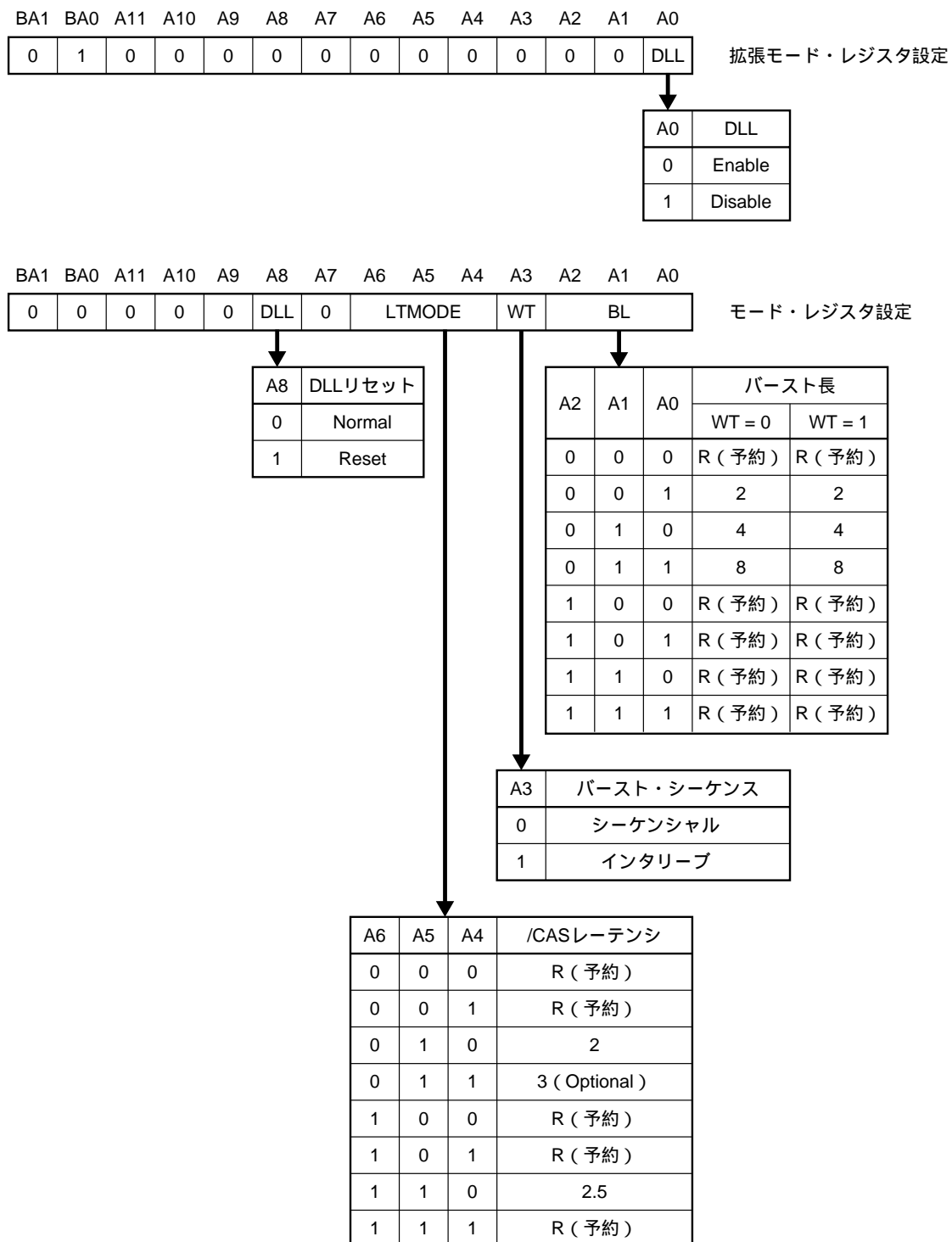
拡張モード・レジスタ設定コマンド入力時のアドレス (A1 – A11) はオプションのフィールドで 사용됩니다。

5.3 モード・レジスタ，拡張モード・レジスタのフィールド

モード・レジスタ設定コマンド（MRS）でバースト長，バースト・シーケンス，/CAS レーテンシを設定するには，オプションのフィールドを，アドレス（A7，A9 – A11）＝（0），バンク・アドレス（BA0，BA1）＝（0，0）に設定してください。

拡張モード・レジスタ設定コマンド（EMRS）で DLL 動作モードを設定するには，モード・レジスタ設定コマンドでバンク・アドレス（BA0，BA1）＝（1，0）に設定してください。

図5-5 モード・レジスタ，拡張モード・レジスタのフィールド（128MビットDDR SDRAMの場合）

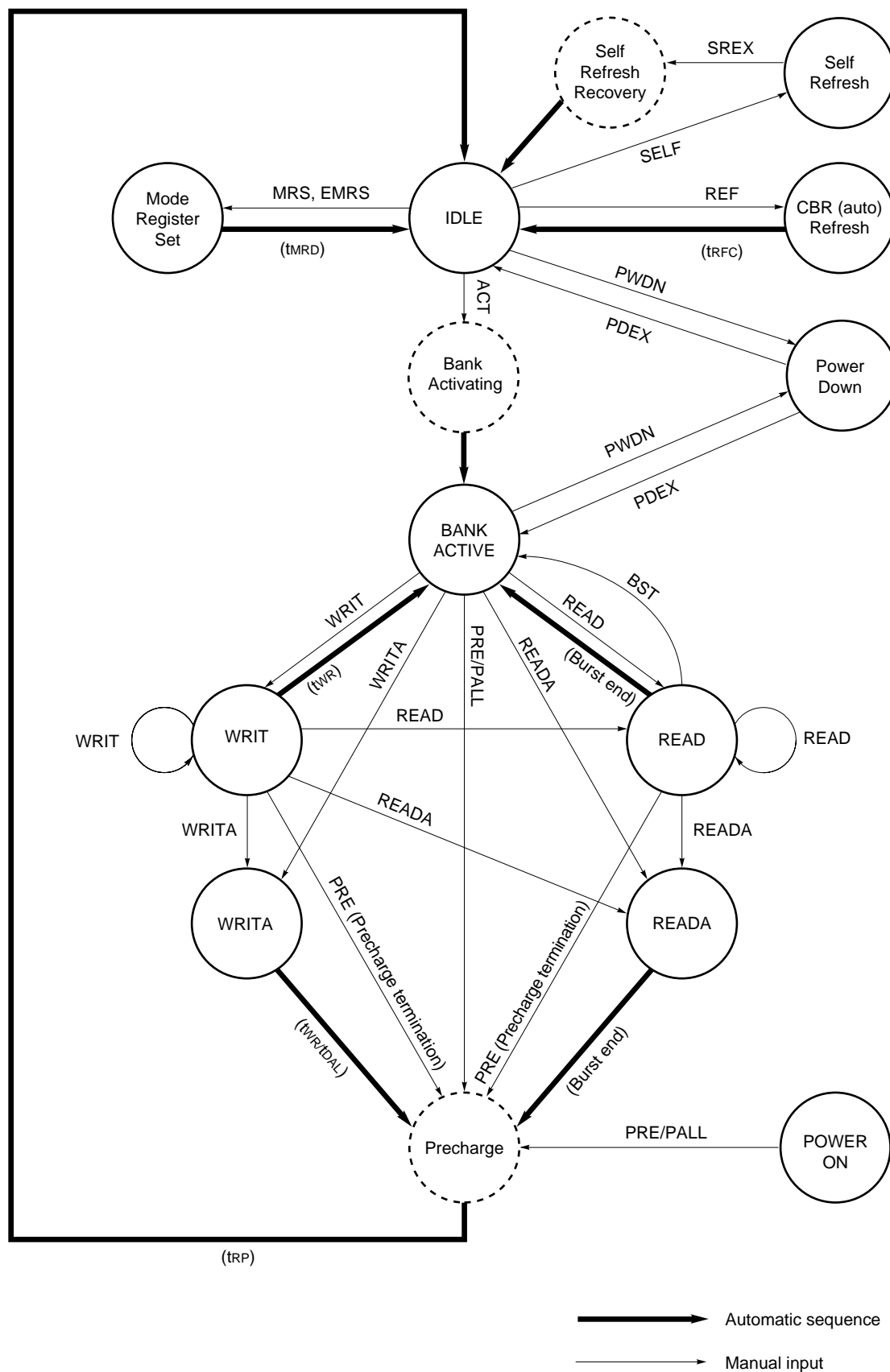


第 6 章 状態遷移図

6.1 DDR SDRAM の状態遷移図

図 6 - 1 に DDR SDRAM の状態遷移図を示します。図の中の円は現在の状態を示し、矢印にそって次の状態に移ることができます。

図6 - 1 DDR SDRAMの状態遷移図



6.2 状態説明

6.2.1 アイドル (IDLE)

アイドルとは、プリチャージを開始してから t_{RP} 経過後の状態です。バンク・アクティブ・コマンド (ACT)、モード・レジスタ設定コマンド (MRS, EMRS)、リフレッシュ・コマンド (REF, SELF) は、デバイス、または選択するバンクがアイドル状態のときに入力可能です。

6.2.2 バンク・アクティベイティング (Bank Activating) (ロウ・アクティベイティング)

該当バンクの特定のロウ・アドレスが動作 (リード/ライト) するためには、そのバンクが動作要求 (リード/ライト・コマンド) を受け取る前にアクティブになっている必要があります。

バンク・アクティベイティングとは、バンク・アクティブ・コマンド (ACT) 入力後、 t_{RCD} 未満の状態です。デバイスは t_{RCD} 経過後に自動的にバンク・アクティブ状態になります。

6.2.3 バンク・アクティブ (BANK ACTIVE) (ロウ・アクティブ)

バンク・アクティブ・コマンド (ACT) 入力から t_{RCD} 経過後 (バンク・アクティブ)、デバイスは動作要求 (リード/ライト・コマンド) を受け取ることができます。

6.2.4 プリチャージング (Precharging)

現在の動作 (リード/ライト) が終了すると、同一バンク内の別のロウ・アドレスを活性化するために、バンクはアイドル状態に戻る必要があります。アイドル状態に戻るためには、プリチャージ・コマンド (PRE, PALL) を入力する必要があります。

プリチャージングとは、プリチャージ・コマンド入力後、 t_{RP} 未満の状態です。6.2.1 アイドル (IDLE) で説明したように、デバイスは t_{RP} 経過後に自動的にアイドル状態に戻ります。

6.2.5 リード, ライト (READ, WRIT)

リード動作, またはライト動作を実行している状態です。アクティブ・バンクのカラム・アドレスに、リード/ライト・コマンド (READ, WRIT) を入力すると、リード/ライト動作を開始します。

リード/ライト動作が終了すると、バンクは自動的にバンク・アクティブ状態に戻ります。

6.2.6 オート・プリチャージ付きリード, ライト (READA, WRITA)

オート・プリチャージ付きのリード/ライト・コマンド (READA, WRITA) を入力すると、デバイスはリード/ライト動作が終了した後、自動的にプリチャージを開始します。プリチャージが終了すると、バンクは自動的にバンク・アイドル状態に戻ります。

6.2.7 モード・レジスタ設定 (Mode Register Set)

モード・レジスタ設定コマンド (MRS)、拡張モード・レジスタ設定コマンド (EMRS) はデバイスの全バンクがアイドル状態のときに入力可能です。モード・レジスタへのデータの書き込みが終了すると、デバイスは t_{MRD} 経過後に自動的にアイドル状態に戻ります。

6.2.8 CBR (オート) リフレッシュ (CBR (auto) Refresh)

CBR (オート) リフレッシュ・コマンド (REF) はデバイスの全バンクがアイドル状態のときに入力可能です。CBR (オート) リフレッシュ・コマンドを入力すると、内部で自動生成されるロウ・アドレスが選択され、全バンク・リフレッシュを実行します。CBR (オート) リフレッシュが終了すると、デバイスは t_{RFC} 経過後に自動的にアイドル状態に戻ります。なお、CBR (オート) リフレッシュを実行するたびに、内部で自動生成されるアドレスはインクリメントされます。

6.2.9 セルフ・リフレッシュ (Self Refresh)

セルフ・リフレッシュ開始コマンド (SELF) はデバイスの全バンクがアイドル状態のときに入力可能です。セルフ・リフレッシュ状態では、デバイスは自動的にリフレッシュを行います。リフレッシュ・コマンドを外部から実行する必要はありません。

6.2.10 セルフ・リフレッシュ・リカバリ (Self Refresh Recovery)

セルフ・リフレッシュ・リカバリとはセルフ・リフレッシュ終了コマンド (SREX) 入力後、 t_{XSNR} 未満の状態です。デバイスは t_{XSNR} 経過後に自動的にアイドル状態に戻ります。

6.2.11 パワーダウン (Power Down)

アイドル状態またはバンク・アクティブ状態のとき、クロック・イネーブル信号 (CKE) をロウ・レベルにすると、パワーダウン・モードに入ります。パワーダウン・モード中は、クロック (CK, /CK) および CKE を除くすべての入力バッファはオフになり、デバイスの消費電力が低減されます。

元の状態 (アイドルまたはアクティブ) に戻るには、CKE をハイ・レベルにします。

第7章 コマンド・オペレーション

7.1 DDR SDRAM コマンド真理値表

以下に DDR SDRAM のコマンド真理値表を示します。

表7 - 1 DDR SDRAM (x4/x8/x16ビット構成) コマンド真理値表

コマンド	略号	CKE		/CS	/RAS	/CAS	/WE	アドレス			
		n-1	n					BA0	BA1	A10	A0-A9, A11
デバイス非選択	DESL	H	X	H	X	X	X	X		X	X
ノー・オペレーション	NOP	H	X	L	H	H	H	X		X	X
バースト・ストップ	BST	H	X	L	H	H	L	X		X	X
リード	READ	H	X	L	H	L	H	V		L	V
オート・プリチャージ付きリード	READA									H	
ライト	WRIT	H	X	L	H	L	L	V		L	V
オート・プリチャージ付きライト	WRITEA									H	
バンク・アクティブ	ACT	H	X	L	L	H	H	V		V	V
選択バンクのプリチャージ	PRE	H	X	L	L	H	L	V		L	X
全バンクのプリチャージ	PALL							X		H	X
モード・レジスタ設定	MRS	H	X	L	L	L	L	L	L	L	V
拡張モード・レジスタ設定	EMRS							H	L	L	V
CBR (オート) リフレッシュ	REF	H	H	L	L	L	H	X		X	X
セルフ・リフレッシュ開始	SELF	H	L								
セルフ・リフレッシュ終了	SREX	L	H	H	X	X	X	X		X	X
				L	H	H	X	X		X	X
パワーダウン・モード開始	PWDN	H	L	H	X	X	X	X		X	X
				L	H	H	X	X		X	X
パワーダウン・モード終了	PDEX	L	H	H	X	X	X	X		X	X
				L	H	H	X	X		X	X

備考 H: ハイ・レベル

L: ロウ・レベル

X: ハイ・レベルまたはロウ・レベル (任意)

V: 有効データ

7.2 コマンド実行条件

以下に各コマンドの実行条件を示します。DDR SDRAM の状態については、**6.1 DDR SDRAM の状態遷移図**，**6.2 状態説明**を参照してください。

表7-2 コマンド実行条件

コマンド	略 号	コマンド実行条件（現在の状態）
デバイス非選択	DESL	すべての状態
ノー・オペレーション	NOP	すべての状態
バースト・ストップ	BST	リード/ライト動作時
リード	READ	選択するバンクがアクティブ（アクティブ・コマンドから t_{RCD} 経過後）
オート・プリチャージ付きリード	READA	選択するバンクがアクティブ（アクティブ・コマンドから t_{RCD} 経過後）
ライト	WRIT	選択するバンクがアクティブ（アクティブ・コマンドから t_{RCD} 経過後）
オート・プリチャージ付きライト	WRITA	選択するバンクがアクティブ（アクティブ・コマンドから t_{RCD} 経過後）
バンク・アクティブ	ACT	選択するバンクがアイドル
選択バンクのプリチャージ	PRE	選択するバンクがアクティブ（アクティブ・コマンドから t_{RAS} 経過後）
全バンクのプリチャージ	PALL	全バンクがアクティブ（アクティブ・コマンドから t_{RAS} 経過後）
モード・レジスタ設定	MRS	全バンクがアイドル
拡張モード・レジスタ設定	EMRS	全バンクがアイドル
CBR（オート）リフレッシュ	REF	全バンクがアイドル
セルフ・リフレッシュ開始	SELF	全バンクがアイドル
セルフ・リフレッシュ終了	SREX	セルフ・リフレッシュ
パワーダウン・モード開始	PWDN	アイドル，またはバンク・アクティブ
パワーダウン・モード終了	PDEX	パワーダウン

7.3 DDR SDRAM のコマンド動作

以下に DDR SDRAM のコマンド動作について説明します。

現在の状態：アイドル

入力コマンド	動作	注意事項
DESL	ノー・オペレーション，またはパワーダウン	
NOP	ノー・オペレーション，またはパワーダウン	
BST	不正	注 1
READ/READA	不正	注 1
WRIT/WRITA	不正	注 1
ACT	バンク・アクティベイティング	
PRE/PALL	ノー・オペレーション	注 2
REF/SELF	CBR（オート）リフレッシュ，またはセルフ・リフレッシュ	注 3
MRS	モード・レジスタ設定	注 3
EMRS	拡張モード・レジスタ設定	注 3

- 注 1. 同一バンクに対して不正です（バンク・アドレス（BA0，BA1）で指定したバンクの状態によっては有効になる場合もあります）。
2. バンク・アドレスで指定したバンクの状態によっては，プリチャージが可能です。
3. アイドルでないバンクがある場合は不正です。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：バンク・アクティブ

入力コマンド	動作	注意事項
DESL	ノー・オペレーション	
NOP	ノー・オペレーション	
BST	不正	注 1
READ/READA	リード，またはオート・プリチャージ付きリード開始	
WRIT/WRITA	ライト，またはオート・プリチャージ付きライト開始	
ACT	不正	注 1
PRE/PALL	選択バンクのプリチャージ，または全バンクのプリチャージ	注 2
REF/SELF	不正	
MRS	不正	
EMRS	不正	

- 注 1. 同一バンクに対して不正です（バンク・アドレス（BA0，BA1）で指定したバンクの状態によっては有効になる場合もあります）。
2. t_{RAS} を満足していない場合は不正です。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：リード

入力コマンド	動作	注意事項
DESL	ノー・オペレーション（バースト終了後にバンク・アクティブ）	
NOP	ノー・オペレーション（バースト終了後にバンク・アクティブ）	
BST	バースト停止 バンク・アクティブ	注 1
READ/READA	バースト停止 リード，またはオート・プリチャージ付きリード開始	注 1
WRIT/WRITA	不正	
ACT	不正	注 2
PRE/PALL	バースト停止 選択バンクのプリチャージ，または全バンクのプリチャージ	注 1
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 1. バースト割り込み条件を満足していなければなりません。

2 同一バンクに対して不正です（バンク・アドレス（BA0，BA1）で指定したバンクの状態によっては有効になる場合もあります）。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：ライト

入力コマンド	動作	注意事項
DESL	ノー・オペレーション（t _{WR} 経過後にバンク・アクティブ）	
NOP	ノー・オペレーション（t _{WR} 経過後にバンク・アクティブ）	
BST	不正	
READ/READA	バースト停止 リード，またはオート・プリチャージ付きリード開始	注 1
WRIT/WRITA	バースト停止 ライト，またはオート・プリチャージ付きライト開始	注 1
ACT	不正	注 2
PRE/PALL	バースト停止 選択バンクのプリチャージ，または全バンクのプリチャージ	注 1
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 1. バースト割り込み条件を満足していなければなりません。

2 同一バンクに対して不正です（バンク・アドレス（BA0，BA1）で指定したバンクの状態によっては有効になる場合もあります）。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：オート・プリチャージ付きリード

入力コマンド	動作	注意事項
DESL	ノー・オペレーション（バースト終了後にプリチャージ）	
NOP	ノー・オペレーション（バースト終了後にプリチャージ）	
BST	不正	
READ/READA	不正	
WRIT/WRITA	不正	
ACT	不正	注
PRE/PALL	不正	注
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 同一バンクに対して不正です（バンク・アドレス（BA0，BA1）で指定したバンクの状態によっては有効になる場合もあります）。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：オート・プリチャージ付きライト

入力コマンド	動作	注意事項
DESL	ノー・オペレーション（ t_{DAL} 経過後にアイドル）	
NOP	ノー・オペレーション（ t_{DAL} 経過後にアイドル）	
BST	不正	
READ/READA	不正	
WRIT/WRITA	不正	
ACT	不正	注
PRE/PALL	不正	注
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 同一バンクに対して不正です（バンク・アドレス（BA0，BA1）で指定したバンクの状態によっては有効になる場合もあります）。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：プリチャージング

入力コマンド	動作	注意事項
DESL	ノー・オペレーション (trp 経過後にアイドル)	
NOP	ノー・オペレーション (trp 経過後にアイドル)	
BST	不正	注 1
READ/READA	不正	注 1
WRIT/WRITA	不正	注 1
ACT	不正	注 1
PRE/PALL	ノー・オペレーション (trp 経過後にアイドル)	注 2
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 1. 同一バンクに対して不正です (バンク・アドレス (BA0, BA1) で指定したバンクの状態によっては有効になる場合もあります)。

2. バンク・アドレスで指定したバンクの状態によっては、プリチャージが可能です。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：バンク・アクティベイティング

入力コマンド	動作	注意事項
DESL	ノー・オペレーション (trcd 経過後にバンク・アクティブ)	
NOP	ノー・オペレーション (trcd 経過後にバンク・アクティブ)	
BST	不正	注
READ/READA	不正	注
WRIT/WRITA	不正	注
ACT	不正	注
PRE/PALL	不正	注
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 同一バンクに対して不正です (バンク・アドレス (BA0, BA1) で指定したバンクの状態によっては有効になる場合もあります)。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：ライト・リカバリ

入力コマンド	動 作	注意事項
DESL	ノー・オペレーション (t _{WR} 経過後にバンク・アクティブ)	
NOP	ノー・オペレーション (t _{WR} 経過後にバンク・アクティブ)	
BST	ノー・オペレーション (t _{WR} 経過後にバンク・アクティブ)	
READ/READA	リード, またはオート・プリチャージ付きリード開始	
WRIT/WRITA	ライト, またはオート・プリチャージ付きライト開始	
ACT	不正	注
PRE/PALL	不正	注
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 同一バンクに対して不正です (バンク・アドレス (BA0, BA1) で指定したバンクの状態によっては有効になる場合もあります)。

備考 1. ライト・リカバリ: すべてのバースト・データをメモリ・セルに正確に書き込むために、非同期のパラメータである t_{WR} を満足する必要があります。t_{WR} は最後のデータが書き込まれてからプリチャージ・コマンドを入力するまでの、最も早い入力タイミングです。

2. 不正: デバイスの動作, および (または) データの完全性は保証されません。

現在の状態：オート・プリチャージ付きライト・リカバリ

入力コマンド	動 作	注意事項
DESL	ノー・オペレーション (t _{DAL} 経過後にアイドル)	
NOP	ノー・オペレーション (t _{DAL} 経過後にアイドル)	
BST	不正	
READ/READA	不正	
WRIT/WRITA	不正	
ACT	不正	注
PRE/PALL	不正	注
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 同一バンクに対して不正です (バンク・アドレス (BA0, BA1) で指定したバンクの状態によっては有効になる場合もあります)。

備考 不正: デバイスの動作, および (または) データの完全性は保証されません。

現在の状態：リフレッシュ

入力コマンド	動作	注意事項
DESL	ノー・オペレーション (t _{RFC} 経過後にアイドル)	
NOP	ノー・オペレーション (t _{RFC} 経過後にアイドル)	
BST	ノー・オペレーション (t _{RFC} 経過後にアイドル)	注 1
READ/WRIT	不正	注 1
ACT	不正	注 2
PRE/PALL	不正	注 2
REF/SELF	不正	
MRS	不正	
EMRS	不正	

注 1. 同一バンクに対して不正です (バンク・アドレス (BA0, BA1) で指定したバンクの状態によっては有効になる場合もあります)。

2. バンク・アドレスで指定したバンクの状態によっては、プリチャージが可能です。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：モード・レジスタ設定

入力コマンド	動作	注意事項
DESL	ノー・オペレーション (t _{MRD} 経過後にアイドル)	
NOP	ノー・オペレーション (t _{MRD} 経過後にアイドル)	
BST	不正	注
READ/WRIT	不正	注
ACT	不正	注
PRE/PALL	不正	注
REF/SELF	不正	注
MRS	不正	注
EMRS	不正	注

注 同一バンクに対して不正です (バンク・アドレス (BA0, BA1) で指定したバンクの状態によっては有効になる場合もあります)。

備考 不正：デバイスの動作，および（または）データの完全性は保証されません。

第 8 章 基本動作モード

この章では、DDR SDRAM の次の基本動作モードについて説明します。

リード・モード

ライト・モード

リフレッシュ・モード

8.1 リード・モード

アクティブ・バンクにリード・コマンド (READ) を入力すると、リード動作が実行されます。一連のリード動作を次に示します。

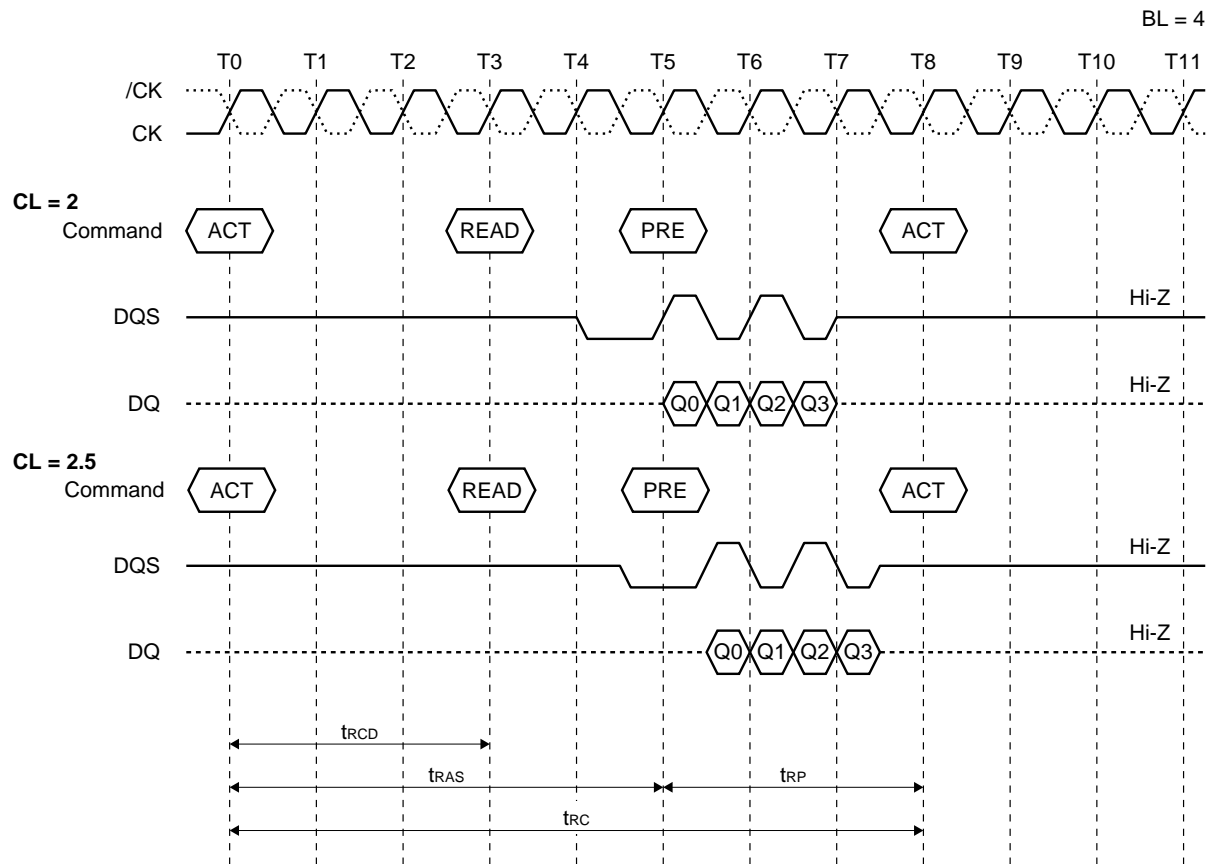
- (1) ロウ・アドレス、バンク・アドレスと、バンク・アクティブ・コマンド (ACT) を入力して、該当バンクの特定のロウ・アドレスをアクティブにします。
- (2) アクティブ・コマンドを入力してから t_{RCD} 経過後、先頭カラム・アドレス、バンク・アドレスと、リード・コマンドを入力します。
- (3) リード・コマンドを入力してから/CAS レーテンシ後に、(2) で指定したカラム・アドレスから始まるバースト・データ出力を開始します。連続して出力されるデータの個数はバースト長で決定します。
- (4) アクティブ・コマンドを入力してから t_{RAS} 経過後、プリチャージ・コマンド (PRE) を入力します。すべてのバースト・データを出力するための最も早いプリチャージ・コマンドの入力タイミングは、リード・コマンドを入力してから (バースト長/2) クロック後です。

注意 プリチャージ・コマンドの入力タイミング (t_{RAS}) は、製品ごとに異なる場合があります。詳しくは、個々の製品のデータ・シートを参照してください。

- (5) t_{RP} 経過後、該当バンクはアイドル状態になります。

図 8 - 1 にバースト長 = 4 のときのリード・サイクルの基本的な動作のタイミング・チャートを示します。

図8 - 1 リード・サイクル



備考 CL : /CAS レーテンシ , BL : バースト長

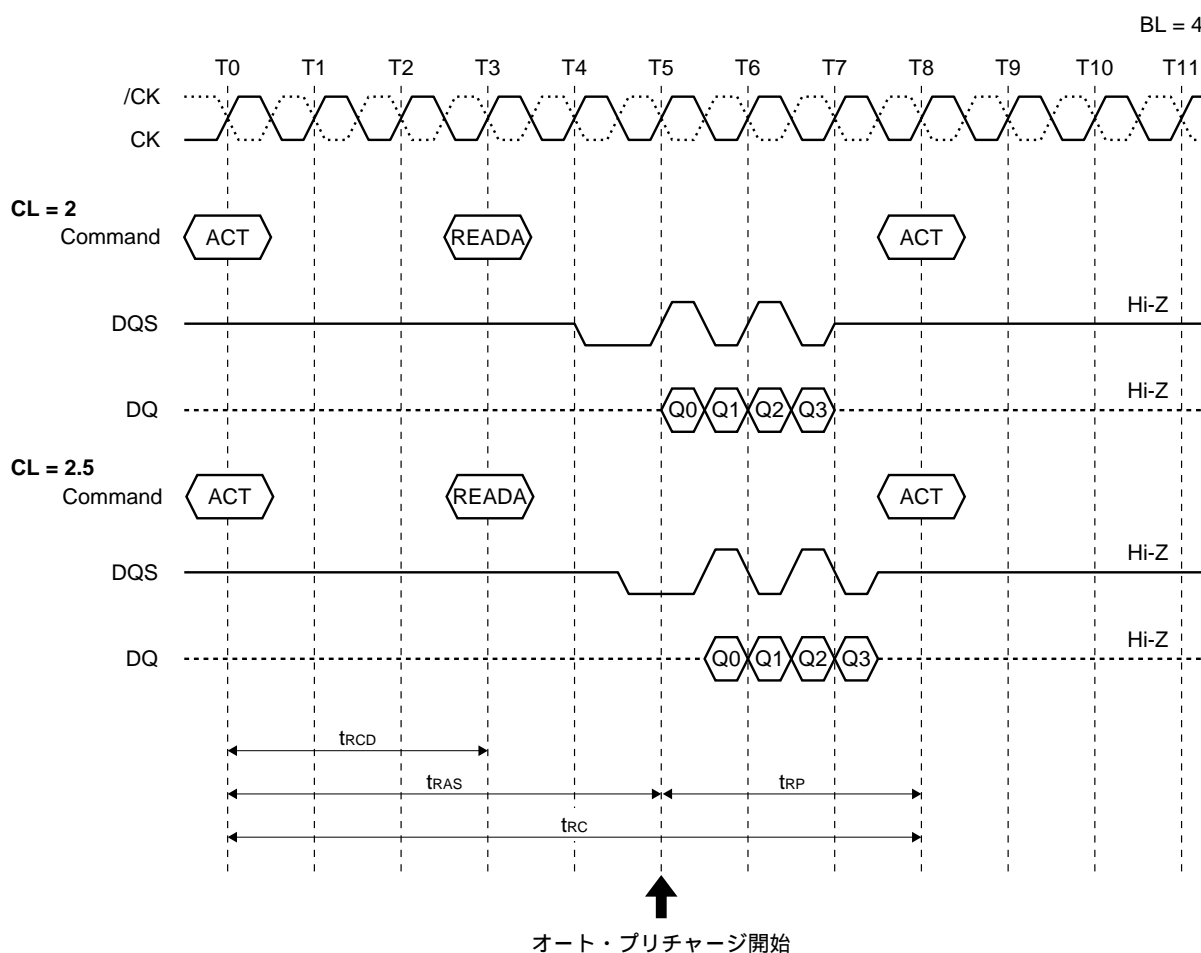
図 8 - 2 にオート・プリチャージ付きのリード・サイクル (READA) を示します。オート・プリチャージ付きリード・サイクル中は、プリチャージ動作が自動的に開始されるので、プリチャージ・コマンド (PRE) を入力する必要はありません。

リード・サイクルで、オート・プリチャージを使用する場合、 t_{RAS} と t_{RP} を満足しなければならないので、プリチャージ動作がいつ開始されるかを覚えておく必要があります。プリチャージ・サイクルが終了するまで (t_{RP} を満足するまで)、同一バンクに次のバンク・アクティブ・コマンド (ACT) を実行することはできません。

オート・プリチャージは、オート・プリチャージ付きリード・コマンドを入力してから (バースト長 / 2) クロック後に開始されます。

注意 オート・プリチャージを開始するタイミングは、製品ごとに異なる場合があります。詳しくは、個々の製品のデータ・シートを参照してください。

図8 - 2 オート・プリチャージ付きリード・サイクル



備考 CL : /CAS レーテンシ, BL : バースト長

8.2 tRAS ロックアウト機能 (Fast Auto Precharge) について

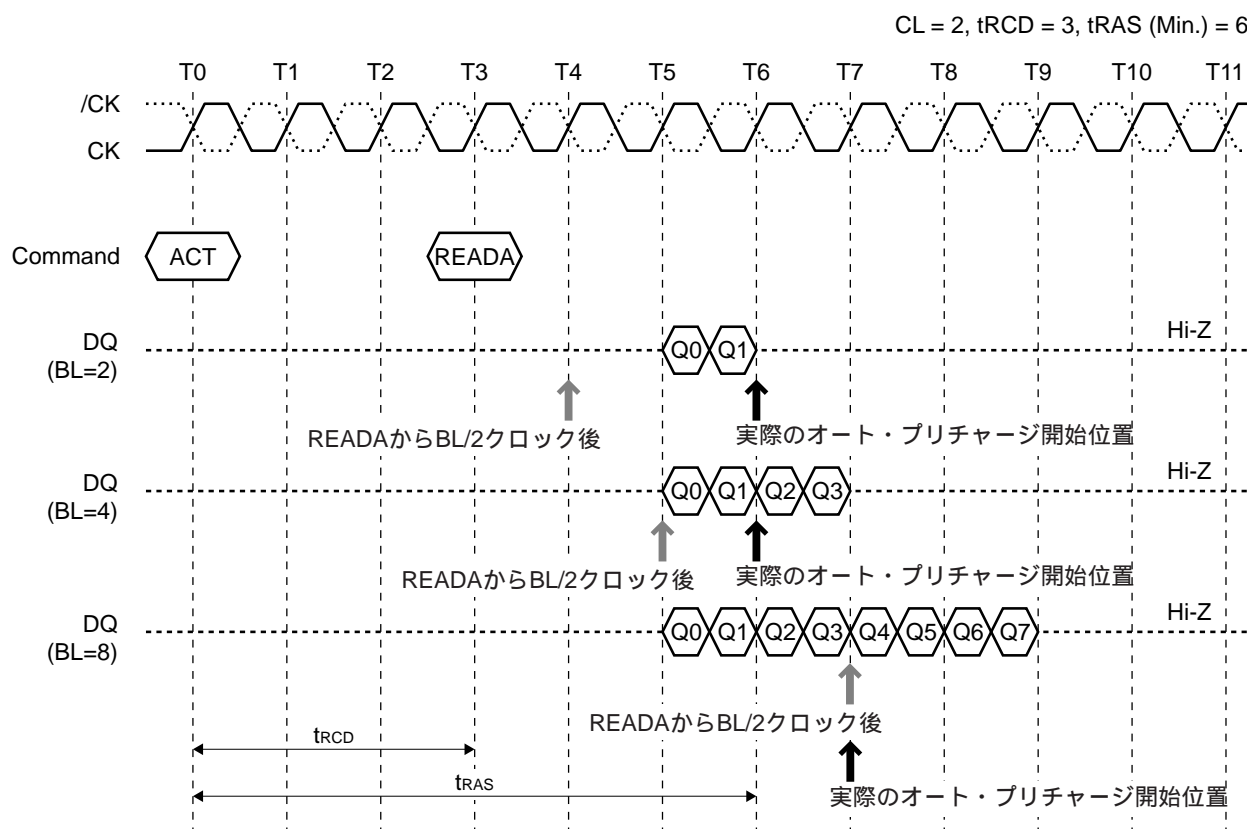
128M ビット以上の DDR SDRAM では、tRAS ロックアウト機能をサポートしています。

通常、オート・プリチャージ付きリード・コマンド発行から、「バースト長 / 2」クロック後にオート・プリチャージが開始されますが、バースト長が短い場合には、「tRCD (Min.) + バースト長 / 2」が tRAS 規格を割ることがあります。

この場合、デバイスがオート・プリチャージのタイミングを自動で調整するため、ユーザはオート・プリチャージ付きリード・コマンド (READA) の発行を遅らせる必要はありません。

したがって、tRAP: Active to Auto Precharge delay (RAS to Auto Precharge enable) = tRCD (Min.)となります。

図8 - 3 オート・プリチャージ付きリード・サイクル (Fast Auto Precharge) (DDR266Aの例)



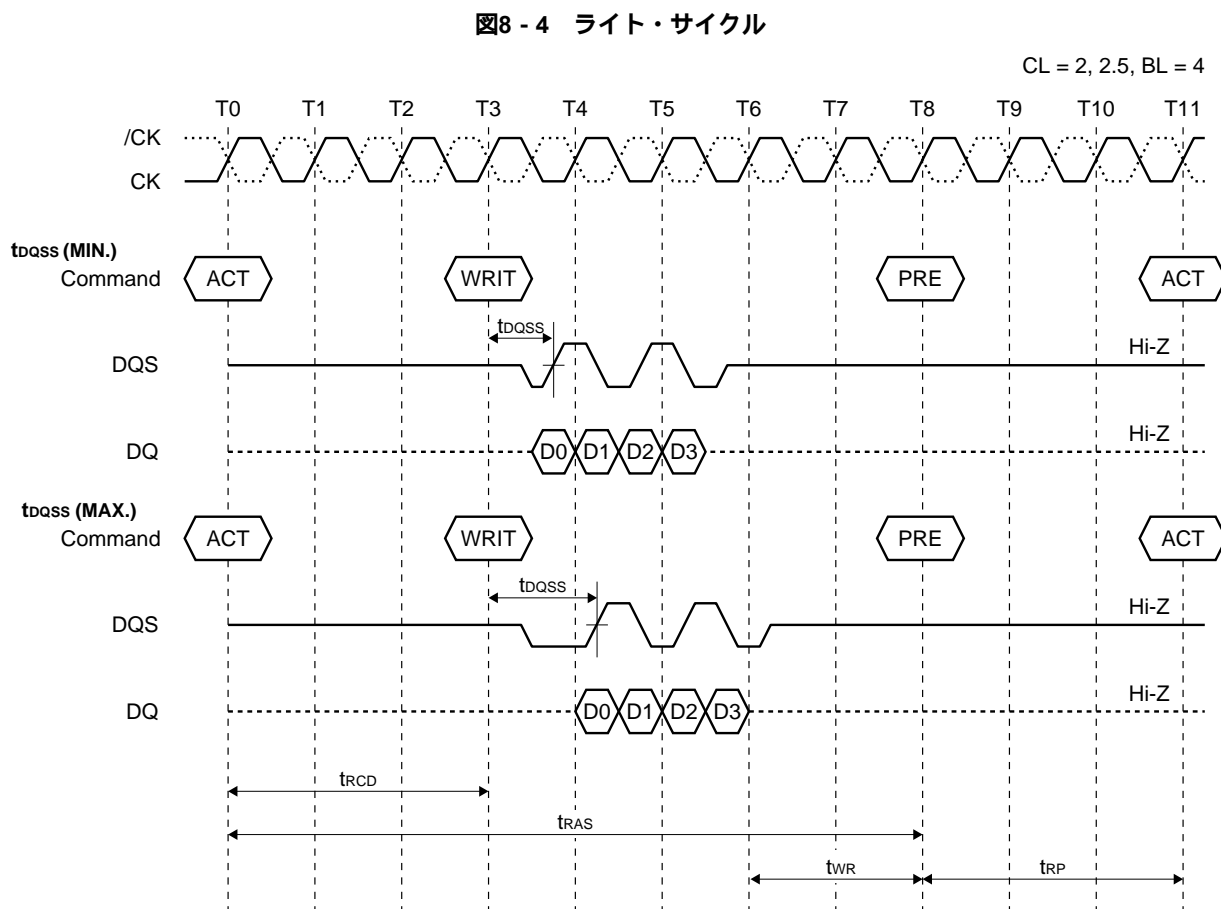
備考 CL : /CAS レーテンシ , BL : バースト長

8.3 ライト・モード

アクティブ・バンクにライト・コマンド (WRIT) を入力すると、ライト動作が実行されます。一連のライト動作を次に示します。

- (1) ロウ・アドレス、バンク・アドレスと、バンク・アクティブ・コマンド (ACT) を入力して、該当バンクの特定のロウ・アドレスをアクティブにします。
- (2) アクティブ・コマンドを入力してから t_{RCD} 経過後、先頭カラム・アドレス、バンク・アドレスと、ライト・コマンドを入力します。
- (3) パースト・ライト動作時、最初の確定データ入力は、データ・ストローブ信号 (DQS) の最初の立ち上がりエッジで取り込まれます。次のデータからは DQS のエッジごとに順次取り込まれます。
- (4) アクティブ・コマンドを入力してから t_{RAS} 経過後、プリチャージ・コマンド (PRE) を入力します。
- (5) t_{RP} 経過後、該当バンクはアイドル状態になります。

図 8 - 4 にパースト長 = 4 のときのライト・サイクルの基本的な動作のタイミング・チャートを示します。



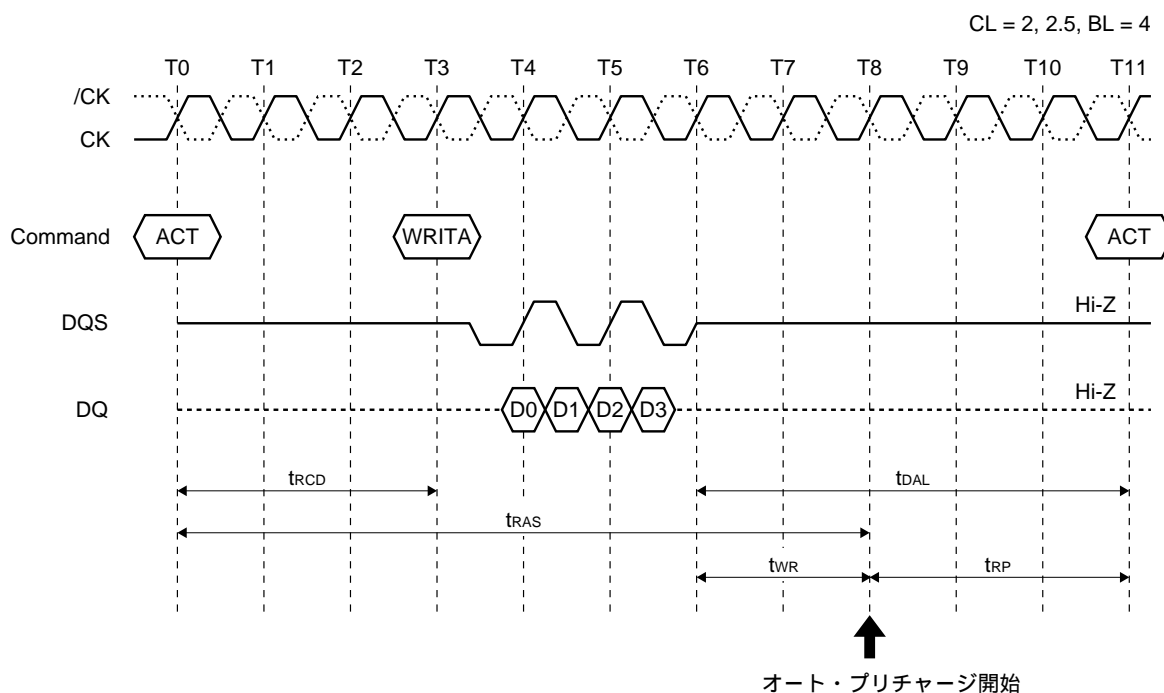
備考 CL : /CAS レーテンシ, BL : パースト長

図 8 - 5 にオート・プリチャージ付きのライト・サイクル (WRITA) を示します。オート・プリチャージ付きライト・サイクル中は、プリチャージ動作が自動的に開始されるので、プリチャージ・コマンド (PRE) を入力する必要はありません。

ライト・サイクルでオート・プリチャージを使用する場合は、プリチャージ動作がいつ開始されるかを知らなくても問題ありません。 t_{DAL} を満足していれば、同一バンクに次のバンク・アクティブ・コマンド (ACT) を実行することができます。

注意 オート・プリチャージを開始するタイミングは、製品ごとに異なる場合があります。詳しくは、個々の製品のデータ・シートを参照してください。

図8 - 5 オート・プリチャージ付きライト・サイクル



備考 CL : /CAS レーテンシ, BL : バースト長

8.4 リフレッシュ・モード

DDR SDRAM は SDR DRAM と同様に、リフレッシュ動作を必要とします。リフレッシュには次の二つのモードがあります。

- CBR（オート）リフレッシュ
- セルフ・リフレッシュ

CBR（オート）リフレッシュの一連の動作は次の通りです。

- (1) CBR（オート）リフレッシュ・コマンド（REF）はデバイスがアイドル状態のときに入力可能です。デバイスがアイドル状態でない場合、全バンクのプリチャージ・コマンド（PALL）を実行する必要があります。
- (2) CBR（オート）リフレッシュ・コマンドを入力します。デバイス内部でリフレッシュ・アドレスを自動的に生成するため、アドレス指定は不要です。
- (3) t_{RFC} 経過後、デバイスはアイドル状態になります。

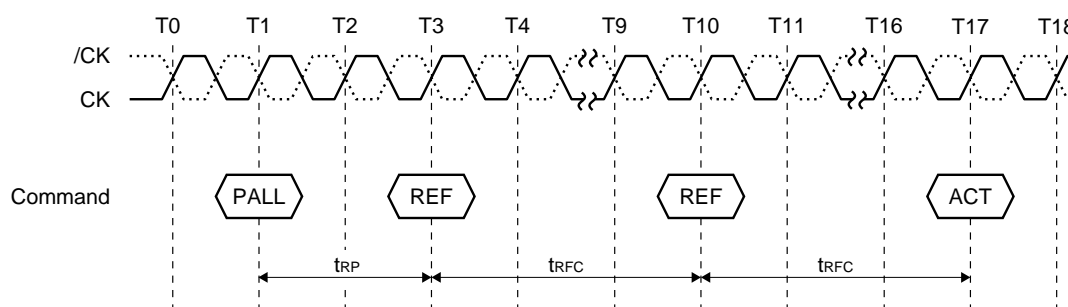
注意 DDR SDRAM では、通常動作中のリフレッシュには分散リフレッシュ（等間隔のリフレッシュ）を使用します（集中リフレッシュは使用しません）。すべてのロウ・アドレスは最低 64ms に 1 回リフレッシュさせることが要求されるため、この時間のガイドラインは、8,192 のロウ・アドレスがある 256M ビット DDR SDRAM では、 $64\text{ms}/8,192 = 7.8\mu\text{s}$ です（ t_{REFI} ）。

リフレッシュと通常動作の切りかえスケジューリング効率を上げるため、分散リフレッシュは必ずしも等間隔である必要はなく、隣り合うリフレッシュ・コマンド間隔が一部延びた区間があってもかまいません。隣り合うリフレッシュ・コマンド間隔は、最大 8 x t_{REFI} まで延長することができます。ただし、この場合も全ロウ・アドレスのリフレッシュは 64ms 以内に完了する必要があります。

セルフ・リフレッシュ・モードでの動作は **11.2.2 セルフ・リフレッシュ・モード**を参照してください。

図 8 - 6 に CBR（オート）リフレッシュ・サイクルの基本的な動作のタイミング・チャートを示します。

図8 - 6 CBR（オート）リフレッシュ・サイクル



第9章 データ・ストロブ信号 (DQS) 制御動作

この章では DDR SDRAM に新しく採用された、データ・ストロブ信号 (DQS) について説明します。DQS は I/O バッファの制御に使用します。

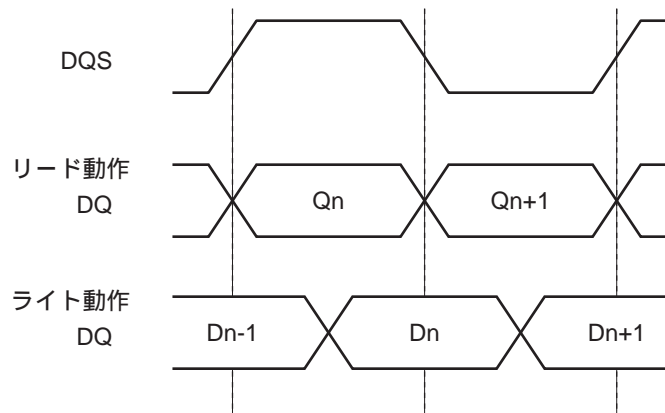
9.1 データ・ストロブ信号 (DQS)

DDR SDRAM は外部クロックの2倍の周波数でデータの入出力を行うため、SDR SDRAM よりも確定データの幅が狭くなります。メモリからコントローラまでの配線長が異なると、データがレシーバに届くまでの時間 (フライトタイム) に差が生じ、レシーバがデータを取り込むタイミングを決定することが困難になります。

DDR SDRAM では、レシーバにデータを転送するタイミングを知らせるために、データ・ストロブ信号 (DQS) を採用しています。DQS は双方向ストロブ信号で、リード/ライト動作時にデータ入出力の動作基準クロックとして機能します。

注意 リード動作では DQS のエッジとリード・データのエッジは一致しますが、ライト動作では DQS のエッジはライト・データの中央に位置します。コントローラが DDR SDRAM からリード・データを受け取る場合、受け取った DQS をリード・データの中央まで、内部で遅らせることを意味します。

図9 - 1 データ・ストロブ信号とデータ入出力の関係



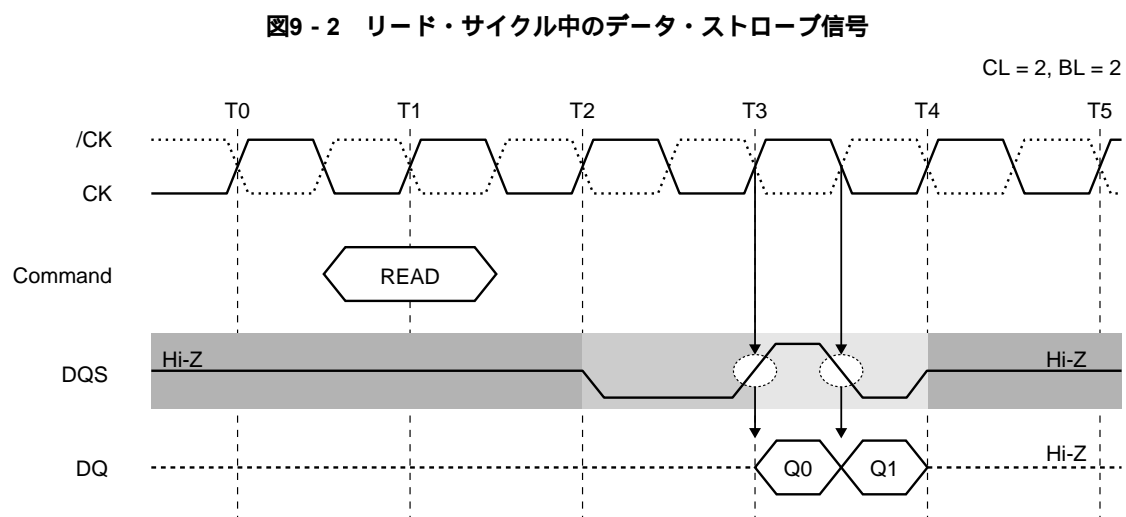
9.1.1 リード・サイクル中のデータ・ストローブ信号 (DQS)

リード・サイクル中、DDR SDRAM はクロック (CK) に同期したデータ・ストローブ信号 (DQS) を制御します。レシーバは DQS を基準にして、データ (DQ) の取り込みを行います。

リード・サイクル中の DQS の動作は次の通りです。

- (1) データが出力されていない状態ではハイ・インピーダンスです (図中)。
- (2) リード・コマンド (READ) 入力後、DQS はデータ出力の約 1 クロック前にロウ・レベルになります (図中)。
- (3) DQS はクロック (CK) と同周波数のトグルを開始します (図中)。
- (4) DQS はバースト・リードが終了するまでトグルし続け、バースト・リードが終了すると再びハイ・インピーダンスになります (図中)。

図 9 - 2 にリード・サイクル中の DQS の動作タイミングを示します。



備考 CL : /CAS レーテンシ , BL : バースト長

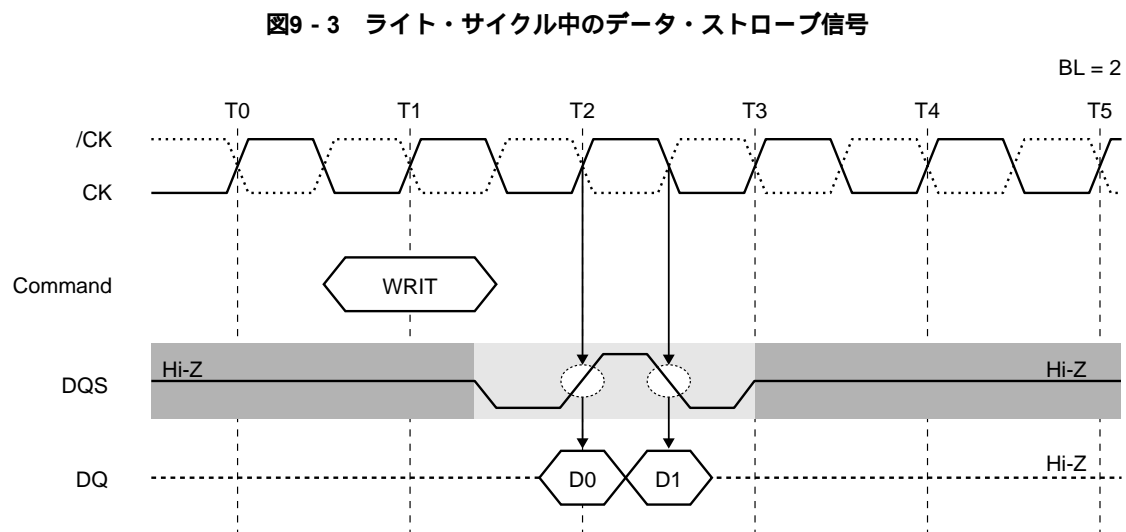
9.1.2 ライト・サイクル中のデータ・ストローブ信号 (DQS)

ライト・サイクル中、コントローラはクロック (CK) に同期したデータ・ストローブ信号 (DQS) を制御します。DDR SDRAM は DQS を基準にして、データ (DQ) の取り込みを行います。

ライト・サイクル中の DQS の動作は次の通りです。

- (1) データが入力されていない状態ではハイ・インピーダンスです (図中)。
- (2) ライト・コマンド (WRIT) を入力してから約 1/2 クロック後、DQS はクロック (CK) と同周波数のトグルを開始します (図中)。
- (3) DQS はバースト・ライトが終了するまでトグルし続け、最後のバースト・データが転送されてから約 1/2 クロック後に再びハイ・インピーダンスになります (図中)。

図 9 - 3 にライト・サイクル中の DQS の動作タイミングを示します。



備考 BL : バースト長

9.2 リード・サイクル中のデータ・ストローブ信号 (DQS) , 出力データ (DQ) とクロック (CK, /CK) との関係

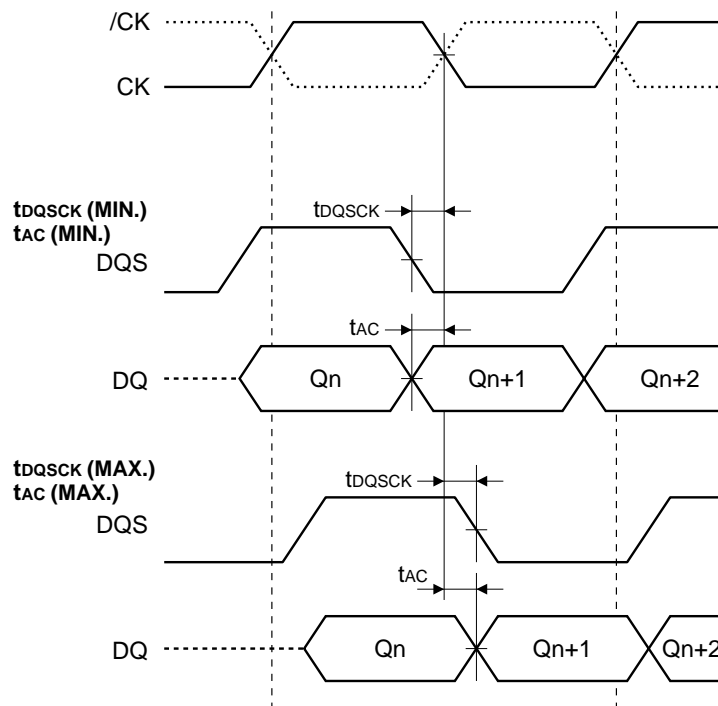
リード・サイクル中のデータ・ストローブ信号 (DQS) の立ち上がり, 立ち下がりエッジや出力データ (DQ) の確定点は, DLL 回路や同様の内部制御により, クロック (CK, /CK) の立ち上がり, 立ち下がりエッジとほぼ一致します。

次に CK に対する DQS と DQ のタイミング特性と例を示します。

表9 - 1 リード・サイクル中のデータ・ストローブ信号と出力データのAC特性

項 目		略 号	MIN.	MAX.	単 位
CK, /CK からの DQS 出力アクセス時間	DDR266A / DDR266B	t_{DQSCK}	- 0.75	+ 0.75	ns
	DDR200		- 0.8	+ 0.8	
CK, /CK からの DQ 出力アクセス時間	DDR266A / DDR266B	t_{AC}	- 0.75	+ 0.75	ns
	DDR200		- 0.8	+ 0.8	

図9 - 4 リード・サイクル中のクロックに対するデータ・ストローブ信号と出力データのタイミング



9.3 リード・サイクル中のデータ・ストローブ信号 (DQS) と出力データ (DQ) の関係

リード・サイクル中の出力データ (DQ) の確定点は、データ・ストローブ信号 (DQS) の立ち上がり、立ち下がりエッジとほぼ一致します。出力データの確定期間は、DQS と DQ とのスキューによって変化します。

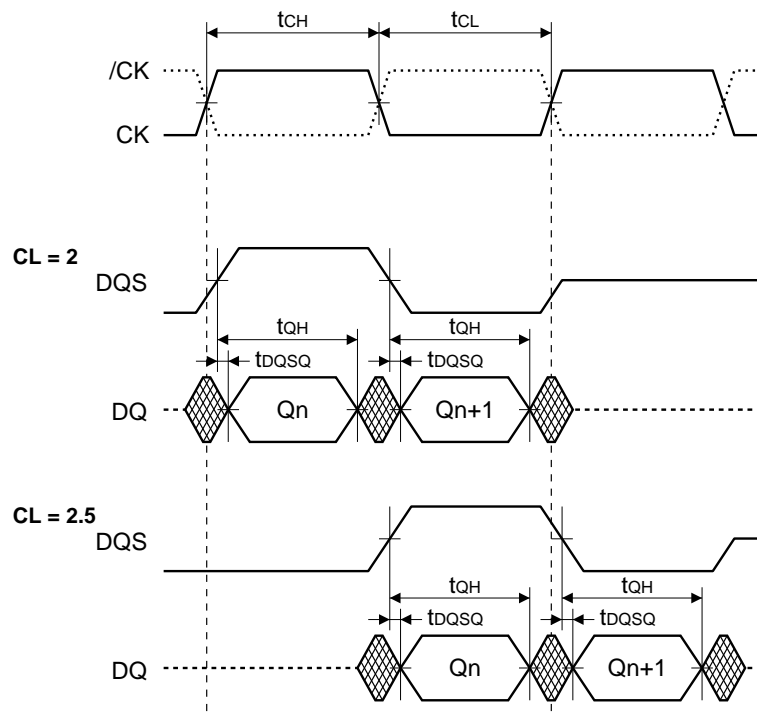
次に DQS と DQ のタイミング特性と例を示します。

表9 - 2 リード・サイクル中のデータ・ストローブ信号と出力データのAC特性

項 目	略 号	MIN.	MAX.	単 位
DQS から DQ 出力保持時間	t_{QH}	$t_{HP} - 0.75$		ns
DQS と DQ とのスキュー	t_{DQSQ}		0.5	ns
出力データ確定期間	$t_{QH} - t_{DQSQ}$			ns

備考 $t_{HP} = t_{CH}, t_{CL}$ (MIN.)

図9 - 5 リード・サイクル中のデータ・ストローブ信号と出力データ



備考 CL : /CAS レーテンシ

9.4 データ・ストローブ信号 (DQS) のリード・プリアンブルとリード・ポストアンブル

リード動作でのデータ・ストローブ・パターンは、プリアンブル、トグル、ポストアンブルから構成されます。

DDR SDRAM がバンク・アクティブ状態のときにリード・コマンド (READ) を受け取ると、データ・ストローブ信号 (DQS) はハイ・インピーダンスからロウ・レベルに変化します。これがリード・プリアンブルです。リード・プリアンブルは最初のデータが出力される約 1 クロック前に起こります。

リード・プリアンブルに続いて、DQS はデータがデータ入出力端子 (DQ) 上にある間、クロック信号と同周波数でトグルします。

最後のデータが転送された後のロウ・レベルの期間がリード・ポストアンブルです。リード・ポストアンブルは最後のデータのエッジから約 1/2 クロックの間起こります。

バースト・リードが終わり、引き続きバースト・リードが始まる場合 (リード - リード・データ・バス遷移)、二つのバースト・リード動作の間にはリード・ポストアンブル、リード・プリアンブルは必要ありません。

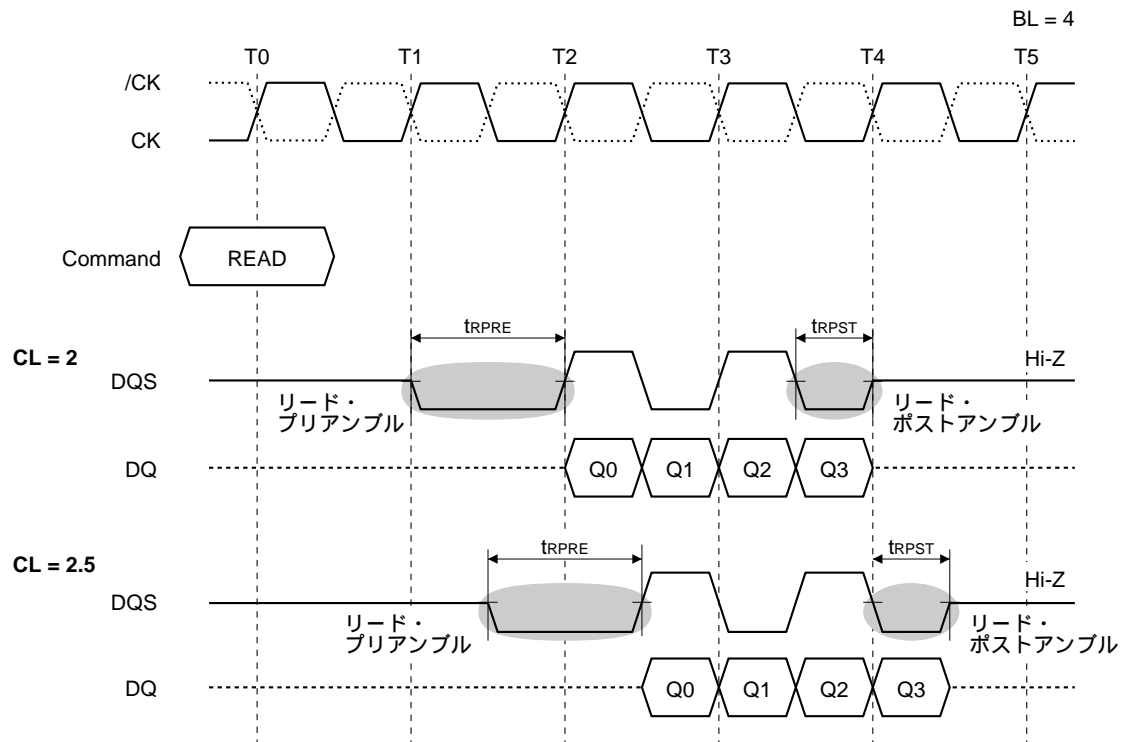
次に DQS のリード・プリアンブルとリード・ポストアンブルのタイミング・パラメータを示します。

表9 - 3 データ・ストローブ信号のリード・プリアンブルとリード・ポストアンブルのAC特性

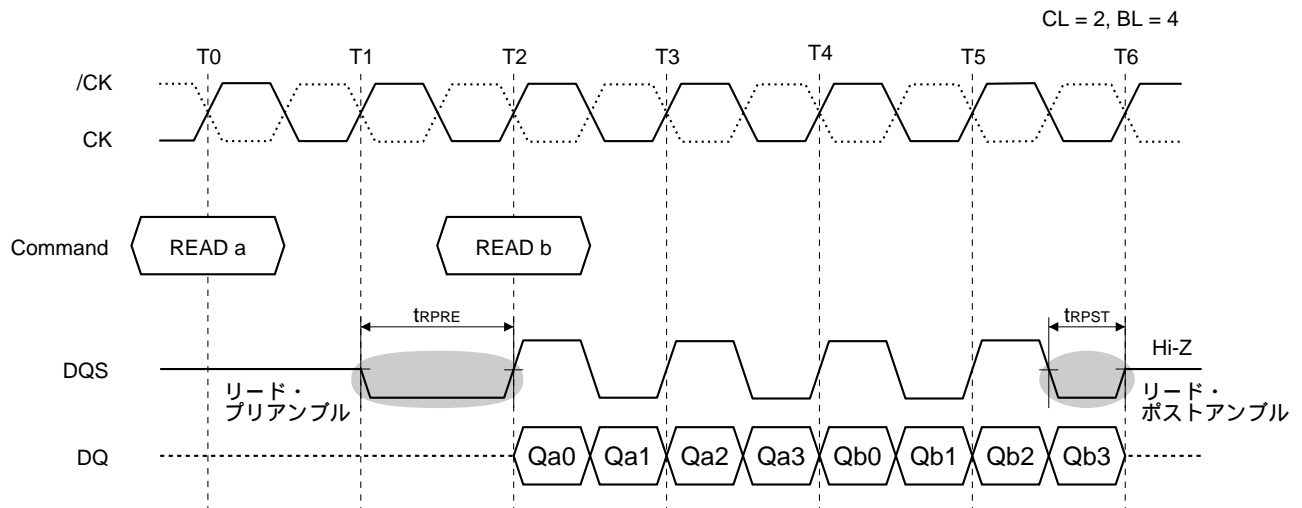
項 目	略 号	MIN.	MAX.	単 位
リード・プリアンブル	t _{PRE}	0.9 t _{CK}	1.1 t _{CK}	ns
リード・ポストアンブル	t _{PST}	0.4 t _{CK}	0.6 t _{CK}	ns

備考 t_{CK} : クロック・サイクル時間

図9 - 6 データ・ストローブ信号のリード・プリアンプルとリード・ポストアンプルのタイミング 1



備考 CL : /CAS レーテンシ , BL : バースト長

図9 - 7 データ・ストローブ信号のリード・プリアンプルとリード・ポストアンプルのタイミング 2
(リード - リード・データ・バス遷移)

備考 CL : /CAS レーテンシ , BL : バースト長

9.5 ライト・サイクル中のデータ・ストローブ信号 (DQS) と入力データ (DQ) , DQ ライト・マスク・イネーブル信号 (DM) との関係

ライト・サイクル中の入力データ (DQ) と DQ ライト・マスク・イネーブル信号 (DM) はデータ・ストローブ信号 (DQS) の立ち上がり、立ち下がりエッジのほぼ中心に位置します。

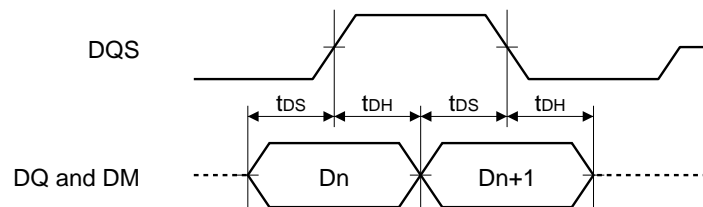
次に DQ , DM と DQS のタイミング・パラメータを示します。

表9 - 4 ライト・サイクル中の入力データ , データ・マスク信号のAC特性

項 目	略 号	MIN.	MAX.	単 位
DQ と DM のセットアップ時間	t_{DS}	$0.075 t_{CK}$		ns
DQ と DM のホールド時間	t_{DH}	$0.075 t_{CK}$		ns

備考 t_{CK} : クロック・サイクル時間

図9 - 8 ライト・サイクル中の入力データとDQライト・マスク・イネーブル信号のタイミング・パラメータ



9.6 データ・ストローブ信号 (DQS) のライト・プリアンプルとライト・ポストアンプル

ライト動作でのデータ・ストローブ・パターンは、プリアンプル、トグル、ポストアンプルから構成されます。

DDR SDRAM がバンク・アクティブ状態のときにライト・コマンド (WRIT) を受け取ると、データ・ストローブ信号 (DQS) はハイ・インピーダンスからロウ・レベルに変化します。これがライト・プリアンプルです。ライト・プリアンプルはライト・コマンドを入力したクロックの立ち上がりエッジで起こります。

ライト・プリアンプルに続いて、DQS はデータがデータ入出力端子 (DQ) 上にある間、クロック信号と同周波数でトグルします。

最後のデータが転送された後のロウ・レベルの期間がライト・ポストアンプルです。ライト・ポストアンプルは最後のデータのエッジから約 1/2 クロックの間起こります。

バースト・ライトが終わり、引き続きバースト・ライトが始まる場合、二つのバースト・ライト動作の間にはライト・ポストアンプル、ライト・プリアンプルは必要ありません。

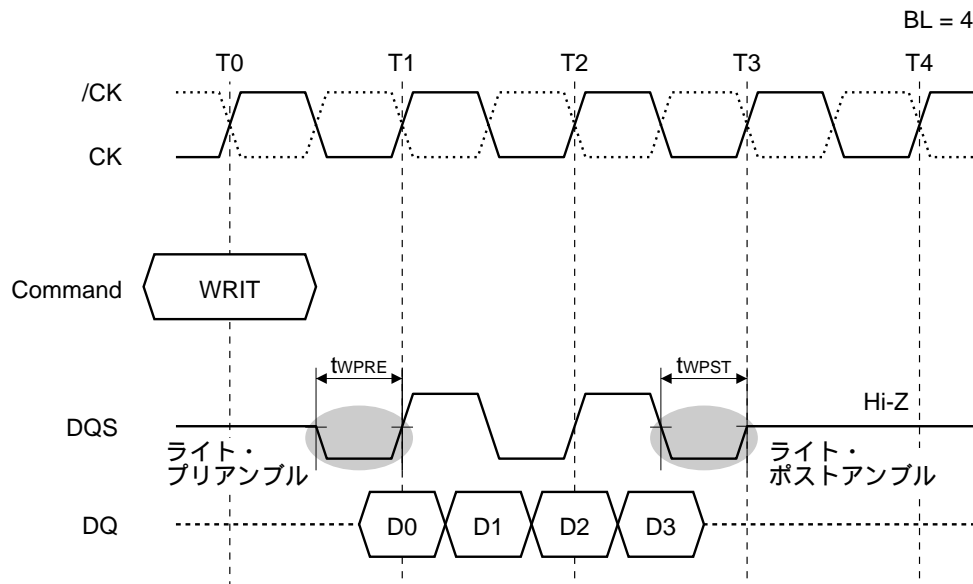
次に DQS のライト・プリアンプルとライト・ポストアンプルのタイミング・パラメータを示します。

表9 - 5 データ・ストローブ信号のライト・プリアンプルとライト・ポストアンプルのAC特性

項 目	略 号	MIN.	MAX.	単 位
ライト・プリアンプル	t_{WPRE}	0.25 t_{CK}		ns
ライト・ポストアンプル	t_{WPST}	0.4 t_{CK}	0.6 t_{CK}	ns

備考 t_{CK} : クロック・サイクル時間

図9 - 9 データ・ストローブ信号のライト・プリアンプルとライト・ポストアンプルのタイミング



備考 BL : バースト長

第 10 章 DQ ライト・マスク・イネーブル信号 (DM) 制御動作

この章では DQ ライト・マスク・イネーブル信号 (DM) の制御について説明します。DM は入力データをマスクする信号です。

SDR SDRAM とは異なり、DDR SDRAM でのデータ・マスクはライト・サイクル中のみ有効です。バースト・リード中にバースト・ストップ・コマンド (BST) を入力してデータ出力を止めることはできますが、バースト・ライト中にバースト・ストップ・コマンドを入力することはできません。また、バースト・ライト中のデータ・マスクは有効ですが、バースト・リード中にマスクすることはできません。

10.1 DQ ライト・マスク・イネーブル信号 (DM)

DQ ライト・マスク・イネーブル信号 (DM) が制御する DQ 端子は、ビット構成により異なります。

(1) x4 ビット構成の場合

DM は DQ0 – DQ3 を制御します。

(2) x8 ビット構成の場合

DM は DQ0 – DQ7 を制御します。

(3) x16 ビット構成の場合

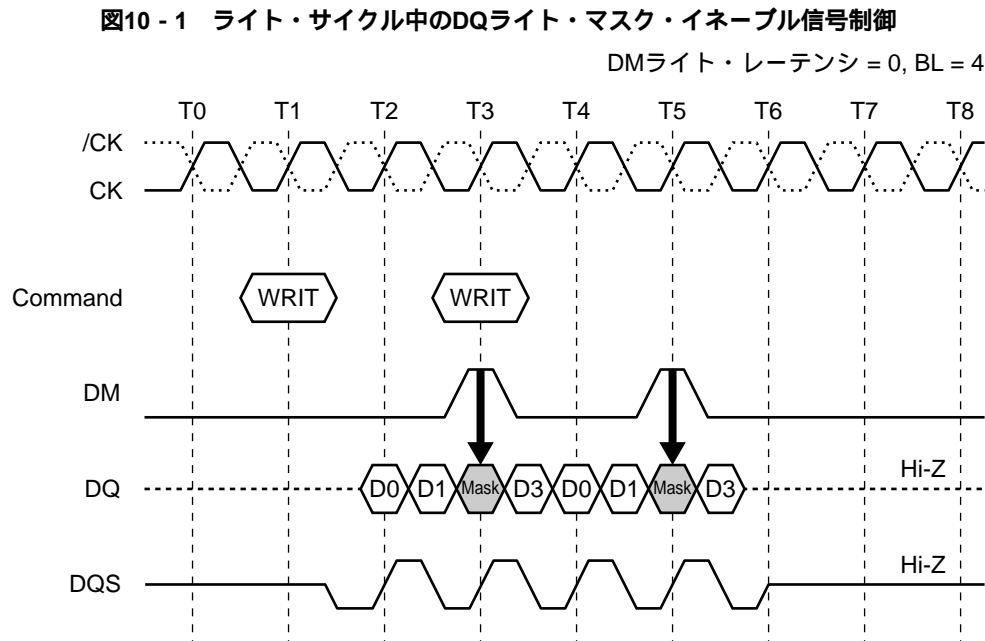
LDM は DQ0 – DQ7 を制御します (下位ビット制御)。

UDM は DQ8 – DQ15 を制御します (上位ビット制御)。

10.2 ライト・サイクル中の DQ ライト・マスク・イネーブル信号 (DM) 制御

ライト・サイクル中の DM レーテンシは、/CAS レーテンシに関係なく 0 です。

図 10 - 1 で示すように、DQ ライト・マスク・イネーブル信号 (DM) がハイ・レベルのとき、対応するライト・データはマスクされます。



備考 BL : バースト長

10.3 DQ ライト・マスク・イネーブル信号 (DM) 真理値表

表 10 - 1 に DQ ライト・マスク・イネーブル信号 (DM) のコマンド真理値表を示します

表10 - 1 DQライト・マスク・イネーブル信号 (DM) 真理値表

機 能	記 号	CKE		DM	
		n-1	n	UDM	LDM
データ書き込み許可	ENB	H	X	L	
データ・マスク	MASK	H	X	H	
上位バイト書き込み許可	ENBU	H	X	L	X
下位バイト書き込み許可	ENBL	H	X	X	L
上位バイト書き込み禁止	MASKU	H	X	H	X
下位バイト書き込み禁止	MASKL	H	X	X	H

備考 H : ハイ・レベル, L : ロウ・レベル, X : ハイ・レベルまたはロウ・レベル (任意)

第 11 章 クロック・イネーブル信号 (CKE) 制御動作

この章ではクロック・イネーブル信号 (CKE) による基本的な制御方法について説明します。CKE はクロック (CK, /CK) の有効 / 無効を制御する信号です。

(1) 前の CK の立ち上がりで CKE がハイ・レベルの場合

CK の立ち上がりは有効で、入力信号を取り込みます。

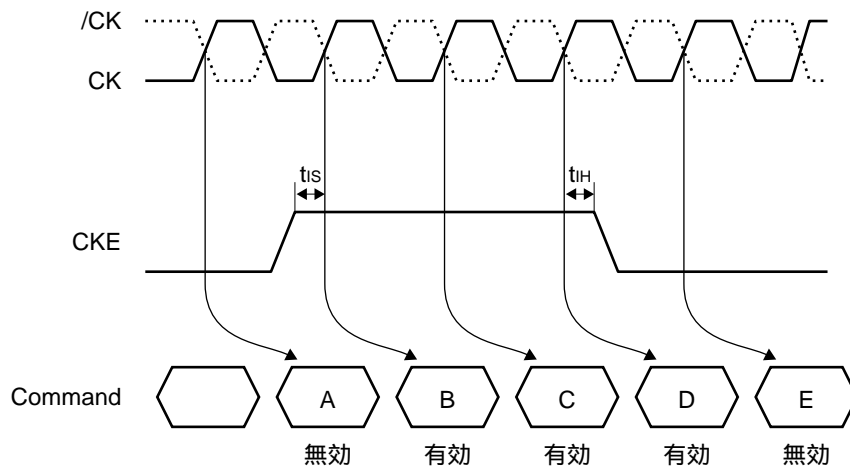
(2) 前の CK の立ち上がりで CKE がロウ・レベルの場合

CK の立ち上がりは無効で、入力信号は無視されます。

11.1 基本制御

クロック・イネーブル信号 (CKE) による入力信号の取り込みタイミングを図 11 - 1 で説明します。

図11 - 1 クロック・イネーブル信号による制御信号の入力タイミング



図中 , , のように入力クロック (CK) の立ち上がりで CKE がハイ・レベル (セットアップ時間 t_{IS} , ホールド時間 t_{IH} を満足) の場合、次の CK の立ち上がりで入力されたコマンド B, C, D の取り込みが可能です。

図中 , のように CK の立ち上がりで CKE がロウ・レベルの場合、次の CK の立ち上がりで入力されたコマンドは無視されます。

11.2 クロック・イネーブル信号 (CKE) 制御例

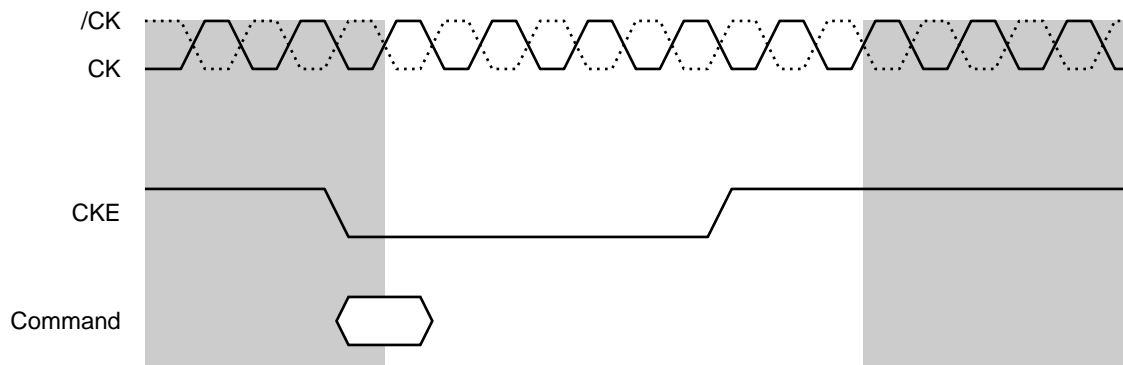
クロック・イネーブル信号 (CKE) の制御による動作モードには、次の二つのモードがあります。

パワーダウン・モード

セルフ・リフレッシュ・モード

図 11 - 2 に CKE の制御によるコマンド入力について示します。図の中でのコマンドが取り込めるタイミングは と の期間であり、 の期間ではコマンドは無視されます。

図11 - 2 クロック・イネーブル信号 (CKE) 制御例



11.2.1 パワーダウン・モード

パワーダウンモードでは、CKE、クロックを除く入出力バッファを非活性にして、デバイスの消費電力を低く抑えます。図 11 - 3 にパワーダウン・モード中のタイミングを示します。

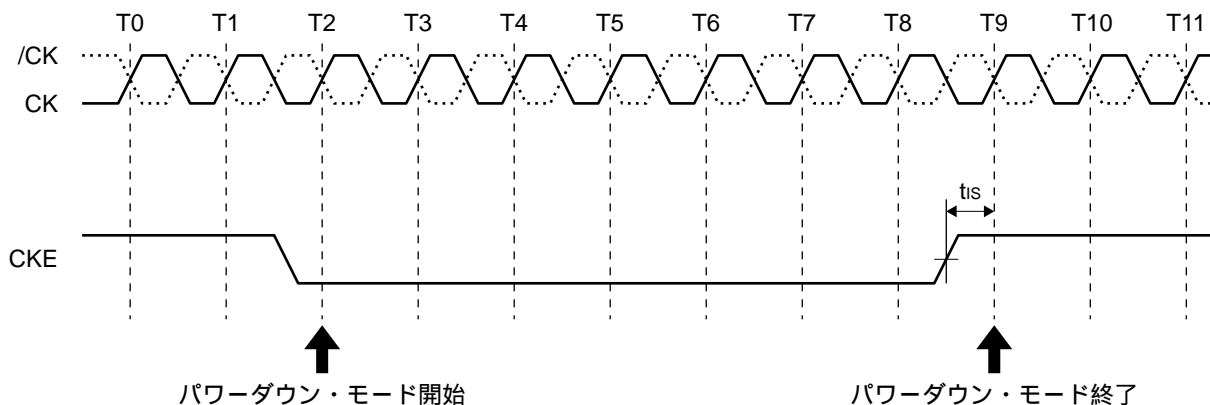
(1) パワーダウン・モード開始

全バンクがアイドル状態、またはバンク・アクティブ状態のときに、クロック・イネーブル信号 (CKE) の入力レベルをハイ・レベルからロウ・レベルへ変化させることにより (T1 - T2)、T2 のタイミングでパワーダウン・モードを開始します。パワーダウン・モードを開始すると、クロック、CKE 以外のすべての入力は無視され (信号は任意 (ハイ・レベルまたはロウ・レベル))、データ・バスはハイ・インピーダンスになります。なお、パワーダウン・モードの間はクロック入力と CKE ロウ・レベルを保持する必要があります。

(2) パワーダウン・モード終了

CKE の入力レベルをロウ・レベルからハイ・レベルへ変化させることにより (T8 - T9)、T9 のタイミングでパワーダウン・モードが終了し、T10 のタイミング以降で次のコマンドが入力できます。

図11 - 3 パワーダウン・モード



- 備考**
1. パワーダウン・モード中はコマンドの入力できません。
 2. t_{REF} の規格値を守ってください。

11.2.2 セルフ・リフレッシュ・モード

セルフ・リフレッシュ・モードでは、自動的にリフレッシュ動作を実行すると同時に、内部クロックを非活性にして、デバイスの消費電力を低く抑えます。

セルフ・リフレッシュ・モードはメモリ・セルのデータを保持する必要があるが、リード/ライト動作を実行する必要がない場合に有効です。

図 11 - 4 にセルフ・リフレッシュ・モード中のタイミングを示します。

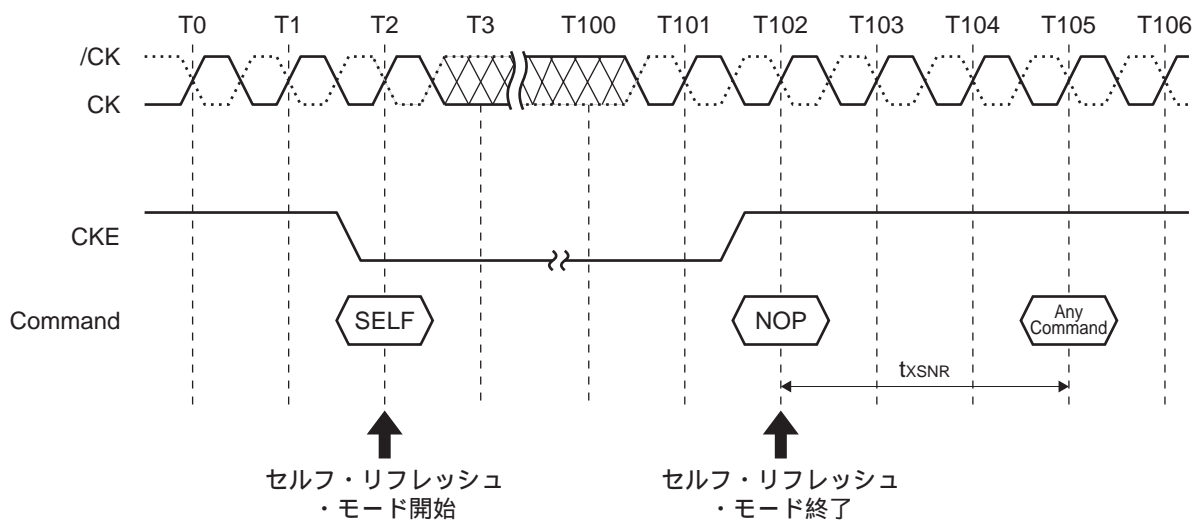
(1) セルフ・リフレッシュ・モード開始

セルフ・リフレッシュ開始コマンド (SELF) 入力時、クロック・イネーブル信号 (CKE) の入力レベルをハイ・レベルからロウ・レベルへ変化させることにより (T1 - T2)、T2 のタイミングでセルフ・リフレッシュ・モードを開始します。セルフ・リフレッシュ・モードを開始すると、CKE 以外のすべての入力は任意 (ハイ・レベルまたはロウ・レベル) の状態になり、データ・バスはハイ・インピーダンスになります。なお、セルフ・リフレッシュ・モードの間は CKE をロウ・レベルを保持する必要があります。

(2) セルフ・リフレッシュ・モード終了

CKE の入力レベルをロウ・レベルからハイ・レベルへ変化させることにより (T101 - T102)、セルフ・リフレッシュ・モードを終了します。ただし、CKE をハイ・レベルにする前に、少なくとも 1 クロックの間クロックをトグルさせる必要があります。また、次のコマンドを入力するまでに、 t_{XSNR} を満足する必要があります。

図11 - 4 セルフ・リフレッシュ・モード



11.2.3 クロック・イネーブル信号（CKE）コマンド真理値表

以下にクロック・イネーブル信号（CKE）コマンド真理値表を示します。

現在の状態：セルフ・リフレッシュ

CKE		/CS	/RAS	/CAS	/WE	アドレス	コマンド	動 作	注意事項
(n-1)	(n)								
H	X	X	X	X	X	X		不正（使用不可）	
L	H	H	X	X	X	X	SREX	セルフ・リフレッシュ・モード終了	注
		L	H	H	X	X		セルフ・リフレッシュ・リカバリ	
L	L	X	X	X	X	X		セルフ・リフレッシュを継続	

注 CKE の入力レベルをロウ・レベルからハイ・レベルにすることにより、クロックとその他の入力信号が非同期で再度有効になります。セルフ・リフレッシュ終了コマンド（SREX）以外のコマンドを入力するまでに最小セットアップ時間を満足する必要があります。

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（任意）

不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：セルフ・リフレッシュ・リカバリ

CKE		/CS	/RAS	/CAS	/WE	アドレス	コマンド	動 作	注意事項
(n-1)	(n)								
H	H	H	X	X	X	X	DESL	ノー・オペレーション （trc 経過後にアイドル）	
H	H	L	H	H	H	X	NOP	ノー・オペレーション （trc 経過後にアイドル）	
H	L	X	X	X	X	X		不正	
L	X	X	X	X	X	X		不正（使用不可）	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（任意）

不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：パワーダウン

CKE		/CS	/RAS	/CAS	/WE	アドレス	コマンド	動 作	注意事項
(n-1)	(n)								
H	X	X	X	X	X	X		不正（使用不可）	
L	H	H	X	X	X	X	PDEX	パワーダウン終了 → アイドル	
		L	H	H	X	X			
L	L	X	X	X	X	X		パワーダウンを継続	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（任意）

不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：全バンクがアイドル

CKE		/CS	/RAS	/CAS	/WE	アドレス	コマンド	動 作	注意事項
(n-1)	(n)								
H	H	V	V	V	V	X		第 7 章 コマンド・オペレーション参照	
H	L	H	X	X	X	X	PWDN	パワーダウン開始	注
H	L	L	H	H	H	X	PWDN	パワーダウン開始	注
H	L	L	X	X	L	X		不正	
H	L	L	H	L	X	X		不正	
H	L	L	L	H	X	X		不正	
H	L	L	L	L	H	X	SELF	セルフ・リフレッシュ開始	注
L	X	X	X	X	X	X		パワーダウン	

注 セルフ・リフレッシュは全バンクがアイドル状態のときに開始可能です。パワーダウンは全バンクがアイドル状態、またはロウ・アクティブ状態のときに開始可能です。

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（任意）

V：有効データ，不正：デバイスの動作，および（または）データの完全性は保証されません。

現在の状態：ロウ・アクティブ

CKE		/CS	/RAS	/CAS	/WE	アドレス	コマンド	動 作	注意事項
(n-1)	(n)								
H	X	X	X	X	X	X		第 7 章 コマンド・オペレーション参照	
L	X	X	X	X	X	X		パワーダウン	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（任意）

現在の状態：上記以外

CKE		/CS	/RAS	/CAS	/WE	アドレス	コマンド	動 作	注意事項
(n-1)	(n)								
H	H	V	V	V	V	V		第 7 章 コマンド・オペレーション参照	
H	L	X	X	X	X	X		不正	
L	X	X	X	X	X	X		不正（使用不可）	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（任意），

V：有効データ，不正：デバイスの動作，および（または）データの完全性は保証されません。

第 12 章 バースト動作

この章では、バースト動作について説明します。

12.1 バースト動作の終了

バースト動作を終了させるには次の方法があります。

- (1) リード・コマンド (READ) を使用する方法
- (2) ライト・コマンド (WRIT) を使用する方法
- (3) バースト・ストップ・コマンド (BST) を使用する方法
- (4) プリチャージ・コマンド (PRE) を使用する方法

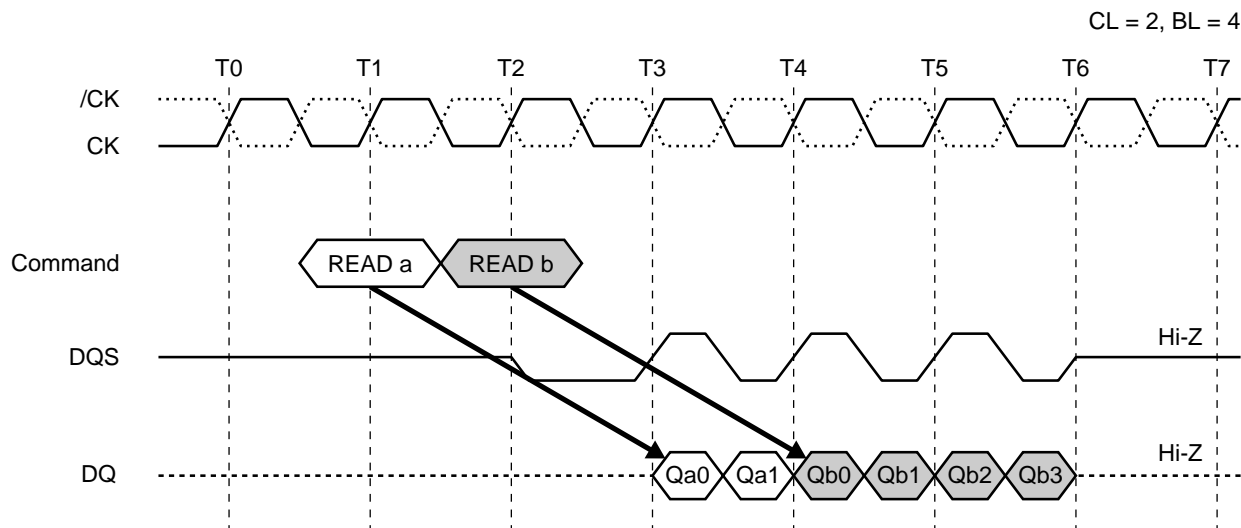
12.1.1 リード・コマンドによるデータ割り込み

(1) リード・サイクルの場合

新たにリード・コマンド (READ b) を入力することにより、前のバースト・リード動作を中止します。

新たなリード・コマンドのデータは、/CAS レーテンシ後に出力されます。

図12 - 1 リード/リード・コマンド

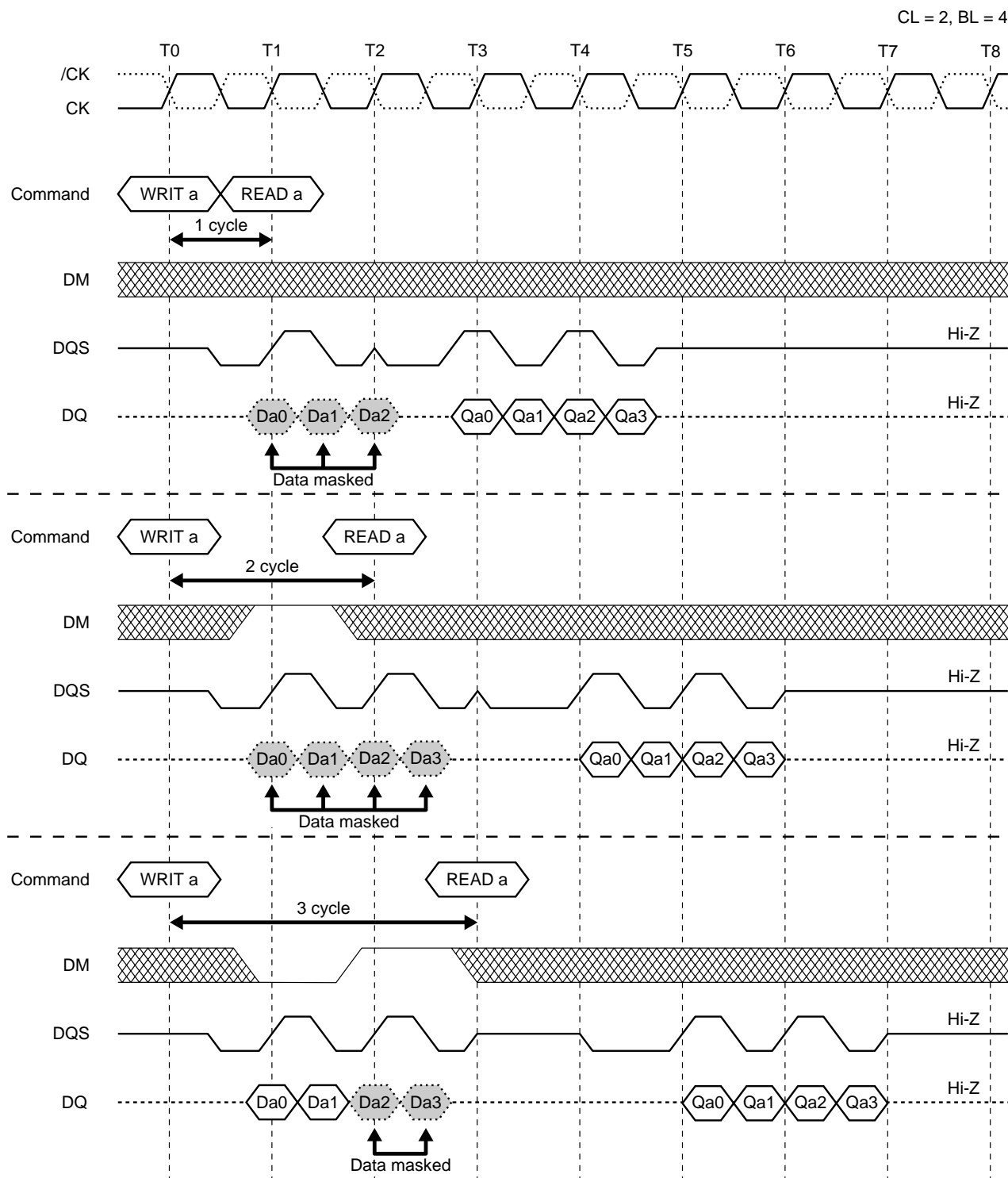


備考 CL : /CAS レーテンシ, BL : バースト長

(2) ライト・サイクルの場合

リード・コマンド (READ b) を入力することにより、前のバースト・ライト動作を中止します。ライト・コマンドからリード・コマンドまでの間隔が 1 クロックの場合、すべてのライト・データはリード・コマンドによりマスクされます。ライト・コマンドとリード・コマンドの間隔が 2 クロック以上の場合、リード・コマンド直前の 2 つの入力データをマスクするために、DQ ライト・マスク・イネーブル (DM) を使用します。リード・コマンドのデータは、/CAS レーテンシ後に出力されます。

図12-2 ライト/リード・コマンド



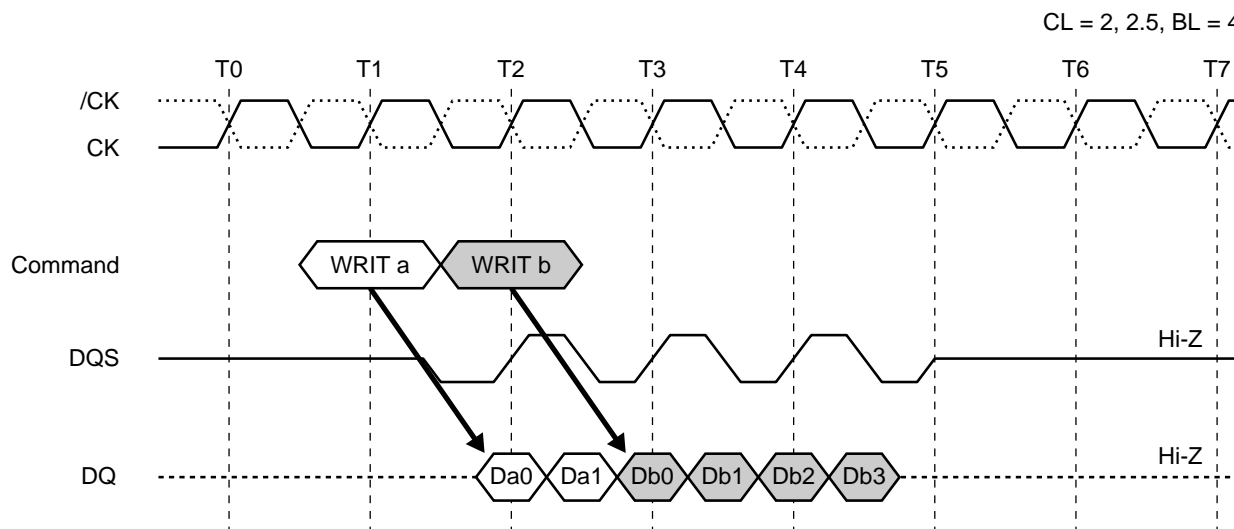
備考 CL : /CAS レーテンシ, BL : バースト長

12.1.2 ライト・コマンドによるデータ割り込み

(1) ライト・サイクルの場合

新たにライト・コマンド (WRIT b) を入力することにより、前のバースト・ライト動作を中止します。

図12 - 3 ライト/ライト・コマンド

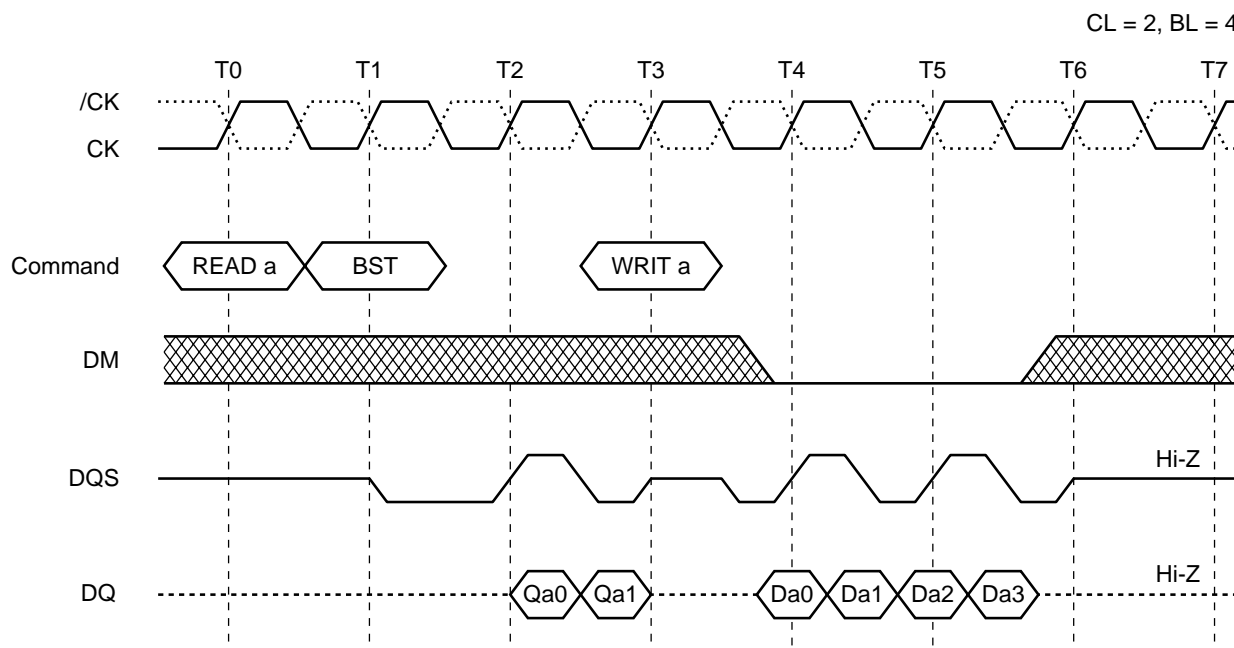


備考 CL : /CAS レーテンシ, BL : バースト長

(2) リード・サイクルの場合

前のバースト・リード動作を中止し、新しくバースト・ライト動作を開始するためには、ライト・コマンド (WRIT a) の前にバースト・ストップ・コマンド (BST) が必要です。

図12 - 4 リード/バースト・ストップ/ライト・コマンド

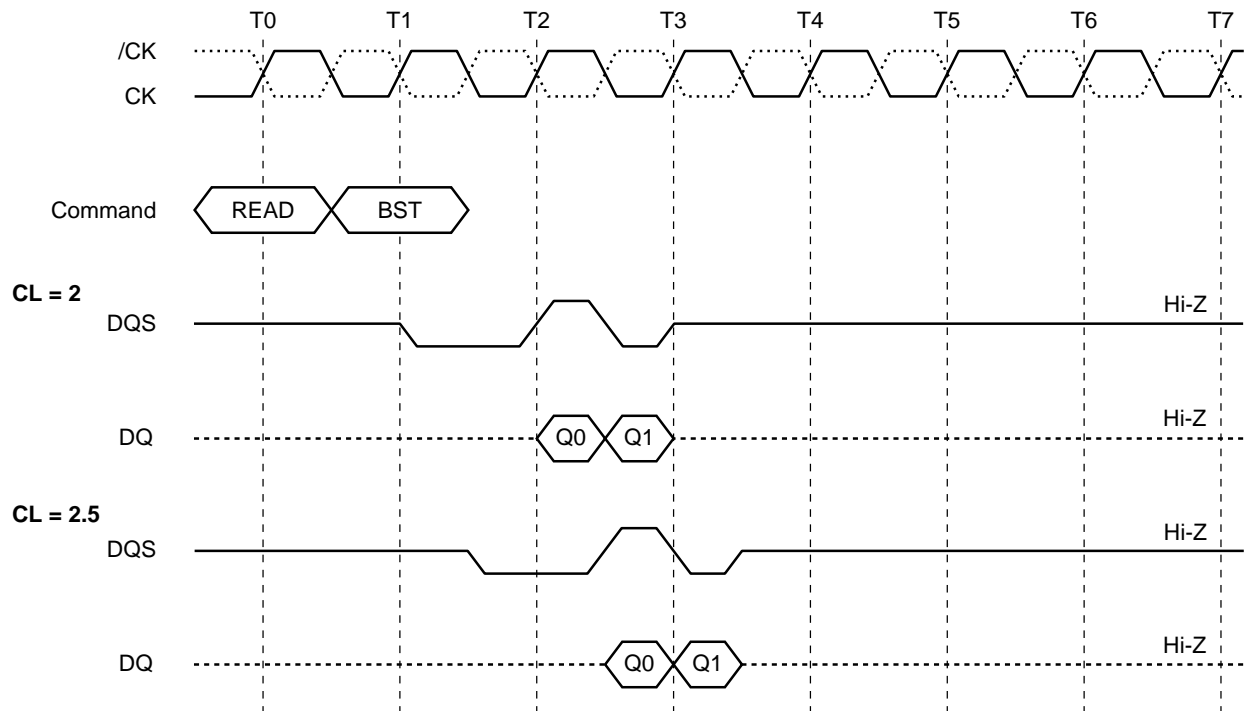


備考 CL : /CAS レーテンシ, BL : バースト長

12.1.3 バースト・ストップ・コマンドによるバースト動作の終了

リード・サイクル中にバースト・ストップ・コマンド (BST) を入力することにより、バースト・リード動作を中止することができます。データ・バスはバースト・ストップ・コマンドの入力から、/CAS レーテンシ後にハイ・インピーダンスになります。DDR SDRAM では、バースト・ストップ・コマンドはリード・サイクル中のみ有効です。

図12 - 5 リード/バースト・ストップ・コマンド



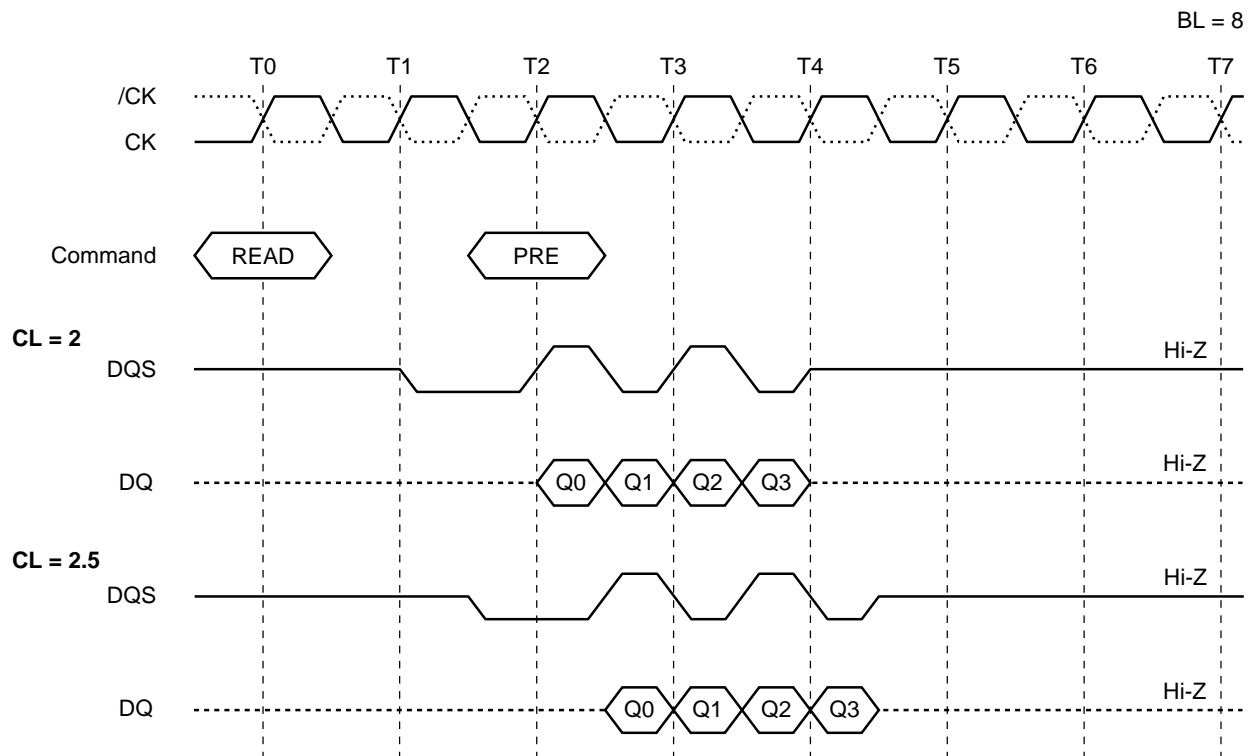
備考 CL : /CAS レーテンシ

12.1.4 プリチャージ・コマンドによるバースト動作の終了

(1) リード・サイクルの場合

プリチャージ・コマンド (PRE) を入力することにより、バースト・リード動作を終了します。プリチャージ・コマンドを入力するためには、 t_{RAS} を満足しなければなりません。同一バンクを再度アクティブにするためには、 t_{RP} を満足しなければなりません。

図12 - 6 リード/プリチャージ・コマンド



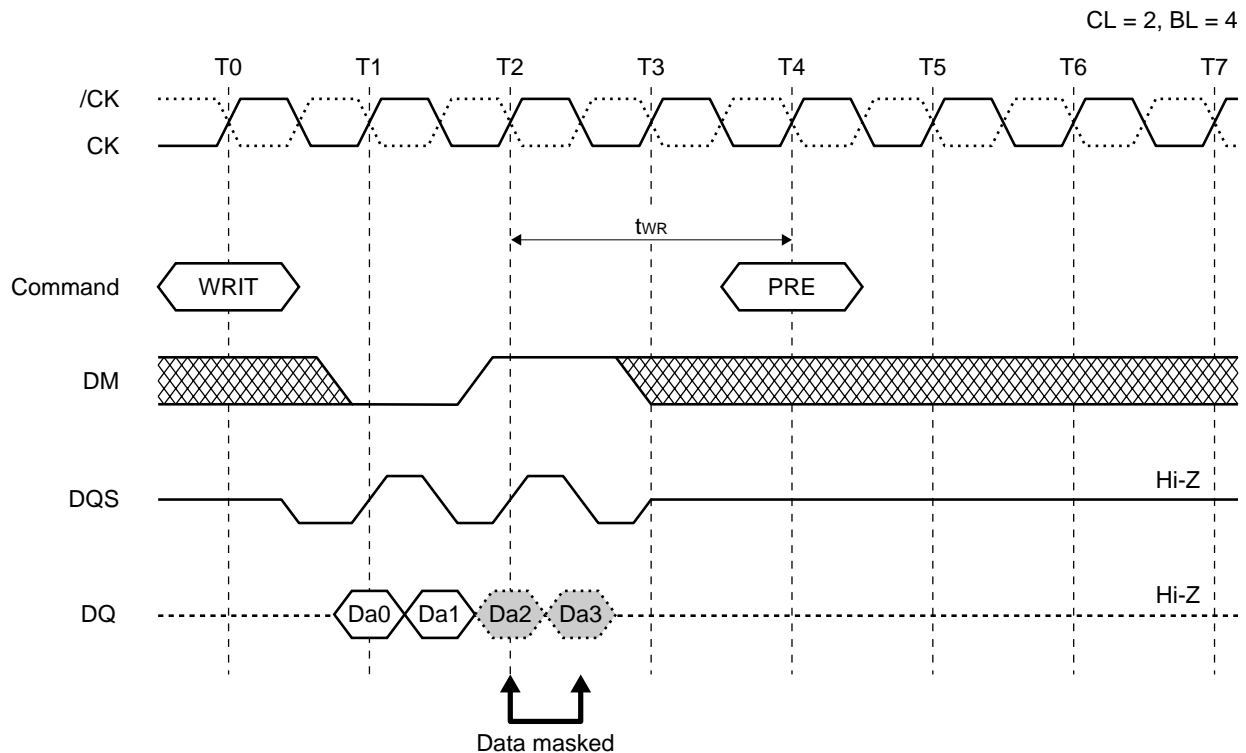
備考 CL : /CAS レーテンシ , BL : バースト長

(2) ライト・サイクルの場合

プリチャージ・コマンド (PRE) を入力することにより、バースト・ライト動作を終了します。プリチャージ・コマンドを入力するためには、 t_{RAS} を満足しなければなりません。同一バンクを再度アクティブにするためには、 t_{RP} を満足しなければなりません。

プリチャージ・コマンドの入力より t_{WR} 以前に書き込まれたライト・データは、正しくメモリ・セルに書き込まれます。

図12 - 7 ライト/プリチャージ・コマンド



備考 CL : /CAS レーテンシ, BL : バースト長

メ モ

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

CMOSデバイスの入力レベルは固定してください。バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して電源またはグランドに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

電源投入時、MOSデバイスの初期状態は不定です。分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

当社の書面による事前承諾なしに本資料の全部または一部を転載、複製することを禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権（特許権、著作権、回路配置利用権を含むがこれに限定されない）その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路、ソフトウェア、及びこれらに付随する情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。

[本製品の用途に関する注意]

本製品は、一般電子機器に汎用標準的な用途で使用されることを想定しております。

当社は品質、信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に当社営業担当までご相談いただきますようお願いいたします。

[使用上の注意]

設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、当社保証範囲内でご使用いただきますようお願いいたします。保証値を越えてご使用された場合の故障及び事故につきましては、当社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、当社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じていただきますようお願いいたします。

[使用環境に関する注意]

本製品は、下記特殊環境での使用を配慮した設計にはなっておりません。

従いまして、下記のような特殊環境における使用に起因するお客様もしくは第三者の損害に対して、当社はその責を負いません。

例：

- 1) 水、油、薬液、有機溶剤等の液体中でのご使用。
- 2) 直射日光、屋外暴露、塵埃中でのご使用。
- 3) 潮風、 Cl_2 、 H_2S 、 NH_3 、 SO_2 、 NO_x 等の腐食性ガスの多い場所でのご使用。
- 4) 静電気や電磁波や放射線の強い環境でのご使用。
- 5) 結露するような場所でのご使用。
- 6) 振動、衝撃、応力が加わる環境でのご使用。
- 7) 発熱体、発火物及び引火物の近くでのご使用。

本資料に記載の製品及び技術のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては日本国の輸出管理関連法規に定める手続をとることが必要であり、米国輸出管理規則等外国の輸出管理関連法規の規制に該当する場合は必要に応じそれらの法令に定める手続をとることが必要です。また、それらを、第三者に販売、賃貸、譲渡又は使用許諾等をする場合、当該第三者に対し、責任をもって輸出管理関連法規に定める手続をとることを遵守させて下さい。