

DDR2 SDRAM の使い方

はじめに

対象者

このマニュアルは、Double Data Rate 2 Synchronous DRAM (DDR2 SDRAM) を用いてアプリケーションシステムを設計するユーザを対象とします。このマニュアルの読者は、電気、論理回路に関する一般的な知識と、Synchronous DRAM (SDRAM) と Double Data Rate Synchronous DRAM (DDR SDRAM) の機能と使い方に関する詳しい知識を必要とします。

凡 例

注 意 : 気をつけて読んでいただきたい内容

注 : 本文中につけた注の説明

備考 : 本文の補足説明

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。
あらかじめご了承ください。

資料名	資料番号
SDRAM の使い方	J0123N
DDR SDRAM の使い方	J0234E

注意事項

本資料は、DDR2 SDRAM の基本的な性能とその使い方について理解していただくことを目的としています。
本資料に記載された情報は、半導体製品の動作例、応用例を説明するためのものです。また、本資料に記載している動作例はあくまで参考例を示したもので、記載されている数値は保証値ではありません。従って、これらの情報をお客様の機器に使用される場合、各製品の機能の詳細については、必ずそれぞれのデータシートを参照してください。これらの情報の使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責任を負いません。

目 次 (1/2)

第 1 章 ODT (On Die Termination)	6
1.1 信号の反射について.....	6
1.2 マザーボードターミネーション.....	7
1.2.1 マザーボードターミネーションでの信号反射	7
1.3 ODT の概要	8
1.3.1 ODT の特徴	8
1.3.2 ODT の利点	8
1.3.3 ODT の構造	9
1.4 ODT インピーダンス値の設定.....	10
1.5 ODT のオン / オフタイミング.....	11
1.5.1 ODT のオン / オフタイミング (パワーダウンモード時)	11
1.5.2 ODT のオン / オフタイミング (アクティブモード時、スタンバイモード時)	12
1.5.3 ODT のオンタイミング (パワーダウンモード開始時)	13
1.5.4 ODT のオフタイミング (パワーダウンモード開始時)	14
1.5.5 ODT のオンタイミング (パワーダウンモード終了時)	15
1.5.6 ODT のオフタイミング (パワーダウンモード終了時)	16
1.6 セルフリフレッシュモードでの ODT.....	17
第 2 章 OCD (Off Chip Driver)	18
2.1 OCD の概要.....	18
2.1.1 ドライブ能力と変化時間について	18
2.1.2 DQS 信号、/DQS 信号とドライブ能力.....	19
2.1.3 DQS 信号、/DQS 信号と有効データ時間	20
2.1.4 電圧補正による有効データ時間の拡大	21
2.2 OCD インピーダンス値の設定	22
2.2.1 OCD インピーダンスの調整方法	22
2.2.2 OCD インピーダンスの調整手順.....	23
2.3 各モードの設定方法.....	24
2.3.1 ドライブ (1) モード.....	25
2.3.2 ドライブ (0) モード.....	26
2.3.3 調整モード	27
2.3.4 OCD キャリブレーション解除	28
2.3.5 OCD キャリブレーションデフォルト.....	28
2.3.6 インピーダンス値の測定回路例.....	28

目 次 (2/2)

第3章 4 ビットプリフェッチ	29
3.1 半導体プロセスと高速化の壁	29
3.2 プリフェッチ動作	29
3.2.1 DDR2 SDRAM、DDR SDRAM、SDR SDRAM の動作	30
3.3 DDR2 SDRAM、DDR SDRAM、SDR SDRAM の動作速度	31
第4章 Posted CAS と Additive Latency	32
4.1 Posted CAS の概要	32
4.1.1 DDR SDRAM の問題点	32
4.1.2 DDR2 SDRAM の取り組み	33
4.2 リード動作	34
4.2.1 DDR SDRAM のリード動作	34
4.2.2 DDR2 SDRAM のリード動作	34
4.3 ライト動作	35
4.3.1 DDR SDRAM のライト動作の問題点	35
4.3.2 DDR2 SDRAM のライト動作	35
4.4 Additive Latency の設定方法	36
4.5 リードレーテンシ / ライトレーテンシ	37
4.5.1 リードレーテンシ	37
4.5.2 ライトレーテンシ	38

第1章 ODT (On Die Termination)

この章では、ODT (On Die Termination) について説明します。

ODT は DDR2 SDRAM に新しく追加された機能で、DRAM 内部に終端抵抗を持つことにより、信号の反射を低減する機能です。DRAM コントローラは ODT により、各端子（データ入出力（DQ）、ディファレンシャルデータストロープ（DQS、/DQS、RDQS、/RDQS）、ライトデータマスク(DM)）に対して、同時に終端抵抗のオン / オフ（有効 / 無効）を設定できます。

ノイズ発生源であった信号反射が低減することで、信号には高い品質が生まれ、より高速のデータ転送ができるようになりました。

また、終端抵抗の配置、配線が不要になるため、システム設計が容易になります。さらにマザーボード上の部品点数が減少し、部品コストが低減されます。

1.1 信号の反射について

ボールを壁に向けて投げると、ボールは跳ね返って来ます。電気信号も同じように伝送路の端で跳ね返り、信号の反射という現象を引き起こします。電気信号の場合、バスと DRAM の接続点など、インピーダンスの異なる点で信号反射が起こります。

信号反射はノイズを引き起こし、信号の品質を低下させます。高速データ転送システムでは、品質の高い信号が必要で、些細なノイズでも、そのシステムにとっては大きな問題となります。

1.2 マザーボードターミネーション

マザーボードターミネーションは、伝送路の端に適正な値の抵抗器（終端抵抗）を取り付けることにより、信号反射を低減する終端方法です。しかし、この方法では DDR2 SDRAM の動作周波数帯域において、信号反射を十分に低減できません。また、マザーボード上に終端抵抗器を取り付けるために、部品点数の増加とコストの増大を招きます。

1.2.1 マザーボードターミネーションでの信号反射

マザーボードターミネーションは、信号反射を十分に低減できません。図 1-1 のように同一バス上に複数の DRAM がある場合、コントローラーがアクセス中の DRAM1 はアクセス待ちの DRAM2 からの反射信号の影響を受けます。より高い信号品質を要求する高速データ転送のシステムでは、マザーボードターミネーション以上に高精度な信号反射の処理技術が必要です。

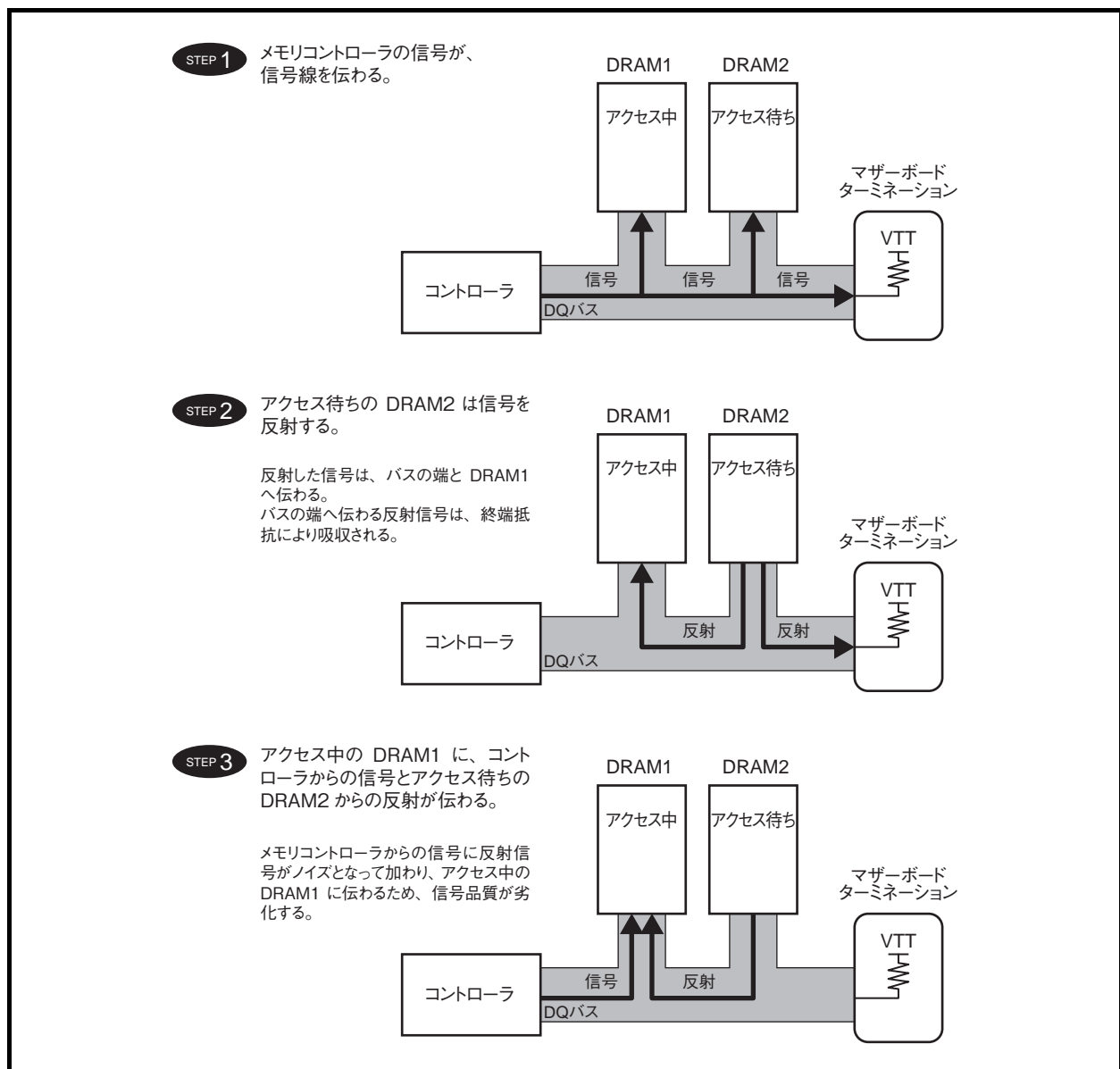


図 1-1 マザーボードターミネーションでの信号反射

1.3 ODT の概要

ODT では、DRAM ごとに内部の終端抵抗のオン / オフを切り替えることができます。

これにより、同一バス上に複数の DRAM がある場合でも、アクセス待ちの DRAM に対する信号を終端することができます。この結果、アクセス中の DRAM は、アクセス待ちの DRAM からの反射信号の影響を受けにくくなります。

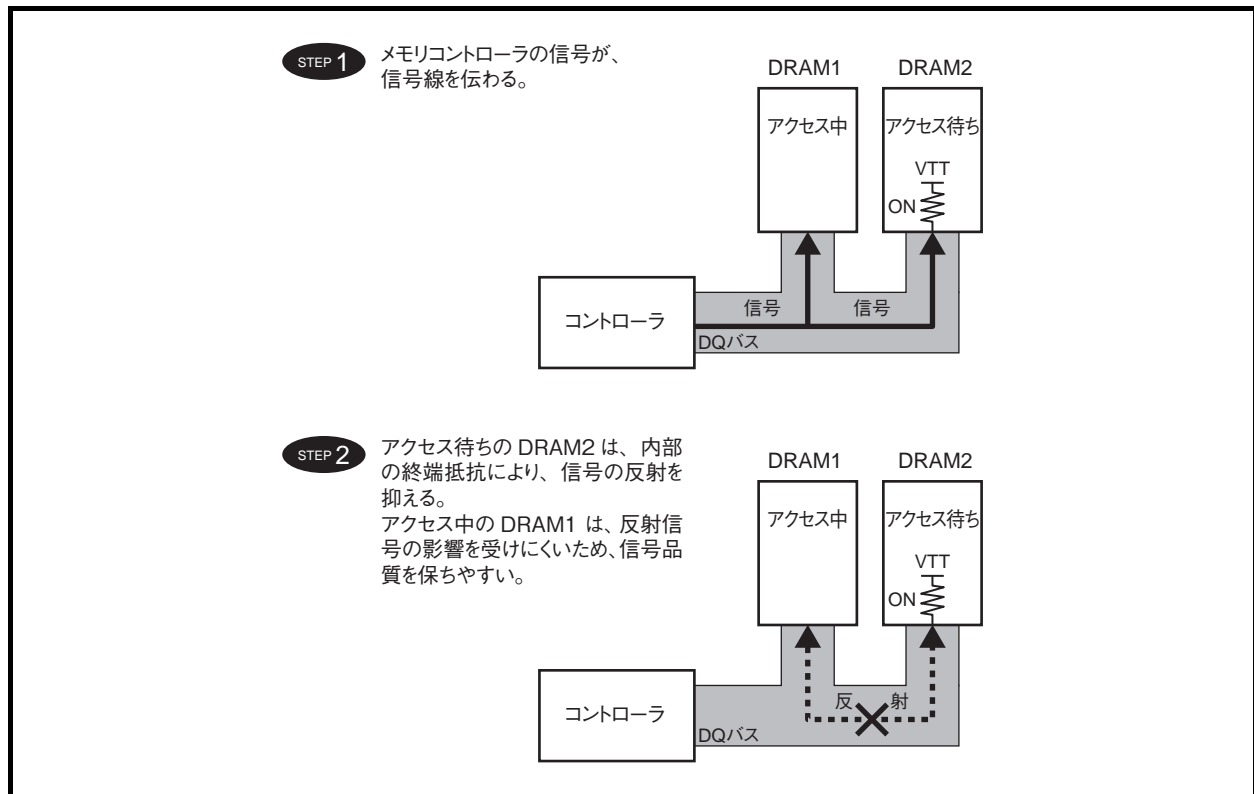


図 1-2 ODT と信号反射

1.3.1 ODT の特徴

DDR2 SDRAM では、それまでマザーボード上に配置されていた終端抵抗を DRAM 内部に取り込みました。

DRAM コントローラは、ODT により、各端子 (DQ, DQS, /DQS, RDQS, /RDQS) に対して、同時に終端抵抗のオン / オフを設定できます。

終端抵抗のインピーダンス値は、ODT 非選択、ODT 選択 (50)、ODT 選択 (75)、ODT 選択 (150) から 1 種類を選択できます。どの値を選択するかは、あらかじめ拡張モードレジスタ (1) (EMRS (1): Extended Mode Registers Set (1)) に設定します。

1.3.2 ODT の利点

DDR2 SDRAM では、それまでマザーボード上に配置されていた終端抵抗を DRAM 内部に取り込むことにより、マザーボード上の部品点数を減少しました。さらに、マザーボード上の配線が不要になるため、システム設計が容易になりました。

1.3.3 ODT の構造

DDR2 SDRAM では、ODT 制御端子を用いて、各端子 (DQ, DQS, /DQS, RDQS, /RDQS) に対して同時に終端抵抗のオン / オフを設定できます。終端抵抗のインピーダンス値は、あらかじめ拡張モードレジスタ (1) (EMRS (1): Extended Mode Registers Set (1)) に設定した値が使用されます。

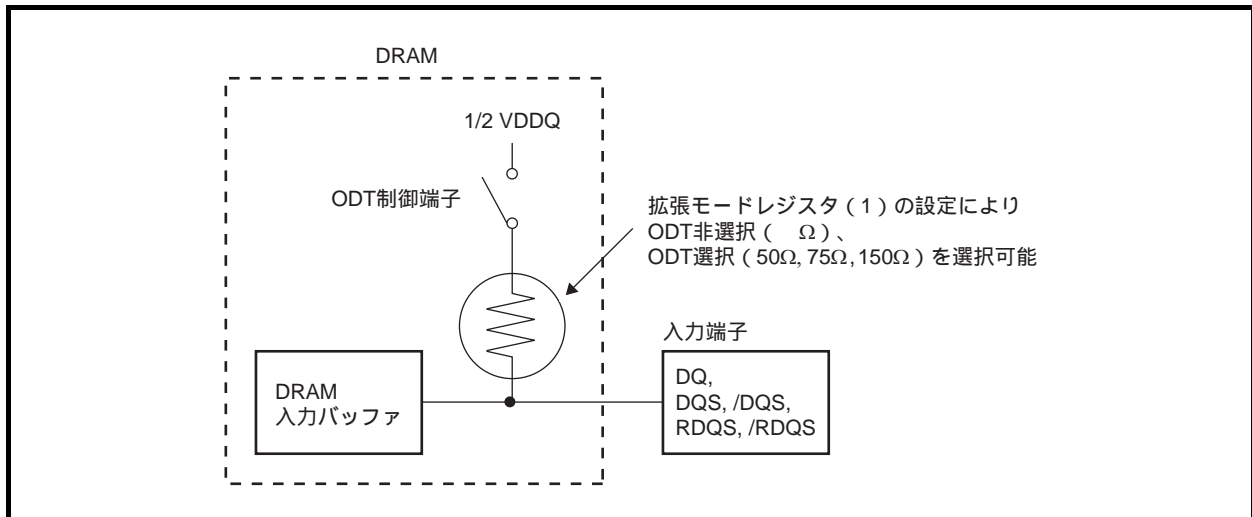


図 1-3 ODT の構造

1.4 ODT インピーダンス値の設定

ODT インピーダンス値は、拡張モードレジスタ (1) (EMRS (1): Extended Mode Registers Set (1)) に設定します。

A6 と A2 の 2 ビットを使い、ODT 非選択、ODT 選択 (50)、ODT 選択 (75)、ODT 選択 (150) から 1 種類を選択できます。

ODT インピーダンス値をいったん設定すると、再度設定をするか電源を切断するまで、設定した内容を保持します。

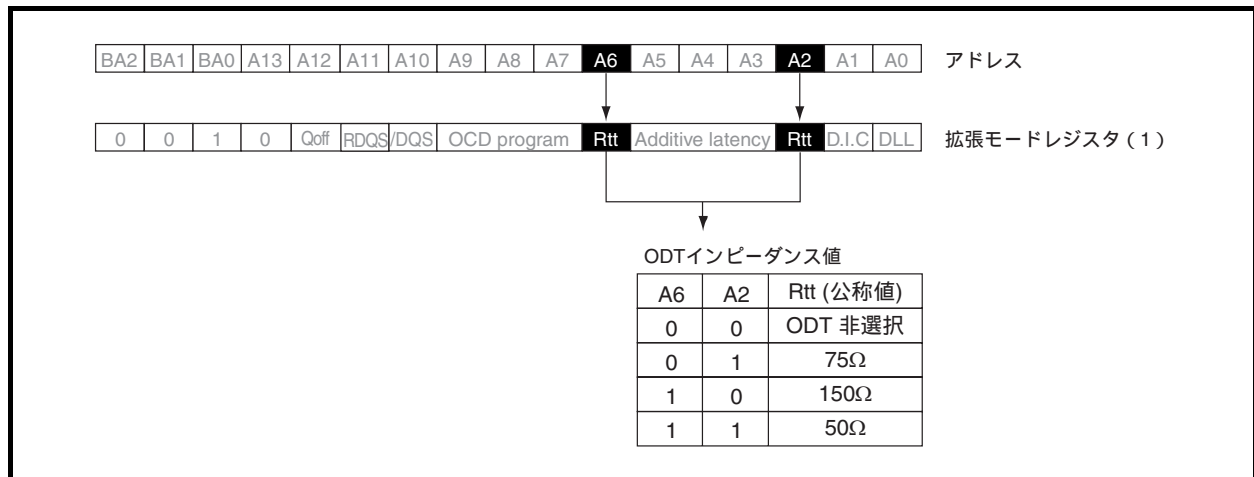


図 1-4 拡張モードレジスタ (1) ODT インピーダンス値の設定

1.5 ODT のオン / オフタイミング

ODT のオン / オフは、ODT 制御端子の入力レベルで制御します。ODT のオン / オフタイミングは、パワーダウンモードとそれ以外のモード（アクティブモード、スタンバイモード）で規格値が異なります。

1.5.1 ODT のオン / オフタイミング（パワーダウンモード時）

図 1-5 は、パワーダウンモード時の ODT のオン / オフタイミングを示しています。

パワーダウンモード時に、ODT のオン（ODT 制御端子にハイレベルを入力）を実行すると、ODT オン遅延時間（ t_{AONPD} ）後に、内部抵抗（ R_{tt} ）がオンになります。

また、パワーダウンモード時に、ODT のオフ（ODT 制御端子にローレベルを入力）を実行すると、ODT オフ遅延時間（ t_{AOFPD} ）後に、内部抵抗（ R_{tt} ）がオフになります。

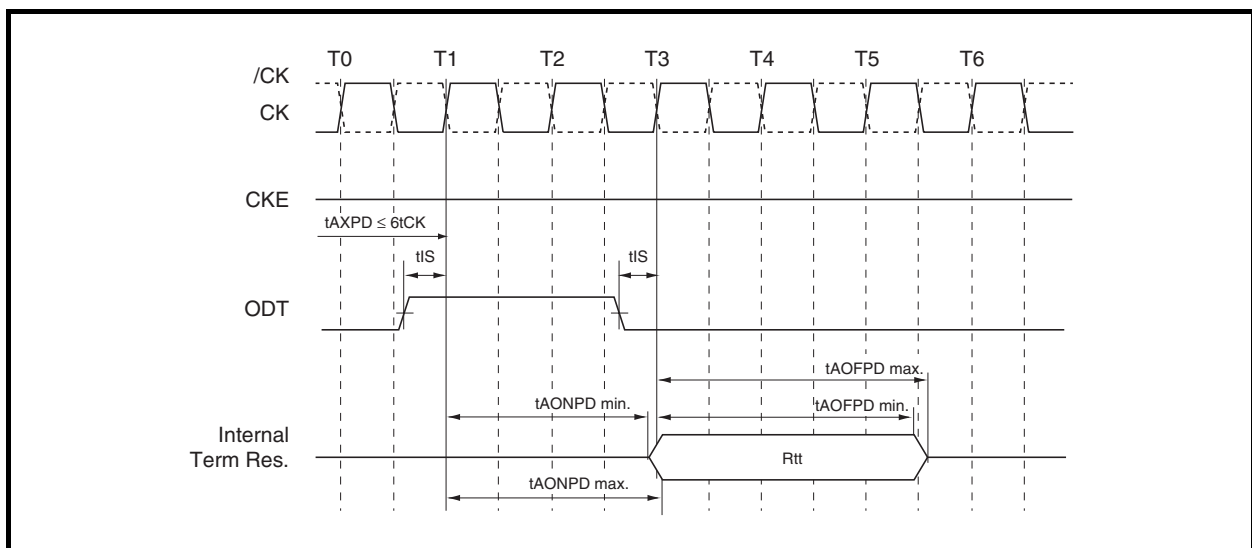


図 1-5 ODT のオン / オフタイミング（パワーダウンモード時）

1.5.2 ODT のオン / オフタイミング (アクティブモード時、スタンバイモード時)

図 1-6 は、アクティブモード時、スタンバイモード時の ODT のオン / オフタイミングを示しています。
 アクティブモード時またはスタンバイモード時に、ODT のオン (ODT 制御端子にハイレベルを入力) を実行すると、ODT オン遅延時間 (t_{AOND}) 後に、内部抵抗 (R_{tt}) がオンになります。

また、アクティブモード時またはスタンバイモード時に、ODT のオフ (ODT 制御端子にローレベルを入力) を実行すると、ODT オフ遅延時間 (t_{AOFD}) 後に、内部抵抗 (R_{tt}) がオフになります。

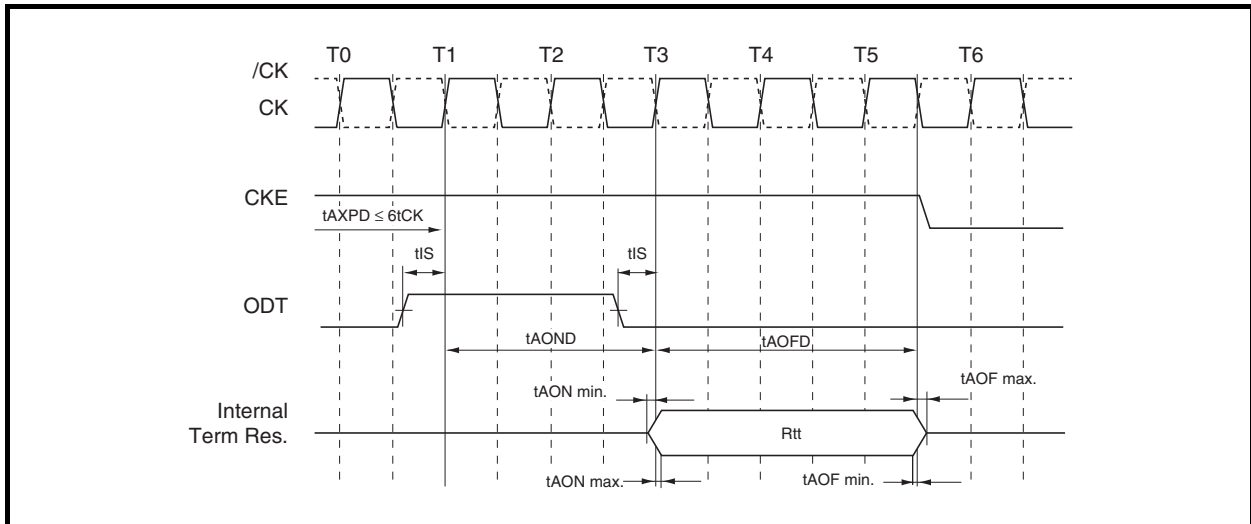


図 1-6 ODT のオン / オフタイミング (アクティブモード時、スタンバイモード時)

1.5.3 ODT のオンタイミング (パワーダウンモード開始時)

図 1-7 は、パワーダウンモード開始時に ODT をオンにする場合のタイミングを示しています。

ODT がオンになるためには、遅延時間が必要です。パワーダウンモードの開始時点で、この遅延時間が確定している場合と未確定の場合とで、タイミングが異なります。パワーダウンモードの開始時点で ODT の遅延時間が未確定の場合、ODT の遅延時間は通常より長くなります。

ODT の遅延時間が確定したあとにパワーダウンモードを開始するタイミングでは、DRAM はアクティブモードまたはスタンバイモードの状態になります。

また、ODT の遅延時間が確定する前にパワーダウンモードを開始するタイミングでは、DRAM はパワーダウンモードの状態になります。

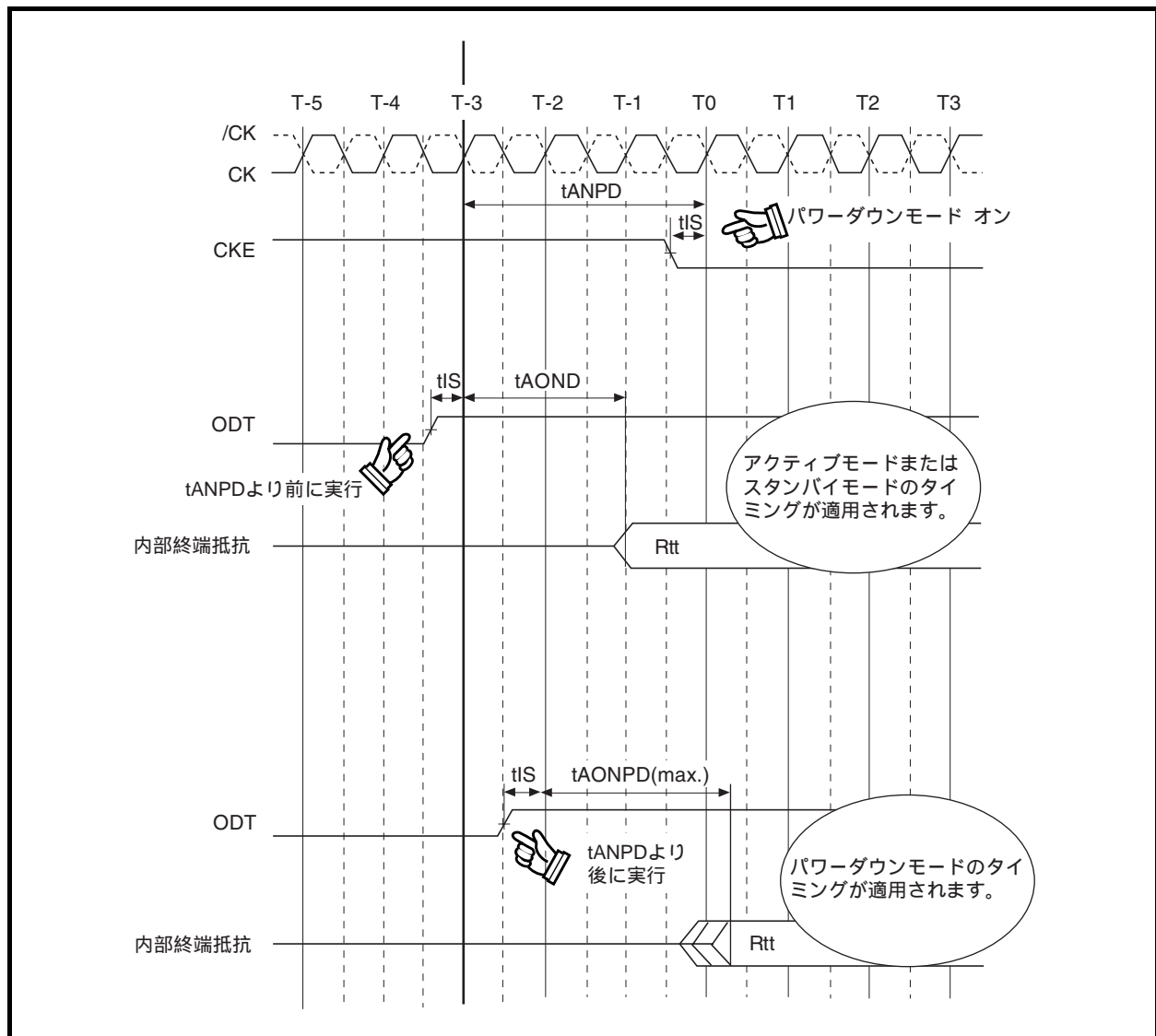


図 1-7 ODT のオンタイミング (パワーダウンモード開始時)

1.5.4 ODT のオフタイミング (パワーダウンモード開始時)

図 1-8 は、パワーダウンモード開始時に ODT をオフにする場合のタイミングを示しています。

ODT がオフになるためには、遅延時間が必要です。パワーダウンモードの開始時点で、この遅延時間が確定している場合と未確定の場合とで、タイミングが異なります。パワーダウンモードの開始時点で ODT の遅延時間が未確定の場合、ODT の遅延時間は通常より長くなります。

ODT の遅延時間が確定したあとにパワーダウンモードを開始するタイミングでは、DRAM はアクティブモードまたはスタンバイモードの状態になります。

また、ODT の遅延時間が確定する前にパワーダウンモードを開始するタイミングでは、DRAM はパワーダウンモードの状態になります。

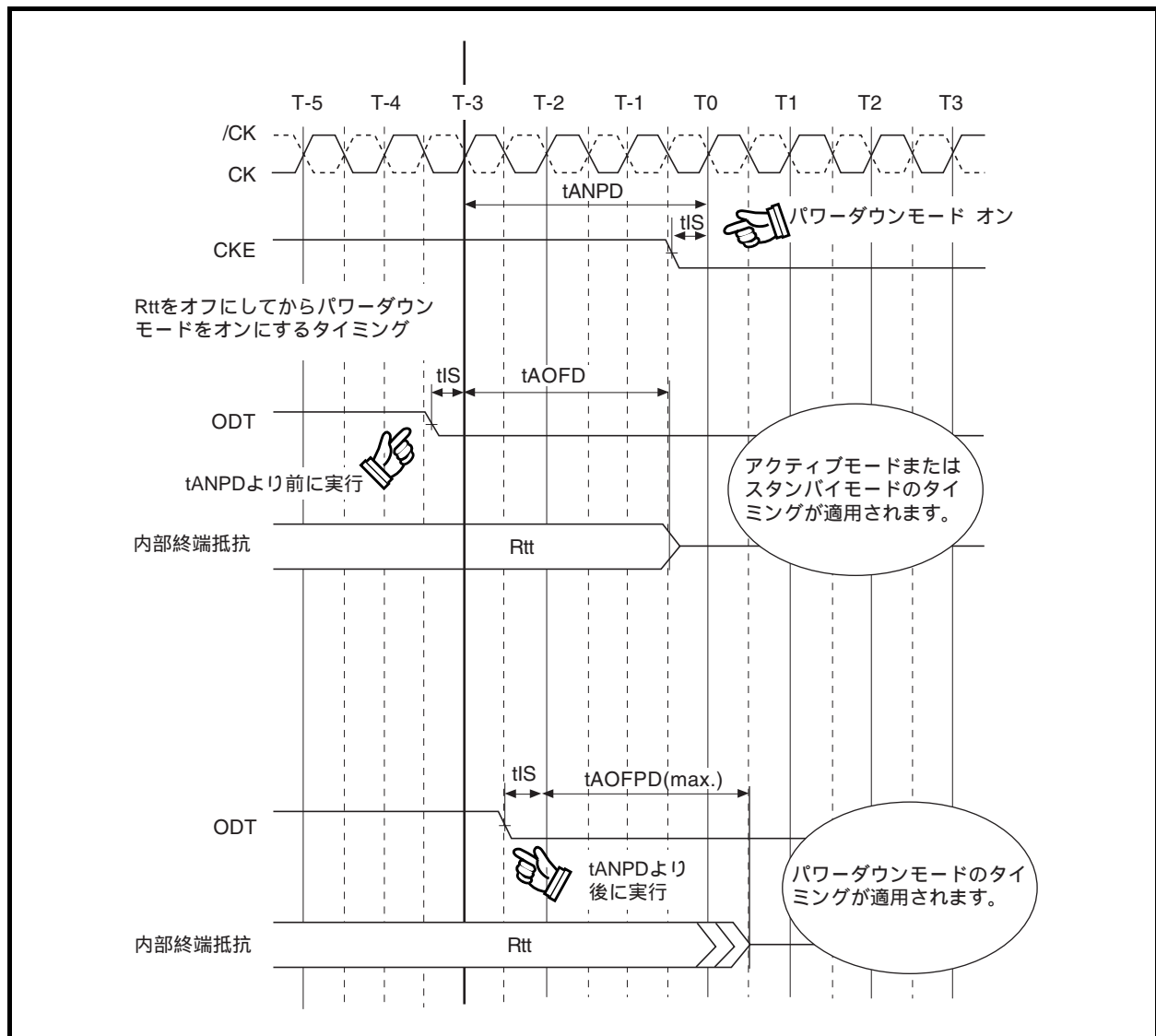


図 1-8 ODT のオフタイミング (パワーダウンモード開始時)

1.5.5 ODT のオンタイミング (パワーダウンモード終了時)

図 1-9 は、パワーダウンモード終了時に ODT をオンにする場合のタイミングを示しています。

パワーダウンモードを終了するためには、遅延時間 (t_{AXPD}) が必要です。ODT をオンにする時点で、この遅延時間が確定している場合と未確定の場合とで、タイミングが異なります。

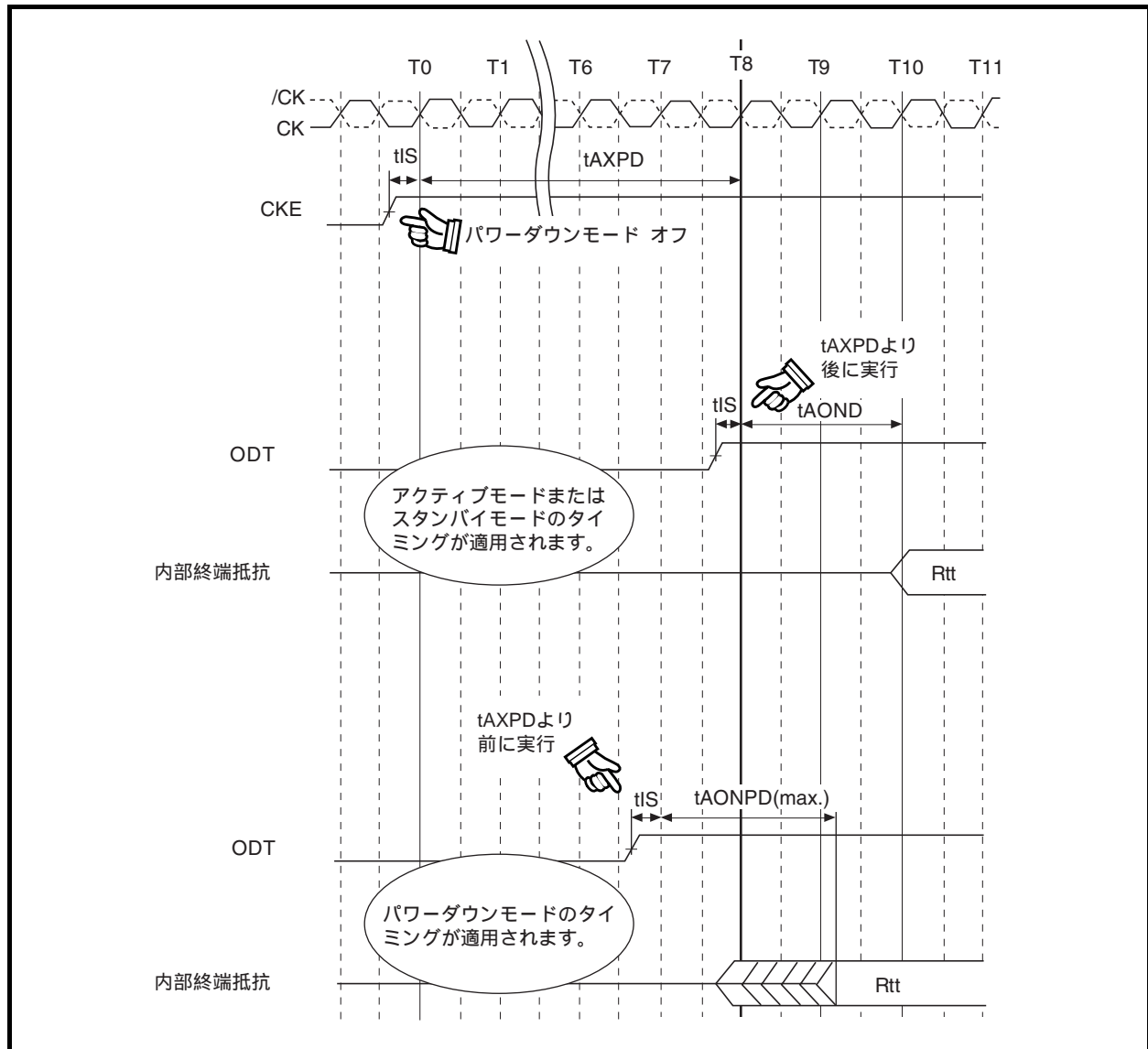


図 1-9 ODT のオンタイミング (パワーダウンモード終了時)

1.5.6 ODT のオフタイミング (パワーダウンモード終了時)

図 1-10 は、パワーダウンモード終了時に ODT をオフにする場合のタイミングを示しています。

パワーダウンモードを終了するためには、遅延時間 (t_{AXPD}) が必要です。ODT をオフにする時点で、この遅延時間が確定している場合と未確定の場合とで、タイミングが異なります。

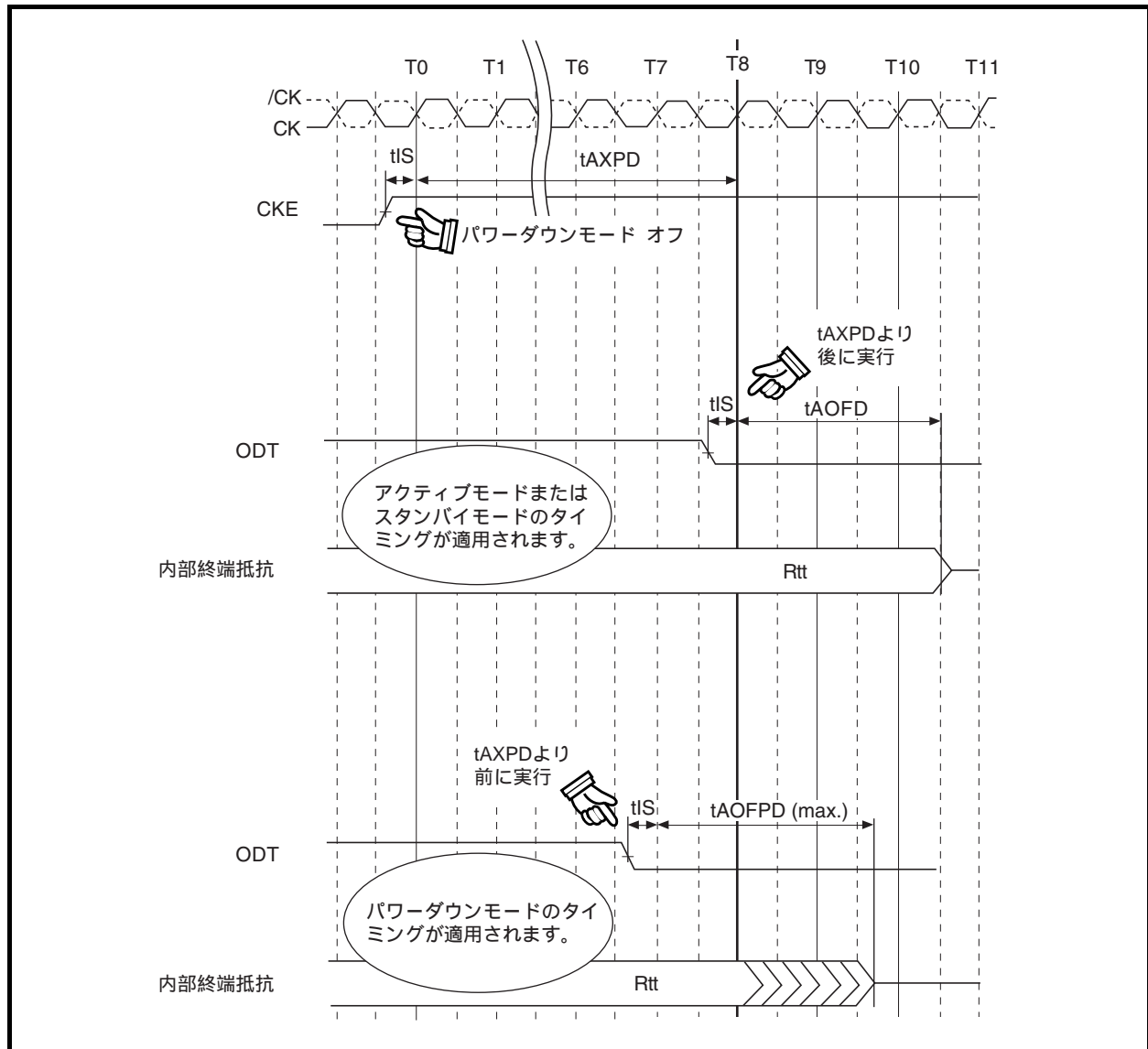


図 1-10 ODT のオフタイミング (パワーダウンモード終了時)

1.6 セルフリフレッシュモードでの ODT

ODT は、セルフリフレッシュモードでは機能しません。

第2章 OCD (Off Chip Driver)

この章では、OCD (Off Chip Driver) について説明します。

OCD は、DDR2 SDRAM に新しく追加された機能で、DRAM 内部の出力ドライバのインピーダンス値を調整することにより、出力信号のプルアップ抵抗とプルダウン抵抗が等しくなるように電圧を補正する機能です。

この機能を使用すると、出力信号のタイミング上のずれを小さくできます。さらに、Ron 抵抗にばらつきがある場合にインピーダンス値を調整し、デバイス間のばらつきを少なくできます。

なお、OCD 機能は DDR2 SDRAM では現在必須の機能ではなく、多くの場合、デフォルトで使われます。

2.1 OCD の概要

2.1.1 ドライブ能力と変化時間について

出力信号は、ドライブ能力が違くと、任意の電圧に達するまでの変化時間（立ち上がり時間／立ち下がり時間）が異なります。

図 2-1 は、ドライブ能力の違いによる出力信号の変化時間の違いを、イメージ図としてあらわしています。

一般的に、ドライブ能力が高いと信号の変化時間（立ち上がり時間／立ち下がり時間）は速くなります。逆に、ドライブ能力が低いと信号の変化時間（立ち上がり時間／立ち下がり時間）は遅くなります。

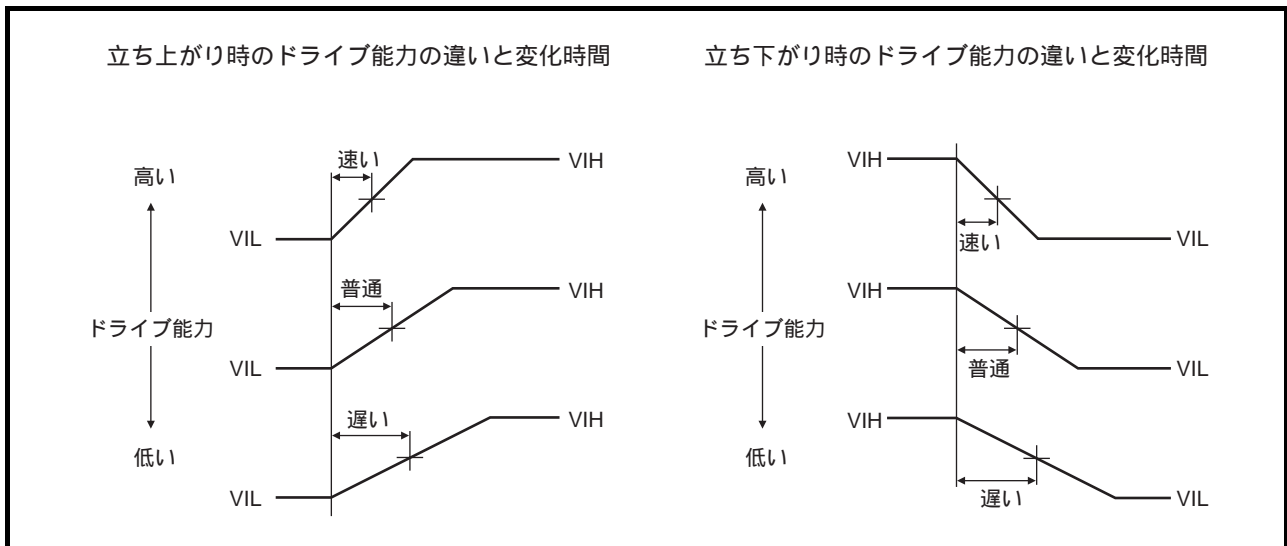


図 2-1 ドライブ能力と信号の変化時間

2.1.2 DQS 信号、/DQS 信号とドライブ能力

DDR2 SDRAM で使用されている DQS 信号と /DQS 信号は位相関係にあります。これらの信号のドライブ能力が同じ場合、それぞれの信号の中間レベルと交点（クロスポイント）は一致します。しかし、どちらかの信号のドライブ能力が弱い（または強い）場合、クロスポイントは中間レベルからずれてしまいます。

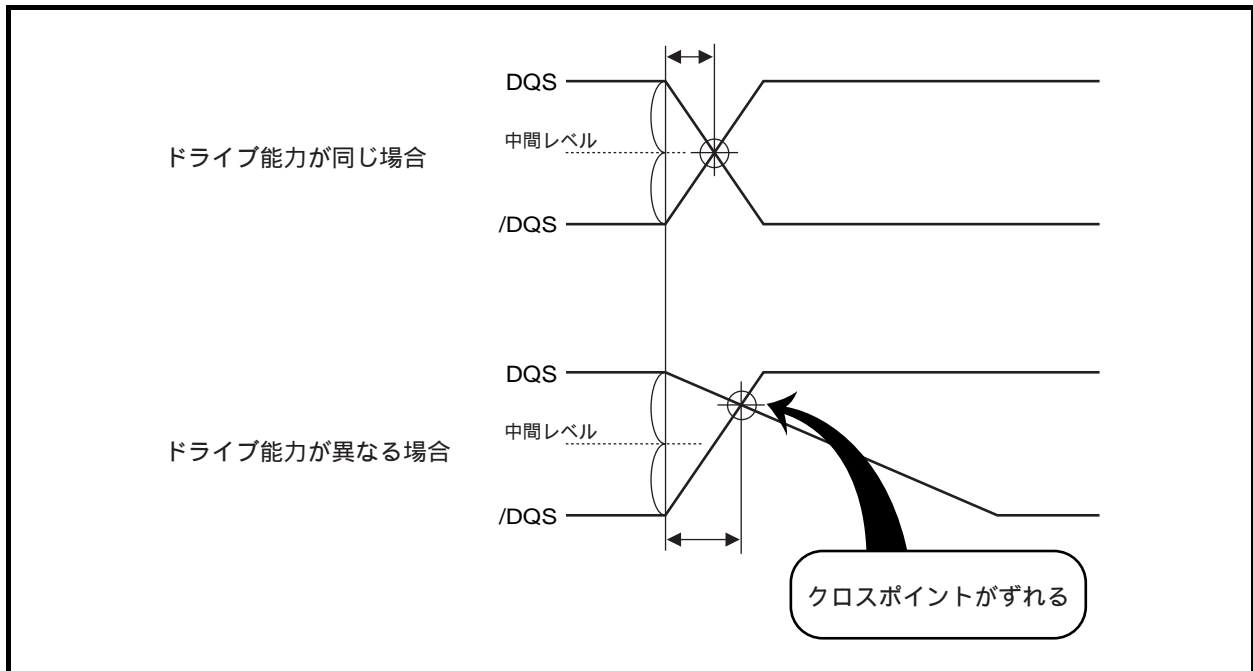


図 2-2 DQS 信号、/DQS 信号とドライブ能力

2.1.3 DQS 信号、/DQS 信号と有効データ時間

DDR2 SDRAM は、DQS 信号と/DQS 信号のクロスポイントを、入出力データの基準クロックとして使用しています。メモリコントローラ側は、この基準クロックに同期して DQ 信号からデータを取り込みます。また、DQ 信号は、VREF 信号を基準にしてハイレベルとローレベルを判別しています。

DQS 信号と/DQS 信号のドライブ能力が異なると、DQS 信号と/DQS 信号のクロスポイントは、それぞれの信号の中間レベルからずれてしまいます。その結果、DQS 信号と/DQS 信号のクロスポイントと、DQ 信号と VREF 信号のクロスポイントとの間に、遅延時間 (DQ - DQS スキュー) が生じます。

DQ - DQS スキューが存在すると、データ入出力時のデータをラッチできる時間 (有効データ時間) が減少します。高速動作を必要とする DDR2 SDRAM では、有効データ時間の減少は深刻な問題となります。

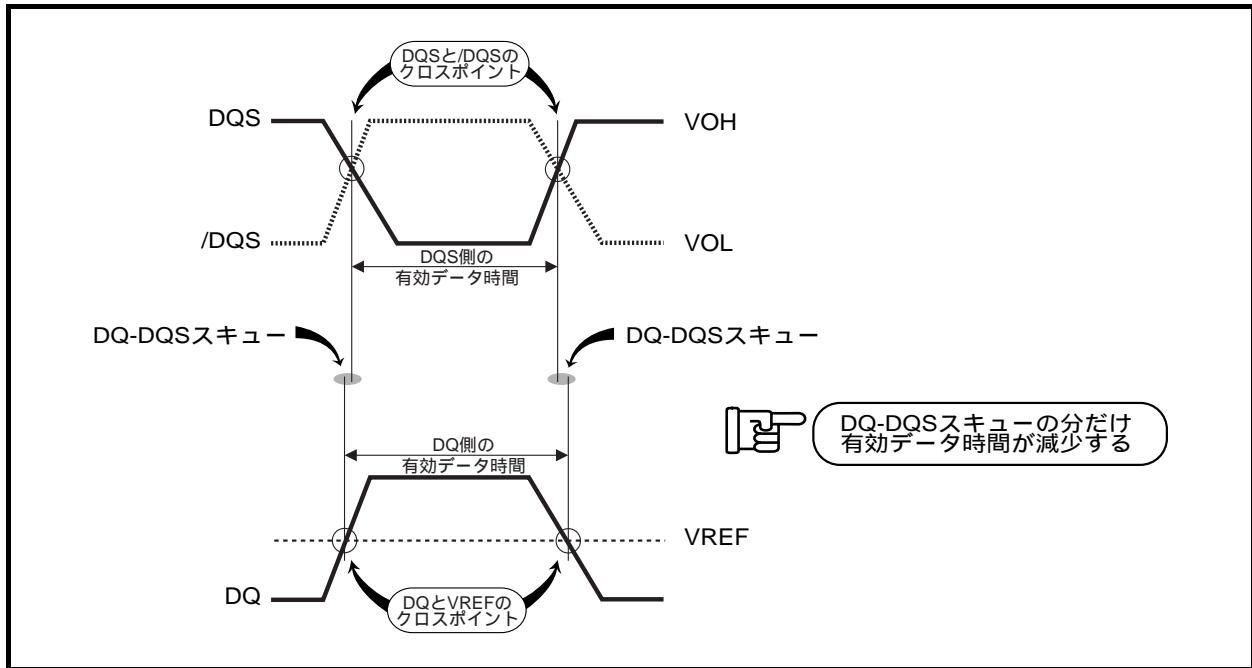


図 2-3 DQS 信号、/DQS 信号と有効データ時間

2.1.4 電圧補正による有効データ時間の拡大

OCD は、DRAM 内部の出力ドライバのインピーダンス値を調整します。この機能により、出力信号 (DQ, DQS, /DQS) のプルアップ抵抗とプルダウン抵抗が等しくなるように、電圧を補正できます。

OCD による電圧補正を行うと、DQS 信号と/DQS 信号のクロスポイントとそれぞれの信号の中間レベルを一致させることができます。DQS 信号と/DQS 信号のクロスポイントが最適化されることにより、DQ 信号と VREF 信号のクロスポイントとの間の遅延時間は最少になります。

DDR2 SDRAM では OCD を用いた電圧補正により、DQ - DQS スキューを最少にし、データ入出力時のデータをラッチできる時間 (有効データ時間) を最大にします。

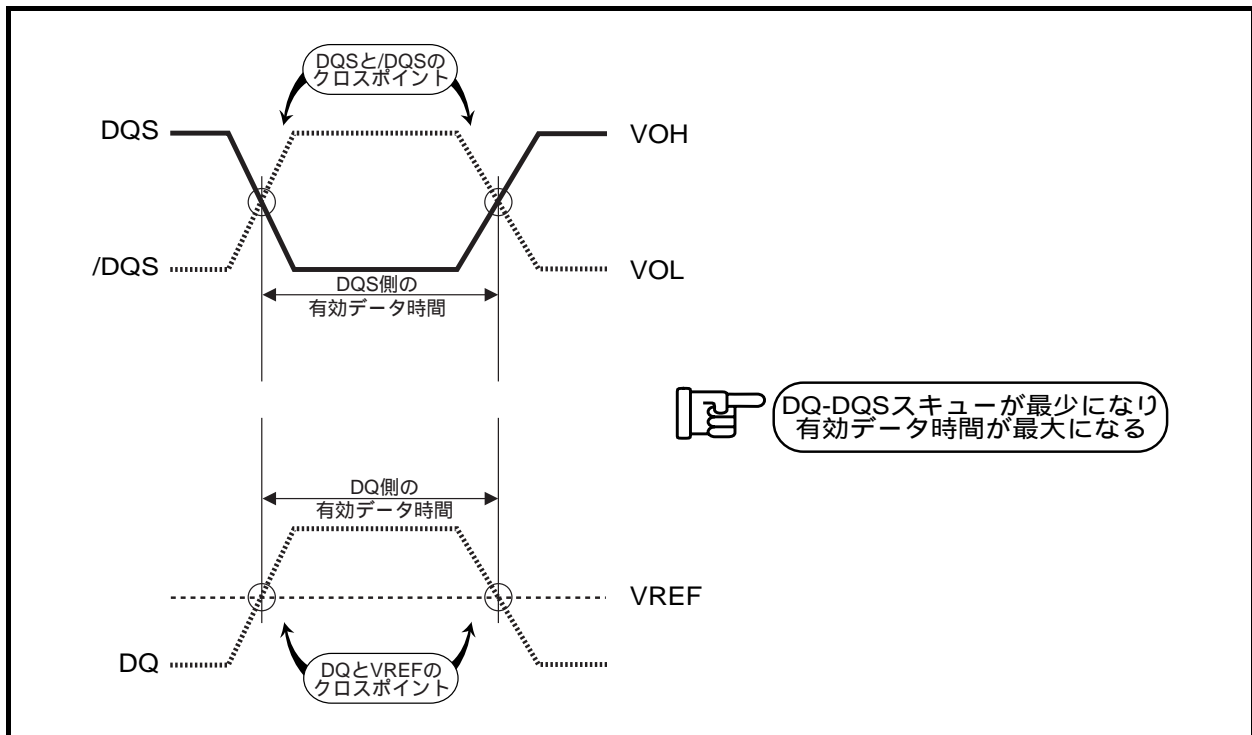


図 2-4 電圧補正による有効データ時間の拡大

2.2 OCD インピーダンス値の設定

OCD インピーダンス値は、DRAM がドライブモードで出力する信号のインピーダンス値を、メモリコントローラもしくは外部の測定器で測定し、最適な値に調整することで設定します。

ドライブモードでは、現状のインピーダンス値と目標値 (SSTL_18 での 18 ± 3) との間に乖離がないかを外部デバイスに比較させます。現状のインピーダンス値と目標値との間に乖離がある場合、調整モードでインピーダンス値を変更します。このように比較作業と調整作業を繰り返し、最適なインピーダンス値を設定します。

OCD インピーダンス値の調整を実行すると、すべての出力端子は同じインピーダンス設定になります。

注意

DDR2 SDRAM には、インピーダンス値の測定および比較機能はありません。

インピーダンス値の測定および比較は、メモリコントローラなどの外部デバイスで行う必要があります。

2.2.1 OCD インピーダンスの調整方法

OCD インピーダンスを調整するため、ドライブ (1) モード、ドライブ (0) モード、調整モード、OCD キャリブレーション解除、OCD キャリブレーションデフォルトの、5 つの動作を実行します。これらの動作は、拡張モードレジスタ (1) (EMRS (1): Extended Mode Registers Set (1)) に設定することにより選択できます。

インピーダンス値の調整では、プルアップ抵抗とプルダウン抵抗を個別に調整する必要があります。そのため、ドライブ (1) モードとドライブ (0) モードの 2 つを実行します。

各モードの切り替えには、OCD キャリブレーション解除を実行して、いったん現在のモードを解除する必要があります。

2.2.2 OCD インピーダンスの調整手順

OCD インピーダンスの調整では、ブルアップ抵抗とブルダウン抵抗を個別に調整する必要があります。そのため、ドライブ(1)モードとドライブ(0)モードの2つを実行します。これらの動作は、どちらを先に行っても問題ありません。

ドライブモードを実行し、インピーダンス値が最適な値になっているかを判断します。インピーダンス値の調整が必要な場合、調整モードを実行し、インピーダンス値を調整します。インピーダンス値が最適になるまで、これらの作業を繰り返します。

各モードの切り替えや動作の終了には、OCD キャリブレーション解除を実行して、いったん現在のモードを解除する必要があります。

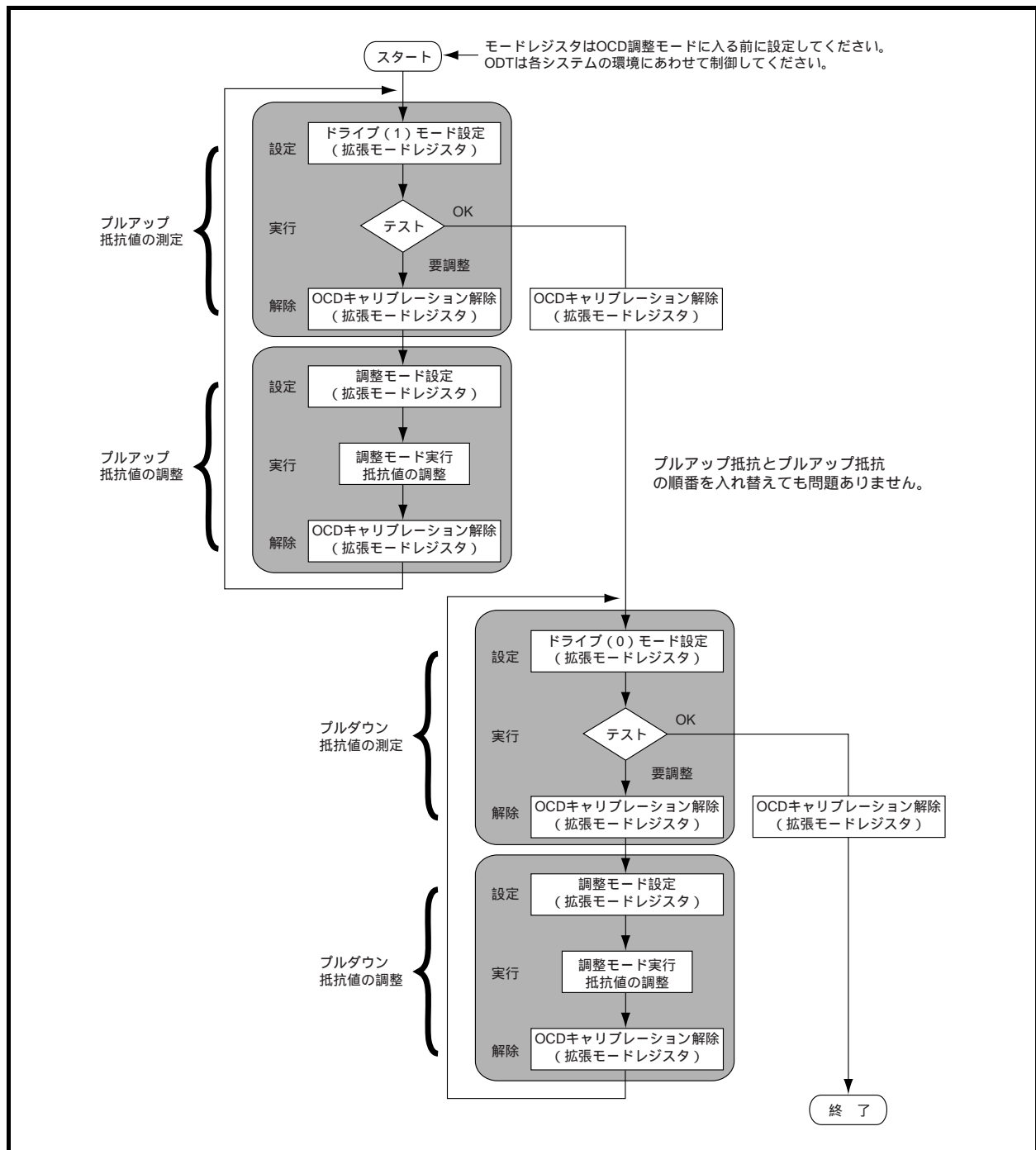


図 2-5 OCD インピーダンス値の調整フローチャート

2.3 各モードの設定方法

OCD の各モードは、拡張モードレジスタ (1) (EMRS (1): Extended Mode Registers Set (1)) に設定します。A7、A8、A9 の 3 ビットを使い、ドライブ (1) モード、ドライブ (0) モード、調整モード、OCD キャリブレーション解除、OCD キャリブレーションデフォルトの 5 つのモードを設定できます。

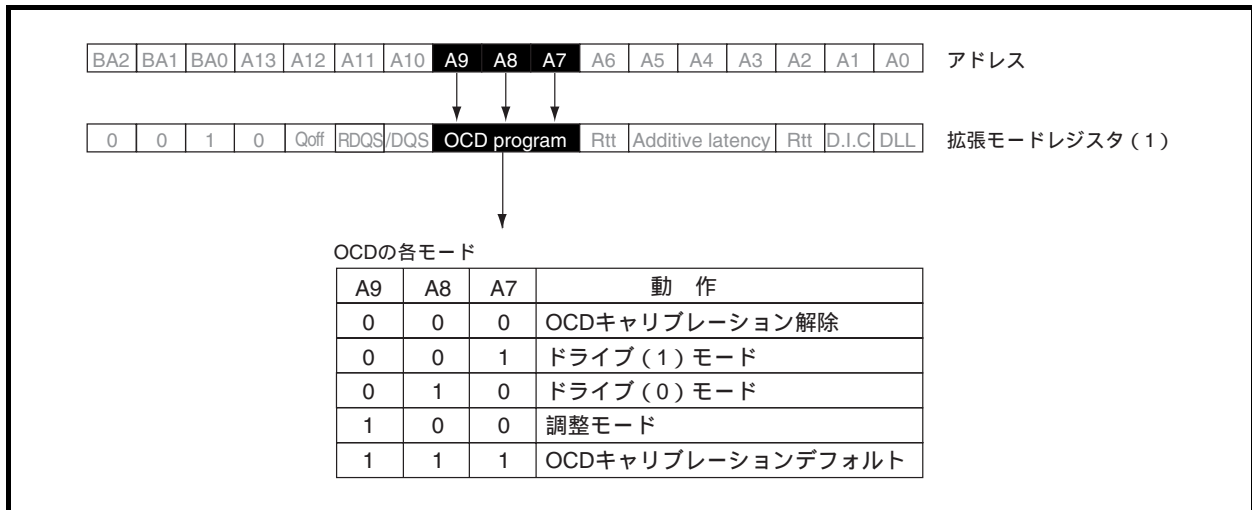


図 2-6 拡張モードレジスタ (1) OCD の各モードの設定

2.3.1 ドライブ(1)モード

ドライブ(1)モードを実行すると、出力信号(DQ, DQS, /DQS)の出力レベルは既定の状態になります。メモリコントローラなどの外部のデバイスは、出力信号(DQ, DQS, /DQS)の電圧レベルを測定し、プルアップ抵抗の値が目標値になっているかを判断する必要があります。

ドライブ(1)モードを設定すると、tOIT 経過後、出力信号(DQ, DQS, /DQS)は表 2-1 に示す出力状態になります。

表 2-1 ドライブ(1)モード設定時の出力信号

出力信号	出力状態
DQ	ハイレベル
DQS	ハイレベル
/DQS	ローレベル

これらの出力状態は、OCD キャリブレーション解除命令を入力するまで続きます。

外部のデバイスは、出力信号(DQ, DQS, /DQS)の出力ドライバのインピーダンス値が最適な値になっているかを判断します。目標値との乖離がある場合、調整モードで再設定します。

このような測定と調整を繰り返し、最適なインピーダンス値を設定します。

注意

DDR2 SDRAM には、インピーダンス値の測定および比較機能はありません。

インピーダンス値の測定および比較は、メモリコントローラなどの外部デバイスで行う必要があります。

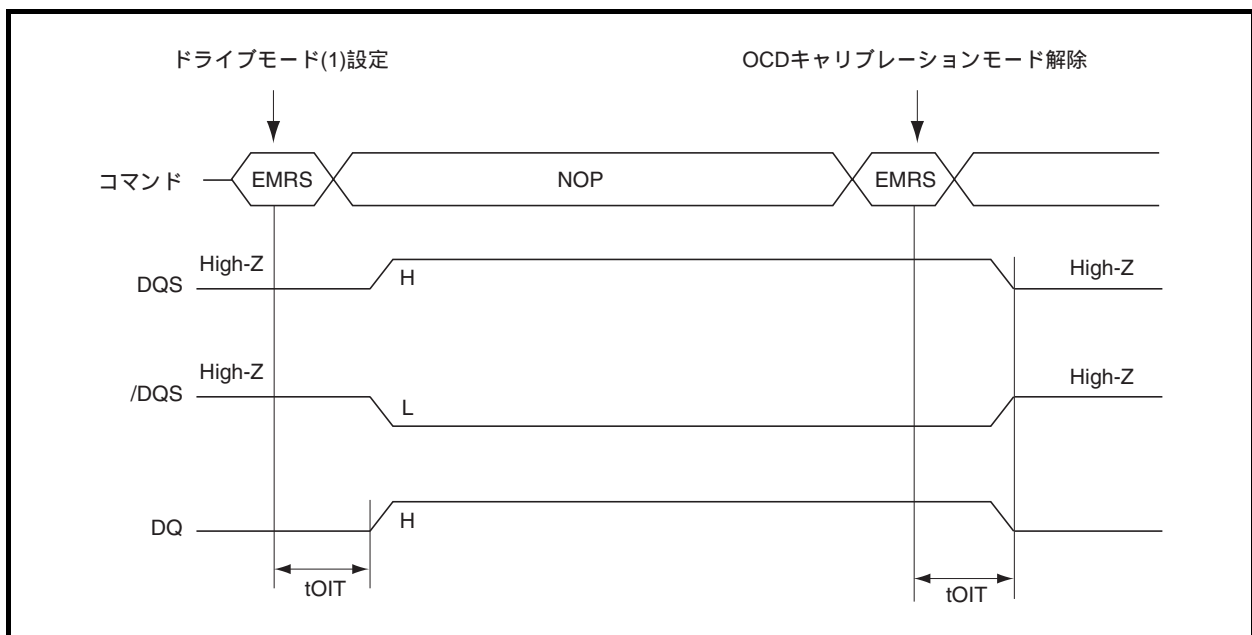


図 2-7 ドライブ(1)モードタイミング

2.3.2 ドライブ(0)モード

ドライブ(0)モードを実行すると、出力信号(DQ, DQS, /DQS)の出力レベルは既定の状態になります。メモリコントローラなどの外部のデバイスは、出力信号(DQ, DQS, /DQS)の電圧レベルを測定し、プルダウン抵抗の値が目標値になっているかを判断する必要があります。

ドライブ(0)モードを設定すると、tOIT 経過後、出力信号(DQ, DQS, /DQS)は表 2-2 に示す出力状態になります。

表 2-2 ドライブ(0)モード設定時の出力信号

出力信号	出力状態
DQ	ローレベル
DQS	ローレベル
/DQS	ハイレベル

これらの出力状態は、OCD キャリブレーション解除命令を入力するまで続きます。

外部のデバイスは、出力信号(DQ, DQS, /DQS)の出力ドライバのインピーダンス値が最適な値になっているかを判断します。目標値との乖離がある場合、調整モードで再設定します。

このような測定と調整を繰り返し、最適なインピーダンス値を設定します。

注意

DDR2 SDRAM には、インピーダンス値の測定および比較機能はありません。

インピーダンス値の測定および比較は、メモリコントローラなどの外部デバイスで行う必要があります。

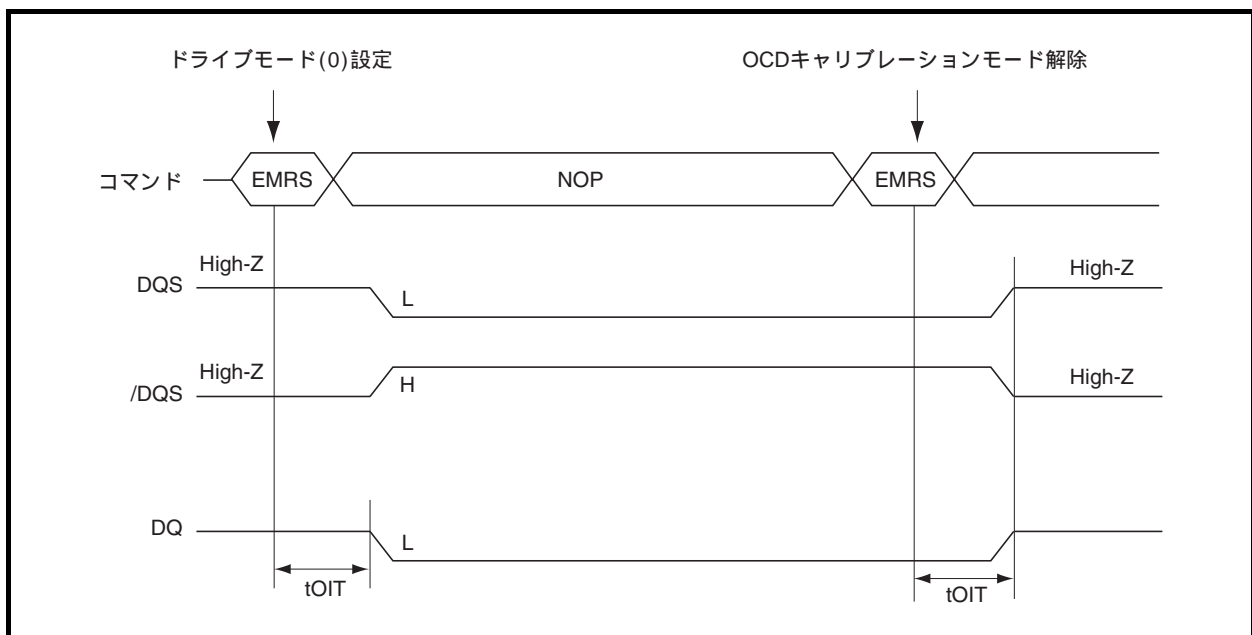


図 2-8 ドライブ(0)モードタイミング

2.3.3 調整モード

調整モードは、出力ドライバのインピーダンス値を調整するモードです。インピーダンス値は 16 段階に分けて調整できるため、出力信号 (DQ, DQS, /DQS) のプルアップ抵抗とプルダウン抵抗が等しくなるように、細かな電圧補正ができます。

調整モードを設定すると、ライトレーテンシ (WL) 経過後、DQ 端子に 4 バーストのデータを入力することにより、出力ドライバのインピーダンス値を調整できます。なお、出力ドライバのインピーダンス値が限界になると、さらなる増加、減少はできません。

調整モードを実行する前に、バースト長は 4 に設定する必要があります。その際、入力データは、すべての DQ 端子に対して同時に入力する必要があります。

調整モードが実行されていても、調整モードが実行される以前に Posted CAS を使用してコマンドが入力されていた場合、Additive Latency 後にコマンドが実行されます。

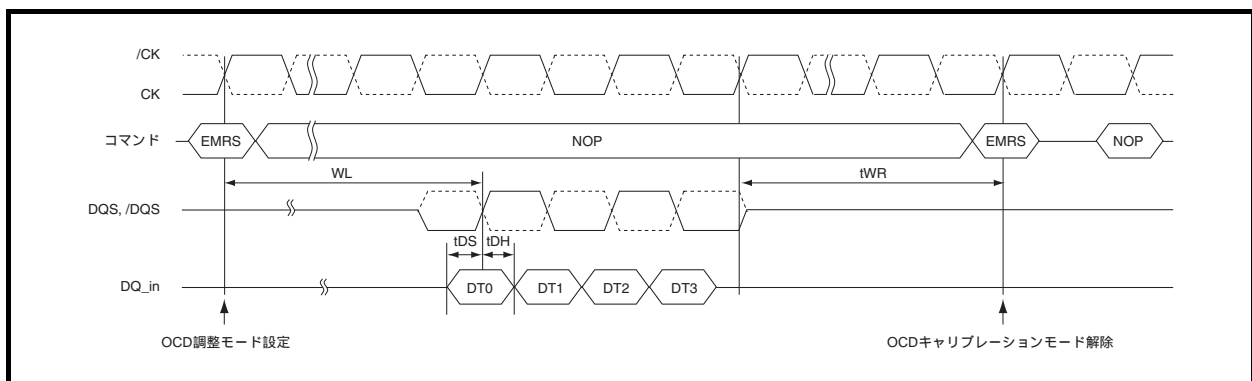


図 2-9 調整モードタイミング

表 2-3 バーストデータと実行内容

バーストデータ				動 作	
DT0	DT1	DT2	DT3	プルアップドライバー強度	プルダウンドライバー強度
0	0	0	0	-	-
0	0	0	1	増加	-
0	0	1	0	減少	-
0	1	0	0	-	増加
1	0	0	0	-	減少
0	1	0	1	増加	増加
0	1	1	0	減少	増加
1	0	0	1	増加	減少
1	0	1	0	減少	減少
上記以外				Reserved	

備 考

1. “ - ” は変化なし (NOP) を表します。
2. 表に示した以外のデータを入力した場合、“ - ” と同じ状態になります。

2.3.4 OCD キャリブレーション解除

OCD インピーダンスの調整では、モードの切り替え時にいったん現在のモードを解除する必要があります。モードの解除には、OCD キャリブレーション解除を実行します。

2.3.5 OCD キャリブレーションデフォルト

現在の出力ドライバのインピーダンス値をデフォルトの値に設定するモードです。
デフォルトの値は、各製品のデータシートを参照してください。

2.3.6 インピーダンス値の測定回路例

インピーダンス値の測定には、図 2-10 のような比較回路を用いる方法があります。

この回路によって、外部のデバイスは出力信号 (DQ, DQS, /DQS) のインピーダンス値が最適な値になっているかを判断します。

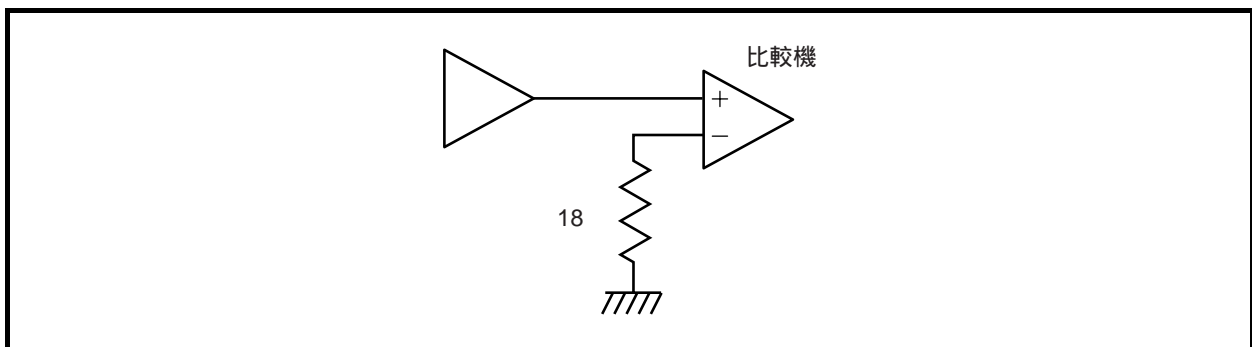


図 2-10 インピーダンス値の測定回路例

第3章 4ビットプリフェッチ

この章では、4ビットプリフェッチについて説明します。

4ビットプリフェッチは、DDR2 SDRAM に新しく採用されたアーキテクチャです。内部バスの幅を外部バスの4倍にすることで、内部バス（メモリセルアレイ）の動作スピードを変更することなく、データバスの転送速度を4倍にできます。

DDR2 SDRAM は、4ビットプリフェッチにより 400Mbps 以上の高速転送ができるようになりました。

3.1 半導体プロセスと高速化の壁

アプリケーションが複雑になるにつれ、DRAM への高速化の要求は、ますます高まっています。しかし、現状の半導体プロセスでは、DRAM 内部の動作スピードに限界があり、容易に高速化はできません。

DDR SDRAM は、DRAM 内部の動作から I/O バッファの動作を切り離し、比較的高速化が容易な I/O バッファの動作スピードを向上させることにより、高速化を実現しました。

3.2 プリフェッチ動作

プリフェッチ動作とは、DRAM 内部（メモリセルアレイ）から I/O バッファへ、出力するデータをあらかじめ取り込んでおく動作です。

メモリセルアレイの動作スピードより I/O バッファの動作スピードが高速になると、DDR SDRAM はプリフェッチ動作での1クロックで転送できるデータ量を増やすことにより、データ転送領域を確保しました。

プリフェッチ動作には1クロックで転送できるデータ量の違いにより、4ビットプリフェッチ、2ビットプリフェッチなどの種類があります。DDR2 SDRAM では、4ビットプリフェッチを採用しています。

3.2.1 DDR2 SDRAM、DDR SDRAM、SDR SDRAM の動作

SDR SDRAM は、外部クロックの立ち上がりで同期してデータを転送します。

外部クロックと同じ周波数で、 $1 \times n$ (I/O 幅) ビット分のデータをメモリセルアレイから I/O バッファに転送することで、データ転送領域を確保しています。

DDR SDRAM は、外部クロックの立ち上がりで同期してデータを転送します。これにより DDR SDRAM は、SDR SDRAM と同じ動作周波数でも、SDR SDRAM の 2 倍のデータ転送速度が得られます。

また、DDR SDRAM は、外部クロックと同じ周波数で、 $2 \times n$ ビット分のデータをメモリセルアレイから I/O バッファに先取り (プリフェッチ) することで、内部バス周波数を上げずにデータ転送領域を確保しています。

さらに、DDR2 SDRAM は、DDR SDRAM の 2 倍の周波数で動作します。DDR2 SDRAM では内部バス周波数を上げないために、 $4 \times n$ ビット分のデータをプリフェッチしています (4 ビットプリフェッチ)。

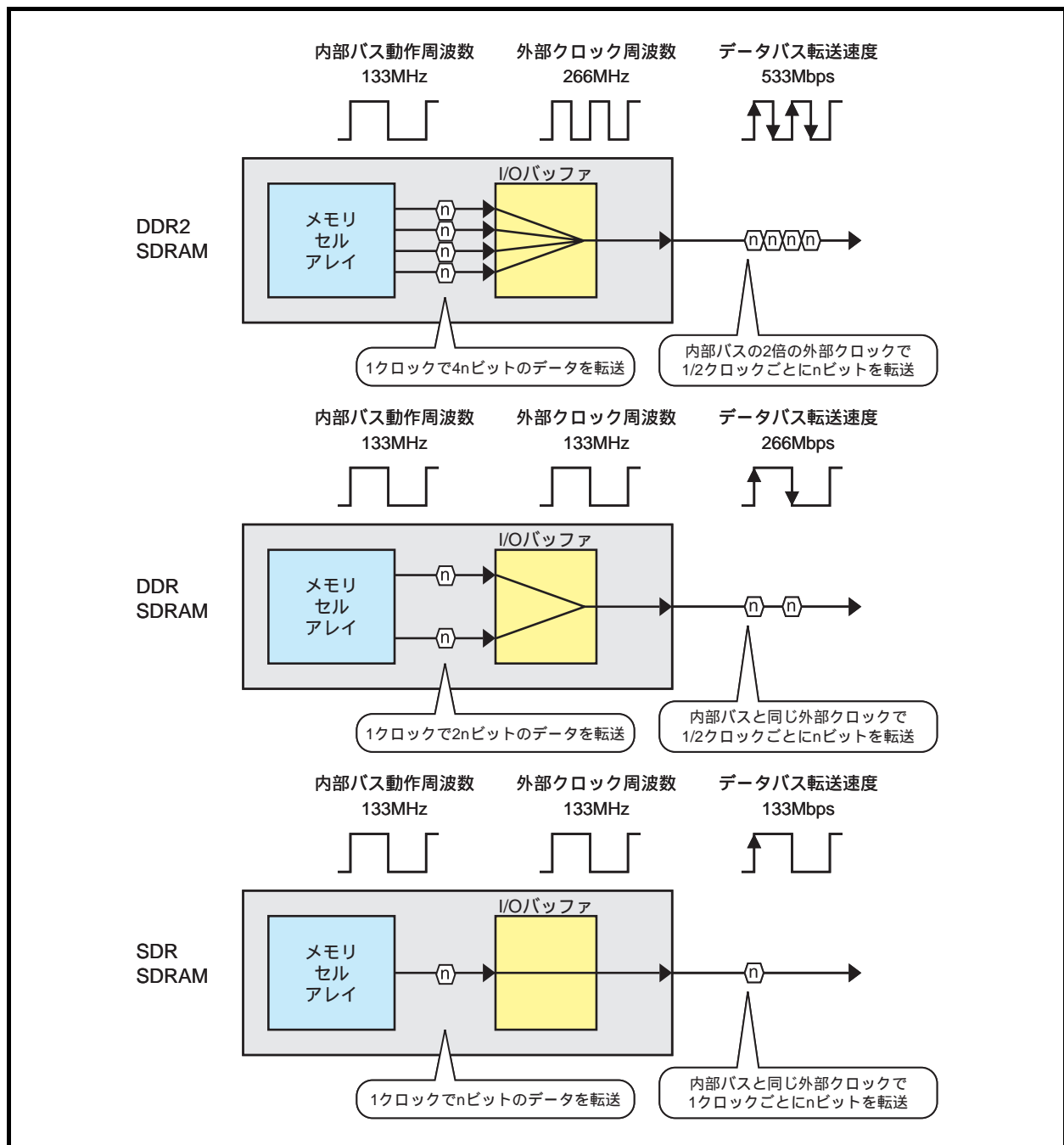


図 3-1 DDR2 SDRAM、DDR SDRAM、SDR SDRAM の動作比較

3.3 DDR2 SDRAM、DDR SDRAM、SDR SDRAM の動作速度

表 3-1 は、内部バスの動作周波数が 133MHz の場合の、DDR2 SDRAM、DDR SDRAM、SDR SDRAM の動作速度を示しています。

これらの DRAM を比較すると、内部バスの動作周波数はそのままでも、データバス転送速度は、劇的に変化していることがわかります。

DDR SDRAM と DDR2 SDRAM は、外部クロックの立ち上がりと立ち下りの両エッジでデータを転送するため、SDR SDRAM の 2 倍の転送速度になります。さらに、DDR2 SDRAM では、外部クロックの動作周波数を DDR SDRAM の 2 倍にすることにより、SDR SDRAM の 4 倍の転送速度になります。

表 3-1 DDR2 SDRAM、DDR SDRAM、SDR SDRAM の動作速度

項 目	DDR2 SDRAM	DDR SDRAM	SDR SDRAM
プリフェッチ	4 ビット	2 ビット	1 ビット
内部バス動作周波数	133MHz	133MHz	133MHz
外部クロック周波数	266MHz	133MHz	133MHz
データバス転送速度	533Mbps	266Mbps	133Mbps

第4章 Posted CAS と Additive Latency

この章では、Posted CAS と Additive Latency (AL) について説明します。

Posted CAS と Additive Latency は、DDR2 SDRAM に新しく追加された機能で、効率的にコマンドを発行し、実効メモリ帯域を向上するための機能です。

Posted CAS と Additive Latency により、コマンドバスの競合が減少し、効率的にコマンドを発行できるようになります。その結果、データバスを有効に使えるようになり、DDR2 SDRAM の実効メモリ帯域が向上しました。

4.1 Posted CAS の概要

4.1.1 DDR SDRAM の問題点

DDR SDRAM でリード動作 / ライト動作を行うには、RAS 信号（バンクアクティブコマンド<ACT>）を入力したあと、CAS 信号（リードコマンド<READ>またはライトコマンド<WRIT>）を入力して、動作を実行します。このとき、RAS 信号の入力から CAS 信号の入力までに一定のサイクル間隔（tRCD）が必要です。そのため、連続して複数のリード動作 / ライト動作を行うと、コマンドの競合が起こる場合があります。

また、コマンドが競合することのないように効率的にコマンドを発行しても、データバスには無駄な空きが生じることがあります。そのため、コマンドバス / データバスの効率が低下し、最大の実効メモリ帯域を得られないことがあります。

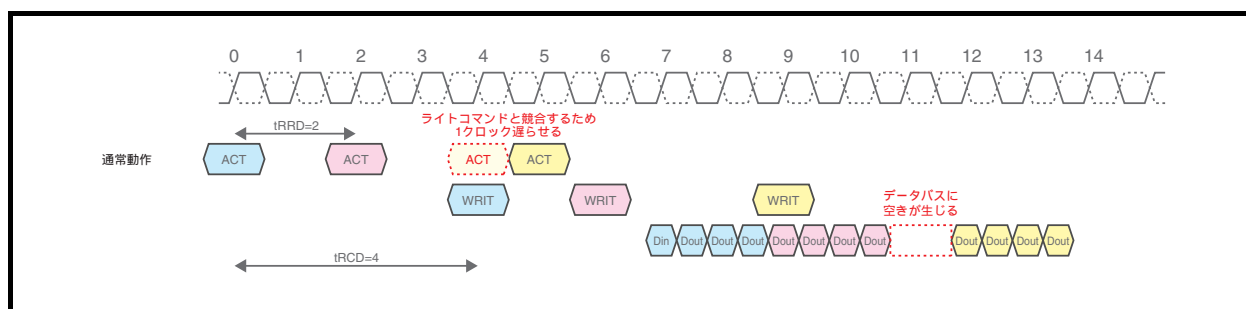


図 4-1 DDR SDRAM での問題点

4.1.2 DDR2 SDRAM の取り組み

DDR2 SDRAM では Posted CAS の採用により、RAS 信号（バンクアクティブコマンド<ACT>）を入力した直後、または tRCD 期間中の任意のタイミングで、CAS 信号（リードコマンド<READ>またはライトコマンド<WRITE>）を入力できます。入力したリードコマンド/ライトコマンドはデバイス内部で留め置かれ（posted）、Additive Latency 後に有効になります。

Posted CAS 動作を活用すると、効率的にコマンドを発行できるため、コマンドバス/データバスの効率が向上します。また、連続して複数のリード動作/ライト動作ができるため、実効メモリ帯域が向上します。さらにコマンドバスの競合が避けられ、コントローラからの制御が容易になります。

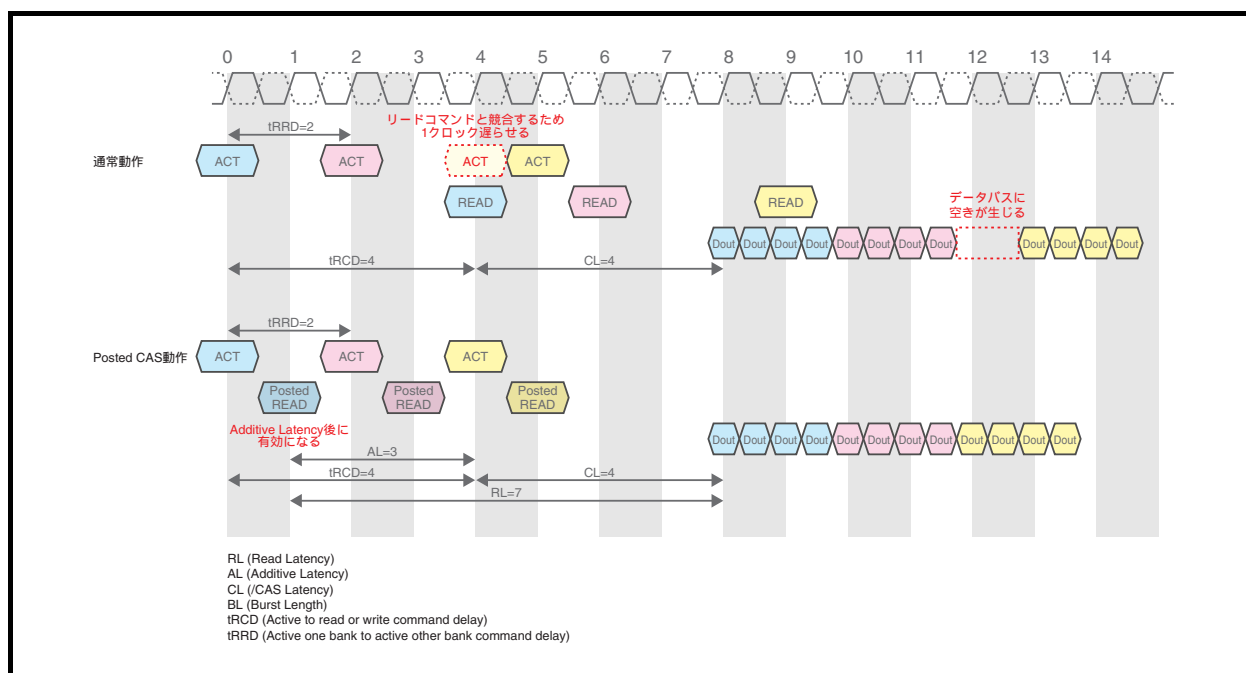


図 4-2 Posted CAS 動作の概念図（リード動作）

4.2 リード動作

4.2.1 DDR SDRAM のリード動作

DDR SDRAM のリード動作は次の通りです。

- (1) バンクアクティブコマンド<ACT>を入力します。
- (2) バンクアクティブコマンドを入力してから t_{RCD} 経過後、リードコマンド<READ>を入力します。
- (3) リードコマンドを入力してから/CAS レーテンシ<CL>後にデータ出力を開始します。

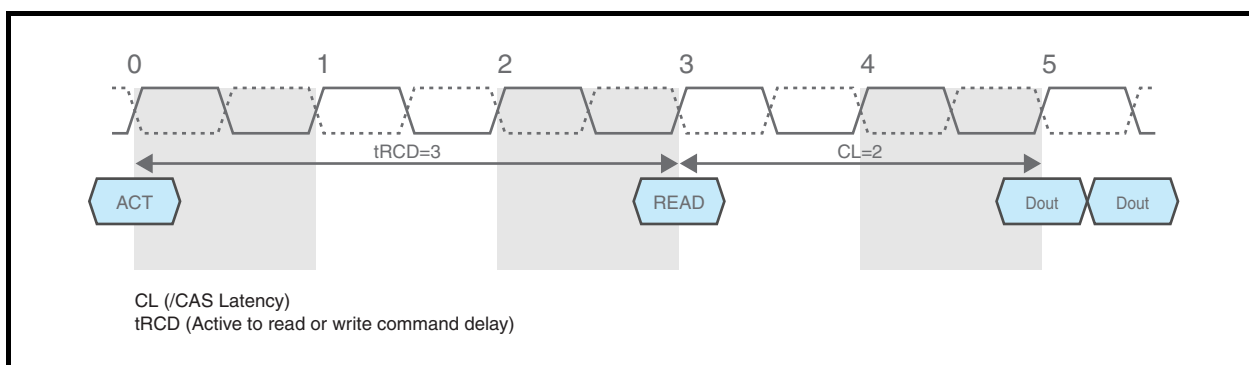


図 4-3 DDR SDRAM のリード動作

連続したリード動作を行う場合、次のバンクアクティブコマンドは最初のバンクアクティブコマンドから t_{RRD} 経過後に入力できますが、リードコマンドと同じタイミングで入力することはできません。

4.2.2 DDR2 SDRAM のリード動作

DDR2 SDRAM のリード動作は、基本的に DDR SDRAM と同じです。

- (1) バンクアクティブコマンド<ACT>を入力します。
- (2) バンクアクティブコマンドを入力した次のクロックか、 t_{RCD} 期間中の任意のタイミングで、リードコマンド<READ>を入力します。
- (3) リードコマンドは、デバイス内部で留め置かれ、Additive Latency (AL) 後に有効になります。リードコマンドが有効になってから/CAS レーテンシ<CL>後にデータ出力を開始します。

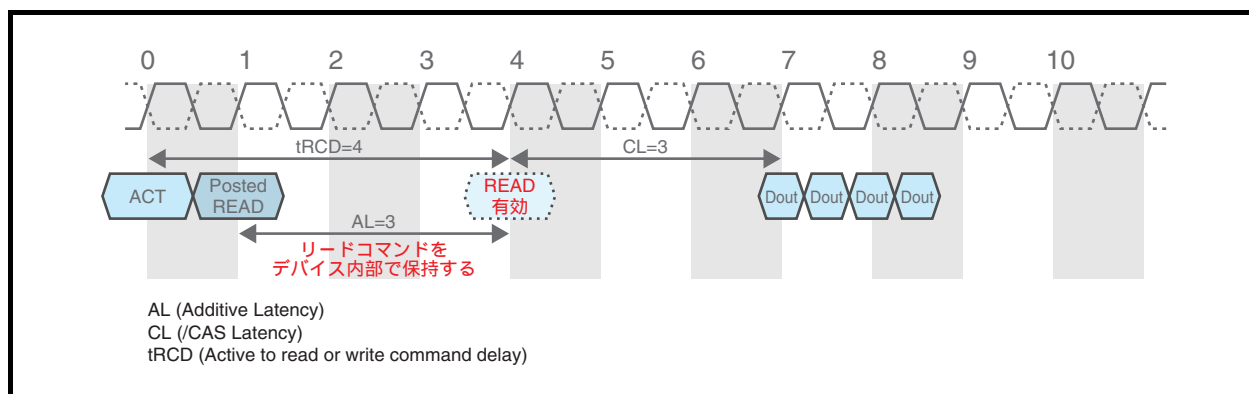


図 4-4 DDR2 SDRAM のリード動作 (AL=3)

4.3 ライト動作

4.3.1 DDR SDRAM のライト動作の問題点

DDR SDRAM のライト動作は次の通りです。

- (1) バンクアクティブコマンド<ACT>を入力します。
- (2) バンクアクティブコマンドを入力してから t_{RCD} 経過後、ライトコマンド<WRIT>を入力します。
- (3) ライトコマンドを入力してから、最初のデータストローブ信号の立ち上がりエッジでデータ入力を開始します。

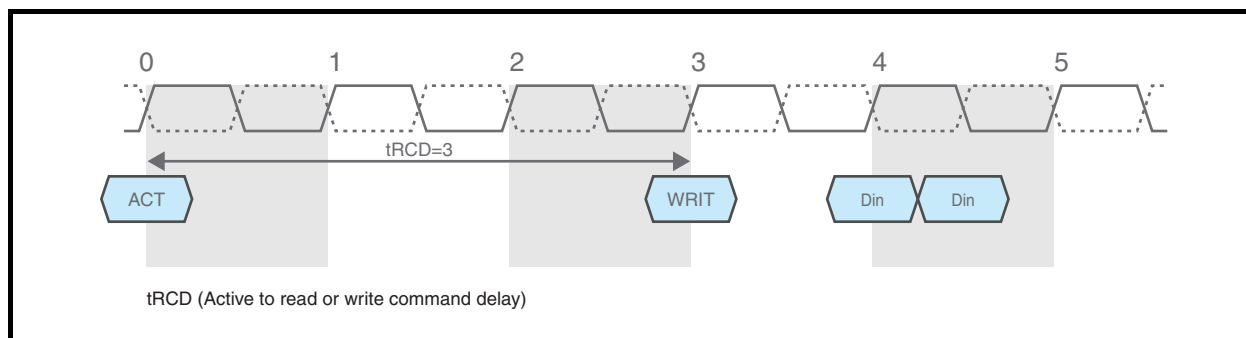


図 4-5 DDR SDRAM のライト動作

連続したリード動作を行う場合、次のバンクアクティブコマンドは最初のバンクアクティブコマンドから t_{RRD} 経過後に入力できますが、ライトコマンドと同じタイミングで入力することはできません。

4.3.2 DDR2 SDRAM のライト動作

DDR2 SDRAM のライト動作は、基本的に DDR SDRAM と同じです。

- (1) バンクアクティブコマンド<ACT>を入力します。
- (2) バンクアクティブコマンドを入力した次のクロックか、 t_{RCD} 期間中の任意のタイミングで、ライトコマンド<WRIT>を入力します。
- (3) ライトコマンドは、デバイス内部で留め置かれ、Additive Latency (AL) 後に有効になります。ライトコマンドが有効になってから最初のデータストローブ信号の立ち上がりエッジでデータ入力を開始します。

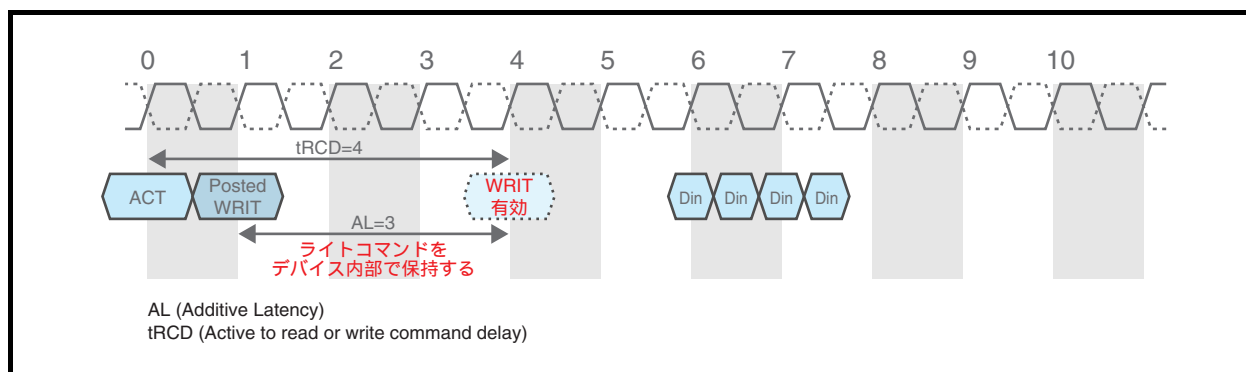


図 4-6 DDR2 SDRAM のライト動作 (AL=3)

4.4 Additive Latency の設定方法

Additive Latency (AL) の値は、拡張モードレジスタ (1) (EMRS (1): Extended Mode Registers Set (1)) に設定します。

A5 から A3 の 3 ビットを使い、AL=0、AL=1、AL=2、AL=3、AL=4 の 5 種類から選択できます。

Additive Latency の値をいったん設定すると、再度設定をするか電源を切断するまで、設定した内容を保持します。

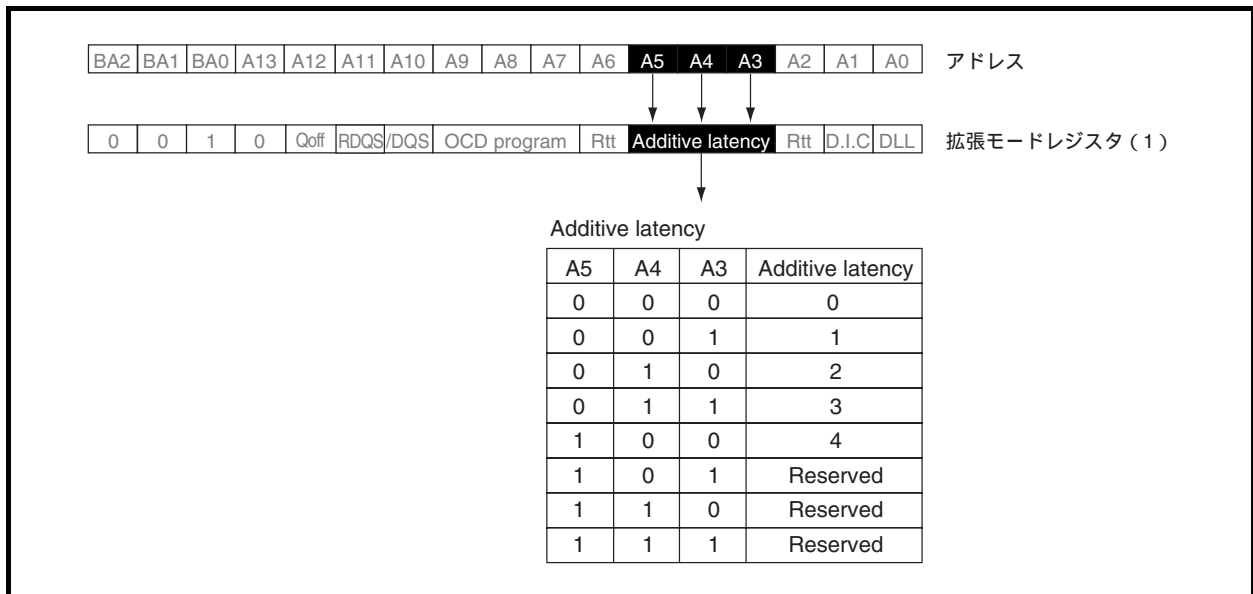


図 4-7 拡張モードレジスタ (1) Additive Latency の設定

4.5 リードレーテンシ/ライトレーテンシ

4.5.1 リードレーテンシ

DDR2 SDRAM のリードレーテンシ (RL) は、Additive Latency (AL) と CAS Latency (CL) の和で定義されます ($RL=AL+CL$)。

Additive Latency が 0 ($AL=0$) の場合のリードレーテンシは DDR SDRAM と同等になります。

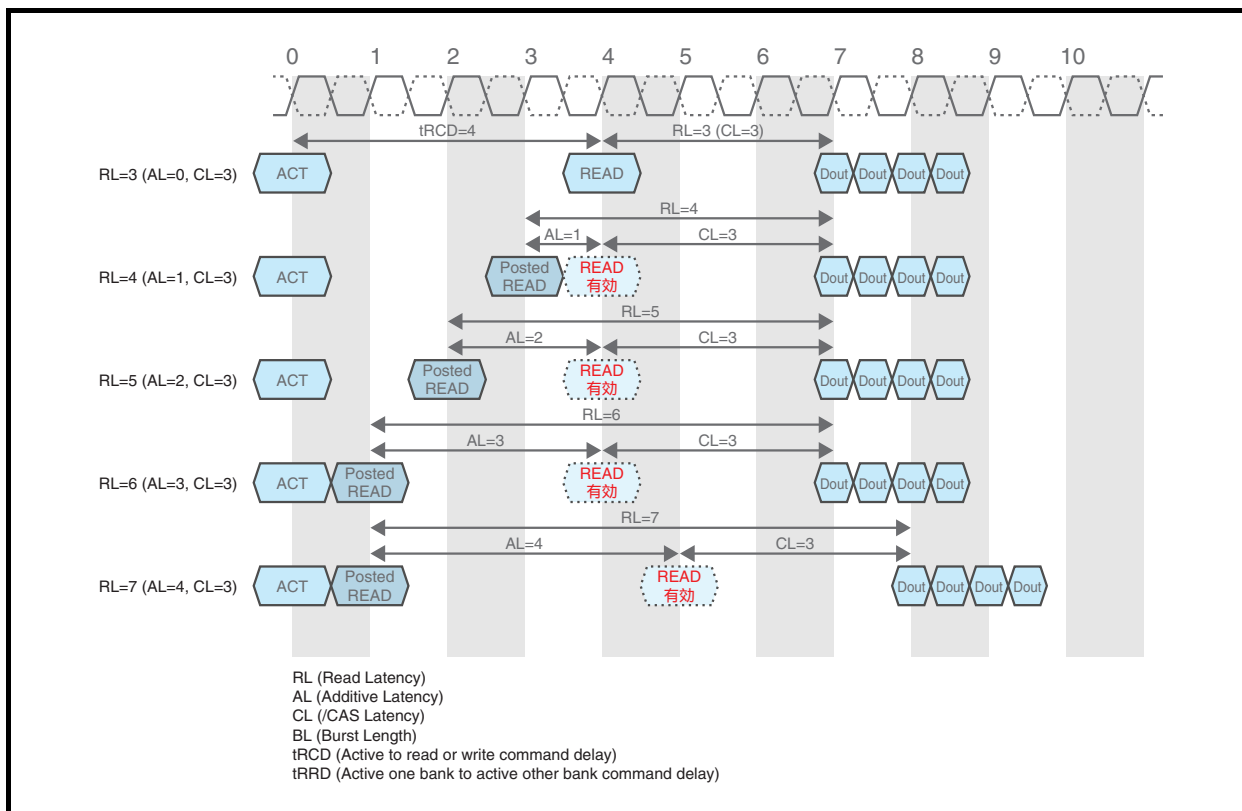


図 4-8 DDR2 SDRAM のリードレーテンシ

4.5.2 ライトレーテンシ

DDR2 SDRAM のライトレーテンシ (WL) は、リードレーテンシ (RL) - 1 で定義されます ($WL=RL-1$)。最短のライトレーテンシは、DDR SDRAM の $WL=1$ と比べて 1 クロック長い、 $WL=2$ ($AL=0$ 、 $tRCD=3$ の場合) です。

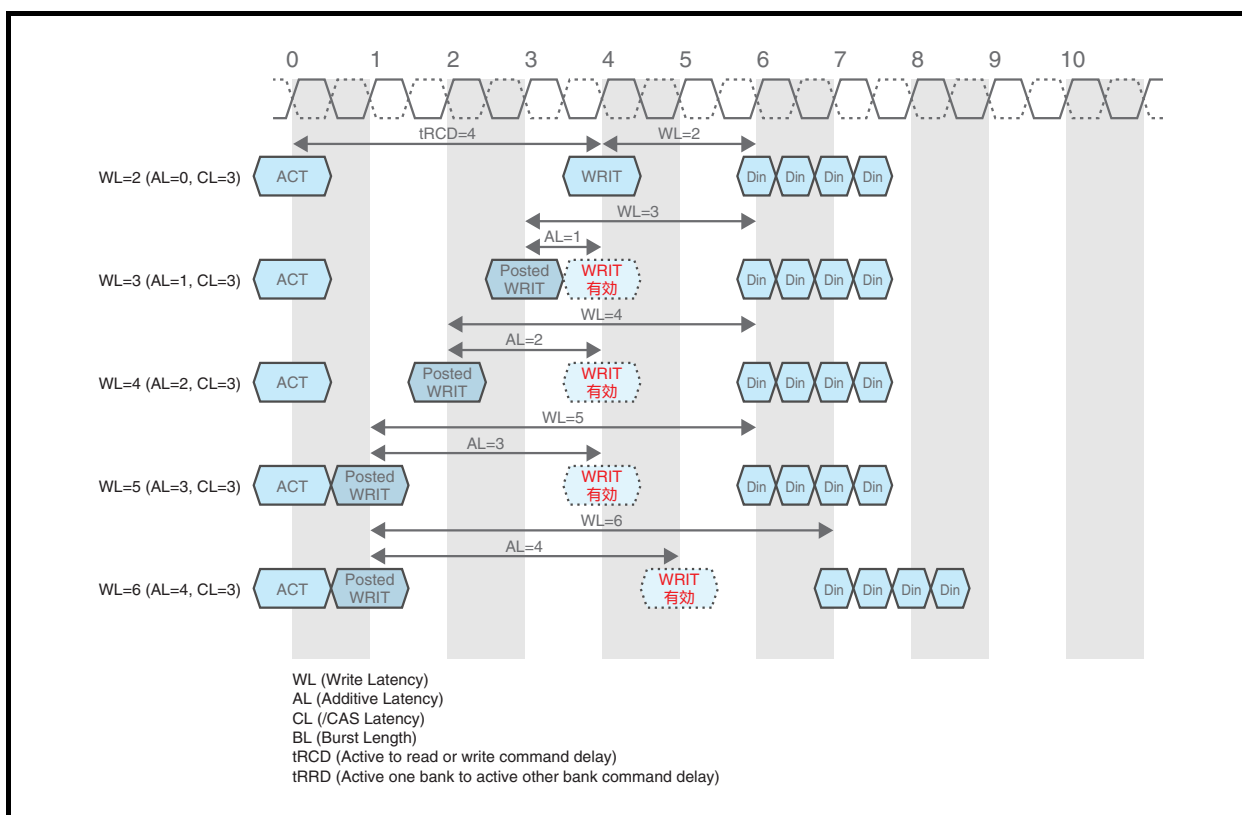


図 4-9 DDR2 SDRAM のライトレーテンシ

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

CMOSデバイスの入力レベルは固定してください。バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して電源またはグランドに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

電源投入時、MOSデバイスの初期状態は不定です。分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

CMJ0107

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

当社の書面による事前承諾なしに本資料の全部または一部を転載、複製することを禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権（特許権、著作権、回路配置利用権を含むがこれに限定されない）その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路、ソフトウェア、及びこれらに付随する情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。

[本製品の用途に関する注意]

本製品は、一般電子機器に汎用標準的な用途で使用されることを想定しております。

当社は品質、信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に当社営業担当までご相談いただきますようお願いいたします。

[使用上の注意]

設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、当社保証範囲内でご使用いただきますようお願いいたします。保証値を越えてご使用された場合の故障及び事故につきましては、当社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、当社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じていただきますようお願いいたします。

[使用環境に関する注意]

本製品は、下記特殊環境での使用を配慮した設計にはなっておりません。

従いまして、下記のような特殊環境における使用に起因するお客様もしくは第三者の損害に対して、当社はその責を負いません。

例：

- 1) 水、油、薬液、有機溶剤等の液体中でのご使用。
- 2) 直射日光、屋外暴露、塵埃中でのご使用。
- 3) 潮風、 Cl_2 、 H_2S 、 NH_3 、 SO_2 、 NO_x 等の腐食性ガスの多い場所でのご使用。
- 4) 静電気や電磁波や放射線の強い環境でのご使用。
- 5) 結露するような場所でのご使用。
- 6) 振動、衝撃、応力が加わる環境でのご使用。
- 7) 発熱体、発火物及び引火物の近くでのご使用。

本資料に記載の製品及び技術のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては日本国の輸出管理関連法規に定める手続をとることが必要であり、米国輸出管理規則等外国の輸出管理関連法規の規制に該当する場合は必要に応じそれらの法令に定める手続をとることが必要です。また、それらを、第三者に販売、賃貸、譲渡又は使用許諾等をする場合、当該第三者に対し、責任をもって輸出管理関連法規に定める手続をとることを遵守させて下さい。

M01J0706

