

概要

Zynq®-7000 All Programmable SoC には、-3、-2、-1 のスピードグレードがあり、-3 スピードグレードのパフォーマンスが最も高くなっています。Zynq-7000 デバイスの DC 特性および AC 特性は、コマーシャル、拡張、およびインダストリアルグレードの温度範囲に対して指定されていますが、特記のない限り、同一スピードグレードのパラメーターの値は、動作温度範囲を除いてコマーシャルとインダストリアルで同じです。つまり、-1 スピードグレードのタイミング特性は、インダストリアルデバイスとコマーシャルデバイスで同じです。ただし、スピードグレードやデバ

イスによっては、コマーシャル、拡張あるいはインダストリアルデバイスで入手できない場合があります。

電源電圧およびジャンクション温度の仕様はすべて、ワーストケースの値です。ここに記載されたパラメーターは、頻繁に使用されるデザインや一般的なアプリケーションに共通のものです。

『Zynq-7000 AP SoC (XC7Z030、XC7Z045、XC7Z100) データシート』は、Zynq-7000 デバイスに関する資料の一部であり、ザイリンクスのウェブサイト japan.xilinx.com/zynq より入手できます。

DC 特性

表 1：絶対最大定格 ⁽¹⁾

シンボル	説明	最小	最大	単位
プロセッシング システム (PS)				
V _{CCPINT}	PS のロジック主電源電圧	-0.5	1.1	V
V _{CCPAUX}	PS の補助電源電圧	-0.5	2.0	V
V _{CCPLL}	PS の PLL 電源電圧	-0.5	2.0	V
V _{CCO_DDR}	PS の DDR I/O 電源電圧	-0.5	2.0	V
V _{CCO_MIO} ⁽²⁾	PS の MIO I/O 電源電圧	-0.5	3.6	V
V _{PREF}	PS の入力基準電圧	-0.5	2.0	V
V _{PIN} ⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾	PS の MIO I/O 入力電圧	-0.40	V _{CCO_MIO} + 0.55	V
	PS の DDR I/O 入力電圧	-0.55	V _{CCO_DDR} + 0.55	V
プログラマブル ロジック (PL)				
V _{CCINT}	PL の内部電源電圧	-0.5	1.1	V
V _{CCAUX}	PL の補助電源電圧	-0.5	2.0	V
V _{CCBRAM}	ブロック RAM メモリの PL 電源電圧	-0.5	1.1	V
V _{CCO}	3.3V HR I/O バンクの PL 出力ドライバー電源電圧	-0.5	3.6	V
	1.8V HP I/O バンクの PL 出力ドライバー電源電圧	-0.5	2.0	V
V _{CCAUX_IO}	補助電源電圧	-0.5	2.06	V
V _{REF}	入力基準電圧	-0.5	2.0	V
V _{IN} ⁽³⁾⁽⁴⁾⁽⁵⁾	3.3V HR I/O バンクの I/O 入力電圧	-0.40	V _{CCO} + 0.55	V
	1.8V HP I/O バンクの I/O 入力電圧	-0.55	V _{CCO} + 0.55	V
	V _{REF} および TMD5_33 を除く差動 I/O 規格の I/O 入力電圧 (V _{CCO} = 3.3V のとき) ⁽⁶⁾	-0.40	2.625	V
V _{CCBATT}	キー メモリ用のバックアップ バッテリ電源電圧	-0.5	2.0	V

表 1 : 絶対最大定格 ⁽¹⁾ (続き)

シンボル	説明	最小	最大	単位
GTX トランシーバー				
$V_{MGTAVCC}$	GTX トランスミッターおよび GTX レシーバー回路のアナログ電源電圧	-0.5	1.1	V
$V_{MGTAVTT}$	GTX トランスミッターおよび GTX レシーバー終端回路のアナログ電源電圧	-0.5	1.32	V
$V_{MGTVCCAUX}$	GTX トランシーバーの補助アナログ クワッド PLL (QPLL) 電源電圧	-0.5	1.935	V
$V_{MGTREFCLK}$	GTX トランシーバーの基準クロックの絶対入力電圧	-0.5	1.32	V
$V_{MGTAVTTRCAL}$	GTX トランシーバー カラムの抵抗キャリブレーション回路のアナログ電源電圧	-0.5	1.32	V
V_{IN}	レシーバー (RXP/RXN) およびトランスミッター (TXP/TXN) の絶対入力電圧	-0.5	1.26	V
$I_{DCIN-FLOAT}$	RX 終端がフローティングのとき、DC カップルされたレシーバー ピンの DC 入力電流	—	14	mA
$I_{DCIN-MGTAVTT}$	RX 終端 = $V_{MGTAVTT}$ のとき、DC カップルされたレシーバー ピンの DC 入力電流	—	12	mA
$I_{DCIN-GND}$	RX 終端 = GND のとき、DC カップルされたレシーバー ピンの DC 入力電流	—	6.5	mA
$I_{DCOUT-FLOAT}$	RX 終端がフローティングのとき、DC カップルされたトランスミッター ピンの DC 出力電流	—	14	mA
$I_{DCOUT-MGTAVTT}$	RX 終端 = $V_{MGTAVTT}$ のとき、DC カップルされたトランスミッター ピンの DC 出力電流	—	12	mA
XADC				
V_{CCADC}	GNDADC に対する XADC 電源	-0.5	2.0	V
V_{REFP}	GNDADC に対する XADC 基準入力	-0.5	2.0	V
温度				
T_{STG}	ストレージ温度 (周囲)	-65	150	°C
T_{SOL}	Pb/Sn コンポーネントの最大はんだ付け温度 ⁽⁷⁾	—	+220	°C
	Pb フリー コンポーネントの最大はんだ付け温度 ⁽⁷⁾	—	+260	°C
T_j	最大ジャンクション温度 ⁽⁷⁾	—	+125	°C

注記 :

- この表の絶対最大定格を超える条件下では、デバイスが恒久的に破損する可能性があります。ここに示す値は最大定格値であり、この条件および推奨動作条件以外の状態でデバイスが動作することを示すものではありません。また、デバイスを絶対最大定格の状態で長時間使用すると、デバイスの信頼性が低下する可能性があります。
- MIO 電源バンクの V_{CCO_MIO0} および V_{CCO_MIO1} の両方に適用されます。
- より低い絶対電圧値が常に適用されます。
- I/O の動作は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』([UG471](#)) または『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』([UG585](#)) を参照してください。
- 最大定格の制限は DC 信号に適用されます。最大のアンダーシュート/オーバーシュート AC 仕様については、[表 4](#) および [表 5](#) を参照してください。
- TMDS₃₃ 仕様は、[表 12](#) を参照してください。
- はんだ付けのガイドラインおよび温度条件は、『Zynq-7000 All Programmable SoC パッケージおよびピン配置仕様』([UG865](#)) を参照してください。

表 2 : 推奨動作条件 (1)(2)

シンボル	説明	最小	標準	最大	単位
PS					
$V_{CCPINT}^{(3)}$	PS の内部電源電圧	0.95	1.00	1.05	V
V_{CCPAUX}	PS の補助電源電圧	1.71	1.80	1.89	V
V_{CCPLL}	PS の PLL 電源電圧	1.71	1.80	1.89	V
V_{CCO_DDR}	PS の DDR 電源電圧	1.14	–	1.89	V
$V_{CCO_MIO}^{(4)}$	PS の MIO バンクの電源電圧	1.71	–	3.465	V
$V_{PIN}^{(5)}$	PS の DDR および MIO I/O 入力電圧	–0.20	–	$V_{CCO_DDR} + 0.20$ $V_{CCO_MIO} + 0.20$	V
PL					
$V_{CCINT}^{(6)}$	内部電源電圧	0.97	1.00	1.03	V
V_{CCAUX}	補助電源電圧	1.71	1.80	1.89	V
$V_{CCBRAM}^{(6)}$	ブロック RAM 電源電圧	0.97	1.00	1.03	V
$V_{CCO}^{(7)(8)}$	3.3V HR I/O バンクの電源電圧	1.14	–	3.465	V
	1.8V HP I/O バンクの電源電圧	1.14	–	1.89	V
V_{CCAUX_IO}	1.8V に設定時の補助電源電圧	1.71	1.80	1.89	V
	2.0V に設定時の補助電源電圧	1.94	2.00	2.06	V
$V_{IN}^{(5)}$	I/O 入力電圧	–0.20	–	$V_{CCO} + 0.20$	V
	V_{REF} および TMD5_33 を除く差動 I/O 規格の I/O 入力電圧 ($V_{CCO} = 3.3V$ のとき) ⁽⁹⁾	–0.20	–	2.625	V
$I_{IN}^{(10)}$	クランプ ダイオードが順方向バイアスであるときの、電源がオンあるいはオフのバンクにある (PS または PL の) ピンの最大電流	–	–	10	mA
$V_{CCBATT}^{(11)}$	バッテリー電圧	1.0	–	1.89	V
GTX トランシーバー					
$V_{MGTAVCC}^{(12)}$	GTX トランシーバー QPLL 周波数範囲が $\leq 10.3125GHz$ の場合のアナログ電源電圧 ⁽¹³⁾⁽¹⁴⁾	0.97	1.0	1.08	V
	GTX トランシーバー QPLL 周波数範囲が $>10.3125GHz$ の場合のアナログ電源電圧	1.02	1.05	1.08	
$V_{MGTAVTT}^{(12)}$	GTX トランスミッターおよび GTX レシーバー終端回路のアナログ電源電圧	1.17	1.2	1.23	V
$V_{MGTVCCAUX}^{(12)}$	トランシーバーの補助アナログ クワッド QPLL 電源電圧	1.75	1.80	1.85	V
$V_{MGTAVTTRCAL}^{(12)}$	GTX トランシーバー カラムの抵抗キャリブレーション回路のアナログ電源電圧	1.17	1.2	1.23	V
XADC					
V_{CCADC}	GNDADC に対する XADC 電源	1.71	1.80	1.89	V
V_{REFP}	外部の基準電源電圧	1.20	1.25	1.30	V

表 2 : 推奨動作条件 (1)(2) (続き)

シンボル	説明	最小	標準	最大	単位
温度					
T_j	コマーシャル (C) 温度仕様デバイスのジャンクション温度範囲	0	–	85	°C
	拡張 (E) 温度仕様デバイスのジャンクション温度範囲	0	–	100	°C
	インダストリアル (I) 温度仕様デバイスのジャンクション温度範囲	–40	–	100	°C

注記 :

- すべての電圧はグラウンドを基準としています。PL と PS は共通のグラウンドを共有します。
- 電力分配システムのデザインについては、『Zynq-7000 All Programmable SoC PCB デザインおよびピン配置ガイド』([UG933](#)) を参照してください。
- プロセッサ コアが 1GHz での $F_{CPU_6X4X_621_MAX}$ で動作している場合 (-3E スピード グレード)、または DDR インターフェイスが 1333Mb/s で動作している場合、最小 V_{CCPINT} は 0.97V、最大 V_{CCPINT} は 1.03V です。
- MIO 電源バンクの V_{CCO_MIO0} および V_{CCO_MIO1} の両方に適用されます。
- より低い絶対電圧値が常に適用されます。
- V_{CCINT} および V_{CCBRAM} は同じ電源に接続してください。
- V_{CCO} が 0V まで降下しても、コンフィギュレーション データは保持されます。
- 1.2V、1.5V、1.8V、2.5V、および 3.3V の V_{CCO} を含みます。
- TMDS_33 仕様は、[表 12](#) を参照してください。
- 各 PS または PL バンクの合計が 200mA を超えないようにしてください。
- V_{CCBATT} はビットストリームの暗号化を使用する場合にのみ必要です。バッテリーを使用しない場合、 V_{CCBATT} をグラウンドまたは V_{CCAUX} に接続してください。
- 表の各電圧に、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』([UG476](#)) で説明されているフィルター回路が必要です。
- データ レートが $\leq 10.3125\text{Gb/s}$ の場合、消費電力を抑えるには $V_{MGTAVCC}$ を $1.0V \pm 3\%$ にする必要があります。
- 消費電力を抑えるには、CPLL 周波数範囲全体で $V_{MGTAVCC}$ を $1.0V \pm 3\%$ にする必要があります。

表 3 : 推奨動作条件下での DC 特性

シンボル	説明	最小	標準 ⁽¹⁾	最大	単位
V_{DRINT}	データを保持するための V_{CCINT} 電圧 (この電圧未満では、コンフィギュレーション データが失われる可能性がある)	0.75	—	—	V
V_{DRI}	データを保持するための V_{CCAUX} 電圧 (この電圧未満では、コンフィギュレーション データが失われる可能性がある)	1.5	—	—	V
I_{REF}	各ピンの V_{REF} リーク電流	—	—	15	μA
I_L	各ピンの入力または出力リーク電流 (サンプル テスト)	—	—	15	μA
$C_{IN}^{(2)}$	パッドの PL ダイ入力の容量	—	—	8	pF
$C_{PIN}^{(2)}$	パッドの PS ダイ入力の容量	—	—	8	pF
I_{RPU}	$V_{IN} = 0V$ 、 $V_{CCO} = 3.3V$ の場合のパッド プルアップ (選択した場合)	90	—	330	μA
	$V_{IN} = 0V$ 、 $V_{CCO} = 2.5V$ の場合のパッド プルアップ (選択した場合)	68	—	250	μA
	$V_{IN} = 0V$ 、 $V_{CCO} = 1.8V$ の場合のパッド プルアップ (選択した場合)	34	—	220	μA
	$V_{IN} = 0V$ 、 $V_{CCO} = 1.5V$ の場合のパッド プルアップ (選択した場合)	23	—	150	μA
	$V_{IN} = 0V$ 、 $V_{CCO} = 1.2V$ の場合のパッド プルアップ (選択した場合)	12	—	120	μA
I_{RPD}	$V_{IN} = 3.3V$ の場合のパッド プルダウン (選択した場合)	68	—	330	μA
	$V_{IN} = 1.8V$ の場合のパッド プルダウン (選択した場合)	45	—	180	μA
I_{CCADC}	アナログ電源電流、パワーアップ状態のアナログ回路	—	—	25	mA
$I_{BATT}^{(3)}$	バッテリー電源の電流	—	—	150	nA
$R_{IN_TERM}^{(4)}$	コマーシャル (C)、インダストリアル (I)、および拡張 (E) 温度仕様のデバイスにおける $V_{CCO}/2$ (UNTUNED_SPLIT_40) に対するプログラム可能な入力終端のテブナン等価抵抗	28	40	55	Ω
	コマーシャル (C)、インダストリアル (I)、および拡張 (E) 温度仕様のデバイスにおける $V_{CCO}/2$ (UNTUNED_SPLIT_50) に対するプログラム可能な入力終端のテブナン等価抵抗	35	50	65	Ω
	コマーシャル (C)、インダストリアル (I)、および拡張 (E) 温度仕様のデバイスにおける $V_{CCO}/2$ (UNTUNED_SPLIT_60) に対するプログラム可能な入力終端のテブナン等価抵抗	44	60	83	Ω
n	温度ダイオードの理想係数	—	1.010	—	—
r	温度ダイオードの直列抵抗	—	2	—	Ω

注記 :

- 標準値は、標準電圧および 25°C の条件で指定されています。
- ここで示した計測結果はパッドのダイ容量であり、パッケージは含まれません。
- 最大値は、25°C のワースト ケースで指定されています。
- $V_{CCO}/2$ レベルへの終端抵抗です。

表 4 : PS I/O および 3.3V HR I/O バンクの AC 電圧オーバーシュート/アンダーシュートの V_{IN} 最大許容値⁽¹⁾

AC 電圧オーバーシュート	-40°C ~ 100°C の UI (%)	AC 電圧アンダーシュート	-40°C ~ 100°C の UI (%)
$V_{CCO} + 0.55$	100	-0.40	100
		-0.45	61.7
		-0.50	25.8
		-0.55	11.0
$V_{CCO} + 0.60$	46.6	-0.60	4.77
$V_{CCO} + 0.65$	21.2	-0.65	2.10
$V_{CCO} + 0.70$	9.75	-0.70	0.94
$V_{CCO} + 0.75$	4.55	-0.75	0.43
$V_{CCO} + 0.80$	2.15	-0.80	0.20
$V_{CCO} + 0.85$	1.02	-0.85	0.09
$V_{CCO} + 0.90$	0.49	-0.90	0.04
$V_{CCO} + 0.95$	0.24	-0.95	0.02

注記 :

1. 各バンクの合計が 200mA を超えないようにしてください。

表 5 : PL 1.8V HP I/O バンクの AC 電圧オーバーシュート/アンダーシュートの V_{IN} 最大許容値⁽¹⁾⁽²⁾

AC 電圧オーバーシュート	-40°C ~ 100°C での UI (%)	AC 電圧アンダーシュート	-40°C ~ 100°C での UI (%)
$V_{CCO} + 0.55$	100	-0.55	100
$V_{CCO} + 0.60$	50.0	-0.60	50.0
$V_{CCO} + 0.65$	50.0	-0.65	50.0
$V_{CCO} + 0.70$	47.0	-0.70	50.0
$V_{CCO} + 0.75$	21.2	-0.75	50.0
$V_{CCO} + 0.80$	9.71	-0.80	50.0
$V_{CCO} + 0.85$	4.51	-0.85	28.4
$V_{CCO} + 0.90$	2.12	-0.90	12.7
$V_{CCO} + 0.95$	1.01	-0.95	5.79

注記 :

1. 各バンクの合計が 200mA を超えないようにしてください。
2. 20 μ s 未満の UI に対する値です。

表 6 : 標準静止電流

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
I _{CCPINTQ}	PS の V _{CCPINT} 静止電流	XC7Z030	122	122	122	mA
		XC7Z045	122	122	122	mA
		XC7Z100	N/A	122	122	mA
I _{CCPAUXQ}	PS の V _{CCPAUX} 静止電流	XC7Z030	13	13	13	mA
		XC7Z045	13	13	13	mA
		XC7Z100	N/A	13	13	mA
I _{CCDDRQ}	PS の V _{CCO_DDR} 静止電流	XC7Z030	4	4	4	mA
		XC7Z045	4	4	4	mA
		XC7Z100	N/A	4	4	mA
I _{CCINTQ}	PL の V _{CCINT} 静止電流	XC7Z030	246	246	246	mA
		XC7Z045	611	611	611	mA
		XC7Z100	N/A	795	795	mA
I _{CCAUXQ}	PL の V _{CCAUX} 静止電流	XC7Z030	56	56	56	mA
		XC7Z045	131	131	131	mA
		XC7Z100	N/A	165	165	mA
I _{CCAUX_IOQ}	PL の V _{CCAUX_IO} 静止電流	XC7Z030	2	2	2	mA
		XC7Z045	2	2	2	mA
		XC7Z100	N/A	2	2	mA
I _{CCOQ}	PL の V _{CCO} 静止電流	XC7Z030	4	4	4	mA
		XC7Z045	4	4	4	mA
		XC7Z100	N/A	4	4	mA
I _{CCBRAMQ}	PL の V _{CCBRAM} 静止電流	XC7Z030	11	11	11	mA
		XC7Z045	23	23	23	mA
		XC7Z100	N/A	33	33	mA

注記 :

1. 標準値は、シングルエンド SelectIO リソースの標準電圧およびジャンクション温度 85°C (T_j) で指定されています。
2. これらの値は「ブランク」のコンフィギュレーション ファイルを使用したデバイスにおけるもので、出力電流の負荷、アクティブな入力プルアップ抵抗はありません。また、すべての I/O ピンはトライステートおよびフローティング状態です。
3. 記載されていない条件における静止電力消費を算出するには、XPower™ Estimator (XPE) スプレッドシート ツール (<http://japan.xilinx.com/power> よりダウンロード可能) を使用してください。

PS の電源投入/切断シーケンス要件

電源投入時に流れる電流が最小となり、I/O がトライステートとなるように、電源は V_{CCPINT} の後に V_{CCPAUX} と V_{CCPLL} を同時に投入し、それから PS の V_{CCO} (V_{CCO_MIO0} 、 V_{CCO_MIO1} 、 V_{CCO_DDR}) の順に投入することを推奨しています。電源切断については逆が適用されます。 V_{CCPAUX} 、 V_{CCPLL} 、および PS V_{CCO} (V_{CCO_MIO0} 、 V_{CCO_MIO1} 、 V_{CCO_DDR}) の推奨電圧レベルが同一の場合、これらと同じ電源を使用して同時に立ち上げることができます。ザイリンクスは、フェラ이트ビーズ フィルターを用いて、 V_{CCPLL} には V_{CCPAUX} と同じ電源から供給することを推奨しています。

V_{CCO_MIO0} および V_{CCO_MIO1} が 3.3V の場合、次の条件が適用されます。

- V_{CCO_MIO0} / V_{CCO_MIO1} と V_{CCPAUX} の電圧差は、デバイスの信頼性レベルを維持するために電源投入/切断の各サイクルで $T_{VCCO2VCCAUX}$ 時間以上 2.625V を超過しないようにします。
- $T_{VCCO2VCCAUX}$ 時間は電源投入と電源切断の間であればいずれの比率も割り当てることができます。

PL の電源投入/切断シーケンス

電源投入時に流れる電流が最小となり、I/O がトライステートとなるように、電源は V_{CCINT} 、 V_{CCBRAM} 、 V_{CCAUX} 、 V_{CCAUX_IO} 、 V_{CCO} の順に投入することを推奨しています。電源切断については逆が適用されます。 V_{CCINT} および V_{CCBRAM} の推奨電圧レベルが同一の場合、これらと同じ電源を使用して同時に立ち上げることができます。 V_{CCAUX} 、 V_{CCAUX_IO} 、および V_{CCO} の推奨電圧レベルが同一の場合は 1 つの電源で同時に立ち上げることができます。

HR I/O バンクおよびコンフィギュレーション バンク 0 で V_{CCO} が 3.3V の場合、次の条件が適用されます。

- V_{CCO} と V_{CCAUX} 間の電圧差は、デバイスの信頼性レベルを維持するために電源投入/切断の各サイクルで $T_{VCCO2VCCAUX}$ 時間以上 2.625V を超過しないようにします。
- $T_{VCCO2VCCAUX}$ 時間は電源投入と電源切断の間であればいずれの比率も割り当てることができます。

電源投入時に流れる GTX トランシーバーの電流が最小となるように、電源は V_{CCINT} 、 $V_{MGTAVCC}$ 、 $V_{MGTAVTT}$ の順、または $V_{MGTAVCC}$ 、 V_{CCINT} 、 $V_{MGTAVTT}$ の順に投入することを推奨します。 $V_{MGTAVCCAUX}$ についてのシーケンス要件はありません。 $V_{MGTAVCC}$ および V_{CCINT} は同時に立ち上げることができます。電源切断については、電流が最小となるように逆が適用されます。

これらのシーケンス要件が満たされない場合、電源投入および電源切断中に $V_{MGTAVTT}$ からの電流が仕様よりも大きくなる場合があります。

- $V_{MGTAVCC}$ よりも先に $V_{MGTAVTT}$ に電源が投入され、かつ $V_{MGTAVTT} - V_{MGTAVCC} > 150\text{mV}$ および $V_{MGTAVCC} < 0.7\text{V}$ の場合、 $V_{MGTAVCC}$ の立ち上がり中に $V_{MGTAVTT}$ の電流は各トランシーバーで 460mA 増加します。電流が流れる最長時間は、 $0.3 \times T_{MGTAVCC}$ (GND から $V_{MGTAVCC}$ の 90% までの立ち上がり時間) です。電源切断については逆が適用されます。
- V_{CCINT} よりも先に $V_{MGTAVTT}$ に電源が投入され、かつ $V_{MGTAVTT} - V_{CCINT} > 150\text{mV}$ および $V_{CCINT} < 0.7\text{V}$ の場合、 V_{CCINT} の立ち上がり中に $V_{MGTAVTT}$ の電流は各トランシーバーで 50mA 増加します。電流が流れる最長時間は、 $0.3 \times T_{VCCINT}$ (GND から V_{CCINT} の 90% までの立ち上がり時間) です。電源切断については逆が適用されます。

PS—PL の電源シーケンス

PS と PL の電源は完全に独立しています。PS 電源 (V_{CCPINT} 、 V_{CCPAUX} 、 V_{CCPLL} 、 V_{CCO_DDR} 、 V_{CCO_MIO0} 、および V_{CCO_MIO1}) は、PL 電源 (V_{CCINT} 、 V_{CCBRAM} 、 V_{CCAUX} 、 V_{CCO} 、 V_{CCAUX_IO} 、 $V_{MGTAVCC}$ 、 $V_{MGTAVTT}$ 、 $V_{MGTAVCCAUX}$ 、および V_{CCADC}) の前後いずれかに立ち上げることができます。損傷を防ぐために、PS の電源領域と PL の電源領域は分離されています。

電流条件

表 7 に、Zynq-7000 デバイスの電源投入とコンフィギュレーションに最低限必要な電流値および I_{CCQ} を示します。表 6 および表 7 に示す最小電流を満たすと、5 つの電源すべてがパワーオンリセットしきい値を越えた後に、デバイスに電源が投入されます。Zynq-7000 デバイスは、 V_{CCINT} が投入されるまでコンフィギュレーションできません。初期化およびコンフィギュレーション後に、XPower Estimator (XPE) ツールを使用してこれらの電源のドレイン電流を概算してください。

表 7 : Zynq-7000 デバイスの電源投入時の電流⁽¹⁾

デバイス	$I_{CCPINTMIN}$	$I_{CCPAUXMIN}$	$I_{CCDDRMIN}$	$I_{CCINTMIN}$	$I_{CCAUXMIN}$	I_{CCOMIN}	I_{CCAUX_IOMIN}	$I_{CCBRAMMIN}$	単位
	標準 ⁽²⁾	標準 ⁽²⁾	標準 ⁽²⁾	標準 ⁽²⁾	標準 ⁽²⁾	標準 ⁽²⁾	標準 ⁽²⁾	標準 ⁽²⁾	
XC7Z030	$I_{CCPINTQ} + 70mA$	$I_{CCPAUXQ} + 40mA$	各バンクで $I_{CCDDRQ} + 130mA$	$I_{CCINTQ} + 900mA$	$I_{CCAUXQ} + 60mA$	各バンクで $I_{CCOQ} + 90mA$	各バンクで $I_{CCOAXIOQ} + 40mA$	$I_{CCBRAMQ} + 90mA$	mA
XC7Z045	$I_{CCPINTQ} + 70mA$	$I_{CCPAUXQ} + 40mA$	各バンクで $I_{CCDDRQ} + 130mA$	$I_{CCINTQ} + 1400mA$	$I_{CCAUXQ} + 60mA$	各バンクで $I_{CCOQ} + 90mA$	各バンクで $I_{CCOAXIOQ} + 40mA$	$I_{CCBRAMQ} + 90mA$	mA
XC7Z100	$I_{CCPINTQ} + 70mA$	$I_{CCPAUXQ} + 40mA$	各バンクで $I_{CCDDRQ} + 130mA$	$I_{CCINTQ} + 2200mA$	$I_{CCAUXQ} + 60mA$	各バンクで $I_{CCOQ} + 90mA$	各バンクで $I_{CCOAXIOQ} + 40mA$	$I_{CCBRAMQ} + 90mA$	mA

注記：

1. 電源投入時の最大電流を算出するには、XPower Estimator (XPE) スプレッドシート ツール (<http://japan.xilinx.com/power> よりダウンロード可能) を使用してください。
2. 標準値は、標準電圧および 25°C の条件で指定されています。

表 8 : 電源の立ち上がり時間

シンボル	説明	条件	最小	最大	単位
$T_{VCCPINT}$	GND から V_{CCPINT} の 90% までの立ち上がり時間		0.2	50	ms
$T_{VCCPAUX}$	GND から V_{CCPAUX} の 90% までの立ち上がり時間		0.2	50	ms
T_{VCCO_DDR}	GND から V_{CCO_DDR} の 90% までの立ち上がり時間		0.2	50	ms
T_{VCCO_MIO}	GND から V_{CCO_MIO} の 90% までの立ち上がり時間		0.2	50	ms
T_{VCCINT}	GND から V_{CCINT} の 90% までの立ち上がり時間		0.2	50	ms
T_{VCCO}	GND から V_{CCO} の 90% までの立ち上がり時間		0.2	50	ms
T_{VCCAUX}	GND から V_{CCAUX} の 90% までの立ち上がり時間		0.2	50	ms
T_{VCCAUX_IO}	GND から V_{CCAUX_IO} の 90% までの立ち上がり時間		0.2	50	ms
$T_{VCCBRAM}$	GND から V_{CCBRAM} の 90% までの立ち上がり時間		0.2	50	ms
$T_{VCCO2VCCAUX}$	$V_{CCO} - V_{CCAUX} > 2.625V$ の場合の各パワー サイクルにおける許容時間、かつ $V_{CCO_MIO} - V_{CCPAUX} > 2.625V$ の場合の各パワー サイクルにおける許容時間	$T_J = 100^{\circ}C^{(1)}$	–	500	ms
		$T_J = 85^{\circ}C^{(1)}$	–	800	
$T_{MGTAVCC}$	GND から $V_{MGTAVCC}$ の 90% までの立ち上がり時間		0.2	50	ms
$T_{MGTAVTT}$	GND から $V_{MGTAVTT}$ の 90% までの立ち上がり時間		0.2	50	ms
$T_{MGTVCCAUX}$	GND から $V_{MGTVCCAUX}$ の 90% までの立ち上がり時間		0.2	50	ms

注記：

1. V_{CCO} が標準値の 3.3V で 240,000 パワー サイクル、またはワースト ケースの 3.465V で 36,500 パワー サイクルに基づく値です。

DC 入力および出力レベル

V_{IL} および V_{IH} の値は推奨入力電圧値です。 I_{OL} および I_{OH} の値は、 I_{OL} および I_{OH} のテスト ポイントにおける推奨動作条件で保証されています。テストは、すべての規格で仕様が満たされていることが確認できるように一部の規格を選択し、最小 V_{CCO} およびそれぞれの V_{OL} と V_{OH} 電圧レベルで実施しています。選択された以外の規格に対しては、サンプル テストを実施しています。

PS の I/O レベル

表 9 : PS の DC 入力および出力レベル⁽¹⁾

バンク	I/O 規格	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
		V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA	mA
MIO	LVC MOS18	-0.300	35% V_{CCO_MIO}	65% V_{CCO_MIO}	$V_{CCO_MIO} + 0.300$	0.450	$V_{CCO_MIO} - 0.450$	8	-8
MIO	LVC MOS25	-0.300	0.700	1.700	$V_{CCO_MIO} + 0.300$	0.400	$V_{CCO_MIO} - 0.400$	8	-8
MIO	LVC MOS33	-0.300	0.800	2.000	3.450	0.400	$V_{CCO_MIO} - 0.400$	8	-8
MIO	HSTL_I_18	-0.300	$V_{PREF} - 0.100$	$V_{PREF} + 0.100$	$V_{CCO_MIO} + 0.300$	0.400	$V_{CCO_MIO} - 0.400$	8	-8
DDR	SSTL18_I	-0.300	$V_{PREF} - 0.125$	$V_{PREF} + 0.125$	$V_{CCO_DDR} + 0.300$	$V_{CCO_DDR}/2 - 0.470$	$V_{CCO_DDR}/2 + 0.470$	8	-8
DDR	SSTL15	-0.300	$V_{PREF} - 0.100$	$V_{PREF} + 0.100$	$V_{CCO_DDR} + 0.300$	$V_{CCO_DDR}/2 - 0.175$	$V_{CCO_DDR}/2 + 0.175$	13.0	-13.0
DDR	SSTL135	-0.300	$V_{PREF} - 0.090$	$V_{PREF} + 0.090$	$V_{CCO_DDR} + 0.300$	$V_{CCO_DDR}/2 - 0.150$	$V_{CCO_DDR}/2 + 0.150$	13.0	-13.0
DDR	HSUL_12	-0.300	$V_{PREF} - 0.130$	$V_{PREF} + 0.130$	$V_{CCO_DDR} + 0.300$	20% V_{CCO_DDR}	80% V_{CCO_DDR}	0.1	-0.1

注記 :

1. 適切な仕様に基づいてテストを実施しています。

表 10 : PS の相補差動 SelectIO の DC 入力および出力レベル

バンク	I/O 規格	$V_{ICM}^{(1)}$			$V_{ID}^{(2)}$		$V_{OL}^{(3)}$	$V_{OH}^{(4)}$	I_{OL}	I_{OH}
		V、最小	V、標準	V、最大	V、最小	V、最大	V、最大	V、最小	mA、最大	mA、最小
DDR	DIFF_HSUL_12	0.300	0.600	0.850	0.100	-	20% V_{CCO}	80% V_{CCO}	0.100	-0.100
DDR	DIFF_SSTL135	0.300	0.675	1.000	0.100	-	$(V_{CCO_DDR}/2) - 0.150$	$(V_{CCO_DDR}/2) + 0.150$	13.0	-13.0
DDR	DIFF_SSTL15	0.300	0.750	1.125	0.100	-	$(V_{CCO_DDR}/2) - 0.175$	$(V_{CCO_DDR}/2) + 0.175$	13.0	-13.0
DDR	DIFF_SSTL18_I	0.300	0.900	1.425	0.100	-	$(V_{CCO_DDR}/2) - 0.470$	$(V_{CCO_DDR}/2) + 0.470$	8.00	-8.00

注記 :

1. V_{ICM} は入力同相電圧です。
2. V_{ID} は入力差動電圧 ($Q - \bar{Q}$) です。
3. V_{OL} はシングル エンド低出力電圧です。
4. V_{OH} はシングル エンド高出力電圧です。

PL の I/O レベル

表 11 : SelectIO の DC 入力および出力レベル⁽¹⁾⁽²⁾

I/O 規格	V_{IL}		V_{IH}		V_{OL}	V_{OH}	I_{OL}	I_{OH}
	V、最小	V、最大	V、最小	V、最大	V、最大	V、最小	mA	mA
HSTL_I	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8	-8
HSTL_I_12	-0.300	$V_{REF} - 0.080$	$V_{REF} + 0.080$	$V_{CCO} + 0.300$	25% V_{CCO}	75% V_{CCO}	6.3	-6.3
HSTL_I_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	8	-8
HSTL_II	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	16	-16
HSTL_II_18	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	16	-16
HSUL_12	-0.300	$V_{REF} - 0.130$	$V_{REF} + 0.130$	$V_{CCO} + 0.300$	20% V_{CCO}	80% V_{CCO}	0.1	-0.1
LVC MOS12	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注記 3	注記 3
LVC MOS15、 LVDCI_15	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	25% V_{CCO}	75% V_{CCO}	注記 4	注記 4
LVC MOS18、 LVDCI_18	-0.300	35% V_{CCO}	65% V_{CCO}	$V_{CCO} + 0.300$	0.450	$V_{CCO} - 0.450$	注記 5	注記 5
LVC MOS25	-0.300	0.700	1.700	$V_{CCO} + 0.300$	0.400	$V_{CCO} - 0.400$	注記 6	注記 6
LVC MOS33	-0.300	0.800	2.000	3.450	0.400	$V_{CCO} - 0.400$	注記 6	注記 6
LV TTL	-0.300	0.800	2.000	3.450	0.400	2.400	注記 7	注記 7
MOBILE_DDR	-0.300	20% V_{CCO}	80% V_{CCO}	$V_{CCO} + 0.300$	10% V_{CCO}	90% V_{CCO}	0.1	-0.1
PCI33_3	-0.400	30% V_{CCO}	50% V_{CCO}	$V_{CCO} + 0.500$	10% V_{CCO}	90% V_{CCO}	1.5	-0.5
SSTL12	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	14.25	-14.25
SSTL135	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	13.0	-13.0
SSTL135_R	-0.300	$V_{REF} - 0.090$	$V_{REF} + 0.090$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.150$	$V_{CCO}/2 + 0.150$	8.9	-8.9
SSTL15	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	13.0	-13.0
SSTL15_R	-0.300	$V_{REF} - 0.100$	$V_{REF} + 0.100$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.175$	$V_{CCO}/2 + 0.175$	8.9	-8.9
SSTL18_I	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.470$	$V_{CCO}/2 + 0.470$	8	-8
SSTL18_II	-0.300	$V_{REF} - 0.125$	$V_{REF} + 0.125$	$V_{CCO} + 0.300$	$V_{CCO}/2 - 0.600$	$V_{CCO}/2 + 0.600$	13.4	-13.4

注記：

- 適切な仕様に基づいてテストを実施しています。
- 3.3V および 2.5V 規格は 3.3V I/O バンクでのみサポートされています。
- HP I/O バンクでは 2、4、6、または 8mA の駆動電流を、HR I/O バンクでは 4、8、または 12mA の駆動電流をサポートしています。
- HP I/O バンクでは 2、4、6、8、12、または 16mA の駆動電流を、HR I/O バンクでは 4、8、12、または 16mA の駆動電流をサポートしています。
- HP I/O バンクでは 2、4、6、8、12、または 16mA の駆動電流を、HR I/O バンクでは 4、8、12、16、または 24mA の駆動電流をサポートしています。
- 4、8、12、または 16mA の駆動電流をサポートしています。
- 4、8、12、16、または 24mA の駆動電流をサポートしています。
- 特定のインターフェイスにおける DC 電圧レベルの詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』([UG471](#)) を参照してください。

表 12 : 差動 SelectIO の DC 入力および出力レベル

I/O 規格	$V_{ICM}^{(1)}$			$V_{ID}^{(2)}$			$V_{OCM}^{(3)}$			$V_{OD}^{(4)}$		
	V、最小	V、標準	V、最大	V、最小	V、標準	V、最大	V、最小	V、標準	V、最大	V、最小	V、標準	V、最大
BLVDS_25	0.300	1.200	1.425	0.100	–	–	–	1.250	–	注記 5		
MINI_LVDS_25	0.300	1.200	V_{CCAUX}	0.200	0.400	0.600	1.000	1.200	1.400	0.300	0.450	0.600
PPDS_25	0.200	0.900	V_{CCAUX}	0.100	0.250	0.400	0.500	0.950	1.400	0.100	0.250	0.400
RSDS_25	0.300	0.900	1.500	0.100	0.350	0.600	1.000	1.200	1.400	0.100	0.350	0.600
TMDS_33	2.700	2.965	3.230	0.150	0.675	1.200	$V_{CCO}-0.405$	$V_{CCO}-0.300$	$V_{CCO}-0.190$	0.400	0.600	0.800

注記 :

1. V_{ICM} は入力同相電圧です。
2. V_{ID} は入力差動電圧 ($Q - \bar{Q}$) です。
3. V_{OCM} は出力同相電圧です。
4. V_{OD} は出力差動電圧 ($Q - \bar{Q}$) です。
5. BLVDS の V_{OD} はトポロジおよび負荷によって大きく異なります。
6. 表 14 に LVDS_25 を示します。
7. 表 15 に LVDS を示します。

表 13 : 相補差動 SelectIO の DC 入力および出力レベル

I/O 規格	$V_{ICM}^{(1)}$			$V_{ID}^{(2)}$		$V_{OL}^{(3)}$	$V_{OH}^{(4)}$	I_{OL}	I_{OH}
	V、最小	V、標準	V、最大	V、最小	V、最大	V、最大	V、最小	mA、最大	mA、最小
DIFF_HSTL_I	0.300	0.750	1.125	0.100	–	0.400	$V_{CCO}-0.400$	8.00	–8.00
DIFF_HSTL_I_18	0.300	0.900	1.425	0.100	–	0.400	$V_{CCO}-0.400$	8.00	–8.00
DIFF_HSTL_II	0.300	0.750	1.125	0.100	–	0.400	$V_{CCO}-0.400$	16.00	–16.00
DIFF_HSTL_II_18	0.300	0.900	1.425	0.100	–	0.400	$V_{CCO}-0.400$	16.00	–16.00
DIFF_HSUL_12	0.300	0.600	0.850	0.100	–	20% V_{CCO}	80% V_{CCO}	0.100	–0.100
DIFF_MOBILE_DDR	0.300	0.900	1.425	0.100	–	10% V_{CCO}	90% V_{CCO}	0.100	–0.100
DIFF_SSTL12	0.300	0.600	0.850	0.100	–	$(V_{CCO}/2) - 0.150$	$(V_{CCO}/2) + 0.150$	14.25	–14.25
DIFF_SSTL135	0.300	0.675	1.000	0.100	–	$(V_{CCO}/2) - 0.150$	$(V_{CCO}/2) + 0.150$	13.0	–13.0
DIFF_SSTL135_R	0.300	0.675	1.000	0.100	–	$(V_{CCO}/2) - 0.150$	$(V_{CCO}/2) + 0.150$	8.9	–8.9
DIFF_SSTL15	0.300	0.750	1.125	0.100	–	$(V_{CCO}/2) - 0.175$	$(V_{CCO}/2) + 0.175$	13.0	–13.0
DIFF_SSTL15_R	0.300	0.750	1.125	0.100	–	$(V_{CCO}/2) - 0.175$	$(V_{CCO}/2) + 0.175$	8.9	–8.9
DIFF_SSTL18_I	0.300	0.900	1.425	0.100	–	$(V_{CCO}/2) - 0.470$	$(V_{CCO}/2) + 0.470$	8.00	–8.00
DIFF_SSTL18_II	0.300	0.900	1.425	0.100	–	$(V_{CCO}/2) - 0.600$	$(V_{CCO}/2) + 0.600$	13.4	–13.4

注記 :

1. V_{ICM} は入力同相電圧です。
2. V_{ID} は入力差動電圧 ($Q - \bar{Q}$) です。
3. V_{OL} はシングル エンド低出力電圧です。
4. V_{OH} はシングル エンド高出力電圧です。

LVDS DC 仕様 (LVDS_25)

LVDS_25 規格は HR I/O バンクでのみ使用可能です。

表 14 : LVDS_25 DC 仕様⁽¹⁾

シンボル	DC パラメーター	条件	最小	標準	最大	単位
V_{CCO}	電源電圧		2.375	2.500	2.625	V
V_{OH}	Q および \overline{Q} の最大出力電圧	Q 信号と \overline{Q} 信号間で $R_T = 100\Omega$	–	–	1.675	V
V_{OL}	Q および \overline{Q} の最小出力電圧	Q 信号と \overline{Q} 信号間で $R_T = 100\Omega$	0.700	–	–	V
V_{ODIFF}	差動出力電圧 ($Q - \overline{Q}$)、 Q = High ($\overline{Q} - Q$)、 \overline{Q} = High	Q 信号と \overline{Q} 信号間で $R_T = 100\Omega$	247	350	600	mV
V_{OCM}	出力同相電圧	Q 信号と \overline{Q} 信号間で $R_T = 100\Omega$	1.000	1.250	1.425	V
V_{IDIFF}	差動入力電圧 ($Q - \overline{Q}$)、Q = High ($\overline{Q} - Q$)、 \overline{Q} = High		100	350	600	mV
V_{ICM}	入力同相電圧		0.300	1.200	1.425	V

注記：

1. LVDS_25 の差動入力は、出力の要求レベルと異なる V_{CCO} レベルのバンクに配置できます。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザーガイド』([UG471](#)) を参照してください。

LVDS DC 仕様 (LVDS)

LVDS 規格は HP I/O バンクでのみ使用可能です。

表 15 : LVDS DC 仕様⁽¹⁾

シンボル	DC パラメーター	条件	最小	標準	最大	単位
V_{CCO}	電源電圧		1.710	1.800	1.890	V
V_{OH}	Q および \overline{Q} の最大出力電圧	Q 信号と \overline{Q} 信号間で $R_T = 100\Omega$	–	–	1.675	V
V_{OL}	Q および \overline{Q} の最小出力電圧	Q 信号と \overline{Q} 信号間で $R_T = 100\Omega$	0.825	–	–	V
V_{ODIFF}	差動出力電圧 ($Q - \overline{Q}$)、 Q = High ($\overline{Q} - Q$)、 \overline{Q} = High	Q 信号と \overline{Q} 信号間で $R_T = 100\Omega$	247	350	600	mV
V_{OCM}	出力同相電圧	Q 信号と \overline{Q} 信号間で $R_T = 100\Omega$	1.000	1.250	1.425	V
V_{IDIFF}	差動入力電圧 ($Q - \overline{Q}$)、 Q = High ($\overline{Q} - Q$)、 \overline{Q} = High	入力同相電圧 = 1.25V	100	350	600	mV
V_{ICM}	入力同相電圧	差動入力電圧 = $\pm 350\text{mV}$	0.300	1.200	1.425	V

注記：

1. LVDS の差動入力は、出力の要求レベルと異なる V_{CCO} レベルのバンクに配置できます。詳細は、『7 シリーズ FPGA SelectIO リソース ユーザーガイド』([UG471](#)) を参照してください。

AC スイッチ特性

このデータシートに記載のすべての値は、-3、-2、および -1 スピード グレードについては ISE® Design Suite 14.6 v1.07 および Vivado® Design Suite 2013.2 v1.07 のスピード仕様に基づいています。

スイッチ特性はスピード グレードごとに指定され、Advance、Preliminary、Production のいずれかに該当します。それぞれの定義を次に示します。

Advance 製品仕様

シミュレーションにのみ基づいており、通常、デバイスの設計仕様の決定直後に入手可能です。この特性のスピード グレードは比較的安定しており、余裕を持たせた設定ですが、実際の遅延が大きくなる可能性があります。

Preliminary 製品仕様

ES (エンジニアリング サンプル) シリコン特性評価に基づいています。デバイスおよびスピード グレードは、量産シリコンのパフォーマンスにより近いものとなります。Advance と比較すると、実際の遅延の方が大きくなる可能性は低くなっています。

Product 製品仕様

特定のデバイス ファミリの十分な量産を経た上で特性評価が行われ、リリースされています。スピード ファイルには、デバイスの実際の遅延に即した値が記載されています。また、以降の変更はカスタマーに正式に通知されます。通常、遅いスピード グレードから先に Production スピード ファイルが提供されます。

AC スイッチ特性のテスト

内部タイミング パラメーターは、内部テスト パターンで計測されて求められています。すべての AC スイッチ特性は、ワースト ケースの電源電圧およびジャンクション温度条件での値です。

より具体的な条件での正確で確定的なワースト ケース データを得るには、Timing Analyzer を使用してシミュレーション ネットリストにバックアノテートした値を使用してください。特記のない限り、これらの値はすべての Zynq-7000 デバイ스에適用されます。

スピード グレード

デバイスはそれぞれ生産時期が異なるため、カテゴリの移行は各デバイスの製造プロセスのステータスによって決定されます。表 16 に、Zynq-7000 デバイスのステータスをスピード グレードに基づいて示します。

表 16 : Zynq-7000 デバイスのスピード グレード

デバイス	スピード グレード		
	Advance	Preliminary	Production
XC7Z030			-3, -2, -1
XC7Z045			-3, -2, -1
XC7Z100			-2, -1

Production シリコンおよびソフトウェアのステータス

特定のファミリ (およびスピード グレード) は、それに正しく対応するスピード仕様 (Advance、Preliminary、Production) のリリース前に、Production としてリリースされる場合があります。このような不一致は、その後にリリースされるスピード仕様で修正されます。

表 17 に示されている Zynq-7000 デバイス、スピード グレード、ソフトウェア ツール、およびスピード仕様は、Production で最小限必要になるリリースで、後続のソフトウェアおよびスピード仕様のリリースすべてを使用できます。

表 17 : Zynq-7000 デバイスの Production 仕様のソフトウェアおよびスピード仕様のバージョン

デバイス	スピード グレード		
	-3	-2	-1
XC7Z030	ISE ツール 14.5 v1.06 および Vivado ツール 2013.1 v1.06		
XC7Z045	ISE ツール 14.5 v1.06 および Vivado ツール 2013.1 v1.06		
XC7Z100	N/A	Vivado ツール 2013.2 v1.07	

PS パフォーマンス特性

その他の設計要件の詳細は、『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』(UG585) を参照してください。

表 18 : CPU クロック ドメインのパフォーマンス

シンボル	クロック比	説明	スピード グレード			単位
			-3	-2	-1	
$F_{\text{CPU_6X4X_621_MAX}}$ ⁽¹⁾⁽²⁾	6:2:1	最大 CPU クロック周波数	1000	800	667	MHz
$F_{\text{CPU_3X2X_621_MAX}}$		最大 CPU_3X クロック周波数	500	400	333	MHz
$F_{\text{CPU_2X_621_MAX}}$		最大 CPU_2X クロック周波数	333	266	222	MHz
$F_{\text{CPU_1X_621_MAX}}$		最大 CPU_1X クロック周波数	167	133	111	MHz
$F_{\text{CPU_6X4X_421_MAX}}$ ⁽¹⁾	4:2:1	最大 CPU クロック周波数	710	600	533	MHz
$F_{\text{CPU_3X2X_421_MAX}}$		最大 CPU_3X クロック周波数	355	300	267	MHz
$F_{\text{CPU_2X_421_MAX}}$		最大 CPU_2X クロック周波数	355	300	267	MHz
$F_{\text{CPU_1X_421_MAX}}$		最大 CPU_1X クロック周波数	178	150	133	MHz

注記 :

1. BootROM 実行中の最大周波数は、すべての仕様において 500MHz です。
2. プロセッサ コアが 1GHz での $F_{\text{CPU_6X4X_621_MAX}}$ で動作している場合 (-3E スピード グレード)、最小 V_{CCPINT} は 0.97V、最大 V_{CCPINT} は 1.03V です。

表 19 : PS DDR クロック ドメインのパフォーマンス⁽¹⁾

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
$F_{\text{DDR3_MAX}}$	最大 DDR3 インターフェイス パフォーマンス	1333 ⁽²⁾	1066	1066	Mb/s
$F_{\text{DDR3L_MAX}}$	最大 DDR3L インターフェイス パフォーマンス	1066	1066	1066	Mb/s
$F_{\text{DDR2_MAX}}$	最大 DDR2 インターフェイス パフォーマンス	800	800	800	Mb/s
$F_{\text{LPDDR2_MAX}}$	最大 LPDDR2 インターフェイス パフォーマンス	800	800	800	Mb/s
$F_{\text{DDRCLK_2XMAX}}$	最大 DDR_2X クロック周波数	444	408	355	MHz

注記 :

1. すべてのパフォーマンス値は、内部および外部 V_{REF} コンフィギュレーションの両方に適用されます。
2. DDR インターフェイスが 1333Mb/s で動作する場合、最小 V_{CCPINT} は 0.97V、最大 V_{CCPINT} は 1.03V です。

表 20 : PS-PL インターフェイスのパフォーマンス

シンボル	説明	最小	最大	単位
$F_{\text{EMIOGEMCLK}}$	EMIO ギガビット イーサネット コントローラーの最大周波数	–	125	MHz
$F_{\text{EMIOSDCLK}}$	EMIO SD コントローラーの最大周波数	–	25	MHz
$F_{\text{EMIOSPICLK}}$	EMIO SPI コントローラーの最大周波数	–	25	MHz
$F_{\text{EMIOJTAGCLK}}$	EMIO JTAG コントローラーの最大周波数	–	20	MHz
$F_{\text{EMIOTRACECLK}}$	EMIO トレース コントローラーの最大周波数	–	125	MHz
F_{FTMCLK}	ファブリック トレース モニターの最大周波数	–	125	MHz
$F_{\text{EMIODMACLK}}$	DMA 最大周波数	–	100	MHz
$F_{\text{AXI_MAX}}$	AXI インターフェイスの最大周波数	–	250	MHz

PS スイッチ特性

クロック

表 21 : システムの基準クロックおよび入力要件

シンボル	説明	最小	標準	最大	単位
T _{JTPSCLK}	PS_CLK RMS クロックのジッター耐性	–	–	±0.5	%
T _{DCPSCLK}	PS_CLK デューティ サイクル	40	–	60	%
T _{RFPCLK}	PS_CLK の立ち上がりおよび立ち下がり時間	–	4	–	ns
F _{PSCLK}	PS_CLK 周波数	30	–	60	MHz

表 22 : PS の PLL スイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T _{LOCK_PSPLL}	PLL 最大ロック時間	60	60	60	μs
F _{PSPLL_MAX}	PLL 最大出力周波数	2000	1800	1600	MHz
F _{PSPLL_MIN}	PLL 最小出力周波数	780	780	780	MHz

リセット

表 23 : PS のリセット要件

シンボル	説明	最小	標準	最大	単位
T _{PSPOR}	PS_POR_B アサート時間の要件 ⁽¹⁾	100	–	–	μs
T _{PSRST}	PS_SRST_B アサート時間の要件	3	–	–	PS_CLK クロック サイクル

注記 :

1. PS 電源電圧が最小レベルに達するまで、PS_POR_B は Low にアサートする必要があります。

PS コンフィギュレーション

表 24 : プロセッサ コンフィギュレーション アクセス ポートのスイッチ特性

シンボル	説明	最小	標準	最大	単位
F _{PCAPCK}	プロセッサ コンフィギュレーション アクセス ポート (PCAP) の最大周波数	–	–	100	MHz

DDR メモリ インターフェイス

表 25 : DDR3 インターフェイスのスイッチ特性 (1333Mb/s)⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{DQVALID}$	入力データ有効ウィンドウ	450	—	ps
$T_{DQDS}^{(2)}$	DQ 出力から DQS スキュー	95	—	ps
$T_{DQDH}^{(3)}$	DQS 出力から DQ スキュー	222	—	ps
T_{DQSS}	クロック出力から DQS スキュー	-0.11	0.08	T_{CK}
$T_{CACK}^{(4)}$	コマンド/アドレス出力の CLK に対するセットアップ タイム	465	—	ps
$T_{CKCA}^{(5)}$	コマンド/アドレス出力の CLK に対するホールド タイム	528	—	ps

注記 :

1. V_{CCO_DDR} の推奨値は 1.5V \pm 5% です。
2. V_{IH} (AC) を交差する DQ の立ち上がりエッジまたは V_{IL} (AC) を交差する立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
3. V_{IL} (DC) を交差する DQ の立ち上がりエッジまたは V_{IH} (DC) を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
4. V_{IH} (AC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IL} (AC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。
5. V_{IL} (DC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IH} (DC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。

表 26 : DDR3 インターフェイスのスイッチ特性 (1066Mb/s)⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{DQVALID}$	入力データ有効ウィンドウ	450	—	ps
$T_{DQDS}^{(2)}$	DQ 出力から DQS スキュー	100	—	ps
$T_{DQDH}^{(3)}$	DQS 出力から DQ スキュー	350	—	ps
T_{DQSS}	クロック出力から DQS スキュー	-0.10	0.10	T_{CK}
$T_{CACK}^{(4)}$	コマンド/アドレス出力の CLK に対するセットアップ タイム	560	—	ps
$T_{CKCA}^{(5)}$	コマンド/アドレス出力の CLK に対するホールド タイム	658	—	ps

注記 :

1. V_{CCO_DDR} の推奨値は 1.5V \pm 5% です。
2. V_{IH} (AC) を交差する DQ の立ち上がりエッジまたは V_{IL} (AC) を交差する立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
3. V_{IL} (DC) を交差する DQ の立ち上がりエッジまたは V_{IH} (DC) を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
4. V_{IH} (AC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IL} (AC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。
5. V_{IL} (DC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IH} (DC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。

表 27 : DDR3L インターフェイスのスイッチ特性 (1066Mb/s)⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{DQVALID}$	入力データ有効ウィンドウ	450	–	ps
$T_{DQDS}^{(2)}$	DQ 出力から DQS スキュー	189	–	ps
$T_{DQDH}^{(3)}$	DQS 出力から DQ スキュー	267	–	ps
T_{DQSS}	クロック出力から DQS スキュー	-0.13	0.04	T_{CK}
$T_{CACK}^{(4)}$	コマンド/アドレス出力の CLK に対するセットアップ タイム	410	–	ps
$T_{CKCA}^{(5)}$	コマンド/アドレス出力の CLK に対するホールド タイム	629	–	ps

注記 :

- V_{CCO_DDR} の推奨値は 1.35V \pm 5% です。
- $V_{IH}(AC)$ を交差する DQ の立ち上がりエッジまたは $V_{IL}(AC)$ を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
- $V_{IL}(DC)$ を交差する DQ の立ち上がりエッジまたは $V_{IH}(DC)$ を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
- $V_{IH}(AC)$ を交差する CMD/ADDR の立ち上がりエッジまたは $V_{IL}(AC)$ を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。
- $V_{IL}(DC)$ を交差する CMD/ADDR の立ち上がりエッジまたは $V_{IH}(DC)$ を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。

表 28 : DDR3L インターフェイスのスイッチ特性 (800Mb/s)⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{DQVALID}$	入力データ有効ウィンドウ	500	–	ps
$T_{DQDS}^{(2)}$	DQ 出力から DQS スキュー	321	–	ps
$T_{DQDH}^{(3)}$	DQS 出力から DQ スキュー	380	–	ps
T_{DQSS}	クロック出力から DQS スキュー	-0.12	0.04	T_{CK}
$T_{CACK}^{(4)}$	コマンド/アドレス出力の CLK に対するセットアップ タイム	636	–	ps
$T_{CKCA}^{(5)}$	コマンド/アドレス出力の CLK に対するホールド タイム	853	–	ps

注記 :

- V_{CCO_DDR} の推奨値は 1.35V \pm 5% です。
- $V_{IH}(AC)$ を交差する DQ の立ち上がりエッジまたは $V_{IL}(AC)$ を交差する立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
- $V_{IL}(DC)$ を交差する DQ の立ち上がりエッジまたは $V_{IH}(DC)$ を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
- $V_{IH}(AC)$ を交差する CMD/ADDR の立ち上がりエッジまたは $V_{IL}(AC)$ を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。
- $V_{IL}(DC)$ を交差する CMD/ADDR の立ち上がりエッジまたは $V_{IH}(DC)$ を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。

表 29 : LPDDR2 インターフェイスのスイッチ特性 (800Mb/s)⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{DQVALID}$	入力データ有効ウィンドウ	500	—	ps
$T_{DQDS}^{(2)}$	DQ 出力から DQS スキュー	111	—	ps
$T_{DQDH}^{(3)}$	DQS 出力から DQ スキュー	318	—	ps
T_{DQSS}	クロック出力から DQS スキュー	0.91	1.10	T_{CK}
$T_{CACK}^{(4)}$	コマンド/アドレス出力の CLK に対するセットアップ タイム	132	—	ps
$T_{CKCA}^{(5)}$	コマンド/アドレス出力の CLK に対するホールド タイム	363	—	ps

注記 :

1. V_{CCO_DDR} の推奨値は 1.2V \pm 5% です。
2. V_{IH} (AC) を交差する DQ の立ち上がりエッジまたは V_{IL} (AC) を交差する立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
3. V_{IL} (DC) を交差する DQ の立ち上がりエッジまたは V_{IH} (DC) を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
4. V_{IH} (AC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IL} (AC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。
5. V_{IL} (DC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IH} (DC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。

表 30 : LPDDR2 インターフェイスのスイッチ特性 (400Mb/s)⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{DQVALID}$	入力データ有効ウィンドウ	500	—	ps
$T_{DQDS}^{(2)}$	DQ 出力から DQS スキュー	561	—	ps
$T_{DQDH}^{(3)}$	DQS 出力から DQ スキュー	852	—	ps
T_{DQSS}	クロック出力から DQS スキュー	0.91	1.08	T_{CK}
$T_{CACK}^{(4)}$	コマンド/アドレス出力の CLK に対するセットアップ タイム	617	—	ps
$T_{CKCA}^{(5)}$	コマンド/アドレス出力の CLK に対するホールド タイム	918	—	ps

注記 :

1. V_{CCO_DDR} の推奨値は 1.2V \pm 5% です。
2. V_{IH} (AC) を交差する DQ の立ち上がりエッジまたは V_{IL} (AC) を交差する立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
3. V_{IL} (DC) を交差する DQ の立ち上がりエッジまたは V_{IH} (DC) を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
4. V_{IH} (AC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IL} (AC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。
5. V_{IL} (DC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IH} (DC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。

表 31 : DDR2 インターフェイスのスイッチ特性 (800Mb/s)⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{DQVALID}$	入力データ有効ウィンドウ	500	–	ps
$T_{DQDS}^{(2)}$	DQ 出力から DQS スキュー	147	–	ps
$T_{DQDH}^{(3)}$	DQS 出力から DQ スキュー	376	–	ps
T_{DQSS}	クロック出力から DQS スキュー	-0.07	0.08	T_{CK}
$T_{CACK}^{(4)}$	コマンド/アドレス出力の CLK に対するセットアップ タイム	732	–	ps
$T_{CKCA}^{(5)}$	コマンド/アドレス出力の CLK に対するホールド タイム	938	–	ps

注記 :

- V_{CCO_DDR} の推奨値は 1.8V \pm 5% です。
- V_{IH} (AC) を交差する DQ の立ち上がりエッジまたは V_{IL} (AC) を交差する立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
- V_{IL} (DC) を交差する DQ の立ち上がりエッジまたは V_{IH} (DC) を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
- V_{IH} (AC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IL} (AC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。
- V_{IL} (DC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IH} (DC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。

表 32 : DDR2 インターフェイスのスイッチ特性 (400Mb/s)⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{DQVALID}$	入力データ有効ウィンドウ	500	–	ps
$T_{DQDS}^{(2)}$	DQ 出力から DQS スキュー	385	–	ps
$T_{DQDH}^{(3)}$	DQS 出力から DQ スキュー	662	–	ps
T_{DQSS}	クロック出力から DQS スキュー	-0.11	0.06	T_{CK}
$T_{CACK}^{(4)}$	コマンド/アドレス出力の CLK に対するセットアップ タイム	1760	–	ps
$T_{CKCA}^{(5)}$	コマンド/アドレス出力の CLK に対するホールド タイム	1739	–	ps

注記 :

- V_{CCO_DDR} の推奨値は 1.8V \pm 5% です。
- V_{IH} (AC) を交差する DQ の立ち上がりエッジまたは V_{IL} (AC) を交差する立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
- V_{IL} (DC) を交差する DQ の立ち上がりエッジまたは V_{IH} (DC) を交差する DQ の立ち下がりエッジのいずれかから DQS の V_{REF} までの計測値です。
- V_{IH} (AC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IL} (AC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。
- V_{IL} (DC) を交差する CMD/ADDR の立ち上がりエッジまたは V_{IH} (DC) を交差する CMD/ADDR の立ち下がりエッジのいずれかから CLK の V_{REF} までの計測値です。

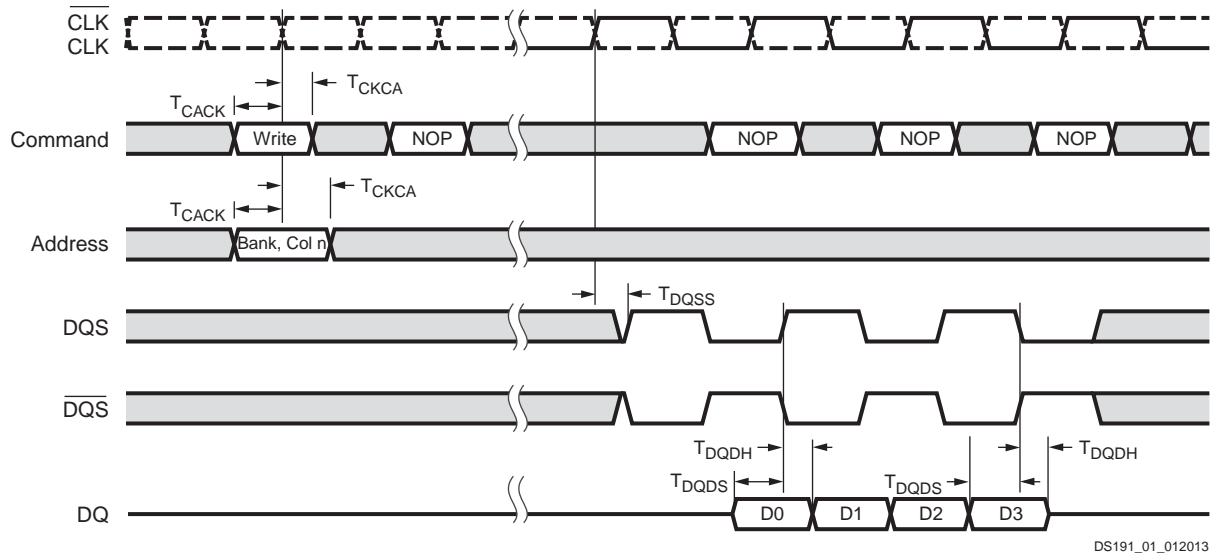


図 1 : DDR 出力のタイミング図

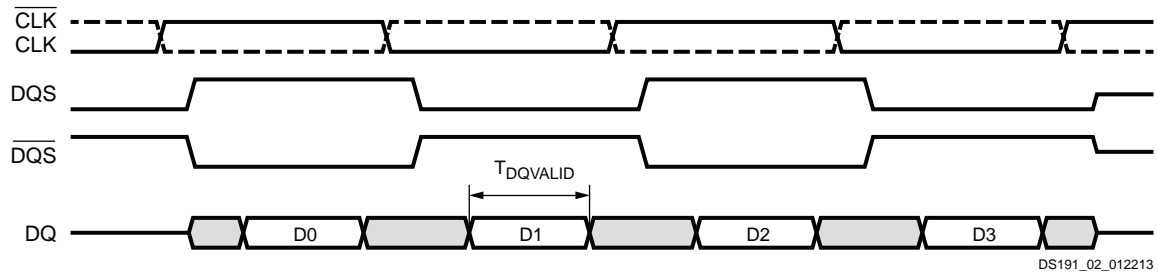


図 2 : DDR 入力のタイミング図

スタティック メモリ コントローラー

表 33 : SMC インターフェイスの遅延特性⁽¹⁾⁽²⁾

シンボル	説明	最小	最大	単位
T _{NANDDOUT}	最後のレジスタからパッドまでの NAND_IO の出力遅延	4.12	6.45	ns
T _{NANDALE}	最後のレジスタからパッドまでの NAND_ALE の出力遅延	5.08	6.33	ns
T _{NANDCLE}	最後のレジスタからパッドまでの NAND_CLE の出力遅延	4.87	6.40	ns
T _{NANDWE}	最後のレジスタからパッドまでの NAND_WE_B の出力遅延	4.69	5.89	ns
T _{NANDRE}	最後のレジスタからパッドまでの NAND_RE_B の出力遅延	5.12	6.44	ns
T _{NANDCE}	最後のレジスタからパッドまでの NAND_CE_B の出力遅延	4.68	5.89	ns
T _{NANDDIN}	NAND_IO のセットアップ タイムおよび入力遅延 (パッドから最初のレジスタまで)	1.48	3.09	ns
T _{NANDBUSY}	NAND_BUSY のセットアップ タイムおよび入力遅延 (パッドから最初のレジスタまで)	2.48	3.33	ns
T _{SRAMA}	最後のレジスタからパッドまでの SRAM_A の出力遅延	3.94	5.73	ns
T _{SRAMDOUT}	最後のレジスタからパッドまでの SRAM_DQ の出力遅延	4.66	6.45	ns
T _{SRAMCE}	最後のレジスタからパッドまでの SRAM_CE の出力遅延	4.57	5.95	ns
T _{SRAMOE}	最後のレジスタからパッドまでの SRAM_OE_B の出力遅延	4.79	6.13	ns
T _{SRAMBLS}	最後のレジスタからパッドまでの SRAM_BLS_B の出力遅延	5.25	6.74	ns
T _{SRAMWE}	最後のレジスタからパッドまでの SRAM_WE_B の出力遅延	5.12	6.48	ns
T _{SRAMDIN}	SRAM_DQ のセットアップ タイムおよび入力遅延 (パッドから最初のレジスタまで)	1.93	3.05	ns
T _{SRAMWAIT}	SRAM_WAIT のセットアップ タイムおよび入力遅延 (パッドから最初のレジスタまで)	2.26	3.15	ns

注記 :

- すべてのパラメーターには、パッケージのフライト タイムおよびレジスタが制御する遅延は含まれません。
- SMC タイミングの詳細は、『ARM® PrimeCell® Static Memory Controller (PL350 series) Technical Reference Manual』を参照してください。

Quad-SPI インターフェイス

表 34 : Quad-SPI インターフェイスのスイッチ特性

シンボル	説明	負荷の条件	最小	最大	単位
フィードバック クロックが有効					
T _{DCQSPICLK1}	Quad-SPI クロックのデューティ サイクル	すべて ⁽¹⁾⁽²⁾	44	56	%
T _{QSPICKO1}	データおよびスレーブセレクトの出力遅延	15pF ⁽¹⁾	−0.10	3.40	ns
		30pF ⁽²⁾	−1.00	3.80	
T _{QSPIDCK1}	入力データ セットアップ タイム	15pF ⁽¹⁾	2.00	−	ns
		30pF ⁽²⁾	3.30	−	
T _{QSPICKD1}	入力データ ホールド タイム	15pF ⁽¹⁾	1.30	−	ns
		30pF ⁽²⁾	1.50	−	
T _{QSPISSCLK1}	スレーブ セレクトのアサートから次のクロック エッジ	すべて ⁽¹⁾⁽²⁾	1	−	F _{QSPI_REF_CLK} サイクル
T _{QSPICLKSS1}	クロック エッジからスレーブ セレクトのディアサート	すべて ⁽¹⁾⁽²⁾	1	−	F _{QSPI_REF_CLK} サイクル
F _{QSPICLK1}	Quad-SPI デバイスのクロック周波数	15pF ⁽¹⁾	−	100 ⁽³⁾	MHz
		30pF ⁽²⁾	−	70 ⁽³⁾	
フィードバック クロックが無効					
T _{DCQSPICLK2}	Quad-SPI クロックのデューティ サイクル	すべて ⁽¹⁾⁽²⁾	44	56	%
T _{QSPICKO2}	データおよびスレーブセレクトの出力遅延	15pF ⁽¹⁾	−0.10	3.80	ns
		30pF ⁽²⁾	−1.00	3.80	ns
T _{QSPIDCK2}	入力データ セットアップ タイム ⁽⁴⁾	すべて ⁽¹⁾⁽²⁾	$11 - \frac{1}{F_{QSPI_REF_CLK}}$	−	ns
T _{QSPICKD2}	入力データ ホールド タイム	すべて ⁽¹⁾⁽²⁾	$\frac{1}{2 \times F_{QSPICLK2}}$	−	ns
T _{QSPISSCLK2}	スレーブ セレクトのアサートから次のクロック エッジ	すべて ⁽¹⁾⁽²⁾	1	−	F _{QSPI_REF_CLK} サイクル
T _{QSPICLKSS2}	クロック エッジからスレーブ セレクトのディアサート	すべて ⁽¹⁾⁽²⁾	1	−	F _{QSPI_REF_CLK} サイクル
F _{QSPICLK2}	Quad-SPI デバイスのクロック周波数	すべて ⁽¹⁾⁽²⁾	−	40	MHz
フィードバック クロックが有効または無効					
F _{QSPI_REF_CLK}	Quad-SPI の基準クロック周波数	すべて ⁽¹⁾⁽²⁾	−	200	MHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷、フィードバック クロック ピンに負荷なしをテスト条件としています。Quad-SPI シングル スレーブ セレクト 4 ビット I/O モードです。
2. LVCMOS33、Slow スルー レート、8mA 駆動電流、4 ビット スタックド I/O コンフィギュレーションで 30pF 負荷、フィードバック クロック ピンに負荷なしをテスト条件としています。Quad-SPI シングル スレーブ セレクト 4 ビット I/O モードです。
3. 適切なコンポーネントの選択やボード設計が必須です。
4. T_{QSPIDCK2} の算出値が負の場合、入力データのセットアップ タイムに 0ns を使用してください。

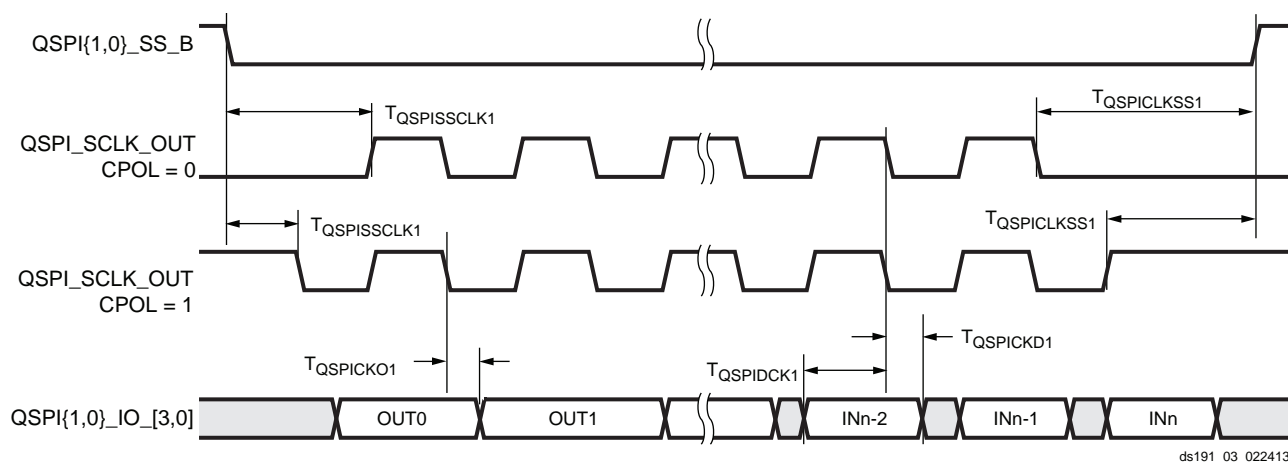


図 3 : Quad-SPI インターフェイス (フィードバック クロックは有効) のタイミング図

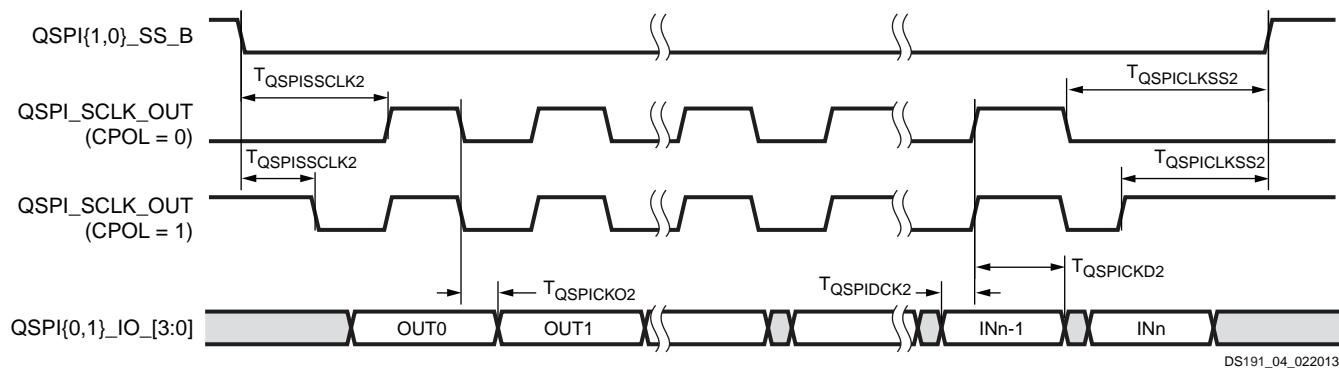


図 4 : Quad-SPI インターフェイス (フィードバック クロックは無効) のタイミング図

ULPI インターフェイス

表 35 : クロック受信モードの ULPI インターフェイスのスイッチ特性⁽¹⁾⁽²⁾

シンボル	説明	最小	標準	最大	単位
$T_{ULPIDCK}$	ULPI クロックに対する入力セットアップ、全入力	3.00	—	—	ns
$T_{ULPICKD}$	ULPI クロックに対する入力ホールド、全入力	1.00	—	—	ns
$T_{ULPICKO}$	ULPI クロックから出力が有効になるまでの時間、全出力	1.70	—	8.86	ns
$F_{ULPICLK}$	ULPI デバイスのクロック周波数	—	60	—	MHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷、60MHz デバイス周波数をテスト条件としています。
2. すべてのタイミング値は、理想的な外部入力クロックを前提としています。実際のデザイン システムにおけるタイミング バジェットにはさらに外部クロック ジッターを考慮する必要があります。

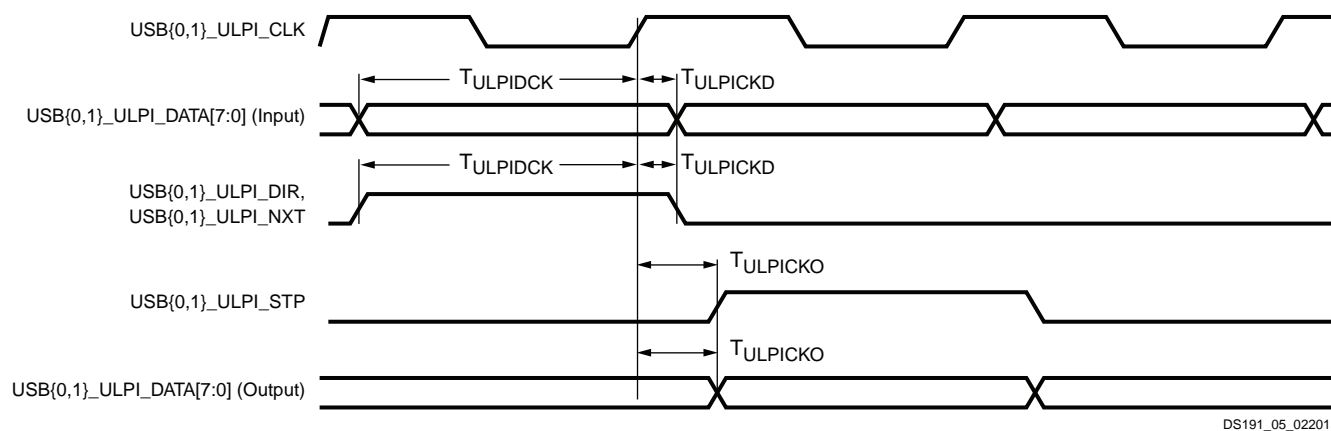


図 5 : ULPI インターフェ이스のタイミング図

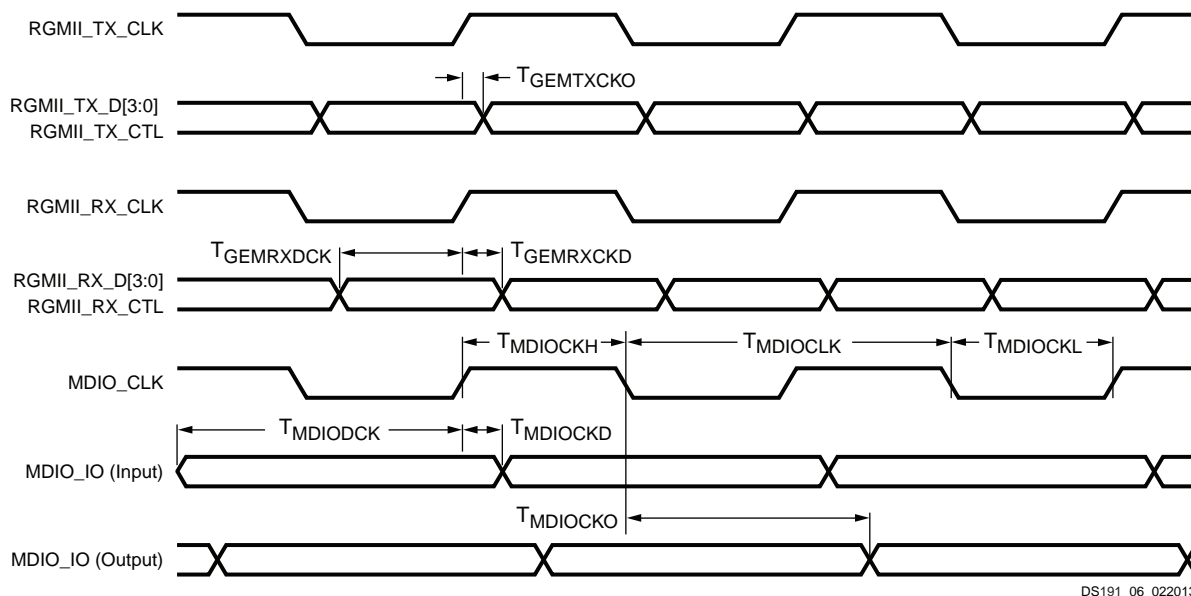
RGMII インターフェイスおよび MDIO インターフェイス

表 36 : RGMII および MDIO インターフェイスのスイッチ特性⁽¹⁾⁽²⁾⁽³⁾

シンボル	説明	最小	標準	最大	単位
$T_{DCGETXCLK}$	送信クロックのデューティ サイクル	45	—	55	%
$T_{GEMTXCKO}$	RGMII_TX_D[3:0]、RGMII_TX_CTL 出力 Clock-to-Out	-0.50	—	0.50	ns
$T_{GEMRXDCK}$	RGMII_RX_D[3:0]、RGMII_RX_CTL 入力セットアップ タイム	0.80	—	—	ns
$T_{GEMRXCKD}$	RGMII_RX_D[3:0]、RGMII_RX_CTL 入力ホールド タイム	0.80	—	—	ns
$T_{MDIOCLK}$	MDC 出力クロック周期	400	—	—	ns
$T_{MDIOCKH}$	MDC クロック High 時間	160	—	—	ns
$T_{MDIOCKL}$	MDC クロック Low 時間	160	—	—	ns
$T_{MDIODCK}$	MDIO 入力データ セットアップ タイム	80	—	—	ns
$T_{MDIOCKD}$	MDIO 入力データ ホールド タイム	0	—	—	ns
$T_{MDIOCKO}$	MDIO データ出力遅延	-20	—	170	ns
$F_{GETXCLK}$	RGMII_TX_CLK 送信クロック周波数	—	125	—	MHz
$F_{GERXCLK}$	RGMII_RX_CLK 受信クロック周波数	—	125	—	MHz
$F_{ENET_REF_CLK}$	イーサネットの基準クロック周波数	—	125	—	MHz

注記 :

1. LVCMOS25、Fast スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。この表に記載の値は、1000Mb/s の動作に対して指定されています。
2. LVCMOS25 Slow スルー レートおよび LVCMOS33 はサポートされていません。
3. すべてのタイミング値は、理想的な外部入力クロックを前提としています。実際のデザイン システムにおけるタイミング バジェットにはさらに外部クロック ジッターを考慮する必要があります。



DS191_06_022013

図 6 : RGMII インターフェイスのタイミング図

SD/SDIO インターフェイス

表 37 : 高速モードの SD/SDIO インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	標準	最大	単位
$T_{DCSDHCLK}$	SD デバイスのクロックのデューティ サイクル	—	50	—	%
T_{SDHCKO}	Clock-to-Output 遅延、全出力	2.00	—	12.00	ns
$T_{SDHSDCK}$	入力セットアップ タイム、全入力	3.00	—	—	ns
T_{SDHCKD}	入力ホールド タイム、全入力	1.05	—	—	ns
$F_{SD_REF_CLK}$	SD の基準クロック周波数	—	—	125	MHz
F_{SDHCLK}	高速モードの SD デバイス クロック周波数	0	—	50	MHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

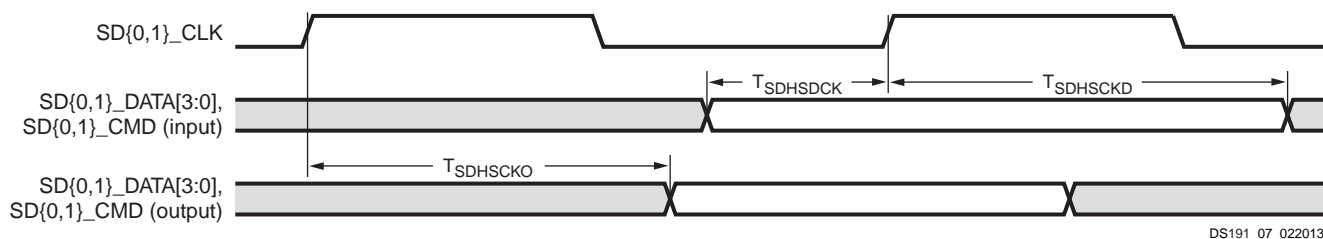


図 7 : 高速モードの SD/SDIO インターフェイスのタイミング図

表 38 : SD/SDIO インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	標準	最大	単位
$T_{DCSDSCLK}$	SD デバイスのクロックのデューティ サイクル	—	50	—	%
T_{SDSCKO}	Clock-to-Output 遅延、全出力	2.00	—	12.00	ns
T_{SDSDCK}	入力セットアップ タイム、全入力	4.00	—	—	ns
T_{SDSCKD}	入力ホールド タイム、全入力	3.00	—	—	ns
$F_{SD_REF_CLK}$	SD の基準クロック周波数	—	—	125	MHz
$F_{SDIDCLK}$	識別モードのクロック周波数	—	—	400	KHz
F_{SDSCLK}	標準モードの SD デバイス クロック周波数	0	—	25	MHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

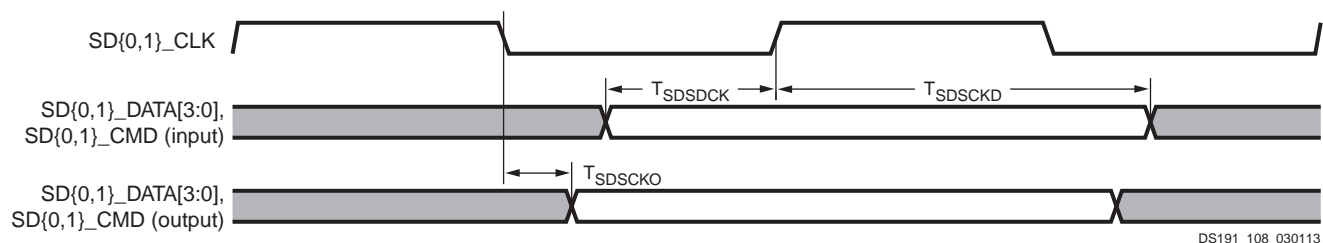


図 8 : 標準モードの SD/SDIO インターフェイスのタイミング図

I2C インターフェイス

表 39 : 高速モードの I2C インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	標準	最大	単位
$T_{DCI2CFCLK}$	I2C{0,1}SCL デューティ サイクル	–	50	–	%
$T_{I2CFCKO}$	I2C{0,1}SDAO Clock-to-Out 遅延	–	–	900	ns
$T_{I2CFDCK}$	I2C{0,1}SDAI セットアップ タイム	100	–	–	ns
$F_{I2CFCLK}$	I2C{0,1}SCL クロック周波数	–	–	400	KHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

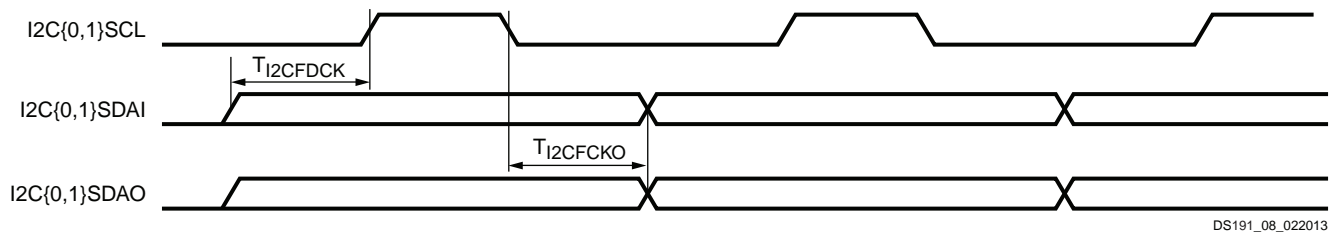


図 9 : 高速モードの I2C インターフェイスのタイミング図

表 40 : 標準モードの I2C インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	標準	最大	単位
$T_{DCI2CSCLK}$	I2C{0,1}SCL デューティ サイクル	–	50	–	%
$T_{I2CSCKO}$	I2C{0,1}SDAO Clock-to-Out 遅延	–	–	3450	ns
$T_{I2CSDCK}$	I2C{0,1}SDAI セットアップ タイム	250	–	–	ns
$F_{I2CSCLK}$	I2C{0,1}SCL クロック周波数	–	–	100	KHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

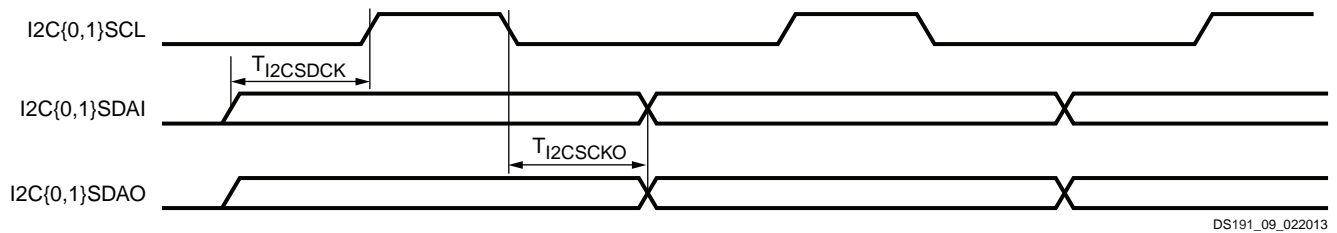


図 10 : 標準モードの I2C インターフェイスのタイミング図

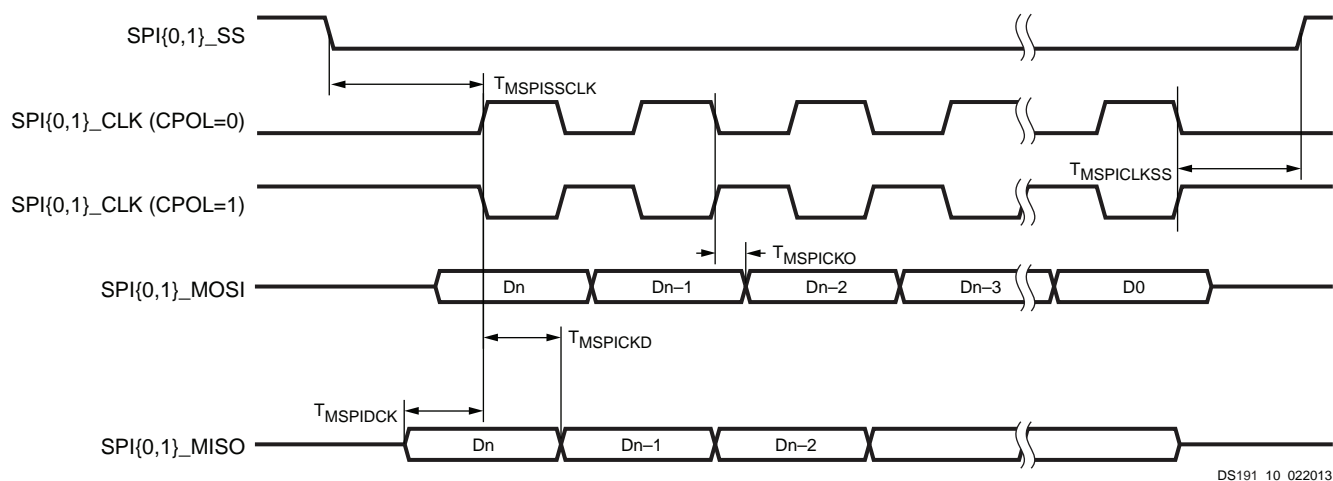
SPI インターフェイス

表 41 : マスター モードの SPI インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	標準	最大	単位
$T_{DCMSPICLK}$	SPI マスター モード クロックのデューティ サイクル	—	50	—	%
$T_{MSPIDCK}$	SPI{0,1}_MISO 入力セットアップ タイム	2.00	—	—	ns
$T_{MSPICKD}$	SPI{0,1}_MISO 入力ホールド タイム	8.20	—	—	ns
$T_{MSPICKO}$	SPI{0,1}_MOSI および SPI{0,1}_SS 出力遅延	-3.10	—	3.90	ns
$T_{MSPISSCLK}$	スレーブ セレクトのアサートから最初のアクティブ クロック エッジ	1	—	—	$F_{SPI_REF_CLK}$ サイクル
$T_{MSPICKSS}$	最後のアクティブ クロック エッジからスレーブ セレクトのデアサート	0.5	—	—	$F_{SPI_REF_CLK}$ サイクル
$F_{MSPICLK}$	SPI マスター モード デバイスのクロック周波数	—	—	50.00	MHz
$F_{SPI_REF_CLK}$	SPI の基準クロック周波数	—	—	200.00	MHz

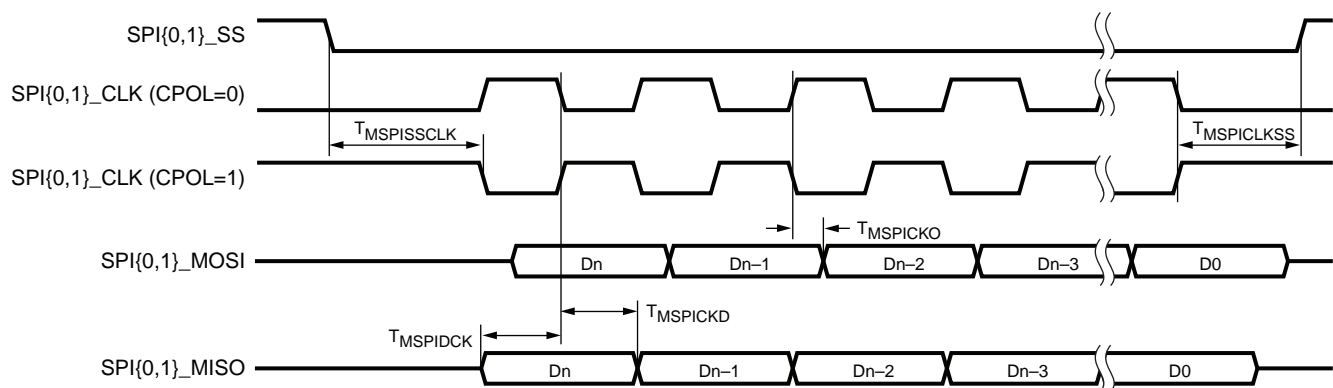
注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。



DS191_10_022013

図 11 : マスター モード (CPHA = 0) の SPI インターフェイスのタイミング図



DS191_11_022013

図 12 : マスター モード (CPHA = 1) の SPI インターフェイスのタイミング図

表 42 : スレーブ モードの SPI インターフェ이스のスイッチ特性⁽¹⁾⁽²⁾

シンボル	説明	最小	最大	単位
$T_{SSPIDCK}$	SPI{0,1}_MOSI および SPI{0,1}_SS 入力セットアップ タイム	1	—	$F_{SPI_REF_CLK}$ サイクル
$T_{SSPICKD}$	SPI{0,1}_MOSI および SPI{0,1}_SS 入力ホールド タイム	1	—	$F_{SPI_REF_CLK}$ サイクル
$T_{SSPICKO}$	SPI{0,1}_MISO 出力遅延	0	2.6	$F_{SPI_REF_CLK}$ サイクル
$T_{SSPISCLK}$	スレーブ セレクトのアサートから最初のアクティブ クロック エッジ	1	—	$F_{SPI_REF_CLK}$ サイクル
$T_{SSPICKSS}$	最後のアクティブ クロック エッジからスレーブ セレクトのディアサート	1	—	$F_{SPI_REF_CLK}$ サイクル
$F_{SSPICKLK}$	SPI スレーブ モード デバイスのクロック周波数	—	25	MHz
$F_{SPI_REF_CLK}$	SPI の基準クロック周波数	—	200	MHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。
2. すべてのタイミング値は、理想的な外部入力クロックを前提としています。実際のデザイン システムにおけるタイミング バジレットにはさらに外部クロック ジッターを考慮する必要があります。

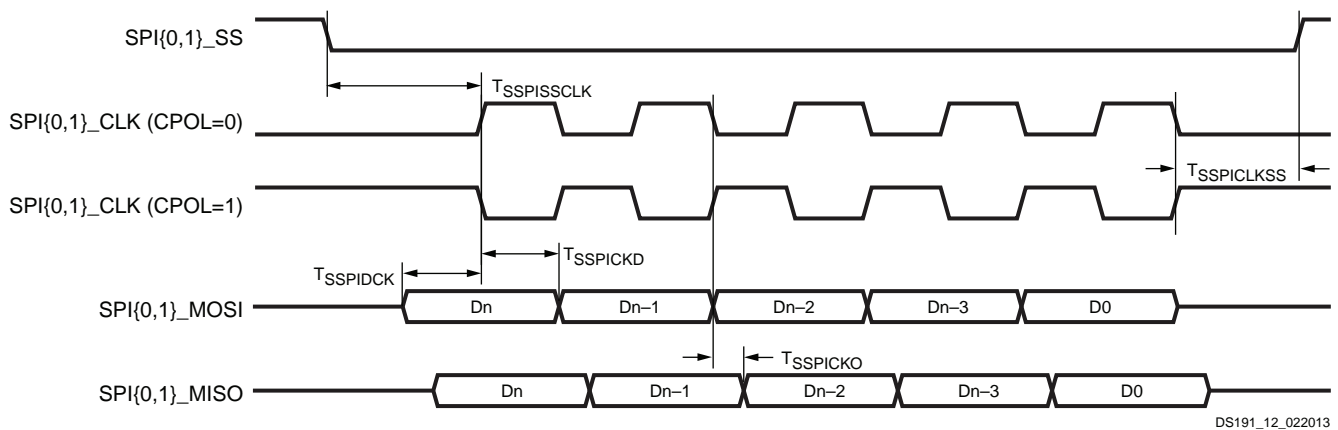


図 13 : スレーブ モード (CPHA = 0) の SPI インターフェ이스のタイミング図

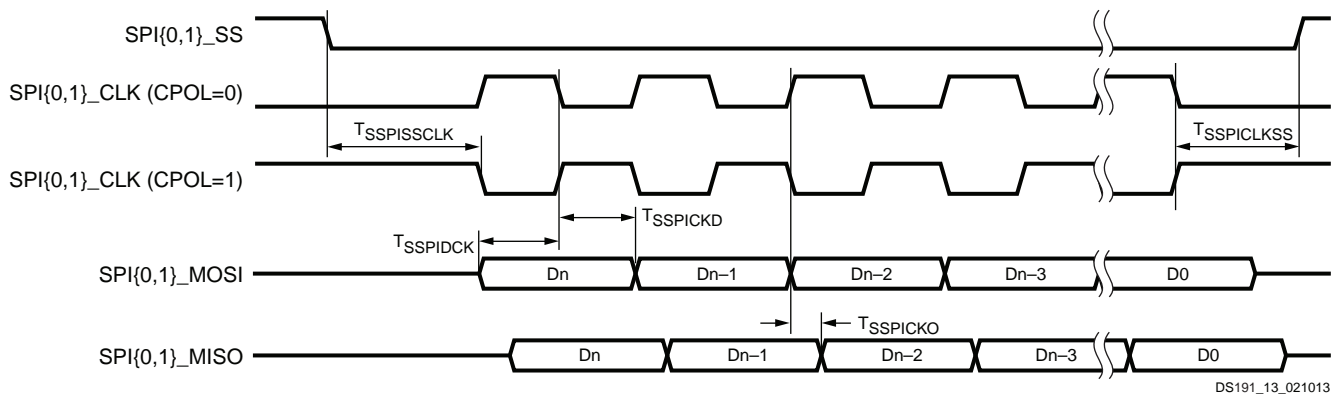


図 14 : スレーブ モード (CPHA = 1) の SPI インターフェ이스のタイミング図

CAN インターフェイス

表 43 : CAN インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{PWCANRX}$	最小受信パルス幅	1	–	μs
$T_{PWCANTX}$	最小送信パルス幅	1	–	μs
$F_{CAN_REF_CLK}$	内部供給される CAN の基準クロック周波数	–	100	MHz
	外部供給される CAN の基準クロック周波数	–	40	MHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

PJTAG インターフェイス

表 44 : PJTAG インターフェイス⁽¹⁾⁽²⁾

シンボル	説明	最小	最大	単位
$T_{PJTAGDCK}$	PJTAG 入力セットアップ タイム	2.4	–	ns
$T_{PJTAGCKD}$	PJTAG 入力ホールド タイム	2.0	–	ns
$T_{PJTAGCKO}$	PJTAG の Clock-to-Out 遅延	–	12.5	ns
$T_{PJTAGCLK}$	PJTAG のクロック周波数	–	20	MHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。
2. すべてのタイミング値は、理想的な外部入力クロックを前提としています。実際のデザイン システムにおけるタイミング バジェットにはさらに外部クロック ジッターを考慮する必要があります。

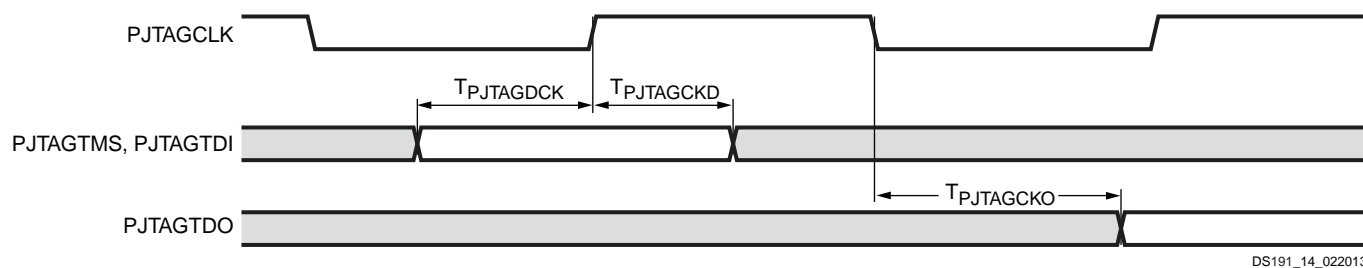


図 15 : PJTAG インターフェイスのタイミング図

UART インターフェイス

表 45 : UART インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	最大	単位
$BAUD_{TXMAX}$	最大送信ボー レート	–	1	Mb/s
$BAUD_{RXMAX}$	最大受信ボー レート	–	1	Mb/s
$F_{UART_REF_CLK}$	UART の基準クロック周波数	–	100	MHz

注記 :

1. LVCMOS33、Slow スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

GPIO インターフェイス

表 46 : GPIO バンクのスイッチ特性⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{PWGPIOH}$	入力 High パルス幅	$10 \times 1/\text{cpu1x}$	—	μs
$T_{PWGPIOL}$	入力 Low パルス幅	$10 \times 1/\text{cpu1x}$	—	μs

注記 :

1. 割り込みのパルス幅要件です。

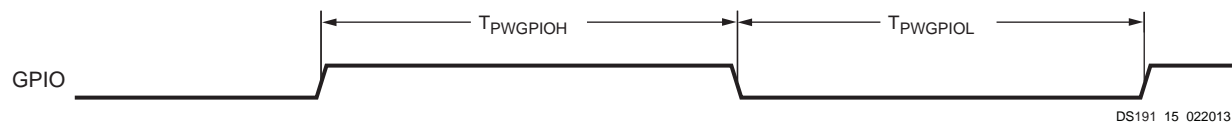


図 16 : GPIO インターフェイスのタイミング図

トレース インターフェイス

表 47 : トレース インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	最大	単位
T_{TCECKO}	トレース Clock-to-Output 遅延、全出力	-1.4	1.5	ns
$T_{DCTCECLK}$	トレース クロックのデューティ サイクル	40	60	%
F_{TCECLK}	トレース クロック周波数	—	80	MHz

注記 :

1. LVCMOS25、Fast スルー レート、8mA 駆動電流、15pF 負荷をテスト条件としています。

トリプル タイマー カウンター インターフェイス

表 48 : トリプル タイマー カウンター インターフェイスのスイッチ特性⁽¹⁾

シンボル	説明	最小	最大	単位
$T_{PWTTCOCLK}$	トリプル タイム カウンター出力クロックのパルス幅	$2 \times 1/\text{cpu1x}$	—	ns
$F_{TTCOCLK}$	トリプル タイム カウンター出力クロック周波数	—	$\text{cpu1x}/4$	MHz
$T_{TTCICLKH}$	トリプル タイム カウンター入力クロックの High パルス幅	$1.5 \times 1/\text{cpu1x}$	—	ns
$T_{TTCICLKL}$	トリプル タイム カウンター入力クロックの Low パルス幅	$1.5 \times 1/\text{cpu1x}$	—	ns
$F_{TTCICLK}$	トリプル タイム カウンター入力クロック周波数	—	$\text{cpu1x}/3$	MHz

注記 :

1. すべてのタイミング値は、理想的な外部入力クロックを前提としています。実際のデザイン システムにおけるタイミング バジェットにはさらに外部クロック ジッターを考慮する必要があります。

ウォッチドッグ タイマー

表 49 : ウォッチドッグ タイマーのスイッチ特性

シンボル	説明	最小	最大	単位
$F_{WDTCCLK}$	ウォッチドッグ タイマー入力クロック周波数	—	10	MHz

PL パフォーマンス特性

ここでは、PL にインプリメントされた一般的なファンクションおよびデザインのパフォーマンス特性を示します。ここに記載する値はワースト ケース値であり、完全に特性評価が行われています。また、14 ページの「AC スイッチ特性」に記載されているガイドラインにも従っています。各表の I/O バンク タイプは High Performance (HP) または High Range (HR) のいずれかです。

表 50 : PL ネットワーク アプリケーション インターフェイスのパフォーマンス

説明	I/O バンクのタイプ	スピード グレード			単位
		-3	-2	-1	
SDR LVDS トランスミッター (OSERDES を使用、DATA_WIDTH = 4 ~ 8)	HR	710	710	625	Mb/s
	HP	710	710	625	Mb/s
DDR LVDS トランスミッター (OSERDES を使用、DATA_WIDTH = 4 ~ 14)	HR	1250	1250	950	Mb/s
	HP	1600	1400	1250	Mb/s
SDR LVDS レシーバー (SFI-4.1) ⁽¹⁾	HR	710	710	625	Mb/s
	HP	710	710	625	Mb/s
DDR LVDS レシーバー (SPI-4.2) ⁽¹⁾	HR	1250	1250	950	Mb/s
	HP	1600	1400	1250	Mb/s

注記 :

1. LVDS レシーバーの性能は通常、ダイナミック位相アライメント (DPA) アルゴリズムを使用しているかどうかによって依存します。

表 51 : メモリ インターフェイス ジェネレーターで利用可能なメモリ インターフェイス IP の最大物理インターフェイス (PHY) レート (FPG パッケージ)⁽¹⁾⁽²⁾

メモリ規格	I/O バンクのタイプ	V _{CCAUX_IO}	スピード グレード			単位
			-3	-2	-1	
4:1 メモリ コントローラー						
DDR3	HP	2.0V	1866	1866	1600	Mb/s
	HP	1.8V	1600	1333	1066	Mb/s
	HR	N/A	1066	1066	800	Mb/s
DDR3L	HP	2.0V	1600	1600	1333	Mb/s
	HP	1.8V	1333	1066	800	Mb/s
	HR	N/A	800	800	667	Mb/s
DDR2	HP	2.0V	800	800	800	Mb/s
	HP	1.8V	800	800	800	Mb/s
	HR	N/A	800	800	800	Mb/s
RLDRAM III	HP	2.0V	800	667	667	MHz
	HP	1.8V	550	500	450	MHz
	HR	N/A	N/A			
2:1 メモリ コントローラー						
DDR3	HP	2.0V	1066	1066	800	Mb/s
	HP	1.8V				Mb/s
	HR	N/A				Mb/s
DDR3L	HP	2.0V	1066	1066	800	Mb/s
	HP	1.8V				Mb/s
	HR	N/A	800	800	667	Mb/s
DDR2	HP	2.0V	800	800	800	Mb/s
	HP	1.8V				
	HR	N/A				
QDR II+(3)	HP	2.0V	550	500	450	MHz
	HP	1.8V				MHz
	HR	N/A	500	450	400	MHz
RLDRAM II	HP	2.0V	533	500	450	MHz
	HP	1.8V				
	HR	N/A				
LPDDR2	HP	2.0V	667	667	667	Mb/s
	HP	1.8V				Mb/s
	HR	N/A				Mb/s

注記 :

1. V_{REF} のトラッキングが必要です。詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』([UG586](#)) を参照してください。
2. 内部 V_{REF} を使用する場合、最大データ レートは 800Mb/s (400MHz) です。
3. QDRII+ の最大パフォーマンス仕様は、バースト長 4 (BL = 4) のインプリメンテーションに対応するものです。バースト長 2 (BL = 2) のインプリメンテーションの場合、すべてのスピード グレードおよび I/O バンク タイプで 333MHz に制限されます。

表 52: メモリ インターフェイス ジェネレーターで利用可能なメモリ インターフェイス IP の最大物理インターフェイス (PHY) レート (FBG パッケージ)⁽¹⁾⁽²⁾

メモリ規格	I/O バンクの タイプ	V _{CCAUX_IO} ⁽³⁾	スピード グレード			単位
			-3	-2	-1	
4:1 メモリ コントローラー						
DDR3	HP	N/A	1333	1066	800	Mb/s
	HR	N/A	1066	800	800	Mb/s
DDR3L	HP	N/A	1066	800	667	Mb/s
	HR	N/A	800	800	667	Mb/s
DDR2	HP	N/A	800	800	800	Mb/s
	HR	N/A	800	667	667	Mb/s
RLDRAM III	HP	N/A	550	500	450	MHz
	HR	N/A	N/A			
2:1 メモリ コントローラー						
DDR3	HP	N/A	1066	1066	800	Mb/s
	HR	N/A	1066	800	800	Mb/s
DDR3L	HP	N/A	1066	800	667	Mb/s
	HR	N/A	800	800	667	Mb/s
DDR2	HP	N/A	800	800	800	Mb/s
	HR	N/A	800	667	667	Mb/s
QDR II+ ⁽⁴⁾	HP	N/A	550	500	450	MHz
	HR	N/A	450	400	350	MHz
RLDRAM II	HP	N/A	533	500	450	MHz
	HR	N/A				
LPDDR2	HP	N/A	667	667	667	Mb/s
	HR	N/A	667	667	533	Mb/s

注記:

- V_{REF} のトラッキングが必要です。詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』([UG586](#)) を参照してください。
- 内部 V_{REF} を使用する場合、最大データ レートは 800Mb/s (400MHz) です。
- FBG パッケージの場合、HP I/O バンクのブリドライバ電圧を調整する、個別の V_{CCAUX_IO} 電源ピンはありません。
- QDRII+ の最大パフォーマンス仕様は、バースト長 4 (BL = 4) のインプリメンテーションに対応するものです。バースト長 2 (BL = 2) のインプリメンテーションの場合、すべてのスピード グレードおよび I/O バンク タイプで 333MHz に制限されます。

PL スイッチ特性

IOB パッド入力/出力/トライステート

表 53 (3.3V High Range (HR) IOB) および表 54 (1.8V High Performance (HP) IOB) に、各 I/O 規格のパッドからのデータ入力遅延調整、パッドまでのデータ出力遅延、およびトライステート遅延の値を示します。

- T_{IOPI} は、IOB パッドから入力バッファーを通り、I ピンに達するまでの遅延です。遅延値は、SelectIO 入力バッファーの機能に依存します。
- T_{IOOP} は、O ピンから出力バッファーを通り、IOB パッドに達するまでの遅延です。遅延値は、SelectIO 出力バッファーの機能に依存します。
- T_{IOTP} は、トライステートが無効な場合の、T ピンから IOB パッドの出力バッファーを通して IOB パッドに達するまでの遅延です。遅延値は、出力バッファーの SelectIO の機能に依存します。HP I/O バンクでは、DCITERMDISABLE ピン使用時の内部 DCI 終端がオンになるまでの時間は常に T_{IOTP} よりも高速です。HR I/O バンクでは、INTERMDISABLE ピン使用時の IN_TERM 終端がオンになるまでの時間は常に T_{IOTP} よりも高速です。

表 53 : 3.3V IOB High Range (HR) のスイッチ特性

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
LVTTL_S4	1.31	1.42	1.64	3.77	3.90	4.00	4.53	4.76	4.99	ns
LVTTL_S8	1.31	1.42	1.64	3.50	3.64	3.73	4.26	4.50	4.72	ns
LVTTL_S12	1.31	1.42	1.64	3.49	3.62	3.72	4.25	4.48	4.71	ns
LVTTL_S16	1.31	1.42	1.64	3.03	3.17	3.26	3.79	4.03	4.25	ns
LVTTL_S24	1.31	1.42	1.64	3.25	3.39	3.48	4.01	4.25	4.47	ns
LVTTL_F4	1.31	1.42	1.64	3.22	3.36	3.45	3.98	4.22	4.44	ns
LVTTL_F8	1.31	1.42	1.64	2.71	2.84	2.93	3.47	3.70	3.92	ns
LVTTL_F12	1.31	1.42	1.64	2.69	2.82	2.92	3.45	3.68	3.91	ns
LVTTL_F16	1.31	1.42	1.64	2.57	2.85	3.15	3.33	3.71	4.14	ns
LVTTL_F24	1.31	1.42	1.64	2.41	2.64	2.89	3.17	3.50	3.88	ns
LVDS_25 ⁽¹⁾	0.64	0.68	0.80	1.36	1.47	1.55	2.12	2.33	2.54	ns
MINI_LVDS_25	0.68	0.70	0.79	1.36	1.47	1.55	2.12	2.33	2.54	ns
BLVDS_25 ⁽¹⁾	0.65	0.69	0.80	1.83	2.02	2.20	2.59	2.88	3.19	ns
RSDS_25 ⁽¹⁾	0.63	0.68	0.79	1.36	1.48	1.55	2.12	2.34	2.54	ns
PPDS_25 ⁽¹⁾	0.65	0.69	0.80	1.36	1.49	1.58	2.12	2.35	2.57	ns
TMDS_33 ⁽¹⁾	0.72	0.76	0.86	1.43	1.54	1.60	2.19	2.40	2.59	ns
PCI33_3 ⁽¹⁾	1.28	1.41	1.65	2.71	3.08	3.52	3.47	3.94	4.51	ns
HSUL_12	0.63	0.64	0.71	1.77	1.90	2.00	2.53	2.76	2.99	ns
DIFF_HSUL_12	0.58	0.61	0.70	1.55	1.68	1.78	2.31	2.54	2.77	ns
HSTL_I_S	0.61	0.64	0.73	1.55	1.69	1.80	2.31	2.55	2.79	ns
HSTL_II_S	0.61	0.64	0.73	1.21	1.34	1.43	1.97	2.20	2.42	ns
HSTL_I_18_S	0.64	0.67	0.76	1.28	1.39	1.45	2.04	2.25	2.44	ns
HSTL_II_18_S	0.64	0.67	0.76	1.18	1.31	1.40	1.94	2.17	2.39	ns
DIFF_HSTL_I_S	0.63	0.67	0.77	1.42	1.54	1.61	2.18	2.40	2.60	ns
DIFF_HSTL_II_S	0.63	0.67	0.77	1.15	1.24	1.27	1.91	2.10	2.26	ns
DIFF_HSTL_I_18_S	0.65	0.69	0.78	1.27	1.38	1.43	2.03	2.24	2.42	ns
DIFF_HSTL_II_18_S	0.65	0.69	0.78	1.14	1.23	1.26	1.90	2.09	2.25	ns

表 53 : 3.3V IOB High Range (HR) のスイッチ特性 (続き)

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
HSTL_I_F	0.61	0.64	0.73	1.10	1.19	1.23	1.86	2.05	2.22	ns
HSTL_II_F	0.61	0.64	0.73	1.05	1.18	1.28	1.81	2.04	2.27	ns
HSTL_I_18_F	0.64	0.67	0.76	1.05	1.18	1.28	1.81	2.04	2.27	ns
HSTL_II_18_F	0.64	0.67	0.76	1.03	1.14	1.23	1.79	2.00	2.22	ns
DIFF_HSTL_I_F	0.63	0.67	0.77	1.09	1.18	1.22	1.85	2.04	2.21	ns
DIFF_HSTL_II_F	0.63	0.67	0.77	1.02	1.11	1.14	1.78	1.97	2.13	ns
DIFF_HSTL_I_18_F	0.65	0.69	0.78	1.08	1.17	1.21	1.84	2.03	2.20	ns
DIFF_HSTL_II_18_F	0.65	0.69	0.78	1.01	1.10	1.13	1.77	1.96	2.12	ns
LVC MOS33_S4	1.31	1.40	1.60	3.77	3.90	4.00	4.53	4.76	4.99	ns
LVC MOS33_S8	1.31	1.40	1.60	3.49	3.62	3.72	4.25	4.48	4.71	ns
LVC MOS33_S12	1.31	1.40	1.60	3.05	3.18	3.28	3.81	4.04	4.27	ns
LVC MOS33_S16	1.31	1.40	1.60	3.06	3.43	3.88	3.82	4.29	4.87	ns
LVC MOS33_F4	1.31	1.40	1.60	3.22	3.36	3.45	3.98	4.22	4.44	ns
LVC MOS33_F8	1.31	1.40	1.60	2.71	2.84	2.93	3.47	3.70	3.92	ns
LVC MOS33_F12	1.31	1.40	1.60	2.57	2.85	3.15	3.33	3.71	4.14	ns
LVC MOS33_F16	1.31	1.40	1.60	2.44	2.69	2.96	3.20	3.55	3.95	ns
LVC MOS25_S4	1.08	1.16	1.32	3.08	3.22	3.31	3.84	4.08	4.30	ns
LVC MOS25_S8	1.08	1.16	1.32	2.85	2.98	3.07	3.61	3.84	4.06	ns
LVC MOS25_S12	1.08	1.16	1.32	2.44	2.57	2.67	3.20	3.43	3.66	ns
LVC MOS25_S16	1.08	1.16	1.32	2.79	2.92	3.01	3.55	3.78	4.00	ns
LVC MOS25_F4	1.08	1.16	1.32	2.71	2.84	2.93	3.47	3.70	3.92	ns
LVC MOS25_F8	1.08	1.16	1.32	2.14	2.28	2.37	2.90	3.14	3.36	ns
LVC MOS25_F12	1.08	1.16	1.32	2.15	2.29	2.52	2.91	3.15	3.51	ns
LVC MOS25_F16	1.08	1.16	1.32	1.92	2.17	2.45	2.68	3.03	3.44	ns
LVC MOS18_S4	0.64	0.66	0.74	1.55	1.68	1.78	2.31	2.54	2.77	ns
LVC MOS18_S8	0.64	0.66	0.74	2.14	2.28	2.37	2.90	3.14	3.36	ns
LVC MOS18_S12	0.64	0.66	0.74	2.14	2.28	2.37	2.90	3.14	3.36	ns
LVC MOS18_S16	0.64	0.66	0.74	1.49	1.62	1.72	2.25	2.48	2.71	ns
LVC MOS18_S24 ⁽¹⁾	0.64	0.66	0.74	1.74	1.92	2.08	2.50	2.78	3.07	ns
LVC MOS18_F4	0.64	0.66	0.74	1.38	1.51	1.61	2.14	2.37	2.60	ns
LVC MOS18_F8	0.64	0.66	0.74	1.64	1.78	1.87	2.40	2.64	2.86	ns
LVC MOS18_F12	0.64	0.66	0.74	1.64	1.78	1.87	2.40	2.64	2.86	ns
LVC MOS18_F16	0.64	0.66	0.74	1.52	1.68	1.81	2.28	2.54	2.80	ns
LVC MOS18_F24 ⁽¹⁾	0.64	0.66	0.74	1.34	1.46	1.55	2.10	2.32	2.54	ns
LVC MOS15_S4	0.66	0.69	0.81	1.86	2.00	2.09	2.62	2.86	3.08	ns
LVC MOS15_S8	0.66	0.69	0.81	2.05	2.18	2.28	2.81	3.04	3.27	ns
LVC MOS15_S12	0.66	0.69	0.81	1.83	2.03	2.23	2.59	2.89	3.22	ns
LVC MOS15_S16	0.66	0.69	0.81	1.76	1.95	2.13	2.52	2.81	3.12	ns

表 53 : 3.3V IOB High Range (HR) のスイッチ特性 (続き)

I/O 規格	T _{IOPi}			T _{IOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
LVC MOS15_F4	0.66	0.69	0.81	1.63	1.76	1.86	2.39	2.62	2.85	ns
LVC MOS15_F8	0.66	0.69	0.81	1.79	1.99	2.18	2.55	2.85	3.17	ns
LVC MOS15_F12	0.66	0.69	0.81	1.40	1.54	1.65	2.16	2.40	2.64	ns
LVC MOS15_F16	0.66	0.69	0.81	1.37	1.51	1.61	2.13	2.37	2.60	ns
LVC MOS12_S4	0.88	0.91	1.00	2.53	2.67	2.76	3.29	3.53	3.75	ns
LVC MOS12_S8	0.88	0.91	1.00	2.05	2.18	2.28	2.81	3.04	3.27	ns
LVC MOS12_S12 ⁽¹⁾	0.88	0.91	1.00	1.75	1.89	1.98	2.51	2.75	2.97	ns
LVC MOS12_F4	0.88	0.91	1.00	1.94	2.07	2.17	2.70	2.93	3.16	ns
LVC MOS12_F8	0.88	0.91	1.00	1.50	1.64	1.73	2.26	2.50	2.72	ns
LVC MOS12_F12 ⁽¹⁾	0.88	0.91	1.00	1.54	1.71	1.87	2.30	2.57	2.86	ns
SSTL135_S	0.61	0.64	0.73	1.27	1.40	1.50	2.03	2.26	2.49	ns
SSTL15_S	0.61	0.64	0.73	1.24	1.37	1.47	2.00	2.23	2.46	ns
SSTL18_I_S	0.64	0.67	0.76	1.59	1.74	1.85	2.35	2.60	2.84	ns
SSTL18_II_S	0.64	0.67	0.76	1.27	1.40	1.50	2.03	2.26	2.49	ns
DIFF_SSTL135_S	0.59	0.61	0.73	1.27	1.40	1.50	2.03	2.26	2.49	ns
DIFF_SSTL15_S	0.63	0.67	0.77	1.24	1.37	1.47	2.00	2.23	2.46	ns
DIFF_SSTL18_I_S	0.65	0.69	0.78	1.50	1.63	1.72	2.26	2.49	2.71	ns
DIFF_SSTL18_II_S	0.65	0.69	0.78	1.13	1.22	1.25	1.89	2.08	2.24	ns
SSTL135_F	0.61	0.64	0.73	1.04	1.17	1.26	1.80	2.03	2.25	ns
SSTL15_F	0.61	0.64	0.73	1.04	1.17	1.26	1.80	2.03	2.25	ns
SSTL18_I_F	0.64	0.67	0.76	1.12	1.22	1.26	1.88	2.08	2.25	ns
SSTL18_II_F	0.64	0.67	0.76	1.05	1.18	1.28	1.81	2.04	2.27	ns
DIFF_SSTL135_F	0.59	0.61	0.73	1.04	1.17	1.26	1.80	2.03	2.25	ns
DIFF_SSTL15_F	0.63	0.67	0.77	1.04	1.17	1.26	1.80	2.03	2.25	ns
DIFF_SSTL18_I_F	0.65	0.69	0.78	1.10	1.19	1.23	1.86	2.05	2.22	ns
DIFF_SSTL18_II_F	0.65	0.69	0.78	1.02	1.10	1.14	1.78	1.96	2.13	ns

注記 :

1. この I/O 規格は 3.3V High Range (HR) バンクでのみ使用できます。

表 54 : 1.8V IOB High Performance (HP) のスイッチ特性

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
LVDS	0.75	0.79	0.92	1.05	1.17	1.24	1.68	1.92	2.06	ns
HSUL_12	0.69	0.72	0.82	1.65	1.84	2.05	2.29	2.59	2.87	ns
DIFF_HSUL_12	0.69	0.72	0.82	1.65	1.84	2.05	2.29	2.59	2.87	ns
HSTL_I_S	0.68	0.72	0.82	1.15	1.28	1.38	1.79	2.03	2.20	ns
HSTL_II_S	0.68	0.72	0.82	1.05	1.17	1.26	1.69	1.93	2.08	ns
HSTL_I_18_S	0.70	0.72	0.82	1.12	1.24	1.34	1.75	2.00	2.16	ns
HSTL_II_18_S	0.70	0.72	0.82	1.06	1.18	1.26	1.70	1.94	2.08	ns
HSTL_I_12_S	0.68	0.72	0.82	1.14	1.27	1.37	1.78	2.02	2.20	ns
HSTL_I_DCI_S	0.68	0.72	0.82	1.11	1.23	1.33	1.74	1.99	2.15	ns
HSTL_II_DCI_S	0.68	0.72	0.82	1.05	1.17	1.26	1.69	1.93	2.08	ns
HSTL_II_T_DCI_S	0.70	0.72	0.82	1.15	1.28	1.38	1.78	2.03	2.20	ns
HSTL_I_DCI_18_S	0.70	0.72	0.82	1.11	1.23	1.33	1.74	1.99	2.15	ns
HSTL_II_DCI_18_S	0.70	0.72	0.82	1.05	1.16	1.24	1.69	1.92	2.06	ns
HSTL_II_T_DCI_18_S	0.70	0.72	0.82	1.11	1.23	1.33	1.74	1.99	2.15	ns
DIFF_HSTL_I_S	0.75	0.79	0.92	1.15	1.28	1.38	1.79	2.03	2.20	ns
DIFF_HSTL_II_S	0.75	0.79	0.92	1.05	1.17	1.26	1.69	1.93	2.08	ns
DIFF_HSTL_I_DCI_S	0.75	0.79	0.92	1.15	1.28	1.38	1.78	2.03	2.20	ns
DIFF_HSTL_II_DCI_S	0.75	0.79	0.92	1.05	1.17	1.26	1.69	1.93	2.08	ns
DIFF_HSTL_I_18_S	0.75	0.79	0.92	1.12	1.24	1.34	1.75	2.00	2.16	ns
DIFF_HSTL_II_18_S	0.75	0.79	0.92	1.06	1.18	1.26	1.70	1.94	2.08	ns
DIFF_HSTL_I_DCI_18_S	0.75	0.79	0.92	1.11	1.23	1.33	1.74	1.99	2.15	ns
DIFF_HSTL_II_DCI_18_S	0.75	0.79	0.92	1.05	1.16	1.24	1.69	1.92	2.06	ns
DIFF_HSTL_II_T_DCI_18_S	0.75	0.79	0.92	1.11	1.23	1.33	1.74	1.99	2.15	ns
HSTL_I_F	0.68	0.72	0.82	1.02	1.14	1.22	1.66	1.90	2.04	ns
HSTL_II_F	0.68	0.72	0.82	0.97	1.08	1.15	1.61	1.84	1.97	ns
HSTL_I_18_F	0.70	0.72	0.82	1.04	1.16	1.24	1.68	1.91	2.06	ns
HSTL_II_18_F	0.70	0.72	0.82	0.98	1.09	1.16	1.62	1.85	1.98	ns
HSTL_I_12_F	0.68	0.72	0.82	1.02	1.13	1.21	1.65	1.88	2.03	ns
HSTL_I_DCI_F	0.68	0.72	0.82	1.04	1.16	1.24	1.67	1.91	2.06	ns
HSTL_II_DCI_F	0.68	0.72	0.82	0.97	1.08	1.15	1.61	1.84	1.97	ns
HSTL_II_T_DCI_F	0.70	0.72	0.82	1.02	1.14	1.22	1.66	1.90	2.04	ns
HSTL_I_DCI_18_F	0.70	0.72	0.82	1.04	1.16	1.24	1.67	1.91	2.06	ns
HSTL_II_DCI_18_F	0.70	0.72	0.82	0.98	1.09	1.16	1.61	1.85	1.98	ns
HSTL_II_T_DCI_18_F	0.70	0.72	0.82	1.04	1.16	1.24	1.67	1.91	2.06	ns
DIFF_HSTL_I_F	0.75	0.79	0.92	1.02	1.14	1.22	1.66	1.90	2.04	ns
DIFF_HSTL_II_F	0.75	0.79	0.92	0.97	1.08	1.15	1.61	1.84	1.97	ns
DIFF_HSTL_I_DCI_F	0.75	0.79	0.92	1.02	1.14	1.22	1.66	1.90	2.04	ns
DIFF_HSTL_II_DCI_F	0.75	0.79	0.92	0.97	1.08	1.15	1.61	1.84	1.97	ns

表 54 : 1.8V IOB High Performance (HP) のスイッチ特性 (続き)

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
DIFF_HSTL_I_18_F	0.75	0.79	0.92	1.04	1.16	1.24	1.68	1.91	2.06	ns
DIFF_HSTL_II_18_F	0.75	0.79	0.92	0.98	1.09	1.16	1.62	1.85	1.98	ns
DIFF_HSTL_I_DCI_18_F	0.75	0.79	0.92	1.04	1.16	1.24	1.67	1.91	2.06	ns
DIFF_HSTL_II_DCI_18_F	0.75	0.79	0.92	0.98	1.09	1.16	1.61	1.85	1.98	ns
DIFF_HSTL_II_T_DCI_18_F	0.75	0.79	0.92	1.04	1.16	1.24	1.67	1.91	2.06	ns
LVC MOS18_S2	0.47	0.50	0.60	3.95	4.28	4.85	4.59	5.04	5.67	ns
LVC MOS18_S4	0.47	0.50	0.60	2.67	2.98	3.43	3.31	3.73	4.26	ns
LVC MOS18_S6	0.47	0.50	0.60	2.14	2.38	2.72	2.77	3.14	3.54	ns
LVC MOS18_S8	0.47	0.50	0.60	1.98	2.21	2.52	2.61	2.97	3.35	ns
LVC MOS18_S12	0.47	0.50	0.60	1.70	1.91	2.17	2.34	2.67	2.99	ns
LVC MOS18_S16	0.47	0.50	0.60	1.57	1.75	1.97	2.20	2.51	2.79	ns
LVC MOS18_F2	0.47	0.50	0.60	3.50	3.87	4.48	4.14	4.63	5.30	ns
LVC MOS18_F4	0.47	0.50	0.60	2.23	2.50	2.87	2.87	3.25	3.69	ns
LVC MOS18_F6	0.47	0.50	0.60	1.80	2.00	2.26	2.43	2.76	3.08	ns
LVC MOS18_F8	0.47	0.50	0.60	1.46	1.72	2.04	2.10	2.47	2.86	ns
LVC MOS18_F12	0.47	0.50	0.60	1.26	1.40	1.53	1.89	2.16	2.35	ns
LVC MOS18_F16	0.47	0.50	0.60	1.19	1.33	1.44	1.83	2.08	2.26	ns
LVC MOS15_S2	0.59	0.62	0.73	3.55	3.89	4.45	4.19	4.65	5.27	ns
LVC MOS15_S4	0.59	0.62	0.73	2.45	2.70	3.06	3.08	3.45	3.89	ns
LVC MOS15_S6	0.59	0.62	0.73	2.24	2.51	2.88	2.88	3.26	3.71	ns
LVC MOS15_S8	0.59	0.62	0.73	1.91	2.16	2.49	2.55	2.91	3.31	ns
LVC MOS15_S12	0.59	0.62	0.73	1.77	1.98	2.23	2.41	2.73	3.05	ns
LVC MOS15_S16	0.59	0.62	0.73	1.62	1.81	2.02	2.26	2.56	2.84	ns
LVC MOS15_F2	0.59	0.62	0.73	3.38	3.69	4.18	4.02	4.44	5.00	ns
LVC MOS15_F4	0.59	0.62	0.73	2.04	2.21	2.44	2.68	2.97	3.26	ns
LVC MOS15_F6	0.59	0.62	0.73	1.47	1.74	2.09	2.10	2.50	2.91	ns
LVC MOS15_F8	0.59	0.62	0.73	1.31	1.46	1.61	1.95	2.22	2.43	ns
LVC MOS15_F12	0.59	0.62	0.73	1.21	1.34	1.45	1.84	2.10	2.27	ns
LVC MOS15_F16	0.59	0.62	0.73	1.18	1.31	1.41	1.82	2.07	2.23	ns
LVC MOS12_S2	0.64	0.67	0.78	3.38	3.80	4.48	4.02	4.55	5.30	ns
LVC MOS12_S4	0.64	0.67	0.78	2.62	2.94	3.43	3.26	3.70	4.25	ns
LVC MOS12_S6	0.64	0.67	0.78	2.05	2.33	2.72	2.69	3.08	3.54	ns
LVC MOS12_S8	0.64	0.67	0.78	1.94	2.18	2.51	2.58	2.94	3.33	ns
LVC MOS12_F2	0.64	0.67	0.78	2.84	3.15	3.62	3.48	3.90	4.44	ns
LVC MOS12_F4	0.64	0.67	0.78	1.97	2.18	2.44	2.61	2.93	3.26	ns
LVC MOS12_F6	0.64	0.67	0.78	1.33	1.51	1.70	1.96	2.26	2.52	ns
LVC MOS12_F8	0.64	0.67	0.78	1.27	1.42	1.55	1.91	2.18	2.37	ns
LVDCI_18	0.47	0.50	0.60	1.99	2.15	2.35	2.62	2.91	3.17	ns

表 54 : 1.8V IOB High Performance (HP) のスイッチ特性 (続き)

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
LVDCI_15	0.59	0.62	0.73	1.98	2.23	2.58	2.62	2.99	3.40	ns
LVDCI_DV2_18	0.47	0.50	0.60	1.99	2.15	2.34	2.62	2.90	3.17	ns
LVDCI_DV2_15	0.59	0.62	0.73	1.98	2.23	2.58	2.62	2.99	3.40	ns
HSLVDCI_18	0.68	0.72	0.82	1.99	2.15	2.35	2.62	2.91	3.17	ns
HSLVDCI_15	0.68	0.72	0.82	1.98	2.23	2.58	2.62	2.99	3.40	ns
SSTL18_I_S	0.68	0.72	0.82	1.02	1.15	1.24	1.66	1.90	2.07	ns
SSTL18_II_S	0.68	0.72	0.82	1.17	1.29	1.37	1.81	2.05	2.19	ns
SSTL18_I_DCI_S	0.68	0.72	0.82	0.92	1.06	1.17	1.56	1.82	1.99	ns
SSTL18_II_DCI_S	0.68	0.72	0.82	0.88	0.98	1.08	1.51	1.74	1.90	ns
SSTL18_II_T_DCI_S	0.68	0.72	0.82	0.92	1.06	1.17	1.56	1.82	1.99	ns
SSTL15_S	0.68	0.72	0.82	0.94	1.06	1.15	1.58	1.82	1.97	ns
SSTL15_DCI_S	0.68	0.72	0.82	0.94	1.06	1.15	1.57	1.82	1.97	ns
SSTL15_T_DCI_S	0.68	0.72	0.82	0.94	1.06	1.15	1.57	1.82	1.97	ns
SSTL135_S	0.69	0.72	0.82	0.97	1.10	1.19	1.60	1.85	2.01	ns
SSTL135_DCI_S	0.69	0.72	0.82	0.97	1.09	1.19	1.60	1.85	2.01	ns
SSTL135_T_DCI_S	0.69	0.72	0.82	0.97	1.09	1.19	1.60	1.85	2.01	ns
SSTL12_S	0.69	0.72	0.82	0.96	1.09	1.18	1.60	1.84	2.00	ns
SSTL12_DCI_S	0.69	0.72	0.82	1.03	1.17	1.27	1.66	1.92	2.09	ns
SSTL12_T_DCI_S	0.69	0.72	0.82	1.03	1.17	1.27	1.66	1.92	2.09	ns
DIFF_SSTL18_I_S	0.75	0.79	0.92	1.02	1.15	1.24	1.66	1.90	2.07	ns
DIFF_SSTL18_II_S	0.75	0.79	0.92	1.17	1.29	1.37	1.81	2.05	2.19	ns
DIFF_SSTL18_I_DCI_S	0.75	0.79	0.92	0.92	1.06	1.17	1.56	1.82	1.99	ns
DIFF_SSTL18_II_DCI_S	0.75	0.79	0.92	0.88	0.98	1.08	1.51	1.74	1.90	ns
DIFF_SSTL18_II_T_DCI_S	0.75	0.79	0.92	0.92	1.06	1.17	1.56	1.82	1.99	ns
DIFF_SSTL15_S	0.68	0.72	0.82	0.94	1.06	1.15	1.58	1.82	1.97	ns
DIFF_SSTL15_DCI_S	0.68	0.72	0.82	0.94	1.06	1.15	1.57	1.82	1.97	ns
DIFF_SSTL15_T_DCI_S	0.68	0.72	0.82	0.94	1.06	1.15	1.57	1.82	1.97	ns
DIFF_SSTL135_S	0.69	0.72	0.82	0.97	1.10	1.19	1.60	1.85	2.01	ns
DIFF_SSTL135_DCI_S	0.69	0.72	0.82	0.97	1.09	1.19	1.60	1.85	2.01	ns
DIFF_SSTL135_T_DCI_S	0.69	0.72	0.82	0.97	1.09	1.19	1.60	1.85	2.01	ns
DIFF_SSTL12_S	0.69	0.72	0.82	0.96	1.09	1.18	1.60	1.84	2.00	ns
DIFF_SSTL12_DCI_S	0.69	0.72	0.82	1.03	1.17	1.27	1.66	1.92	2.09	ns
DIFF_SSTL12_T_DCI_S	0.69	0.72	0.82	1.03	1.17	1.27	1.66	1.92	2.09	ns
SSTL18_I_F	0.68	0.72	0.82	0.94	1.06	1.15	1.58	1.82	1.97	ns
SSTL18_II_F	0.68	0.72	0.82	0.97	1.09	1.16	1.61	1.84	1.99	ns
SSTL18_I_DCI_F	0.68	0.72	0.82	0.89	1.02	1.10	1.53	1.77	1.92	ns
SSTL18_II_DCI_F	0.68	0.72	0.82	0.89	1.02	1.10	1.53	1.77	1.92	ns
SSTL18_II_T_DCI_F	0.68	0.72	0.82	0.89	1.02	1.10	1.53	1.77	1.92	ns

表 54 : 1.8V IOB High Performance (HP) のスイッチ特性 (続き)

I/O 規格	T _{IOPI}			T _{IOOP}			T _{IOTP}			単位
	スピード グレード			スピード グレード			スピード グレード			
	-3	-2	-1	-3	-2	-1	-3	-2	-1	
SSTL15_F	0.68	0.72	0.82	0.89	1.01	1.09	1.53	1.77	1.91	ns
SSTL15_DCI_F	0.68	0.72	0.82	0.89	1.01	1.09	1.53	1.77	1.91	ns
SSTL15_T_DCI_F	0.68	0.72	0.82	0.89	1.01	1.09	1.53	1.77	1.91	ns
SSTL135_F	0.69	0.72	0.82	0.88	1.00	1.08	1.52	1.76	1.90	ns
SSTL135_DCI_F	0.69	0.72	0.82	0.89	1.00	1.08	1.52	1.76	1.90	ns
SSTL135_T_DCI_F	0.69	0.72	0.82	0.89	1.00	1.08	1.52	1.76	1.90	ns
SSTL12_F	0.69	0.72	0.82	0.88	1.00	1.08	1.52	1.76	1.90	ns
SSTL12_DCI_F	0.69	0.72	0.82	0.91	1.03	1.11	1.54	1.79	1.93	ns
SSTL12_T_DCI_F	0.69	0.72	0.82	0.91	1.03	1.11	1.54	1.79	1.93	ns
DIFF_SSTL18_I_F	0.75	0.79	0.92	0.94	1.06	1.15	1.58	1.82	1.97	ns
DIFF_SSTL18_II_F	0.75	0.79	0.92	0.97	1.09	1.16	1.61	1.84	1.99	ns
DIFF_SSTL18_I_DCI_F	0.75	0.79	0.92	0.89	1.02	1.10	1.53	1.77	1.92	ns
DIFF_SSTL18_II_DCI_F	0.75	0.79	0.92	0.89	1.02	1.10	1.53	1.77	1.92	ns
DIFF_SSTL18_II_T_DCI_F	0.75	0.79	0.92	0.89	1.02	1.10	1.53	1.77	1.92	ns
DIFF_SSTL15_F	0.68	0.72	0.82	0.89	1.01	1.09	1.53	1.77	1.91	ns
DIFF_SSTL15_DCI_F	0.68	0.72	0.82	0.89	1.01	1.09	1.53	1.77	1.91	ns
DIFF_SSTL15_T_DCI_F	0.68	0.72	0.82	0.89	1.01	1.09	1.53	1.77	1.91	ns
DIFF_SSTL135_F	0.69	0.72	0.82	0.88	1.00	1.08	1.52	1.76	1.90	ns
DIFF_SSTL135_DCI_F	0.69	0.72	0.82	0.89	1.00	1.08	1.52	1.76	1.90	ns
DIFF_SSTL135_T_DCI_F	0.69	0.72	0.82	0.89	1.00	1.08	1.52	1.76	1.90	ns
DIFF_SSTL12_F	0.69	0.72	0.82	0.88	1.00	1.08	1.52	1.76	1.90	ns
DIFF_SSTL12_DCI_F	0.69	0.72	0.82	0.91	1.03	1.11	1.54	1.79	1.93	ns
DIFF_SSTL12_T_DCI_F	0.69	0.72	0.82	0.91	1.03	1.11	1.54	1.79	1.93	ns

注記 :

1. この I/O 規格は 1.8V High Performance (HP) バンクでのみ使用できます。

表 55 に、T_{IOTPHZ} および T_{IOIBUFDISABLE} の値を示します。T_{IOTPHZ} は、ハイ インピーダンス ステートのようにトライステートが有効な場合の、T ピンから IOB パッドの出力バッファを通して IOB パッドに達するまでの遅延です。T_{IOIBUFDISABLE} は、IBUFDISABLE から O 出力までの IOB 遅延です。HP I/O バンクでは、DCITERMDISABLE ピン使用時の内部 DCI 終端がオフになるまでの時間は常に T_{IOTPHZ} よりも高速です。HR I/O バンクでは、INTERMDISABLE ピン使用時の内部 IN_TERM 終端がオフになるまでの時間は常に T_{IOTPHZ} よりも高速です。

表 55 : IOB トライステート出力のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T _{IOTPHZ}	T 入力からパッドのハイ インピーダンス	0.76	0.86	0.99	ns
T _{IOIBUFDISABLE_HR}	HR I/O バンクでの IBUFDISABLE から O 出力までの IBUF ターンオン時間	1.72	1.89	2.14	ns
T _{IOIBUFDISABLE_HP}	HP I/O バンクでの IBUFDISABLE から O 出力までの IBUF ターンオン時間	1.31	1.46	1.76	ns

入力/出力ロジックのスイッチ特性

表 56 : ILOGIC のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
セットアップ/ホールド					
T _{ICE1CK} /T _{ICKCE1}	CE1 ピンの CLK に対するセットアップ/ホールド	0.42/0.00	0.48/0.00	0.67/0.00	ns
T _{ISRCK} /T _{ICKSR}	SR ピンの CLK に対するセットアップ/ホールド	0.53/0.01	0.61/0.01	0.99/0.01	ns
T _{IDOCKE2} /T _{IOCKDE2}	D ピンの CLK に対するセットアップ/ホールド (遅延なし) (HP I/O バンクのみ)	0.01/0.27	0.01/0.29	0.01/0.34	ns
T _{IDOCKDE2} /T _{IOCKDDE2}	DDL _Y ピンの CLK に対するセットアップ/ホールド (IDELAY 使用) (HP I/O バンクのみ)	0.01/0.27	0.02/0.29	0.02/0.34	ns
T _{IDOCKE3} /T _{IOCKDE3}	D ピンの CLK に対するセットアップ/ホールド (遅延なし) (HR I/O バンクのみ)	0.01/0.27	0.01/0.29	0.01/0.34	ns
T _{IDOCKDE3} /T _{IOCKDDE3}	DDL _Y ピンの CLK に対するセットアップ/ホールド (IDELAY 使用) (HR I/O バンクのみ)	0.01/0.27	0.02/0.29	0.02/0.34	ns
組み合わせ					
T _{IDIE2}	D ピンから O ピンまでの伝搬遅延 (遅延なし) (HP I/O バンクのみ)	0.09	0.10	0.12	ns
T _{IDIDE2}	DDL _Y ピンから O ピンまでの伝搬遅延 (IDELAY 使用) (HP I/O バンクのみ)	0.10	0.11	0.13	ns
T _{IDIE3}	D ピンから O ピンまでの伝搬遅延 (遅延なし) (HR I/O バンクのみ)	0.09	0.10	0.12	ns
T _{IDIDE3}	DDL _Y ピンから O ピンまでの伝搬遅延 (IDELAY 使用) (HR I/O バンクのみ)	0.10	0.11	0.13	ns
シーケンシャル遅延					
T _{IDLOE2}	フリップフロップをラッチとして使用する場合の D ピンから Q1 ピンまでの遅延 (遅延なし) (HP I/O バンクのみ)	0.36	0.39	0.45	ns
T _{IDLODE2}	フリップフロップをラッチとして使用する場合の DDL _Y ピン から Q1 ピンまでの遅延 (IDELAY 使用) (HP I/O バンクのみ)	0.36	0.39	0.45	ns
T _{IDLOE3}	フリップフロップをラッチとして使用する場合の D ピンから Q1 ピンまでの遅延 (遅延なし) (HR I/O バンクのみ)	0.36	0.39	0.45	ns
T _{IDLOE3}	フリップフロップをラッチとして使用する場合の DDL _Y ピン から Q1 ピンまでの遅延 (IDELAY 使用) (HR I/O バンクのみ)	0.36	0.39	0.45	ns
T _{ICKQ}	CLK to Q outputs	0.47	0.50	0.58	ns
T _{RQ_ILOGICE2}	SR ピンから OQ/TQ 出力までの遅延 (HP I/O バンクのみ)	0.84	0.94	1.16	ns
T _{GSRQ_ILOGICE2}	グローバル セット/リセットから Q 出力までの遅延 (HP I/O バンクのみ)	7.60	7.60	10.51	ns
T _{RQ_ILOGICE3}	SR ピンから OQ/TQ 出力までの遅延 (HR I/O バンクのみ)	0.84	0.94	1.16	ns
T _{GSRQ_ILOGICE3}	グローバル セット/リセットから Q 出力までの遅延 (HR I/O バンクのみ)	7.60	7.60	10.51	ns
セット/リセット					
T _{RPW_ILOGICE2}	最小パルス幅、SR 入力 (HP I/O バンクのみ)	0.54	0.63	0.63	ns、最小
T _{RPW_ILOGICE3}	最小パルス幅、SR 入力 (HR I/O バンクのみ)	0.54	0.63	0.63	ns、最小

表 57 : OLOGIC のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
セットアップ/ホールド					
T _{ODCK} /T _{OCKD}	D1/D2 ピンの CLK に対するセットアップ/ホールド	0.45/-0.13	0.50/-0.13	0.58/-0.13	ns
T _{OOCECK} /T _{OCKOCE}	OCE ピンの CLK に対するセットアップ/ホールド	0.28/0.03	0.29/0.03	0.45/0.03	ns
T _{OSRCK} /T _{OCKSR}	SR ピンの CLK に対するセットアップ/ホールド	0.32/0.18	0.38/0.18	0.70/0.18	ns
T _{OTCK} /T _{OCKT}	T1/T2 ピンの CLK に対するセットアップ/ホールド	0.49/-0.16	0.56/-0.16	0.68/-0.16	ns
T _{OTCECK} /T _{OCKTCE}	TCE ピンの CLK に対するセットアップ/ホールド	0.28/0.01	0.30/0.01	0.45/0.01	ns
組み合わせ					
T _{ODQ}	D1 から OQ 出力または T1 から TQ 出力までの遅延	0.73	0.81	0.97	ns
シーケンシャル遅延					
T _{OCKQ}	CLK から OQ/TQ 出力までの遅延	0.41	0.43	0.49	ns
T _{RQ_OLOGICE2}	SR ピンから OQ/TQ 出力までの遅延 (HP I/O バンクのみ)	0.63	0.70	0.83	ns
T _{GSRQ_OLOGICE2}	グローバル セット/リセットから Q 出力までの遅延 (HP I/O バンクのみ)	7.60	7.60	10.51	ns
T _{RQ_OLOGICE3}	SR ピンから OQ/TQ 出力までの遅延 (HR I/O バンクのみ)	0.63	0.70	0.83	ns
T _{GSRQ_OLOGICE3}	グローバル セット/リセットから Q 出力までの遅延 (HR I/O バンクのみ)	7.60	7.60	10.51	ns
セット/リセット					
T _{RPW_OLOGICE2}	最小パルス幅、SR 入力 (HP I/O バンクのみ)	0.54	0.54	0.63	ns、最小
T _{RPW_OLOGICE3}	最小パルス幅、SR 入力 (HR I/O バンクのみ)	0.54	0.54	0.63	ns、最小

入力シリアライザー/デシリアライザーのスイッチ特性

表 58 : ISERDES のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
制御ラインのセットアップ/ホールド					
T _{ISCK_BITS} SLIP/T _{ISCK_BITS} SLIP	BITS _{SLIP} ピンの CLKDIV に対するセットアップ/ホールド	0.01/0.12	0.02/0.13	0.02/0.15	ns
T _{ISCK_CE} /T _{ISCK_CE} ⁽²⁾	CE ピン (CE1) の CLK に対するセットアップ/ホールド	0.39/-0.02	0.44/-0.02	0.63/-0.02	ns
T _{ISCK_CE2} /T _{ISCK_CE2} ⁽²⁾	CE ピン (CE2) の CLKDIV に対するセットアップ/ホールド	-0.12/0.29	-0.12/0.31	-0.12/0.35	ns
データ ラインのセットアップ/ホールド					
T _{ISDCK_D} /T _{ISCKD_D}	D ピンの CLK に対するセットアップ/ホールド	-0.02/0.11	-0.02/0.12	-0.02/0.15	ns
T _{ISDCK_DDLY} /T _{ISCKD_DDLY}	DDLY ピンの CLK に対するセットアップ/ホールド (IDELAY 使用) ⁽¹⁾	-0.02/0.11	-0.02/0.12	-0.02/0.15	ns
T _{ISDCK_D_DDR} /T _{ISCKD_D_DDR}	DDR モードでの、D ピンの CLK に対するセットアップ/ホールド	-0.02/0.11	-0.02/0.12	-0.02/0.15	ns
T _{ISDCK_DDLY_DDR} /T _{ISCKD_DDLY_DDR}	DDR モードでの、D ピンの CLK に対するセットアップ/ホールド (IDELAY を使用) ⁽¹⁾	0.11/0.11	0.12/0.12	0.15/0.15	ns
シーケンシャル遅延					
T _{ISCKO_Q}	CLKDIV から Q ピンで出力されるまでの遅延	0.46	0.47	0.58	ns
伝搬遅延					
T _{ISDO_DO}	D 入力から DO 出力ピンまでの遅延	0.09	0.10	0.12	ns

注記 :

1. タップが 0 の場合の値です。
2. T_{ISCK_CE2} および $T_{ISCK_CE2}^{(2)}$ は、タイミングレポートでは T_{ISCK_CE}/T_{ISCK_CE} と表示されます。

出力シリアライザー/デシリアライザーのスイッチ特性

表 59 : OSERDES のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
セットアップ/ホールド					
T _{OSDCK_D} /T _{OSCKD_D}	D 入力の CLKDIV に対するセットアップ/ホールド	0.37/0.02	0.40/0.02	0.55/0.02	ns
T _{OSDCK_T} /T _{OSCKD_T} ⁽¹⁾	T 入力の CLK に対するセットアップ/ホールド	0.49/-0.15	0.56/-0.15	0.68/-0.15	ns
T _{OSDCK_T2} /T _{OSCKD_T2} ⁽¹⁾	T 入力の CLKDIV に対するセットアップ/ホールド	0.27/-0.15	0.30/-0.15	0.34/-0.15	ns
T _{OSCK_OCE} /T _{OSCKC_OCE}	OCE 入力の CLK に対するセットアップ/ホールド	0.28/0.03	0.29/0.03	0.45/0.03	ns
T _{OSCK_S}	SR (リセット) 入力の CLKDIV に対するセットアップ	0.41	0.46	0.75	ns
T _{OSCK_TCE} /T _{OSCKC_TCE}	TCE 入力の CLK に対するセットアップ/ホールド	0.28/0.01	0.30/0.01	0.45/0.01	ns
シーケンシャル遅延					
T _{OSCKO_OQ}	CLK から OQ までの Clock-to-Out 遅延	0.35	0.37	0.42	ns
T _{OSCKO_TQ}	CLK から TQ までの Clock-to-Out 遅延	0.41	0.43	0.49	ns
組み合わせ					
T _{OSDO_TTQ}	T 入力から TQ 出力までの遅延	0.73	0.81	0.97	ns

注記 :

1. T_{OSDCK_T2} および T_{OSCKD_T2} は、タイミングレポートでは T_{OSDCK_T}/T_{OSCKD_T} と表示されます。

入力/出力遅延のスイッチ特性

表 60 : 入力/出力遅延のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
IDELAYCTRL					
T _{DLYCCO_RDY}	IDELAYCTRL のリセットからレディ	3.22	3.22	3.22	μs
F _{IDELAYCTRL_REF}	REFCLK 周波数 = 200.0 ⁽¹⁾	200	200	200	MHz
	REFCLK 周波数 = 300.0 ⁽¹⁾	300	300	N/A	MHz
IDELAYCTRL_REF_PRECISION	REFCLK 精度	±10	±10	±10	MHz
T _{IDELAYCTRL_RPW}	最小リセット パルス幅	52.00	52.00	52.00	ns
IDELAY/ODELAY					
T _{IDELAYRESOLUTION}	IDELAY チェーン遅延精度	1/(32 x 2 x F _{REF})			ps
T _{IDELAYPAT_JIT} および T _{ODELAYPAT_JIT}	クロック パターンの遅延チェーンにおけるパターン依存周期ジッター ⁽²⁾	0	0	0	ps/ タップ
	ランダム データ パターンの遅延チェーンにおけるパターン依存周期ジッター (PRBS 23) ⁽³⁾	±5	±5	±5	ps/ タップ
	ランダム データ パターンの遅延チェーンにおけるパターン依存周期ジッター (PRBS 23) ⁽⁴⁾	±9	±9	±9	ps/ タップ
T _{IDELAY_CLK_MAX} / T _{ODELAY_CLK_MAX}	IDELAY/ODELAY への CLK 入力の最大周波数	800	800	710	MHz
T _{IDCCK_CE} /T _{IDCKC_CE}	CE ピンの C に対するセットアップ/ホールド (IDELAY 使用)	0.11/0.10	0.14/0.12	0.18/0.14	ns
T _{ODCCK_CE} /T _{ODCKC_CE}	CE ピンの C に対するセットアップ/ホールド (ODELAY 使用)	0.14/0.03	0.16/0.04	0.19/0.05	ns
T _{IDCCK_INC} /T _{IDCKC_INC}	INC ピンの C に対するセットアップ/ホールド (IDELAY 使用)	0.10/0.14	0.12/0.16	0.14/0.20	ns
T _{ODCCK_INC} /T _{ODCKC_INC}	INC ピンの C に対するセットアップ/ホールド (ODELAY 使用)	0.10/0.07	0.12/0.08	0.13/0.09	ns
T _{IDCCK_RST} /T _{IDCKC_RST}	RST ピンの C に対するセットアップ/ホールド (IDELAY 使用)	0.13/0.08	0.14/0.10	0.16/0.12	ns
T _{ODCCK_RST} /T _{ODCKC_RST}	RST ピンの C に対するセットアップ/ホールド (ODELAY 使用)	0.16/0.04	0.19/0.06	0.24/0.08	ns
T _{IDDO_IDATAIN}	IDELAY の伝播遅延	注記 5	注記 5	注記 5	ps
T _{ODDO_ODATAIN}	ODELAY の伝播遅延	注記 5	注記 5	注記 5	ps

注記 :

1. タップ遅延の平均値は、200MHz で 78ps、300MHz で 52ps です。
2. HIGH_PERFORMANCE モードが TRUE または FALSE の場合です。
3. HIGH_PERFORMANCE モードが TRUE の場合です。
4. HIGH_PERFORMANCE モードが FALSE の場合です。
5. 遅延は IDELAY/ODELAY タップの設定に依存します。実際の値は、タイミング レポートを参照してください。

表 61 : IO_FIFO のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
IO_FIFO の Clock-to-Out 遅延					
T _{OFFCKO_DO}	RDCLK から Q 出力までの遅延	0.51	0.56	0.63	ns
T _{CKO_FLAGS}	クロックから IO_FIFO フラグまでの遅延	0.59	0.62	0.81	ns
セットアップ/ホールド					
T _{CCK_D} /T _{CKC_D}	D 入力から WRCLK	0.43/-0.01	0.47/-0.01	0.53/-0.01	ns
T _{IFFCK_WREN} /T _{IFFCKC_WREN}	WREN から WRCLK	0.39/-0.01	0.43/-0.01	0.50/-0.01	ns
T _{OFFCK_RDEN} /T _{OFFCKC_RDEN}	RDEN から RDCLK	0.49/0.01	0.53/0.02	0.61/0.02	ns
最小パルス幅					
T _{PWH_IO_FIFO}	RESET、RDCLK、WRCLK	0.81	0.92	1.08	ns
T _{PWL_IO_FIFO}	RESET、RDCLK、WRCLK	0.81	0.92	1.08	ns
最大周波数					
F _{MAX}	RDCLK および WRCLK	533.05	470.37	400.00	MHz

CLB スイッチ特性

表 62 : CLB のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
組み合わせ遅延					
T _{ILO}	An – Dn LUT アドレスから A までの遅延	0.05	0.05	0.06	ns、最大
T _{ILO_2}	An – Dn LUT アドレスから AMUX/CMUX までの遅延	0.15	0.16	0.19	ns、最大
T _{ILO_3}	An – Dn LUT アドレスから BMUX_A までの遅延	0.24	0.25	0.30	ns、最大
T _{ITO}	An – Dn 入力から A – DQ 出力までの遅延	0.58	0.61	0.74	ns、最大
T _{AXA}	AX 入力から AMUX 出力までの遅延	0.38	0.40	0.49	ns、最大
T _{AXB}	AX 入力から BMUX 出力までの遅延	0.40	0.42	0.52	ns、最大
T _{AXC}	AX 入力から CMUX 出力までの遅延	0.39	0.41	0.50	ns、最大
T _{AXD}	AX 入力から DMUX 出力までの遅延	0.43	0.44	0.52	ns、最大
T _{BXB}	BX 入力から BMUX 出力までの遅延	0.31	0.33	0.40	ns、最大
T _{BXD}	BX 入力から DMUX 出力までの遅延	0.38	0.39	0.47	ns、最大
T _{CXC}	CX 入力から CMUX 出力までの遅延	0.27	0.28	0.34	ns、最大
T _{CXD}	CX 入力からDMUX 出力までの遅延	0.33	0.34	0.41	ns、最大
T _{DXD}	DX 入力から DMUX 出力までの遅延	0.32	0.33	0.40	ns、最大
シーケンシャル遅延					
T _{CKO}	クロックから AQ – DQ 出力までの遅延	0.26	0.27	0.32	ns、最大
T _{SHCKO}	クロックから AMUX – DMUX 出力までの遅延	0.32	0.32	0.39	ns、最大
クロック CLK 前後における CLB フリップフロップのセットアップ/ホールド タイム					
T _{AS} /T _{AH}	A – D フリップフロップの A _N – D _N 入力から CLK	0.01/0.12	0.02/0.13	0.03/0.18	ns、最小
T _{DICK} /T _{CKDI}	A – D フリップフロップの A _X – D _X 入力から CLK	0.04/0.14	0.04/0.14	0.05/0.20	ns、最小
	MUX および/またはキャリー ロジックを介する A – D フリップフロップの A _X – D _X 入力から CLK	0.36/0.10	0.37/0.11	0.46/0.16	ns、最小
T _{CECK_CLB} /T _{CKCE_CLB}	A – D フリップフロップの CE 入力から CLK	0.19/0.05	0.20/0.05	0.25/0.05	ns、最小
T _{SRCK} /T _{CKSR}	A – D フリップフロップの SR 入力から CLK	0.30/0.05	0.31/0.07	0.37/0.09	ns、最小
セット/リセット					
T _{SRMIN}	SR 入力最小パルス幅	0.52	0.78	1.04	ns、最小
T _{RQ}	SR 入力から AQ – DQ フリップフロップまでの遅延	0.38	0.38	0.46	ns、最大
T _{CEO}	CE 入力から AQ – DQ フリップフロップまでの遅延	0.34	0.35	0.43	ns、最大
F _{TOG}	トグル周波数 (エクスポート制御用)	1818	1818	1818	MHz

CLB 分散 RAM のスイッチ特性 (SLICEM のみ)

表 63 : CLB 分散 RAM のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
シーケンシャル遅延					
T _{SHCKO} ⁽¹⁾	クロックから A – B 出力までの遅延	0.68	0.70	0.85	ns、最大
T _{SHCKO_1}	クロックから AMUX – BMUX 出力までの遅延	0.91	0.95	1.15	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
T _{DS_LRAM} /T _{DH_LRAM}	A – D 入力から CLK	0.45/0.23	0.45/0.24	0.54/0.27	ns、最小
T _{AS_LRAM} /T _{AH_LRAM}	An 入力からクロック	0.13/0.50	0.14/0.50	0.17/0.58	ns、最小
	MUX および/またはキャリー ロジックを介する An 入力からクロック	0.40/0.16	0.42/0.17	0.52/0.23	ns、最小
T _{WS_LRAM} /T _{WH_LRAM}	WE 入力からクロック	0.29/0.09	0.30/0.09	0.36/0.09	ns、最小
T _{CECK_LRAM} /T _{CKCE_LRAM}	CE 入力から CLK	0.29/0.09	0.30/0.09	0.37/0.09	ns、最小
クロック CLK					
T _{MPW_LRAM}	最小パルス幅	0.68	0.77	0.91	ns、最小
T _{MCP}	最小クロック周期	1.35	1.54	1.82	ns、最小

注記 :

1. T_{SHCKO} は CLK から XMUX 出力までの遅延も表します。タイミング レポートで、CLK から XMUX までのパスを参照してください。

CLB シフト レジスタのスイッチ特性 (SLICEM のみ)

表 64 : CLB シフト レジスタのスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
シーケンシャル遅延					
T _{REG}	クロックから A – D 出力までの遅延	0.96	0.98	1.20	ns、最大
T _{REG_MUX}	クロックから AMUX – DMUX 出力までの遅延	1.19	1.23	1.50	ns、最大
T _{REG_M31}	クロックから M31 出力を介した DMUX	0.89	0.91	1.10	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
T _{WS_SHFREG} /T _{WH_SHFREG}	WE 入力	0.26/0.09	0.27/0.09	0.33/0.09	ns、最小
T _{CECK_SHFREG} /T _{CKCE_SHFREG}	CE 入力から CLK	0.27/0.09	0.28/0.09	0.33/0.09	ns、最小
T _{DS_SHFREG} /T _{DH_SHFREG}	A – D 入力から CLK	0.28/0.26	0.28/0.26	0.33/0.30	ns、最小
クロック CLK					
T _{MPW_SHFREG}	最小パルス幅	0.55	0.65	0.78	ns、最小

ブロック RAM および FIFO スイッチ特性

表 65 : ブロック RAM および FIFO のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
ブロック RAM および FIFO の Clock-to-Out 遅延					
T _{RCKO_DO} および T _{RCKO_DO_REG} ⁽¹⁾	クロック CLK から DOUT 出力までの遅延 (出力レジスタなし) ⁽²⁾⁽³⁾	1.57	1.80	2.08	ns、最大
	クロック CLK から DOUT 出力までの遅延 (出力レジスタあり) ⁽⁴⁾⁽⁵⁾	0.54	0.63	0.75	ns、最大
T _{RCKO_DO_ECC} および T _{RCKO_DO_ECC_REG}	ECC を使用した場合のクロック CLK から DOUT 出力 までの遅延 (出力レジスタなし) ⁽²⁾⁽³⁾	2.35	2.58	3.26	ns、最大
	ECC を使用した場合のクロック CLK から DOUT 出力 までの遅延 (出力レジスタあり) ⁽⁴⁾⁽⁵⁾	0.62	0.69	0.80	ns、最大
T _{RCKO_DO_CASCOUT} および T _{RCKO_DO_CASCOUT_REG}	カスケード接続した場合のクロック CLK から DOUT 出 力までの遅延 (出力レジスタなし) ⁽²⁾	2.21	2.45	2.80	ns、最大
	カスケード接続した場合のクロック CLK から DOUT 出 力までの遅延 (出力レジスタあり) ⁽⁴⁾	0.98	1.08	1.24	ns、最大
T _{RCKO_FLAGS}	クロック CLK から FIFO フラグ出力までの遅延 ⁽⁶⁾	0.65	0.74	0.89	ns、最大
T _{RCKO_POINTERS}	クロック CLK から FIFO ポインター出力までの遅延 ⁽⁷⁾	0.79	0.87	0.98	ns、最大
T _{RCKO_PARITY_ECC}	エンコード専用モードの ECC を使用した場合のクロッ ク CLK から ECCPARITY までの遅延	0.66	0.72	0.80	ns、最大
T _{RCKO_SDBIT_ECC} および T _{RCKO_SDBIT_ECC_REG}	クロック CLK から BITERR 出力までの遅延 (出力レジスタなし)	2.17	2.38	3.01	ns、最大
	クロック CLK から BITERR 出力までの遅延 (出力レジスタあり)	0.57	0.65	0.76	ns、最大
T _{RCKO_RDADDR_ECC} および T _{RCKO_RDADDR_ECC_REG}	ECC を使用した場合のクロック CLK から RDADDR 出 力までの遅延 (出力レジスタなし)	0.64	0.74	0.90	ns、最大
	ECC を使用した場合のクロック CLK から RDADDR 出 力までの遅延 (出力レジスタあり)	0.71	0.79	0.92	ns、最大
クロック CLK 前後におけるセットアップ タイムおよびホールド タイム					
T _{RCCK_ADDRA} /T _{RCKC_ADDRA}	ADDR 入力 ⁽⁸⁾	0.38/0.27	0.42/0.28	0.48/0.31	ns、最小
T _{RDCK_DI_WF_NC} / T _{RCKD_DI_WF_NC}	ブロック RAM を WRITE_FIRST または NO_CHANGE モードにコンフィギュレーションした場合のデータ入力 セットアップ/ホールド タイム ⁽⁹⁾	0.49/0.51	0.55/0.53	0.63/0.57	ns、最小
T _{RDCK_DI_RF} / T _{RCKD_DI_RF}	ブロック RAM を READ_FIRST モードにコンフィギュ レーションする場合のデータ入力セットアップ/ホールド タイム ⁽⁹⁾	0.17/0.25	0.19/0.29	0.21/0.35	ns、最小
T _{RDCK_DI_ECC} / T _{RCKD_DI_ECC}	標準モードのブロック RAM ECC を使用した場合の DIN 入力 ⁽⁹⁾	0.42/0.37	0.47/0.39	0.53/0.43	ns、最小
T _{RDCK_DI_ECCW} / T _{RCKD_DI_ECCW}	ブロック RAM ECC エンコードのみを使用した場合の DIN 入力 ⁽⁹⁾	0.79/0.37	0.87/0.39	0.99/0.43	ns、最小
T _{RDCK_DI_ECC_FIFO} / T _{RCKD_DI_ECC_FIFO}	標準モードの FIFO ECC を使用した場合の DIN 入力 ⁽⁹⁾	0.89/0.47	0.98/0.50	1.12/0.54	ns、最小
T _{RCCK_INJECTBITERR} / T _{RCKC_INJECTBITERR}	ECC モードでシングル/ダブル ビット エラーを挿入	0.49/0.30	0.55/0.31	0.63/0.34	ns、最小

表 65 : ブロック RAM および FIFO のスイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{RCKK_EN}/T_{RCKC_EN}	ブロック RAM のイネーブル (EN) 入力	0.30/0.17	0.33/0.18	0.38/0.20	ns、最小
$T_{RCKK_REGCE}/T_{RCKC_REGCE}$	出力レジスタの CE 入力	0.21/0.13	0.25/0.13	0.31/0.14	ns、最小
$T_{RCKK_RSTREG}/T_{RCKC_RSTREG}$	同期 RSTREG 入力	0.25/0.06	0.27/0.06	0.29/0.06	ns、最小
$T_{RCKK_RSTRAM}/T_{RCKC_RSTRAM}$	同期 RSTRAM 入力	0.27/0.35	0.29/0.37	0.31/0.39	ns、最小
$T_{RCKK_WEA}/T_{RCKC_WEA}$	ライト イネーブル (WE) 入力 (ブロック RAM のみ)	0.38/0.15	0.41/0.16	0.46/0.17	ns、最小
$T_{RCKK_WREN}/T_{RCKC_WREN}$	WREN FIFO 入力	0.39/0.25	0.39/0.30	0.40/0.37	ns、最小
$T_{RCKK_RDEN}/T_{RCKC_RDEN}$	RDEN FIFO 入力	0.36/0.26	0.36/0.30	0.37/0.37	ns、最小
リセット遅延					
T_{RCO_FLAGS}	リセット RST から FIFO フラグ/ポインターまでの遅延 ⁽¹⁰⁾	0.76	0.83	0.93	ns、最大
$T_{RREC_RST}/T_{RREM_RST}$	FIFO リセットリカバリおよび削除タイミング ⁽¹¹⁾	1.59/-0.68	1.76/-0.68	2.01/-0.68	ns、最大
最大周波数					
$F_{MAX_BRAM_WF_NC}$	ブロック RAM (Write First および No Change モード) SDP RF モードではない	601.32	543.77	458.09	MHz
$F_{MAX_BRAM_RF_PERFORMANCE}$	ブロック RAM (Read First、Performance モード) SDP RF モード、ポート A とポート B 間でアドレス重複 なし	601.32	543.77	458.09	MHz
$F_{MAX_BRAM_RF_DELAYED_WRITE}$	ブロック RAM (Read First、Delayed_write モード) SDP RF モード、ポート A とポート B 間でアドレス重複 の可能性あり	528.26	477.33	400.80	MHz
$F_{MAX_CAS_WF_NC}$	ブロック RAM カスケード (Write First、No change モード) カスケード接続、RF モードではない	551.27	493.93	408.00	MHz
$F_{MAX_CAS_RF_PERFORMANCE}$	ブロック RAM カスケード (Read First、Performance モード) RF モードでカスケード接続されている場合、 アドレス重複の可能性はなし/1 つのポートが無効	551.27	493.93	408.00	MHz
$F_{MAX_CAS_RF_DELAYED_WRITE}$	RF モードでカスケード接続されている場合、ポート A と ポート B 間でアドレス重複の可能性あり	478.24	427.35	350.88	MHz
F_{MAX_FIFO}	ECC を使用した場合のすべてのモードの FIFO	601.32	543.77	458.09	MHz
F_{MAX_ECC}	ECC コンフィギュレーションのブロック RAM および FIFO	484.26	430.85	351.12	MHz

注記:

1. タイミング レポートでは、すべてのパラメーターが T_{RCKO_DO} と表示されます。
2. T_{RCKO_DOR} には B ポートに相当するタイミング パラメーターのほかに、 T_{RCKO_DOW} 、 T_{RCKO_DOPR} 、および T_{RCKO_DOPW} が含まれます。
3. これらのパラメーターは、 $DO_REG = 0$ に設定された同期 FIFO にも適用されます。
4. T_{RCKO_DO} には B ポートに相当するタイミングパラメーターのほかに、 T_{RCKO_DOP} が含まれます。
5. これらのパラメーターは、 $DO_REG=1$ に設定されたマルチレート (非同期) FIFO および同期 FIFO にも適用されます。
6. T_{RCKO_FLAGS} には、 T_{RCKO_AEMPTY} 、 T_{RCKO_AFULL} 、 T_{RCKO_EMPTY} 、 T_{RCKO_FULL} 、 T_{RCKO_RDERR} 、 T_{RCKO_WRERR} が含まれます。
7. $T_{RCKO_POINTERS}$ には、 $T_{RCKO_RDCOUNT}$ および $T_{RCKO_WRCOUNT}$ の両方が含まれます。
8. ADDR のセットアップおよびホールド タイムは、WE が無効の場合でも、EN がアサートされるときに満たされている必要があります。満たされていないと、ブロック RAM データが破損する可能性があります。
9. これらのパラメーターには、A 入力と B 入力、およびそれらのパリティ入力が含まれます。
10. T_{RCO_FLAGS} には、AEMPTY、AFULL、EMPTY、FULL、RDERR、WRERR、RDCOUNT、および WRCOUNT が含まれます。
11. RDEN および WREN は、リセット前から終了するまでの間 Low に保持しておく必要があります。FIFO のリセットは、最も低速のクロック (WRCLK または RDCLK) の少なくとも立ち上がりエッジ 5 回分アサートする必要があります。

DSP48E1 スイッチ特性

表 66 : DSP48E1 のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
データ/制御ピンから入力レジスタ クロックへのセットアップ タイムおよびホールド タイム					
T _{DSPDCK_A_AREG} /T _{DSPCKD_A_AREG}	A 入力から A レジスタ CLK	0.24/0.12	0.27/0.14	0.31/0.16	ns
T _{DSPDCK_B_BREG} /T _{DSPCKD_B_BREG}	B 入力から B レジスタ CLK	0.28/0.13	0.32/0.14	0.39/0.15	ns
T _{DSPDCK_C_CREG} /T _{DSPCKD_C_CREG}	C 入力から C レジスタ CLK	0.15/0.15	0.17/0.17	0.20/0.20	ns
T _{DSPDCK_D_DREG} /T _{DSPCKD_D_DREG}	D 入力から D レジスタ CLK	0.21/0.19	0.27/0.22	0.35/0.26	ns
T _{DSPDCK_ACIN_AREG} /T _{DSPCKD_ACIN_AREG}	ACIN 入力から A レジスタ CLK	0.21/0.12	0.24/0.14	0.27/0.16	ns
T _{DSPDCK_BCIN_BREG} /T _{DSPCKD_BCIN_BREG}	BCIN 入力から B レジスタ CLK	0.22/0.13	0.25/0.14	0.30/0.15	ns
パイプライン レジスタ クロックに対するデータ ピンのセットアップおよびホールド タイム					
T _{DSPDCK_{A,B}_MREG_MULT} /T _{DSPCKD_B_MREG_MULT}	{A, B,} 入力から M レジスタ CLK (乗算器を使用)	2.04/-0.01	2.34/-0.01	2.79/-0.01	ns
T _{DSPDCK_{A,B}_ADREG} /T _{DSPCKD_D_ADREG}	{A, D} 入力から AD レジスタ CLK	1.09/-0.02	1.25/-0.02	1.49/-0.02	ns
データ/制御ピンから出力レジスタ クロックへのセットアップ タイムおよびホールド タイム					
T _{DSPDCK_{A,B}_PREG_MULT} /T _{DSPCKD_{A,B}_PREG_MULT}	{A, B,} 入力から P レジスタ CLK (乗算器を使用)	3.41/-0.24	3.90/-0.24	4.64/-0.24	ns
T _{DSPDCK_D_PREG_MULT} /T _{DSPCKD_D_PREG_MULT}	D 入力から P レジスタ CLK (乗算器を使用)	3.33/-0.62	3.81/-0.62	4.53/-0.62	ns
T _{DSPDCK_{A,B}_PREG} /T _{DSPCKD_{A,B}_PREG}	A または B 入力から P レジスタ CLK (乗算器は未使用)	1.47/-0.24	1.68/-0.24	2.00/-0.24	ns
T _{DSPDCK_C_PREG} /T _{DSPCKD_C_PREG}	C 入力から P レジスタ CLK (乗算器は未使用)	1.30/-0.22	1.49/-0.22	1.78/-0.22	ns
T _{DSPDCK_PCIN_PREG} /T _{DSPCKD_PCIN_PREG}	PCIN 入力から P レジスタ CLK	1.12/-0.13	1.28/-0.13	1.52/-0.13	ns
CE ピンのセットアップ タイムおよびホールド タイム					
T _{DSPDCK_{CEA;CEB}_{AREG;BREG}} /T _{DSPCKD_{CEA;CEB}_{AREG;BREG}}	{CEA; CEB} 入力から {A; B} レジスタ CLK	0.30/0.05	0.36/0.06	0.44/0.09	ns
T _{DSPDCK_CEC_CREG} /T _{DSPCKD_CEC_CREG}	CEC 入力から C レジスタ CLK	0.24/0.08	0.29/0.09	0.36/0.11	ns
T _{DSPDCK_CED_DREG} /T _{DSPCKD_CED_DREG}	CED 入力から D レジスタ CLK	0.31/-0.02	0.36/-0.02	0.44/-0.02	ns
T _{DSPDCK_CEM_MREG} /T _{DSPCKD_CEM_MREG}	CEM 入力から M レジスタ CLK	0.26/0.15	0.29/0.17	0.33/0.20	ns
T _{DSPDCK_CEP_PREG} /T _{DSPCKD_CEP_PREG}	CEP 入力から P レジスタ CLK	0.31/0.01	0.36/0.01	0.45/0.01	ns
RST ピンのセットアップ タイムおよびホールド タイム					
T _{DSPDCK_{RSTA; RSTB}_{AREG; BREG}} /T _{DSPCKD_{RSTA; RSTB}_{AREG; BREG}}	{A, B} レジスタの CLK に対する {RSTA、RSTB} 入力	0.34/0.10	0.39/0.11	0.47/0.13	ns
T _{DSPDCK_RSTC_CREG} /T _{DSPCKD_RSTC_CREG}	RSTC 入力から C レジスタ CLK	0.06/0.22	0.07/0.24	0.08/0.26	ns
T _{DSPDCK_RSTD_DREG} /T _{DSPCKD_RSTD_DREG}	RSTD 入力から D レジスタ CLK	0.37/0.06	0.42/0.06	0.50/0.07	ns
T _{DSPDCK_RSTM_MREG} /T _{DSPCKD_RSTM_MREG}	RSTM 入力から M レジスタ CLK	0.18/0.18	0.20/0.21	0.23/0.24	ns
T _{DSPDCK_RSTP_PREG} /T _{DSPCKD_RSTP_PREG}	RSTP 入力から P レジスタ CLK	0.24/0.01	0.26/0.01	0.30/0.01	ns
入力ピンから出力ピンまでの組み合わせ遅延					
T _{DSPDO_A_CARRYOUT_MULT}	A 入力から CARRYOUT 出力 (乗算器を使用)	3.21	3.69	4.39	ns
T _{DSPDO_D_P_MULT}	D 入力から P 出力 (乗算器を使用)	3.15	3.61	4.30	ns
T _{DSPDO_A_P}	A 入力から P 出力 (乗算器は未使用)	1.30	1.48	1.76	ns
T _{DSPDO_C_P}	C 入力から P 出力	1.13	1.30	1.55	ns

表 66 : DSP48E1 のスイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
入力ピンからカスケード接続された出力ピンまでの組み合わせ遅延					
T _{DSPDO_{A; B}_{ACOUT; BCOUT}}	{A、B} 入力から {ACOUT、BCOUT} 出力	0.47	0.53	0.63	ns
T _{DSPDO_{A, B}_CARRYCASCOUT_MULT}	{A、B} 入力から CARRYCASCOUT 出力 (乗算器を使用)	3.44	3.94	4.69	ns
T _{DSPDO_D_CARRYCASCOUT_MULT}	D 入力から CARRYCASCOUT 出力 (乗算器を使用)	3.36	3.85	4.58	ns
T _{DSPDO_{A, B}_CARRYCASCOUT}	{A、B} 入力から CARRYCASCOUT 出力 (乗算器は未使用)	1.50	1.72	2.04	ns
T _{DSPDO_C_CARRYCASCOUT}	C 入力から CARRYCASCOUT 出力	1.34	1.53	1.83	ns
カスケード接続された入力ピンからすべての出力ピンまでの組み合わせ遅延					
T _{DSPDO_ACIN_P_MULT}	ACIN 入力から P 出力 (乗算器を使用)	3.09	3.55	4.24	ns
T _{DSPDO_ACIN_P}	ACIN 入力から P 出力 (乗算器は未使用)	1.16	1.33	1.59	ns
T _{DSPDO_ACIN_ACOUT}	ACIN 入力から ACOUT 出力までの遅延	0.32	0.37	0.45	ns
T _{DSPDO_ACIN_CARRYCASCOUT_MULT}	ACIN 入力から CARRYCASCOUT 出力 (乗算器を使用)	3.30	3.79	4.52	ns
T _{DSPDO_ACIN_CARRYCASCOUT}	ACIN 入力から CARRYCASCOUT 出力 (乗算器は未使用)	1.37	1.57	1.87	ns
T _{DSPDO_PCIN_P}	PCIN 入力から P 出力	0.94	1.08	1.29	ns
T _{DSPDO_PCIN_CARRYCASCOUT}	PCIN 入力から CARRYCASCOUT 出力	1.15	1.32	1.57	ns
出力レジスタ クロックから出力ピンまでの Clock-to-Out					
T _{DSPCKO_P_PREG}	CLK PREG から P 出力	0.33	0.35	0.39	ns
T _{DSPCKO_CARRYCASCOUT_PREG}	CLK PREG から CARRYCASCOUT 出力	0.44	0.50	0.59	ns
パイプライン レジスタ クロックから出力ピンまでの Clock-to-Out					
T _{DSPCKO_P_MREG}	CLK MREG から P 出力	1.42	1.64	1.96	ns
T _{DSPCKO_CARRYCASCOUT_MREG}	CLK MREG から CARRYCASCOUT 出力	1.63	1.87	2.24	ns
T _{DSPCKO_P_ADREG_MULT}	CLK ADREG 入力から P 出力 (乗算器を使用)	2.30	2.63	3.13	ns
T _{DSPCKO_CARRYCASCOUT_ADREG_MULT}	CLK ADREG 入力から CARRYCASCOUT 出力 (乗算器を使用)	2.51	2.87	3.41	ns
入力レジスタ クロックから出力ピンまでの Clock-to-Out					
T _{DSPCKO_P_AREG_MULT}	CLK AREG 入力から P 出力 (乗算器を使用)	3.34	3.83	4.55	ns
T _{DSPCKO_P_BREG}	CLK BREG 入力から P 出力 (乗算器は未使用)	1.39	1.59	1.88	ns
T _{DSPCKO_P_CREG}	CLK CREG 入力から P 出力 (乗算器は未使用)	1.43	1.64	1.95	ns
T _{DSPCKO_P_DREG_MULT}	CLK DREG 入力から P 出力 (乗算器を使用)	3.32	3.80	4.51	ns
入力レジスタ クロックからカスケード接続された出力ピンまでの Clock-to-Out					
T _{DSPCKO_{ACOUT; BCOUT}_{AREG; BREG}}	CLK (ACOUT、BCOUT) 入力から {A,B} レジスタ出力	0.55	0.62	0.74	ns
T _{DSPCKO_CARRYCASCOUT_{AREG, BREG}_MULT}	CLK (AREG、BREG) から CARRYCASCOUT 出力 (乗算器を使用)	3.55	4.06	4.84	ns
T _{DSPCKO_CARRYCASCOUT_BREG}	CLK BREG 入力から CARRYCASCOUT 出力 (乗算器は未使用)	1.60	1.82	2.16	ns
T _{DSPCKO_CARRYCASCOUT_DREG_MULT}	CLK DREG 入力から CARRYCASCOUT 出力 (乗算器を使用)	3.52	4.03	4.79	ns

表 66 : DSP48E1 のスイッチ特性 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
$T_{\text{DSPCKO_CARRYCASCOUT_CREG}}$	CLK CREG から CARRYCASCOUT 出力	1.64	1.88	2.23	ns
最大周波数					
F_{MAX}	すべてのレジスタを使用	741.84	650.20	547.95	MHz
$F_{\text{MAX_PATDET}}$	パターン検出器を使用	627.35	549.75	463.61	MHz
$F_{\text{MAX_MULT_NOMREG}}$	2 つのレジスタ付き乗算器 (MREG なし)	412.20	360.75	303.77	MHz
$F_{\text{MAX_MULT_NOMREG_PATDET}}$	2 つのレジスタ付き乗算器 (MREG なし、 パターン検出なし)	374.25	327.65	276.01	MHz
$F_{\text{MAX_PREADD_MULT_NOADREG}}$	ADREG なし	468.82	408.66	342.70	MHz
$F_{\text{MAX_PREADD_MULT_NOADREG_PATDET}}$	ADREG なし (パターン検出あり)	468.82	408.66	342.70	MHz
$F_{\text{MAX_NOPIPELINEREG}}$	パイプライン レジスタなし (MREG、 ADREG)	306.84	267.81	225.02	MHz
$F_{\text{MAX_NOPIPELINEREG_PATDET}}$	パイプライン レジスタなし (MREG、 ADREG) (パターン検出あり)	285.23	249.13	209.38	MHz

クロック バッファおよびネットワーク

表 67: グローバル クロックのスイッチ特性 (BUFGCTRL を含む)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
$T_{BCCCK_CE}/T_{BCKCK_CE}^{(1)}$	CE ピンのセットアップ/ホールド	0.12/0.30	0.14/0.38	0.26/0.38	ns
$T_{BCCCK_S}/T_{BCKCK_S}^{(1)}$	S ピンのセットアップ/ホールド	0.12/0.30	0.14/0.38	0.26/0.38	ns
$T_{BCKCK_O}^{(2)}$	I0/I1 から O までの BUFGCTRL 遅延	0.08	0.10	0.12	ns
最大周波数					
F_{MAX_BUFG}	グローバル クロック ツリー (BUFG)	741.00	710.00	625.00	MHz

注記:

- T_{BCCCK_CE} および T_{BCKCK_CE} は、クロックの切り替え時にグローバル クロックの動作でグリッチが発生しないようにするため、仕様を満たす必要があります。BUFGMUX プリミティブではグリッチが発生しないため、これらのパラメーターは適用されません。その他のグローバル クロックのセットアップおよびホールド タイムはオプションです。この要件を満たす必要があるのは、クロックの切り替え時にサイクルごとにデバイス動作をシミュレーションと一致させる必要がある場合のみです。
- T_{BCKCK_O} (I0 から O までの BUFG 遅延) の値は、 T_{BCKCK_O} の値と同じです。

表 68: 入力/出力クロックのスイッチ特性 (BUFIO)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{BIOCKO_O}	I から O までの Clock-to-Out 遅延	1.04	1.14	1.32	ns
最大周波数					
F_{MAX_BUFIO}	I/O クロック ツリー (BUFIO)	800.00	800.00	710.00	MHz

表 69: リージョナル クロック バッファのスイッチ特性 (BUFR)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{BRCKO_O}	I から O までの Clock-to-Out 遅延	0.60	0.65	0.77	ns
$T_{BRCKO_O_BYP}$	Divide Bypass 属性設定時の I から O までの Clock-to-Out 遅延	0.30	0.32	0.38	ns
T_{BRDO_O}	CLR から O までの伝播遅延	0.71	0.75	0.96	ns
最大周波数					
$F_{MAX_BUFR}^{(1)}$	リージョナル クロック ツリー (BUFR)	600.00	540.00	450.00	MHz

注記:

- BUFR および BUFMR への最大入力周波数は $BUFIO F_{MAX}$ 周波数です。

表 70: 水平クロック バッファのスイッチ特性 (BUFH)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{BHCKO_O}	I から O までの BUFH の遅延	0.10	0.11	0.13	ns
$T_{BHCKCK_CE}/T_{BHCKC_CE}$	CE ピンのセットアップ/ホールド	0.20/0.16	0.23/0.20	0.38/0.21	ns
最大周波数					
F_{MAX_BUFH}	水平クロック バッファ (BUFH)	741.00	710.00	625.00	MHz

表 71 : デューティ サイクルのずれおよびクロック ツリーのスキュー

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
T _{D_{CD}_CLK}	グローバル クロック ツリーのデューティ サイクルのずれ ⁽¹⁾	すべて	0.20	0.20	0.20	ns
T _{CKSKEW}	グローバル クロック ツリーのスキュー ⁽²⁾	XC7Z030	0.29	0.36	0.37	ns
		XC7Z045	0.43	0.54	0.57	ns
		XC7Z100	N/A	0.54	0.56	ns
T _{D_{CD}_BUFIO}	I/O クロック ツリーのデューティ サイクルのずれ	すべて	0.12	0.12	0.12	ns
T _{BUFIO_SKEW}	1 クロック領域内での I/O クロック ツリー スキュー	すべて	0.02	0.02	0.02	ns
T _{D_{CD}_BUFR}	リージョナル クロック ツリーのデューティ サイクルのずれ	すべて	0.15	0.15	0.15	ns

注記 :

- これらのパラメーターは、LVDS 出力バッファを使用するデバイスピンで計測されるデューティ サイクルのずれのワースト ケースです。その他の I/O 規格については、IBIS を使用して立ち上がり/立下がり時間が非対称であるために生じるデューティ サイクルのずれを計測できます。
- T_{CKSKEW} 値は、順次 I/O エレメント間で計測されるクロック ツリー スキューのワースト ケースです。I/O レジスタが近接し、入力がクロック ツリーの同じ分岐または近接する分岐にある場合は、クロック ツリー スキューが大幅に低減されます。特定のアプリケーションのクロック スキュー値を得るには、ザイリンクスの Timing Analyzer ツールを使用してください。

MMCM スイッチ特性

表 72 : MMCM の仕様

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
MMCM_F _{INMAX}	最大入力クロック周波数	1066.00	933.00	800.00	MHz
MMCM_F _{INMIN}	最小入力クロック周波数	10.00	10.00	10.00	MHz
MMCM_F _{INJITTER}	最大入力クロック周期ジッター	クロック入力周期の 20% 以内または最大 1ns			
MMCM_F _{INDUTY}	入力デューティ サイクル許容範囲 : 10 ~ 49MHz	25.00	25.00	25.00	%
	入力デューティ サイクル許容範囲 : 50 ~ 199MHz	30.00	30.00	30.00	%
	入力デューティ サイクル許容範囲 : 200 ~ 399MHz	35.00	35.00	35.00	%
	入力デューティ サイクル許容範囲 : 400 ~ 499MHz	40.00	40.00	40.00	%
	入力デューティ サイクル許容範囲 : >500MHz	45.00	45.00	45.00	%
MMCM_F _{MIN_PSCLK}	最小可変位相シフト クロック周波数	0.01	0.01	0.01	MHz
MMCM_F _{MAX_PSCLK}	最大可変位相シフト クロック周波数	550.00	500.00	450.00	MHz
MMCM_F _{VCOMIN}	最小 MMCM VCO 周波数	600.00	600.00	600.00	MHz
MMCM_F _{VCOMAX}	最大 MMCM VCO 周波数	1600.00	1440.00	1200.00	MHz
MMCM_F _{BANDWIDTH}	標準 Low MMCM 帯域幅 ⁽¹⁾	1.00	1.00	1.00	MHz
	標準 High MMCM 帯域幅 ⁽¹⁾	4.00	4.00	4.00	MHz
MMCM_T _{STATPHAOFFSET}	MMCM 出力のスタティック位相オフセット ⁽²⁾	0.12	0.12	0.12	ns
MMCM_T _{OUTJITTER}	MMCM 出力ジッター	注記 3			
MMCM_T _{OUTDUTY}	MMCM 出力クロックのデューティ サイクル精度 ⁽⁴⁾	0.20	0.20	0.20	ns
MMCM_T _{LOCKMAX}	MMCM 最大ロック時間	100.00	100.00	100.00	μs
MMCM_F _{OUTMAX}	MMCM 最大出力周波数	1066.00	933.00	800.00	MHz
MMCM_F _{OUTMIN}	MMCM 最小出力周波数 ⁽⁵⁾⁽⁶⁾	4.69	4.69	4.69	MHz

表 72 : MMCM の仕様 (続き)

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
MMCM_T _{EXTFDVAR}	外部クロック フィードバックの変動	クロック入力周期の 20% 以内または最大 1ns			
MMCM_RST _{MINPULSE}	最小リセット パルス幅	5.00	5.00	5.00	ns
MMCM_F _{PFDMAX}	PFD (位相周波数検出器) での最大周波数	550.00	500.00	450.00	MHz
MMCM_F _{PFDMIN}	PFD (位相周波数検出器) での最小周波数	10.00	10.00	10.00	MHz
MMCM_T _{FBDELAY}	フィードバック パスでの最大遅延	最大 3ns または CLKIN の 1 サイクル			
MMCM スイッチ特性のセットアップおよびホールド					
T _{MMCMDCK_PSEN} / T _{MMCMCKD_PSEN}	位相シフト イネーブルのセットアップおよびホールド	1.04/0.00	1.04/0.00	1.04/0.00	ns
T _{MMCMDCK_PSINCDEC} / T _{MMCMCKD_PSINCDEC}	位相シフト インクリメント/デクリメントのセットアップ/ ホールド	1.04/0.00	1.04/0.00	1.04/0.00	ns
T _{MMCMCKO_PSDONE}	PSDONE の位相シフト Clock-to-Out	0.59	0.68	0.81	ns
DCLK 前後の MMCM の DRP (ダイナミック リコンフィギュレーション ポート)					
T _{MMCMDCK_DADDR} / T _{MMCMCKD_DADDR}	D アドレスのセットアップおよびホールド	1.25/0.15	1.40/0.15	1.63/0.15	ns、最小
T _{MMCMDCK_DI} / T _{MMCMCKD_DI}	D 入力のセットアップおよびホールド	1.25/0.15	1.40/0.15	1.63/0.15	ns、最小
T _{MMCMDCK_DEN} / T _{MMCMCKD_DEN}	D イネーブルのセットアップおよびホールド	1.76/0.00	1.97/0.00	2.29/0.00	ns、最小
T _{MMCMDCK_DWE} / T _{MMCMCKD_DWE}	D ライト イネーブルのセットアップおよびホールド	1.25/0.15	1.40/0.15	1.63/0.15	ns、最小
T _{MMCMCKO_DRDY}	DRDY の CLK-to-Out	0.65	0.72	0.99	ns、最大
F _{DCK}	DCLK の周波数	200.00	200.00	200.00	MHz、最大

注記:

1. MMCM では通常の拡散スペクトラム入力クロックがフィルターされません。これは、通常これらの入力が帯域幅フィルターの周波数よりもはるかに低い値のためです。
2. スタティック オフセットは、同一の位相を持つ任意の MMCM 出力間で計測されています。
3. このパラメーターの値は、クロッキング ウィザードから取得できます。
詳細は、http://japan.xilinx.com/products/intellectual-property/clocking_wizard.htm を参照してください。
4. グローバル クロック バッファを含みます。
5. デューティ サイクルが 50% の場合に $F_{VCO}/128$ として算出した値です。
6. CLKOUT4_CASCADE = TRUE のとき、MMCM_F_{OUTMIN} は 0.036MHz です。

PLL スイッチ仕様

表 73 : PLL の仕様

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
PLL_F _{INMAX}	最大入力クロック周波数	1066.00	933.00	800.00	MHz
PLL_F _{INMIN}	最小入力クロック周波数	19.00	19.00	19.00	MHz
PLL_F _{INJITTER}	最大入力クロック周期ジッター	クロック入力周期の 20% 以内または最大 1ns			
PLL_F _{INDUTY}	入力デューティ サイクル許容範囲：19 ～ 49MHz	25.00	25.00	25.00	%
	入力デューティ サイクル許容範囲：50 ～ 199MHz	30.00	30.00	30.00	%
	入力デューティ サイクル許容範囲：200 ～ 399MHz	35.00	35.00	35.00	%
	入力デューティ サイクル許容範囲：400 ～ 499MHz	40.00	40.00	40.00	%
	入力デューティ サイクル許容範囲：>500MHz	45.00	45.00	45.00	%
PLL_F _{VCOMIN}	最小 PLL VCO 周波数	800.00	800.00	800.00	MHz
PLL_F _{VCOMAX}	最大 PLL VCO 周波数	2133.00	1866.00	1600.00	MHz
PLL_F _{BANDWIDTH}	標準 Low PLL 帯域幅 ⁽¹⁾	1.00	1.00	1.00	MHz
	標準 High PLL 帯域幅 ⁽¹⁾	4.00	4.00	4.00	MHz
PLL_T _{STATPHAOFFSET}	PLL 出力のスタティック位相オフセット ⁽²⁾	0.12	0.12	0.12	ns
PLL_T _{OUTJITTER}	PLL 出力ジッター ⁽³⁾	注記 1			
PLL_T _{OUTDUTY}	PLL 出力クロックのデューティ サイクル精度 ⁽⁴⁾	0.20	0.20	0.20	ns
PLL_T _{LOCKMAX}	PLL 最大ロック時間	100.00	100.00	100.00	μs
PLL_F _{OUTMAX}	PLL 最大出力周波数	1066.00	933.00	800.00	MHz
PLL_F _{OUTMIN}	PLL 最小出力周波数 ⁽⁵⁾	6.25	6.25	6.25	MHz
PLL_T _{EXTFDVAR}	外部クロック フィードバックの変動	クロック入力周期の 20% 以内または最大 1ns			
PLL_RST _{MINPULSE}	最小リセット パルス幅	5.00	5.00	5.00	ns
PLL_F _{PFDMAX}	PFD (位相周波数検出器) での最大周波数	550.00	500.00	450.00	MHz
PLL_F _{PFDMIN}	PFD (位相周波数検出器) での最小周波数	19.00	19.00	19.00	MHz
PLL_T _{FBDELAY}	フィードバック パスでの最大遅延	最大 3ns または CLKIN の 1 サイクル			
DCLK 前後の PLL の DRP (ダイナミック リコンフィギュレーション ポート)					
T _{PLLCKC_DADDR} / T _{PLLCKC_DADDR}	D アドレスのセットアップおよびホールド	1.25/0.15	1.40/0.15	1.63/0.15	ns、最小
T _{PLLCKC_DI} /T _{PLLCKC_DI}	D 入力のセットアップおよびホールド	1.25/0.15	1.40/0.15	1.63/0.15	ns、最小
T _{PLLCKC_DEN} /T _{PLLCKC_DEN}	D イネーブルのセットアップおよびホールド	1.76/0.00	1.97/0.00	2.29/0.00	ns、最小
T _{PLLCKC_DWE} /T _{PLLCKC_DWE}	D ライト イネーブルのセットアップおよびホールド	1.25/0.15	1.40/0.15	1.63/0.15	ns、最小
T _{PLLCKO_DRDY}	DRDY の CLK-to-Out	0.65	0.72	0.99	ns、最大
F _{DCK}	DCLK の周波数	200.00	200.00	200.00	MHz、最大

注記 :

- PLL では通常の拡散スペクトラム入力クロックがフィルターされません。これは、通常これらの入力が帯域幅フィルターの周波数よりもはるかに低い値のためです。
- スタティック オフセットは、同一の位相を持つ任意の PLL 出力間で計測されています。
- このパラメーターの値は、クロッキング ウィザードから取得できます。
詳細は、http://japan.xilinx.com/products/intellectual-property/clocking_wizard.htm を参照してください。
- グローバル クロック バッファを含みます。
- デューティ サイクルが 50% の場合に F_{VCO}/128 として算出した値です。

デバイスの Pin-to-Pin 出力パラメーターのガイドライン

表 74 : CC (クロック兼用) クロック入力から出力までの遅延 (MMCM/PLL なし)、(クロック領域近辺)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート = Fast、MMCM/PLL なし)						
T _{ICKOF}	CC クロック入力と OUTFF 間 (MMCM/PLL なし)、(クロック領域近辺)	XC7Z030	5.32	5.85	6.55	ns
		XC7Z045	5.27	5.78	6.48	ns
		XC7Z100	N/A	5.91	6.62	ns

注記 :

- この表には、1 つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが 1 本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。

表 75 : CC (クロック兼用) クロック入力から出力までの遅延 (MMCM/PLL なし)、(クロック領域から離れている)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、12mA、スルー レート = Fast、MMCM/PLL なし)						
T _{ICKOFFAR}	CC クロック入力と OUTFF 間 (MMCM/PLL なし)、 (クロック領域から離れている)	XC7Z030	5.32	5.85	6.55	ns
		XC7Z045	5.88	6.46	7.23	ns
		XC7Z100	N/A	6.59	7.37	ns

注記 :

- この表には、1 つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが 1 本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。

表 76 : CC (クロック兼用) クロック入力から出力までの遅延 (MMCM あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、MMCM あり)						
T _{ICKOFMMCMCC}	CC クロック入力と OUTFF 間 (MMCM あり)	XC7Z030	0.92	0.92	0.92	ns
		XC7Z045	0.97	0.97	0.97	ns
		XC7Z100	N/A	0.96	0.96	ns

注記 :

- この表には、1 つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが 1 本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。
- MMCM 出力ジッターはタイミング算出に含まれています。

表 77 : CC (クロック兼用) クロック入力から出力までの遅延 (PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
SSTL15 CC クロック入力から出力までの遅延 (出力フリップフロップ使用、スルー レート = Fast、PLL あり)						
T _{ICKOFPLLCC}	CC クロック入力と OUTFF 間 (PLL あり)	XC7Z030	0.81	0.81	0.81	ns
		XC7Z045	0.86	0.86	0.86	ns
		XC7Z100	N/A	0.85	0.85	ns

注記 :

- この表には、1 つのグローバル クロック入力で、アクセス可能なカラムの垂直クロック ラインが 1 本駆動され、アクセス可能な IOB および CLB フリップフロップのクロックがすべて、そのグローバル クロック ネットで駆動されている場合の値を示しています。
- PLL の出力ジッターはタイミング算出に含まれています。

表 78 : BUFIO を使用する場合の Pin-to-Pin、Clock-to-Out

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T _{ICKOFCS}	HR I/O バンクでの I/O クロックの Clock-to-Out	4.93	5.52	6.20	ns
	HP I/O バンクでの I/O クロックの Clock-to-Out	4.85	5.44	6.11	ns

デバイスの Pin-to-Pin 入力パラメーターのガイドライン

表 79 : グローバル クロック入力のセットアップおよびホールド (MMCM/PLL なし、ZHOLD_DELAY あり、HR I/O バンク)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
SSTL15 規格における、グローバル クロック入力信号に対する入力セットアップ/ホールド タイム ⁽¹⁾						
T _{PSFD} /T _{PHFD}	全体遅延 (レガシ遅延またはデフォルト遅延)	XC7Z030	3.04/-0.34	3.16/-0.34	3.40/-0.34	ns
	グローバル クロック入力および IFF	XC7Z045	3.50/-0.47	3.67/-0.47	3.97/-0.47	ns
	(MMCM/PLL なし、ZHOLD_DELAY あり、HR I/O バンク) ⁽²⁾	XC7Z100	N/A	3.81/-0.52	4.13/-0.52	ns

注記 :

1. セットアップおよびホールド タイムは、ワースト ケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で温度が最も高く、電圧が最も低い条件下のグローバル クロック入力信号に対して、ホールド タイムは、プロセスが最も高速で温度が最も低く、電圧が最も高い条件下のグローバル クロック入力信号に対して計測されています。
2. IFF は入力フリップフロップまたはラッチです。

表 80 : CC のクロック入力のセットアップおよびホールド (MMCM あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
SSTL15 規格における、グローバル クロック入力信号に対する入力セットアップ/ホールド タイム ⁽¹⁾						
T _{PSMMCMCC} / T _{PHMMCMCC}	遅延のない CC クロック入力と IFF 間 (MMCM あり) ⁽²⁾	XC7Z030	2.41/-0.23	2.68/-0.23	2.95/-0.23	ns
		XC7Z045	2.73/-0.09	3.00/-0.09	3.32/-0.09	ns
		XC7Z100	N/A	3.00/-0.10	3.32/-0.10	ns

注記 :

1. セットアップおよびホールド タイムは、ワースト ケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で温度が最も高く、電圧が最も低い条件下のグローバル クロック入力信号に対して、ホールド タイムは、プロセスが最も高速で温度が最も低く、電圧が最も高い条件下のグローバル クロック入力信号に対して計測されています。
2. IFF は入力フリップフロップまたはラッチです。
3. 各信号規格の使用によって発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 81 : CC のクロック入力のセットアップおよびホールド (PLL あり)

シンボル	説明	デバイス	スピード グレード			単位
			-3	-2	-1	
SSTL15 規格における、CC のクロック入力信号に対する入力セットアップおよびホールド タイム ⁽¹⁾						
T _{PSPLLCC} /T _{PHPLLCC}	遅延のない CC クロック入力と IFF 間 (PLL あり) ⁽²⁾	XC7Z030	2.71/-0.34	3.02/-0.34	3.29/-0.34	ns
		XC7Z045	2.91/-0.20	3.24/-0.20	3.53/-0.20	ns
		XC7Z100	N/A	3.24/-0.21	3.53/-0.21	ns

注記 :

1. セットアップおよびホールド タイムは、ワースト ケースの条件下 (プロセス、電圧、温度) で計測されています。セットアップ タイムは、プロセスが最も低速で温度が最も高く、電圧が最も低い条件下のグローバル クロック入力信号に対して、ホールド タイムは、プロセスが最も高速で温度が最も低く、電圧が最も高い条件下のグローバル クロック入力信号に対して計測されています。
2. IFF は入力フリップフロップまたはラッチです。
3. 各信号規格の使用によって発生するデューティ サイクルのずれは、IBIS を使用して確認してください。

表 82 : BUFIO を使用する場合の転送クロック入力ピンに対するデータ入力セットアップおよびホールド タイム

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{PSCS}/T_{PHCS}	HR I/O バンクの I/O クロックのセットアップ/ホールド	-0.36/1.36	-0.36/1.50	-0.36/1.70	ns
	HP I/O バンクの I/O クロックのセットアップ/ホールド	-0.34/1.39	-0.34/1.53	-0.34/1.73	ns

表 83 : サンプル ウィンドウ

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
T_{SAMP}	レシーバー ピンでのサンプリング エラー (1)	0.51	0.56	0.61	ns
T_{SAMP_BUFIO}	BUFIO を使用する場合のレシーバー ピンでのサンプリング エラー (2)	0.30	0.35	0.40	ns

注記 :

- このパラメーターは、さまざまな電圧、温度、プロセスでの PL DDR 入力レジスタの総サンプリング エラー数を示します。特性評価では、DCM を使用して DDR 入力レジスタの動作エッジをキャプチャしています。計測には次が含まれます。
 - CLK0 MMCM ジッター
 - MMCM 精度 (位相オフセット)
 - MMCM 位相シフト精度
 ただし、パッケージまたはクロック ツリー スキューは含まれません。
- このパラメーターは、さまざまな電圧、温度、プロセスでの PL DDR 入力レジスタの総サンプリング エラー数を示します。特性評価では、BUFIO クロック ネットワークおよび IDELAY を使用して DDR 入力レジスタの動作エッジをキャプチャしています。ただし、パッケージまたはクロック ツリー スキューは含まれません。

その他のパッケージ パラメーターのガイドライン

ここでは、PL のクロック トランスミッターおよびレシーバーにおけるデータ有効ウィンドウのタイミング算出に必要な値を示します。

表 84 : パッケージ スキュー

シンボル	説明	デバイス	パッケージ	Value	単位
$T_{PKGSKEW}$	パッケージ スキュー (1)	XC7Z030	FBG484	113	ps
			FBG676	113	ps
			FFG676	136	ps
		XC7Z045	FBG676	159	ps
			FFG676	158	ps
			FFG900	191	ps
		XC7Z100	FFG900	161	ps
			FFG1156	165	ps

注記 :

- これらの値はパッケージにある任意の 2 つの SelectIO リソース間のワースト ケース スキューで、ダイ パッドからボールの最短遅延と最長遅延の差を示します。
- これらのデバイスとパッケージの組み合わせに関するパッケージ遅延情報もあり、この情報を使用してパッケージのスキューを低減できます。

GTX トランシーバーの仕様

GTX トランシーバーの DC 入力および出力レベル

表 85 に、Zynq-7000 デバイスの GTX トランシーバーの DC 仕様を示します。詳細は、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』(UG476) を参照してください。

表 85 : GTX トランシーバーの DC 仕様

シンボル	DC パラメーター	条件	最小	標準	最大	単位
DV _{PPOUT}	Peak-to-Peak 差動出力電圧 ⁽¹⁾	トランスミッターの出力範囲は最大値に設定	–	–	1000	mV
V _{CMOUTDC}	DC 同相出力電圧	式に基づく	$V_{MGTAVTT} - DV_{PPOUT}/4$			mV
R _{OUT}	差動出力抵抗		–	100	–	Ω
T _{OSKEW}	トランスミッター差動出力間 (TXP および TXN) の内部ペアスキュー		–	2	12	ps
DV _{PPIN}	Peak-to-Peak 差動入力電圧 (外部 AC カップル)	>10.3125Gb/s	150	–	1250	mV
		6.6Gb/s ~ 10.3125Gb/s	150	–	1250	mV
		≤ 6.6Gb/s	150	–	2000	mV
V _{IN}	絶対入力電圧	(DC カップル) $V_{MGTAVTT} = 1.2V$	-200	–	$V_{MGTAVTT}$	mV
V _{CMIN}	同相入力電圧	(DC カップル) $V_{MGTAVTT} = 1.2V$	–	$2/3 V_{MGTAVTT}$	–	mV
R _{IN}	差動入力抵抗		–	100	–	Ω
C _{EXT}	外部 AC カップリングのキャパシタの推奨値 ⁽²⁾		–	100	–	nF

注記 :

- 出力幅およびプリエンファシス レベルは、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』(UG476) で説明している属性を使用してプログラムでき、その結果はこの表に示す値よりも小さくできる可能性があります。
- 特定のプロトコルおよび規格に準拠するため、必要に応じてこれらの範囲外の値を使用する場合があります。

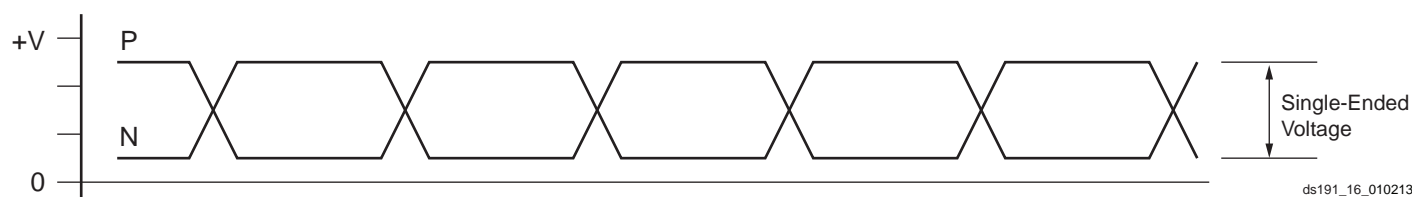


図 17 : シングルエンド出力の電圧幅

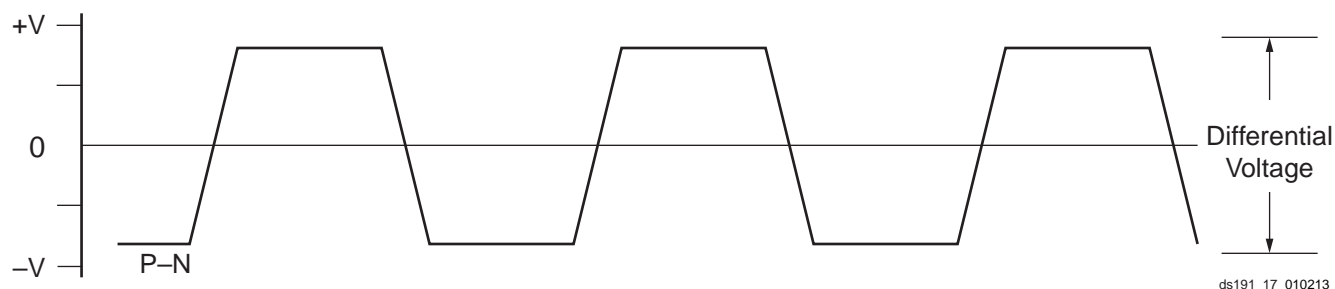


図 18 : 差動出力の電圧幅

表 86 に、GTX トランシーバー クロックの DC 入力仕様の概要を示します。詳細は、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』(UG476) を参照してください。

表 86 : GTX トランシーバー クロックの DC 入力の仕様

シンボル	DC パラメーター	最小	標準	最大	単位
V _{IDIFF}	Peak-to-Peak 差動入力電圧	250	—	2000	mV
R _{IN}	差動入力抵抗	—	100	—	Ω
C _{EXT}	外部 AC カップリングのキャパシタ要件	—	100	—	nF

GTX トランシーバー スイッチ特性

詳細は、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』([UG476](#)) を参照してください。

表 87 : GTX トランシーバーのパフォーマンス値

シンボル	説明	出力 分周器	スピード グレード						単位
			-3		-2		-1 ⁽¹⁾		
			パッケージ タイプ						
			FF	FB	FF	FB	FF	FB	
F _{GTXMAX} ⁽²⁾	GTX トランシーバーの最大データ レート		12.5	6.6	10.3125	6.6	8.0	6.6	Gb/s
F _{GTXMIN} ⁽²⁾	GTX トランシーバーの最小データ レート		0.500	0.500	0.500	0.500	0.500	0.500	Gb/s
F _{GTXCRANGE}	CPLL ライン レート 範囲	1	3.2-6.6						Gb/s
		2	1.6-3.3						Gb/s
		4	0.8-1.65						Gb/s
		8	0.5-0.825						Gb/s
		16	N/A						Gb/s
F _{GTXQRANGE1}	QPLL ライン レート 範囲 1	1	5.93-8.0	5.93-6.6	5.93-8.0	5.93-6.6	5.93-8.0	5.93-6.6	Gb/s
		2	2.965-4.0		2.965-4.0		2.965-4.0		Gb/s
		4	1.4825-2.0		1.4825-2.0		1.4825-2.0		Gb/s
		8	0.74125-1.0		0.74125-1.0		0.74125-1.0		Gb/s
		16	N/A		N/A		N/A		Gb/s
F _{GTXQRANGE2}	QPLL ライン レート 範囲 2 ⁽³⁾	1	9.8–12.5	N/A	9.8–10.3125	N/A	N/A		Gb/s
		2	4.9-6.25		4.9-5.15625		N/A		Gb/s
		4	2.45-3.125		2.45-2.578125		N/A		Gb/s
		8	1.225-1.5625		1.225-1.2890625		N/A		Gb/s
		16	0.6125-0.78125		0.6125-0.64453125		N/A		Gb/s
F _{GCPLLRANGE}	GTX トランシーバーの CPLL 周波数範囲		1.6-3.3		1.6-3.3		1.6-3.3		GHz
F _{GQPLLRange1}	GTX トランシーバーの QPLL 周波数範囲 1		5.93-8.0		5.93-8.0		5.93-8.0		GHz
F _{GQPLLRange2}	GTX トランシーバーの QPLL 周波数範囲 2		9.8-12.5		9.8-10.3125		N/A		GHz

注記 :

1. -1 スピード グレードの場合、5.0Gb/s を超える動作には 4 バイトの内部データ幅が必要です。
2. 8.0Gb/s ~ 9.8Gb/s のデータ レートはサポートされていません。
3. QPLL ライン レート 範囲 2 では、分周器 N が 66 に設定されている場合の最大ライン レートは 10.3125Gb/s です。

表 88 : GTX トランシーバーのダイナミック リコンフィギュレーション ポート(DRP) のスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F _{GTXDRPCLK}	GTXDRPCLK 最大周波数	175.01	175.01	156.25	MHz

表 89 : GTX トランシーバーの基準クロックのスイッチ特性

シンボル	説明	条件	すべてのスピード グレード			単位
			最小	標準	最大	
F_{GCLK}	基準クロックの周波数範囲	-3 スピード グレード	60	—	700	MHz
		その他の全スピード グレード	60	—	670	MHz
T_{RCLK}	基準クロックの立ち上がり時間	20% ~ 80%	—	200	—	ps
T_{FCLK}	基準クロックの立ち下がり時間	80% ~ 20%	—	200	—	ps
T_{DCREF}	基準クロックのデューティ サイクル	トランシーバーの PLL のみ	40	50	60	%

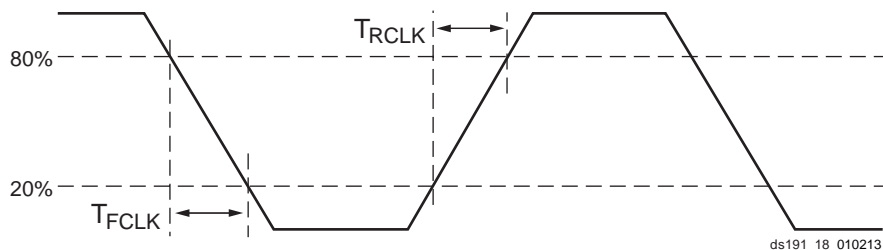


図 19 : 基準クロックのタイミング パラメーター

表 90 : GTX トランシーバー PLL/ロック タイムの適用

シンボル	説明	条件	すべてのスピード グレード			単位
			最小	標準	最大	
T_{LOCK}	PLL が最初にロックするまでの時間		—	—	1	ms
T_{DLOCK}	DFE (判定帰還型イコライザー) に必要なクロック リカバリの位相取得および適用時間	PLL が基準クロックにロックされた後、クロック データ リカバリ (CDR) が入力時に提供されるデータにロックされるのに必要な時間	—	50,000	37×10^6	UI
	DFE が無効の場合、低消費電力モード (LPM) に必要なクロック リカバリの位相取得および適用時間		—	50,000	2.3×10^6	UI

表 91 : GTX トランシーバーのユーザー クロックのスイッチ特性⁽¹⁾⁽²⁾

シンボル	説明	データ幅の条件		スピード グレード ⁽³⁾⁽⁴⁾			単位
		内部ロジック	インターコネクト ロジック	-3	-2	-1	
F _{TXOUT}	TXOUTCLK 最大周波数			412.500	412.500	312.500	MHz
F _{RXOUT}	RXOUTCLK 最大周波数			412.500	412.500	312.500	MHz
F _{TXIN}	TXUSRCLK 最大周波数	16 ビット	16 および 32 ビット	412.500	412.500	312.500	MHz
		32 ビット	32 ビット	390.625	322.266	250.000	MHz
F _{RXIN}	RXUSRCLK 最大周波数	16 ビット	16 および 32 ビット	412.500	412.500	312.500	MHz
		32 ビット	32 ビット	390.625	322.266	250.000	MHz
F _{TXIN}	TXUSRCLK2 最大周波数	16 ビット	16 ビット	412.500	412.500	312.500	MHz
		16 および 32 ビット	32 ビット	390.625	322.266	250.000	MHz
		64 ビット	64 ビット	195.313	161.133	125.000	MHz
F _{RXIN2}	RXUSRCLK2 最大周波数	16 ビット	16 ビット	412.500	412.500	312.500	MHz
		16 および 32 ビット	32 ビット	390.625	322.266	250.000	MHz
		64 ビット	64 ビット	195.313	161.133	125.000	MHz

注記 :

1. クロックは、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』([UG476](#)) に記載の方法でインプリメントする必要があります。
2. これらの周波数は、すべてのトランシーバー コンフィギュレーションでサポートされているわけではありません。
3. スピード グレード -3 および -2 の場合、16 ビット データ パスは 6.6Gb/s よりも低速な動作でしか使用できません。
4. スピード グレード -1 の場合、16 ビット データ パスは 5.0Gb/s よりも低速な動作でしか使用できません。

表 92 : GTX トランシーバーのトランスミッターのスイッチ特性

シンボル	説明	条件	最小	標準	最大	単位
F _{GTXTX}	シリアル データ レート 範囲		0.500	–	F _{GTXMAX}	Gb/s
T _{RTX}	TX 立ち上がり時間	20% ~ 80%	–	40	–	ps
T _{FTX}	TX 立ち下がり時間	80% ~ 20%	–	40	–	ps
T _{LLSKEW}	TX Lane-to-Lane スキュー ⁽¹⁾		–	–	500	ps
V _{TXOOBVDPP}	電氣的アイドルの振幅		–	–	15	mV
T _{TXOOBTRANSITION}	電氣的アイドルの送信時間		–	–	140	ns
TJ _{12.5}	総ジッター ⁽²⁾⁽⁴⁾	12.5Gb/s	–	–	0.28	UI
DJ _{12.5}	確定的なジッター ⁽²⁾⁽⁴⁾		–	–	0.17	UI
TJ _{11.18}	総ジッター ⁽²⁾⁽⁴⁾	11.18Gb/s	–	–	0.28	UI
DJ _{11.18}	確定的なジッター ⁽²⁾⁽⁴⁾		–	–	0.17	UI
TJ _{10.3125}	総ジッター ⁽²⁾⁽⁴⁾	10.3125Gb/s	–	–	0.28	UI
DJ _{10.3125}	確定的なジッター ⁽²⁾⁽⁴⁾		–	–	0.17	UI
TJ _{9.953}	総ジッター ⁽²⁾⁽⁴⁾	9.953Gb/s	–	–	0.28	UI
DJ _{9.953}	確定的なジッター ⁽²⁾⁽⁴⁾		–	–	0.17	UI
TJ _{9.8}	総ジッター ⁽²⁾⁽⁴⁾	9.8Gb/s	–	–	0.28	UI
DJ _{9.8}	確定的なジッター ⁽²⁾⁽⁴⁾		–	–	0.17	UI
TJ _{8.0}	総ジッター ⁽²⁾⁽⁴⁾	8.0Gb/s	–	–	0.33	UI
DJ _{8.0}	確定的なジッター ⁽²⁾⁽⁴⁾		–	–	0.17	UI
TJ _{6.6_QPLL}	総ジッター ⁽²⁾⁽⁴⁾	6.6Gb/s	–	–	0.28	UI
DJ _{6.6_QPLL}	確定的なジッター ⁽²⁾⁽⁴⁾		–	–	0.17	UI

表 92 : GTX トランシーバーのトランスミッターのスイッチ特性 (続き)

シンボル	説明	条件	最小	標準	最大	単位
TJ _{6.6_CPLL}	総ジッター (3)(4)	6.6Gb/s	—	—	0.30	UI
DJ _{6.6_CPLL}	確定的なジッター (3)(4)		—	—	0.15	UI
TJ _{5.0}	総ジッター (3)(4)	5.0Gb/s	—	—	0.33	UI
DJ _{5.0}	確定的なジッター (3)(4)		—	—	0.15	UI
TJ _{4.25}	総ジッター (3)(4)	4.25Gb/s	—	—	0.33	UI
DJ _{4.25}	確定的なジッター (3)(4)		—	—	0.14	UI
TJ _{3.75}	総ジッター (3)(4)	3.75Gb/s	—	—	0.34	UI
DJ _{3.75}	確定的なジッター (3)(4)		—	—	0.16	UI
TJ _{3.2}	総ジッター (3)(4)	3.20Gb/s ⁽⁵⁾	—	—	0.2	UI
DJ _{3.2}	確定的なジッター (3)(4)		—	—	0.1	UI
TJ _{3.2L}	総ジッター (3)(4)	3.20Gb/s ⁽⁶⁾	—	—	0.35	UI
DJ _{3.2L}	確定的なジッター (3)(4)		—	—	0.16	UI
TJ _{2.5}	総ジッター (3)(4)	2.5Gb/s ⁽⁷⁾	—	—	0.20	UI
DJ _{2.5}	確定的なジッター (3)(4)		—	—	0.08	UI
TJ _{1.25}	総ジッター (3)(4)	1.25Gb/s ⁽⁸⁾	—	—	0.15	UI
DJ _{1.25}	確定的なジッター (3)(4)		—	—	0.06	UI
TJ ₅₀₀	総ジッター (3)(4)	500Mb/s	—	—	0.1	UI
DJ ₅₀₀	確定的なジッター (3)(4)		—	—	0.03	UI

注記 :

1. 最大 12 個の連続したトランスミッター (3 つの GTX クワッドにあるトランシーバーすべて) を有効にして TX 位相アライメントを設定し、同じ REFCLK 入力を使用した場合の値です。
2. QPLL_FBDIV = 40 かつ内部データ幅が 20 ビットの値です。これらの値は、プロトコル特定の準拠の確定のための値ではありません。
3. CPLL_FBDIV = 2 かつ内部データ幅が 20 ビットの値です。これらの値は、プロトコル特定の準拠の確定のための値ではありません。
4. すべてのジッター値は、BER (Bit-Error Ratio) が $1e^{-12}$ の場合に基づいています。
5. CPLL 周波数 3.2GHz、TXOUT_DIV = 2 を使用した場合の値です。
6. CPLL 周波数 1.6GHz、TXOUT_DIV = 1 を使用した場合の値です。
7. CPLL 周波数 2.5GHz、TXOUT_DIV = 2 を使用した場合の値です。
8. CPLL 周波数 2.5GHz、TXOUT_DIV = 4 を使用した場合の値です。

表 93 : GTX トランシーバーのレシーバーのスイッチ特性

シンボル	説明		最小	標準	最大	単位
F _{GTXRX}	シリアル データ レート		0.500	－	F _{GTXMAX}	Gb/s
T _{RXELECIDLE}	RXELECIDLE がデータ損失または復元に応答するための時間		－	10	－	ns
RX _{OOBVDPP}	OOB 検出しきい値 Peak-to-Peak		60	－	150	mV
RX _{SST}	レシーバー スペクトラム拡散の トラッキング ⁽¹⁾	33KHz で変調	-5000	－	0	ppm
RX _{RL}	ラン レングス (CID)		－	－	512	UI
RX _{PPMTOL}	データ/REFCLK PPM オフセット 耐性	ビット レート ≤ 6.6Gb/s	-1250	－	1250	ppm
		ビット レート > 6.6Gb/s および ≤ 8.0Gb/s	-700	－	700	ppm
		ビット レート > 8.0Gb/s	-200	－	200	ppm
SJ ジッター耐性 ⁽²⁾						
JT_SJ _{12.5}	正弦波ジッター (QPLL) ⁽³⁾	12.5Gb/s	0.3	－	－	UI
JT_SJ _{11.18}	正弦波ジッター (QPLL) ⁽³⁾	11.18Gb/s	0.3	－	－	UI
JT_SJ _{10.32}	正弦波ジッター (QPLL) ⁽³⁾	10.32Gb/s	0.3	－	－	UI
JT_SJ _{9.95}	正弦波ジッター (QPLL) ⁽³⁾	9.95Gb/s	0.3	－	－	UI
JT_SJ _{9.8}	正弦波ジッター (QPLL) ⁽³⁾	9.8Gb/s	0.3	－	－	UI
JT_SJ _{8.0}	正弦波ジッター (QPLL) ⁽³⁾	8.0Gb/s	0.44	－	－	UI
JT_SJ _{6.6_QPLL}	正弦波ジッター (QPLL) ⁽³⁾	6.6Gb/s	0.48	－	－	UI
JT_SJ _{6.6_CPLL}	正弦波ジッター (CPLL) ⁽³⁾	6.6Gb/s	0.44	－	－	UI
JT_SJ _{5.0}	正弦波ジッター (CPLL) ⁽³⁾	5.0Gb/s	0.44	－	－	UI
JT_SJ _{4.25}	正弦波ジッター (CPLL) ⁽³⁾	4.25Gb/s	0.44	－	－	UI
JT_SJ _{3.75}	正弦波ジッター (CPLL) ⁽³⁾	3.75Gb/s	0.44	－	－	UI
JT_SJ _{3.2}	正弦波ジッター (CPLL) ⁽³⁾	3.2Gb/s ⁽⁴⁾	0.45	－	－	UI
JT_SJ _{3.2L}	正弦波ジッター (CPLL) ⁽³⁾	3.2Gb/s ⁽⁵⁾	0.45	－	－	UI
JT_SJ _{2.5}	正弦波ジッター (CPLL) ⁽³⁾	2.5Gb/s ⁽⁶⁾	0.5	－	－	UI
JT_SJ _{1.25}	正弦波ジッター (CPLL) ⁽³⁾	1.25Gb/s ⁽⁷⁾	0.5	－	－	UI
JT_SJ ₅₀₀	正弦波ジッター (CPLL) ⁽³⁾	500Mb/s	0.4	－	－	UI
負荷がある場合の SJ ジッター耐性 ⁽²⁾						
JT_TJSE _{3.2}	負荷がある場合の総ジッター ⁽⁸⁾	3.2Gb/s	0.70	－	－	UI
		6.6Gb/s	0.70	－	－	UI
JT_SJSE _{3.2}	負荷がある場合の正弦波ジッター ⁽⁸⁾	3.2Gb/s	0.1	－	－	UI
		6.6Gb/s	0.1	－	－	UI

注記 :

1. $RXOUT_DIV=1$ 、2、および 4 を使用する場合があります。
2. すべてのジッター値は、BER (Bit Error Ratio) が $1e^{-12}$ の場合に基づいています。
3. 挿入した正弦波ジッターの周波数は 10MHz です。
4. CPLL 周波数 3.2GHz、 $RXOUT_DIV = 2$ を使用した場合の値です。
5. CPLL 周波数 1.6GHz、 $RXOUT_DIV = 1$ を使用した場合の値です。
6. CPLL 周波数 2.5GHz、 $RXOUT_DIV = 2$ を使用した場合の値です。
7. CPLL 周波数 2.5GHz、 $RXOUT_DIV = 4$ を使用した場合の値です。
8. RX を使用し、LPM または DFE モードの場合の複合ジッターです。

GTX トランシーバー プロトコル ジッターの特性

表 94 ～ 表 99 に、『7 シリーズ FPGA GTX トランシーバー ユーザー ガイド』([UG476](#)) に記載の、プロトコル特定の特性を最適に使用するために推奨する設定値を示します。

表 94 : ギガビット イーサネット プロトコルの特性

説明	ライン レート (Mb/s)	最小	最大	単位
ギガビット イーサネット トランスミッター ジッターの生成				
総トランスミッター ジッター (T _{TJ})	1250	–	0.24	UI
ギガビット イーサネット レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	1250	0.749	–	UI

表 95 : XAUI プロトコルの特性

説明	ライン レート (Mb/s)	最小	最大	単位
XAUI トランスミッター ジッターの生成				
総トランスミッター ジッター (T _{TJ})	3125	–	0.35	UI
XAUI レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	3125	0.65	–	UI

表 96 : PCI Express プロトコルの特性⁽¹⁾

規格	説明	ライン レート (Mb/s)	最小	最大	単位	
PCI Express トランスミッター ジッターの生成						
PCI Express Gen 1	トランスミッターの総ジッター	2500	－	0.25	UI	
PCI Express Gen 2	トランスミッターの総ジッター	5000	－	0.25	UI	
PCI Express Gen 3 ⁽²⁾	トランスミッターの総ジッター (相関関係なし)	8000	－	31.25	ps	
	トランスミッターの確定的なジッター (相関関係なし)		－	12	ps	
PCI Express レシーバーの高周波ジッター許容値						
PCI Express Gen 1	レシーバーの総ジッター許容値		2500	0.65	－	UI
PCI Express Gen 2 ⁽³⁾	レシーバーに内在するタイミング エラー		5000	0.40	－	UI
	レシーバーに内在する確定的なタイミング エラー			0.30	－	UI
PCI Express Gen 3 ⁽²⁾	レシーバーの正弦波ジッター 許容値	0.03MHz ～ 1.0MHz	8000	1.00	－	UI
		1.0MHz ～ 10MHz		注記 4	－	UI
		10MHz ～ 100MHz		0.10	－	UI

注記 :

- Card Electromechanical (CEM) に基づいてテストされています。
- PCI-SIG 3.0 コンプライアンス テストの認証を受けたテスト ボードは現在使用できません。
- 一般的な REFCLK を使用した場合の値です。
- 1MHz ~ 10MHz では、正弦波ジッターの最小ロール オフ (20dB/decade の傾き) です。

表 97 : CEI-6G および CEI-11G プロトコルの特性

説明	ライン レート (Mb/s)	インターフェイス	最小	最大	単位
CEI-6G トランスミッター ジッターの生成					
トランスミッターの総ジッター (1)	4976-6375	CEI-6G-SR	－	0.3	UI
		CEI-6G-LR	－	0.3	UI
CEI-6G レシーバーの高周波ジッター許容値					
レシーバーの総ジッター許容値(1)	4976-6375	CEI-6G-SR	0.6	－	UI
		CEI-6G-LR	0.95	－	UI
CEI-11G トランスミッター ジッターの生成					
トランスミッターの総ジッター (2)	9950-11100	CEI-11G-SR	－	0.3	UI
		CEI-11G-LR/MR	－	0.3	UI
CEI-11G レシーバー高周波ジッターの許容値					
レシーバーの総ジッター許容値(2)	9950-11100	CEI-11G-SR	0.65	－	UI
		CEI-11G-MR	0.65	－	UI
		CEI-11G-LR	0.825	－	UI

注記 :

- 390.625MHz の基準クロックを使用し、最も一般的な 6250Mb/s のライン レートでテストされています。
- 155.46875MHz の基準クロックを使用する 9950Mb/s のライン レート、および 173.4375MHz の基準クロックを使用する 11100Mb/s のライン レートでテストされています。

表 98 : SFP+ プロトコルの特性

説明	ライン レート (Mb/s)	最小	最大	単位
SFP+ トランスミッター ジッターの生成				
トランスミッターの総ジッター	9830.40 ⁽¹⁾	－	0.28	UI
	9953.00			
	10312.50			
	10518.75			
	11100.00			
SFP+ レシーバーの高周波ジッター許容値				
レシーバーの総ジッター許容値	9830.40 ⁽¹⁾	0.7	－	UI
	9953.00			
	10312.50			
	10518.75			
	11100.00			

注記 :

- SFP+ を介した CPRI アプリケーションで使用されるライン レートです。

表 99 : CPRI プロトコルの特性

説明	ライン レート (Mb/s)	最小	最大	単位
CPRI トランスミッター ジッターの生成				
トランスミッターの総ジッター	614.4	–	0.35	UI
	1228.8	–	0.35	UI
	2457.6	–	0.35	UI
	3072.0	–	0.35	UI
	4915.2	–	0.3	UI
	6144.0	–	0.3	UI
	9830.4	–	注記 1	UI
CPRI レシーバーの周波数ジッター許容値				
レシーバーの総ジッター許容値	614.4	0.65	–	UI
	1228.8	0.65	–	UI
	2457.6	0.65	–	UI
	3072.0	0.65	–	UI
	4915.2	0.95	–	UI
	6144.0	0.95	–	UI
	9830.4	注記 1	–	UI

注記 :

1. SFP+ 仕様に基づいてテストされています (表 98 参照)。

PCI Express デザイン用統合インターフェイス ブロックのスイッチ特性

PCI Express デザインのソリューションに関する資料および詳細は、次のサイトから入手できます。
<http://japan.xilinx.com/technology/protocols/pciexpress.htm>

表 100 : PCI Express デザインの最大パフォーマンス

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
F _{PIPECLK}	パイプ クロックの最大周波数	250	250	250	MHz
F _{USERCLK}	ユーザー クロックの最大周波数	500	500	250	MHz
F _{USERCLK2}	ユーザー クロック 2 の最大周波数	250	250	250	MHz
F _{DRPCLK}	DRP クロックの最大周波数	250	250	250	MHz

XADC 仕様

表 101 : XADC の仕様

パラメーター	シンボル	コメント/条件	最小	標準	最大	単位
V _{CCADC} = 1.8V ± 5%、V _{REFP} = 1.25V、V _{REFN} = 0V、ADCCLK = 26MHz、T _j = −40°C ~ 100°C、標準値 T _j = +40°C						
ADC の精度 ⁽¹⁾						
精度			12	−	−	ビット
積分非直線性 ⁽²⁾	INL		−	−	±2	LSB
差動非直線性	DNL	コードの欠落なし、単調であることを保証	−	−	±1	LSB
オフセット エラー		単極動作	−	−	±8	LSB
		双極動作	−	−	±4	LSB
ゲイン エラー			−	−	±0.5	%
オフセットの一致			−	−	4	LSB
ゲインの一致			−	−	0.3	%
サンプル レート			0.1	−	1	MS/s
信号対ノイズ比 ⁽²⁾	SNR	F _{SAMPLE} = 500KS/s、F _{IN} = 20KHz	60	−	−	dB
RMS コード ノイズ		外部基準電圧 1.25V	−	−	2	LSB
		オンチップ基準電圧	−	3	−	LSB
高調波の総ひずみ ⁽²⁾	THD	F _{SAMPLE} = 500KS/s、F _{IN} = 20KHz	70	−	−	dB
拡張温度 (−55°C ~ 125°C) における ADC の精度						
精度			10	−	−	ビット
積分非直線性 ⁽²⁾	INL		−	−	±1	LSB (10 ビット)
差動非直線性	DNL	コードの欠落なし、単調であることを保証	−	−	±1	
アナログ入力 ⁽³⁾						
ADC 入力範囲		単極動作	0	−	1	V
		双極動作	−0.5	−	+0.5	V
		単極同相範囲 (FS 入力)	0	−	+0.5	V
		双極同相範囲 (FS 入力)	+0.5	−	+0.6	V
外部チャネル入力の範囲 (最大)		これらの範囲内に設定されたアナログ チャネルは隣接するチャネルの計測値に影響を与えない	−0.1	−	V _{CCADC}	V
補助チャネルの全精度帯域幅	FRBW		250	−	−	KHz
オンチップ センサー						
温度センサー エラー		T _j = −40°C ~ 100°C	−	−	±4	°C
		T _j = −55°C ~ +125°C	−	−	±6	°C
電源センサー エラー		V _{CCAUX} 1.8V ±5% T _j = −40°C ~ +100°C の計測範囲	−	−	±1	%
		V _{CCAUX} 1.8V ±5% の計測範囲 T _j = −55°C ~ +125°C	−	−	±2	%
変換レート ⁽⁴⁾						
変換時間 - 継続	t _{CONV}	CLK サイクル数	26	−	32	サイクル
変換時間 - イベント	t _{CONV}	CLK サイクル数	−	−	21	サイクル
DRP クロック周波数	DCLK	DRP クロック周波数	8	−	250	MHz
ADC クロック周波数	ADCCLK	DCLK からの派生クロック	1	−	26	MHz

表 101 : XADC の仕様 (続き)

パラメーター	シンボル	コメント/条件	最小	標準	最大	単位
DCLK デューティ サイクル			40	—	60	%
XADC の基準電圧 ⁽⁵⁾						
外部基準電圧	V_{REFP}	外部の基準電源電圧	1.20	1.25	1.30	V
オンチップ基準電圧		V_{REFP} ピンを AGND に接続、 $T_j = -40^{\circ}\text{C} \sim 100^{\circ}\text{C}$	1.2375	1.25	1.2625	V

注記 :

- オフセット エラーおよびゲイン エラーは、XADC の自動ゲイン キャリブレーション機能を有効にすると解除されます。この機能が有効な場合に指定されている値です。
- BitGen オプションの XADCEnhancedLinearity が ON の場合に対してのみ指定されている値です。
- 詳細は、『7 シリーズ FPGA および Zynq-7000 All Programmable SoC XADC デュアル 12 ビット 1 MSPS アナログ-デジタル コンバーター ユーザー ガイド』(UG480) の第 2 章「アナログ デジタル コンバーター (ADC)」を参照してください。
- 詳細は、『7 シリーズ FPGA および Zynq-7000 All Programmable SoC XADC デュアル 12 ビット 1 MSPS アナログ-デジタル コンバーター ユーザー ガイド』(UG480) の第 5 章「XADC のタイミング」を参照してください。
- 基準電圧が $V_{REFP} = 1.25\text{V}$ および $V_{REFN} = 0\text{V}$ の標準電圧以外の場合、理想的な伝達関数からのずれが生じます。また、内部センサーの温度や電源などの計測値にも影響を与えます。外付けレシオメトリック タイプのアプリケーションでは、電源電圧および基準電圧の変動は $\pm 4\%$ まで許容されます。オンチップ基準電圧の変動は $\pm 1\%$ です。

コンフィギュレーション スイッチ特性

表 102 : コンフィギュレーションのスイッチ特性

シンボル	説明	スピード グレード			単位
		-3	-2	-1	
電源投入タイミング特性					
T _{POR}	パワーオン リセット	50.00	50.00	50.00	ms、最大
バウンダリ スキャン ポートのタイミング仕様					
T _{TAPTCK} /T _{TCKTAP}	TMS および TDI のセットアップ/ホールド	3.00/2.00	3.00/2.00	3.00/2.00	ns、最小
T _{TCKTDO}	TCK 立ち下がりエッジから TDO 出力	7.00	7.00	7.00	ns、最大
F _{TCK}	TCK の周波数	66.00	66.00	66.00	MHz、最大
内部コンフィギュレーション アクセス ポート					
F _{ICAPCK}	内部コンフィギュレーション アクセス ポート (ICAPE2)	100.00	100.00	100.00	MHz、最大

eFUSE プログラム条件

表 103 に、eFUSE 特有のプログラム条件を示します。詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) を参照してください。

表 103 : eFUSE プログラム条件⁽¹⁾

シンボル	説明	最小	標準	最大	単位
I_{FS}	V_{CCAUX} 電源電流	—	—	115	mA
t_j	温度範囲	15	—	125	$^{\circ}\text{C}$

注記 :

- eFUSE プログラム中は Zynq-7000 デバイスをコンフィギュレーションしないでください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	説明
2012 年 8 月 23 日	1.0	初版
2012/08/31	1.1	表 2 の T_j を更新し、注記 3 を追加。表 3 の R_{IN_TERM} を更新表 9 の規格を更新。「PS パフォーマンス特性」の概要説明を改訂。表 18 の値を更新。表 34 に注記 3 を追加。表 36 に注記を追加。表 41 の $F_{MSPICLK}$ を変更。
2013 年 3 月 14 日	1.2	ISE 14.5 および Vivado 2013.1 のそれぞれについて v1.06 (-3、-2、および -1) のスピード仕様に基づいて「AC スイッチ特性」を更新。表 16 および表 17 で、XC7Z045 を Production ステータス、スピード グレード -2 および -1 も更新。 文書全体に XC7Z100 デバイスの記述を追加。 「概要」の説明を更新。表 2 に注記 2 を追加。表 1 および表 2 の V_{PIN} を更新。表 3 で、「 $C_{PIN}(2)$ 」の PS の仕様を変更、 I_{RPD} に関する注記 3 を削除。表 6 を更新。LVTTTL、注記 2 および注記 3 の削除、SSTL135 の追加など、表 9 を更新。表 10 を追加。 「PS スイッチ特性」セクションで、適用可能な場合はテスト条件に関する注記を追加するなど、図や表の内容を強化。表 18 ～表 20 を置き換えまたは更新。AXI インターコネクト セクションを削除。 表 69 の注記 1 を更新。表 84 の注記 1 および注記 2 を更新。表 87 で、-1 スピード グレード (FF パッケージ) の F_{GTMAX} 値を 6.6Gb/s から 8.0Gb/s に変更。 表 101 で、オフセット エラー、ゲイン エラー、オフセットの一致、ゲインの一致を更新。表 102 に「内部コンフィギュレーション アクセス ポート」を追加。
2013 年 3 月 27 日	1.3	表 7 で、XC7Z030 の $I_{CCINTMIN}$ 値を変更。表 16 および表 17 で、XC7Z030 を Production ステータス、スピード グレード -2 および -1 も更新。表 51 で、表のタイトルおよび LPDDR2 の値を更新、注記 3 を削除。表 52 で、表のタイトルを更新、注記 4 を削除。
2013 年 4 月 24 日	1.4	表 16 および表 17 を、スピード グレード -3 の XC7Z030 および XC7Z045 の Production グレード リリースを含むように更新。「PS パワーオン リセット」セクションを削除。「PS—PL の電源シーケンス」セクションを更新。表 34 に新しいデータを追加して負荷の条件を明確化。 表 1 の V_{IN} (I/O 入力電圧) の値を表 4 および表 5 と一致するように更新し、注記 4 と以前の注記 5 を 1 つにして新たに注記 6 を追加。表 2 の V_{IN} の説明を更新、注記 9 を追加、注記 3 を更新。表 4 および表 5 の最初の 3 行を更新。表 1、表 4、表 5 の記載と一致するよう表 11 の PCI33_3 最小電圧を更新。表 14 および表 15 に注記 1 を追加。表 19 に注記 2 を追加。データシート全体 (表 63、表 64、表 79) から「ホールド タイムが 0 とは、ホールド タイムがないか負であることを意味する」という明白な注記を削除。表 91 の USRCLK データを更新し、わかりやすく記載。
2013 年 6 月 26 日	1.5	ISE 14.6 および Vivado 2013.2 のそれぞれについて v1.07 (-3、-2、および -1) のスピード仕様に基づいて「AC スイッチ特性」を更新。表 16 および表 17 で、XC7Z100 を Production ステータス、スピード グレード -1 および -2 も更新。 表 1 で、フローティング、 $V_{MGTAVTT}$ 、GND それぞれの場合における I_{DCIN} の値と、フローティングおよび $V_{MGTAVTT}$ の場合の I_{DCOUT} の値を更新。表 2 に注記 6 を追加。表 6 および表 7 に XC7Z100 の値を追加。表 18 の CPU クロック パフォーマンス (6:2:1) で -2 スピード グレードに対する周波数を増加。表 19 の F_{DDR3L_MAX} 値を更新。表 20 を移動して F_{AXL_MAX} を追加。表 21 から注記 1 を削除。表 25 および表 26 の最小 $T_{DQVALID}$ 値を更新。表 27 を追加。表 38 の F_{SDSCLK} 最大値および $F_{SDIDCLK}$ ユニットのタイプ ミスを修正。表 93 の F_{GTXX} の説明を更新。

Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

AUTOMOTIVE APPLICATIONS DISCLAIMER

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

本資料は英語版 (v1.5) を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。