

Vivado Design Suite ユーザー ガイド

I/O およびクロックの配置

UG899 (v2012.3) 2012 年 10 月 30 日



Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

© Copyright 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版 (v2012.3) を翻訳したもので、内容に相違が生じる場合には原文を優先します。
資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.com までお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメール アドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	改訂内容
2012 年 8 月 8 日	2012.2	初版
2012 年 10 月 30 日	2012.3	「I/O ポート方向の設定」を修正 「SSN 解析結果の表示」を修正 「DRC 違反の並べ替え」を修正 誤字を修正

目次

改訂履歴	2
第 1 章：はじめに	
概要	4
I/O 配置の段階	4
[I/O Planning] レイアウト	6
第 2 章：I/O ピン配置の手法	
概要	7
I/O 配置プロジェクト フロー	8
RTL プロジェクト フロー	11
第 3 章：I/O ピン配置の機能	
[I/O Planning] レイアウトの使用	14
デバイス リソースの表示	16
互換性のある代替デバイスの指定	20
デバイス コンフィギュレーション モードの設定	21
I/O ポートの定義と設定	22
インタラクティブ DRC のディスエーブル/イネーブル	31
I/O ポートの配置	32
クロック ロジックの配置	38
I/O およびクロック ロジックの配置の検証	41
RTL デザインへの変換	43
I/O ピンとパッケージ データのエクスポート	44
IBIS モデルのエクスポート	44
SSN 解析の実行	46
付録 A：CSV ファイル形式の I/O ポート リスト	
CSV ファイル	49
CSV ファイルでの差動ペア	51
付録 B：I/O ポート DRC の詳細	
DRC	52
付録 C：その他のリソース	
ザイリンクス リソース	55
ソリューション センター	55
リファレンス	55

はじめに

概要

I/O ピン配置は、プリント回路基板 (PCB) 設計、FPGA 設計、およびシステム設計にかかわるプロセスであり、それぞれに特定の考慮事項および要件があります。ピン配置が最適化されていないと遅延が増加し、タイミングおよびシグナル インテグリティ要件を満たす障害となります。

PCB から FPGA ダイへのデータ フローを考慮すると、最適なピン配置を短期間で定義でき、内部および外部のトレース長を削減し、配線の密集を緩和できます。この章では、Vivado™ 統合設計環境 (IDE) というグラフィカル ユーザー インターフェイス (GUI) を使用した I/O 配置のプロセスの概要を説明します。

I/O 配置の段階

Vivado IDE では、デザイン プロセスのさまざまな段階で I/O 配置を実行できます。設計が進行するにつれ、より多くの情報が使用可能になるので、デザインの合成後およびインプリメント後には、より複雑なルール チェックを実行できます。デザイン プロセスの各段階で実行できる作業は異なります。たとえば、プロセスの初期段階では、一部のデータが存在せず、解析は予測値に基づいたものになります。プロセスの後の方の段階では、データが追加され、解析はより正確なものになります。

Vivado ツールでは、I/O 配置を空のプロジェクトで開始し、RTL ソース ファイルおよび合成済みネットリストに移行して、最後にインプリメント済みデザインで作業できます。I/O ピンとクロック コンフィギュレーションの最終的な検証は、インプリメント済みデザインで実行します。クロック リソースが適切に配置されているかを検証するには、すべてのクロックが完全にインプリメントされていることが必要です。

I/O の適切な配置はクロックのコンフィギュレーション方法によって異なるので、I/O とクロック ロジックの割り当ては通常同時に実行されます。I/O 配置の DRC でクロックが考慮されるようにするには、合成済みデザインが必要です。I/O 配置は、できるだけ合成済みデザインで実行してください。

次に、各 I/O 配置段階の概要を示します。

1. I/O ピン配置プロジェクトの作成

空のプロジェクトを作成して、初期段階のデバイス チェックと I/O ポート コンフィギュレーションを実行できます。これにより、ピン配置を設計の初期段階で定義でき、設計サイクルの最後の方でピン配置に関連する変更が発生するのを回避できます。プロジェクトを作成する際、I/O ポートを手動で作成するか、CSV ファイルやザイリンクス デザイン制約 (XDC) ファイルからインポートできます。プロジェクトを作成すると、次を実行できます。

- 。 デバイスおよび I/O ポート割り当てをエクスポートし、デザイン プロセスの後半で使用
- 。 ポート定義とピン割り当てが解決した後、I/O ピン配置プロジェクトを RTL プロジェクトに変換

2. RTL ソース ファイルのエラボレーションとチェック

I/O 配置を RTL プロジェクトで実行できます。エラボレート済みデザインでは、基本的な DRC を実行できます。



推奨: クロック ロジックをチェックするには、合成済みデザインを使用することをお勧めします。

3. デザインの合成

合成済みデザインで I/O 配置を実行できます。この段階ではすべてのクロックが決定されており、ツールですべてのクロックを認識できるので、さらに詳細な検証を実行できます。I/O 配置は、可能な限り合成済みデザインで実行してください。

4. デザインのインプリメンテーションと I/O の最終検証

I/O 配置が有効であることを確認するには、デザインを完全にインプリメントする必要があります。インプリメンテーション レポートで I/O およびクロック関連のメッセージを確認してください。

表 1-1 に、各 I/O 配置段階でサポートされる機能を示します。

表 1-1: I/O 配置段階と機能

機能	I/O 配置プロジェクト	RTL デザイン	合成済みデザイン	インプリメント済みデザイン
CSV および XDC ファイルからのポートの読み込み	サポート	なし	なし	なし
ポートの作成または削除	サポート	なし	なし	なし
RTL プロジェクトへの変換	サポート	なし	なし	なし
互換性デバイスの設定	サポート	サポート	サポート	サポート
コンフィギュレーションモードの設定	サポート	サポート	サポート	サポート
I/O の基本的な DRC	サポート	サポート	サポート	サポート
SSN 解析	サポート	サポート	サポート	サポート
クロックを考慮した配置および DRC	なし	なし	サポート	サポート
最終的な DRC	なし	なし	なし	サポート

これらの段階の詳細は、第 2 章「I/O ピン配置の手法」を参照してください。空の I/O 配置プロジェクトの作成や RTL デザインのエラボレートなど、プロジェクトでの作業に関する詳細は、『Vivado Design Suite ユーザー ガイド: システム レベル デザイン入力』(UG895) を参照してください。

[I/O Planning] レイアウト

Vivado IDE では、[I/O Planning] レイアウトを使用して次を実行できます。

- デザイン フローの初期段階で I/O ポートの初期リストを作成、インポート、および設定
- デザイン フローの最後にピン配置の最終的な検証を実行
- 関連ポートをインターフェイスにまとめ、パッケージピンに割り当て
- 全自動または半自動インタラクティブ モードを使用して I/O ポートの割り当てを制御
- 物理パッケージピンおよびバンクと、それに対応するチップ上の I/O パッド間の関係を表示
- PCB と FPGA デバイス間の接続を最適化
- デザインおよびデバイスの I/O 要件を解析
- I/O ピン配置のコンフィギュレーションまたは PCB と FPGA デザインの両方の要件を満たすピン配置を定義

[I/O Planning] レイアウトの詳細は、[第 3 章「I/O ピン配置の機能」](#)を参照してください。

I/O ピン配置の手法

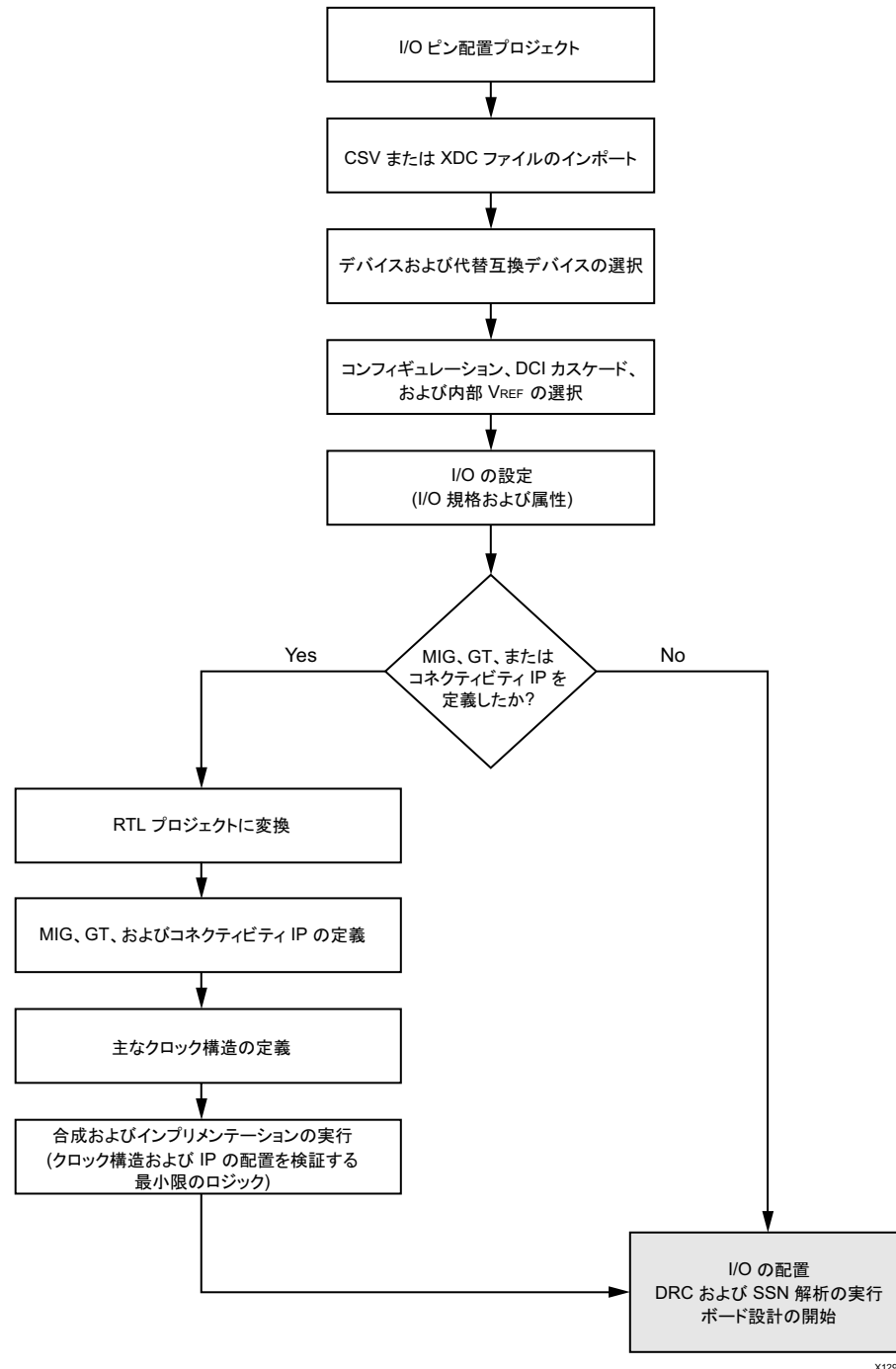
概要

Vivado™ IDE では、デザインフローの任意の段階で I/O 配置を実行できます。この章で説明する最も一般的に使用される方法は、次のとおりです。

- I/O 配置プロジェクトフロー: ネットリストはなく、初期の I/O 配置およびボード設計を実行します。
- RTL プロジェクトフロー: RTL デザインがあり、サイリンクス FPGA をターゲットとします。

I/O 配置プロジェクト フロー

図 2-1 に、I/O 配置プロジェクトを使用した I/O 配置フローを示します。



X12990

図 2-1: I/O 配置プロジェクト フロー

I/O 配置プロジェクト フローの手順は、次のとおりです。

1. New Project ウィザードで I/O 配置プロジェクトを作成します。

I/O 配置プロジェクト作成の詳細は、『Vivado Design Suite ユーザー ガイド：システム レベル デザイン入力』(UG895)を参照してください。

2. CSV または XDC ファイルをインポートします。

詳細は、第 3 章の「I/O ポートの定義と設定」を参照してください。

3. デバイスを選択します。

必要なリソースに基づいてデバイスのサイズを決定します。パッケージは、メモリへのクリティカル配線など、PCB 要件に基づいて選択します。スタックド シリコン インターコネクト (SSI) テクノロジを使用するデザインについては、『高集積度 FPGA 設計手法ガイド』(UG782)を参照してください。

注記：互換性のある代替デバイスを指定することもできます。詳細は、第 3 章の「互換性のある代替デバイスの指定」を参照してください。

4. コンフィギュレーション、デジタル制御インピーダンス (DCI) カスケード、および内部電圧基準 (V_{REF}) を選択します。

詳細は、第 3 章「I/O ピン配置の機能」の次のセクションを参照してください。

- 。 「デバイス コンフィギュレーション モードの設定」
- 。 「DCI_CASCADE 制約の設定」

5. I/O を設定します。

詳細は、第 3 章の「I/O ポートの設定」を参照してください。また、ザイリンクス ウェブサイトまたは Documentation Navigator から次の資料を参照してください。

- 。 FPGA パッケージおよびピン配置仕様：デバイス ファミリ特定のパッケージおよびピン配置仕様に関する情報を示します。
- 。 FPGA Select IO™ リソース ユーザー ガイド：バンク規則に関する情報を示します。たとえば、1 つのバンクに含めることができる I/O 規格とできない I/O 規格があります。

6. RTL プロジェクトに変換します (オプション)。

I/O 配置プロジェクトで作成した I/O ポートの割り当てを、RTL プロジェクトに変換できます。詳細は、第 3 章の「RTL デザインへの変換」を参照してください。

RTL プロジェクトでは、次を実行できます。

- a. MIG、GT、およびコネクティビティ IP を定義します。

IP カタログを使用して、Memory Interface Generator (MIG)、ギガビット トランシーバー (GT)、およびコネクティビティ IP を定義できます。IP の使用方法の詳細は、『Vivado Design Suite ユーザー ガイド : IP を使用した設計』(UG896) を参照してください。

注記 : イーサネット IP や PCI Express® (PCIe) テクノロジ IP などの一部の IP には、特別なピン配置要件があります。また、高速メモリ インターフェイスにもクロッキングおよびスキューの要件に基づくピン配置要件があります。



重要 : MIG IP を生成した後、生成された XDC ファイルをプロジェクトに追加する必要があります。GT およびコネクティビティ IP を生成したときにも XDC ファイルが生成されることがあり、その場合も生成された XDC ファイルをプロジェクトに追加する必要があります。

- b. 主なクロック構造を定義します。

詳細は、第 3 章の「クロック ロジックの配置」を参照してください。IP カタログを使用して、混合モードクロック マネージャー (MMCM) または位相ロック ループ (PLL) モジュールを生成してクロック接続を定義することも可能です。タイミング クローズジャ達成の詳細は、『Vivado Design Suite ユーザー ガイド : デザイン解析およびクローズジャ テクニック』(UG906) を参照してください。

- c. 合成およびインプリメンテーションを実行します。

詳細は、『Vivado Design Suite ユーザー ガイド : 合成』(UG901) および『Vivado Design Suite ユーザー ガイド : インプリメンテーション』(UG904) を参照してください。

7. I/O を配置し、DRC および SSN 解析を実行して、ボード設計を開始します。

I/O を配置した後、DRC および同時スイッチ ノイズ (SSN) 解析を実行します。詳細は、第 3 章「I/O ピン配置の機能」の次のセクションを参照してください。

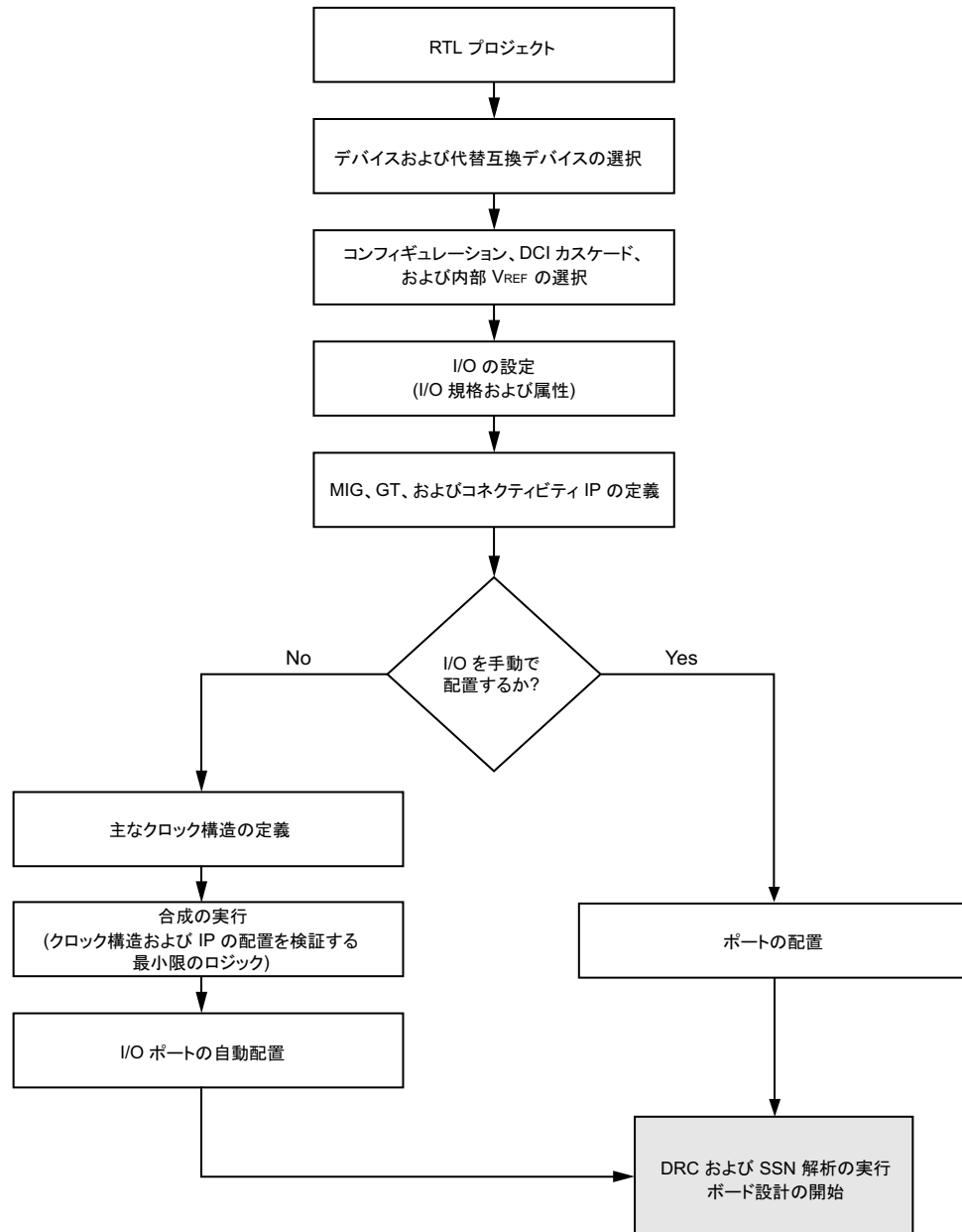
- 。 「インタラクティブ DRC のディスエーブル/イネーブル」
- 。 「SSN 解析の実行」

ボードを設計する際は、次の点を考慮する必要があります。

- 。 ボード レベルの検証には、IBIS (I/O Buffer Information Specification) または HSPICE モデルを使用したシグナル インテグリティ解析を実行します。詳細は、第 3 章の「IBIS モデルのエクスポート」を参照してください。
- 。 ボード全体の環境でピン配置を最適化するには、Cadence 社の Allegro FPGA System Planner や Mentor Graphics 社の I/O Designer などのサードパーティ ツールに FPGA をインポートします。

RTL プロジェクト フロー

図 2-2 に、RTL プロジェクトを使用した I/O 配置フローを示します。



X12989

図 2-2 : RTL プロジェクト フロー

RTL プロジェクト フローの手順は、次のとおりです。

1. New Project ウィザードで RTL プロジェクトを作成します。

RTL プロジェクト作成の詳細は、『Vivado Design Suite ユーザー ガイド : システム レベル デザイン入力』(UG895) を参照してください。

2. デバイスを選択します。

必要なリソースに基づいてデバイスのサイズを決定します。パッケージは、メモリへのクリティカル配線など、PCB 要件に基づいて選択します。SSI テクノロジを使用するデザインについては、『高集積度 FPGA 設計手法ガイド』(UG782) を参照してください。

注記 : 互換性のある代替デバイスを指定することもできます。詳細は、第 3 章の「互換性のある代替デバイスの指定」を参照してください。

3. コンフィギュレーション、デジタル制御インピーダンス (DCI) カスケード、および内部電圧基準 (V_{REF}) を選択します。

詳細は、第 3 章「I/O ピン配置の機能」の次のセクションを参照してください。

- 。 「デバイス コンフィギュレーション モードの設定」
- 。 「DCI_CASCADE 制約の設定」

4. I/O を設定します。

詳細は、第 3 章の「I/O ポートの設定」を参照してください。また、ザイリンクス ウェブサイトまたは Documentation Navigator から次の資料を参照してください。

- 。 FPGA パッケージおよびピン配置仕様 : デバイス ファミリー特定のパッケージおよびピン配置仕様に関する情報を示します。
- 。 FPGA Select IO リソース ユーザー ガイド : バンク規則に関する情報を示します。たとえば、1 つのバンクに含めることができる I/O 規格とできない I/O 規格があります。

5. MIG、GT、およびコネクティビティ IP を定義します。

IP カタログを使用して、MIG、GT、およびコネクティビティ IP を定義できます。IP の使用方法の詳細は、『Vivado Design Suite ユーザー ガイド : IP を使用した設計』(UG896) を参照してください。

注記 : イーサネット IP や PCI Express® (PCIe) テクノロジ IP などの一部の IP には、特別なピン配置要件があります。また、高速メモリ インターフェイスにもクロッキングおよびスキューの要件に基づくピン配置要件があります。



重要 : MIG IP を生成した後、生成された XDC ファイルをプロジェクトに追加する必要があります。GT およびコネクティビティ IP を生成したときにも XDC ファイルが生成されることがあり、その場合も生成された XDC ファイルをプロジェクトに追加する必要があります。

6. I/O を自動配置します (オプション)。

I/O を自動配置するには、次の手順に従います。

a. 主なクロック構造を定義します。

詳細は、第 3 章の「[クロック ロジックの配置](#)」を参照してください。IP カタログを使用して、MMCM または PLL モジュールを生成してクロック接続を定義することも可能です。タイミング クロージャ達成の詳細は、『Vivado Design Suite ユーザー ガイド : デザイン解析およびクロージャ テクニック』(UG906) を参照してください。

b. 合成を実行します。

詳細は、『Vivado Design Suite ユーザー ガイド : 合成』(UG901) を参照してください。

c. ポートを自動配置します。

詳細は、第 3 章の「[I/O ポートの自動配置](#)」を参照してください。

d. I/O を手動配置します (オプション)。

詳細は、第 3 章の「[I/O ポートの配置](#)」を参照してください。

7. I/O を配置し、DRC および SSN 解析を実行して、ボード設計を開始します。

I/O を配置した後、DRC および SSN 解析を実行します。詳細は、第 3 章「[I/O ピン配置の機能](#)」の次のセクションを参照してください。

- 。 [「インタラクティブ DRC のディスエーブル/イネーブル」](#)
- 。 [「SSN 解析の実行」](#)

ボードを設計する際は、次の点を考慮する必要があります。

- 。 ボード レベルの検証には、IBIS または HSPICE モデルを使用したシグナル インテグリティ解析を実行します。詳細は、第 3 章の「[IBIS モデルのエクスポート](#)」を参照してください。
- 。 ボード全体の環境でピン配置を最適化するには、Cadence 社の Allegro FPGA System Planner や Mentor Graphics 社の I/O Designer などのサードパーティ ツールに FPGA をインポートします。

I/O ピン配置の機能

[I/O Planning] レイアウトの使用

Vivado™ IDE では、エラボレート済みデザイン、合成済みデザイン、インプリメント済みデザインで [I/O Planning] レイアウトを使用できます。このレイアウトには、[Package] ビューと [Device] ビューが含まれます。I/O の情報は、[Clock Resources]、[Clock Regions]、[Package Pins]、[I/O Ports]、および [Properties] ビューにも表示されます。

注記 : Vivado IDE のビューの詳細は、『Vivado Design Suite ユーザー ガイド : Vivado IDE の使用』(UG893) を参照してください。

[I/O Planning] レイアウトに切り替えるには、次のいずれかを実行します。

- [Layout] → [I/O Planning] をクリックします。
- レイアウト セレクターから [I/O Planning] を選択します。
- New Project ウィザードを使用して新しい I/O 配置プロジェクトを作成します。

注記 : I/O 配置プロジェクト作成の詳細は、『Vivado Design Suite ユーザー ガイド : システム レベル デザイン入力』(UG895) を参照してください。

図 3-1 に、[I/O Planning] レイアウトを示します。

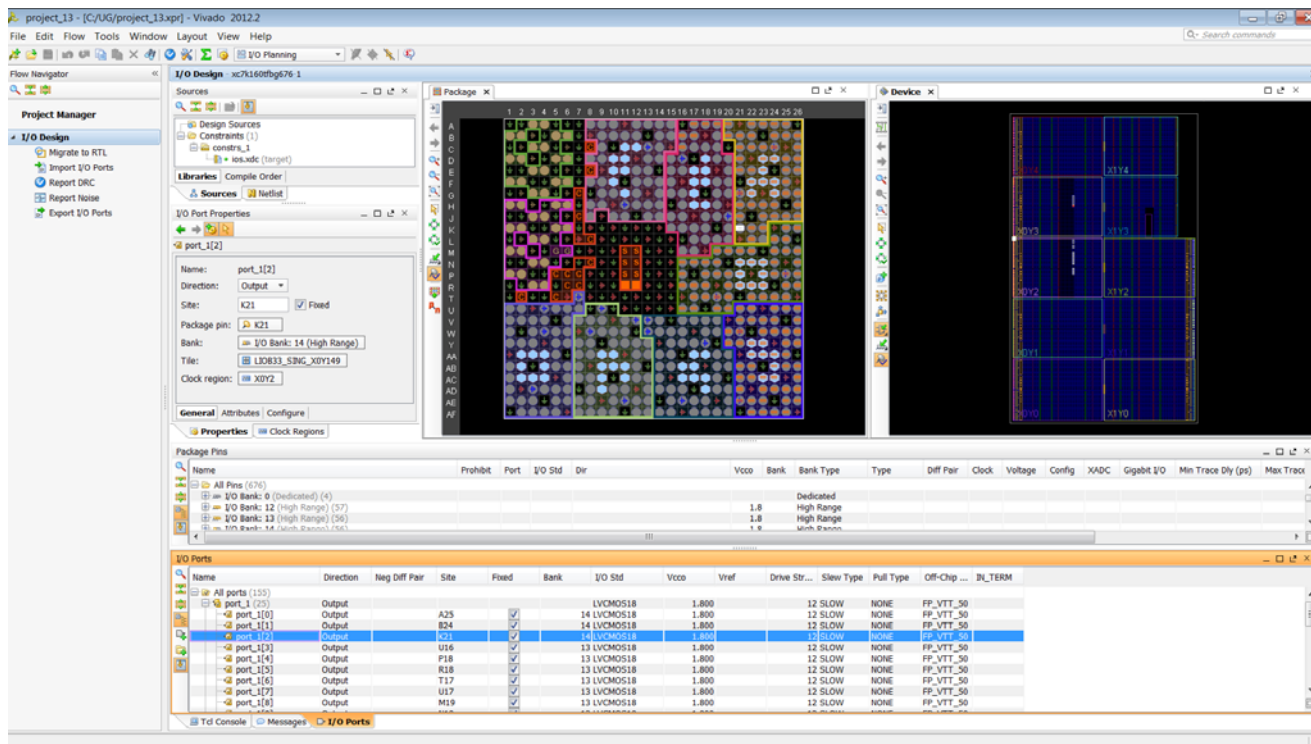


図 3-1 : [I/O Planning] レイアウト

デバイス リソースの表示

[Device] ビューおよび [Package] ビューは、デバイスおよび配置されたロジック リソースをグラフィカルに表示します。ビューでロジック オブジェクトまたはデバイス サイトを選択すると、その情報が [Properties] ビューに表示されます。次に、これらのビューについて詳細に説明します。



ヒント：特定のオブジェクトまたはデバイス サイトを検索するには、[Edit] → [Find] コマンドを使用します。[Find] ダイアログ ボックスでは、さまざまなオブジェクト タイプを検索でき、デバイスまたはデザインで特定のオブジェクトを検索する優れたフィルター機能も含まれています。[Find Results] ビューからオブジェクトを直接選択できます。

プロパティ

[Properties] ビューには、選択したオブジェクトのプロパティが表示されます。選択したオブジェクトによって、ビューのタイトル バーは変化します。多くの場合、[Properties] ビューにはオブジェクトに関する異なる情報を表示する複数のタブがあります。たとえば図 3-2 は、I/O ポートのプロパティを表示する [I/O Port Properties] ビューで、[General]、[Attributes]、および [Configure] タブが含まれます。[Properties] ビューを開くには、[Window] → [Properties] をクリックします。

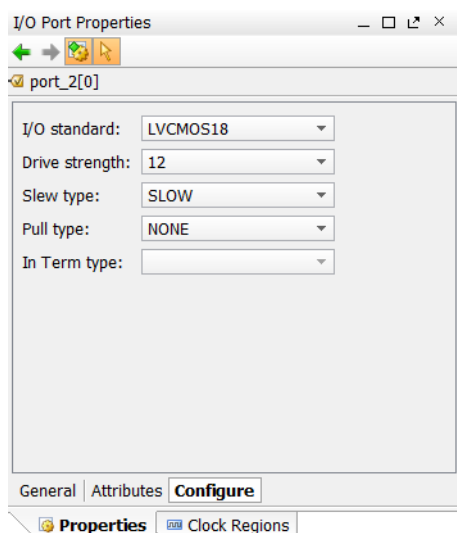


図 3-2 : [I/O Port Properties] ビュー

クロック領域のリソースおよび統計

[Clock Regions] ビューでは、クロック領域を簡単に選択できます。[Clock Regions] ビューでクロック領域を選択すると、[Package] および [Device] ビューでそのリージョナル クロック領域がハイライトされます (図 3-3)。

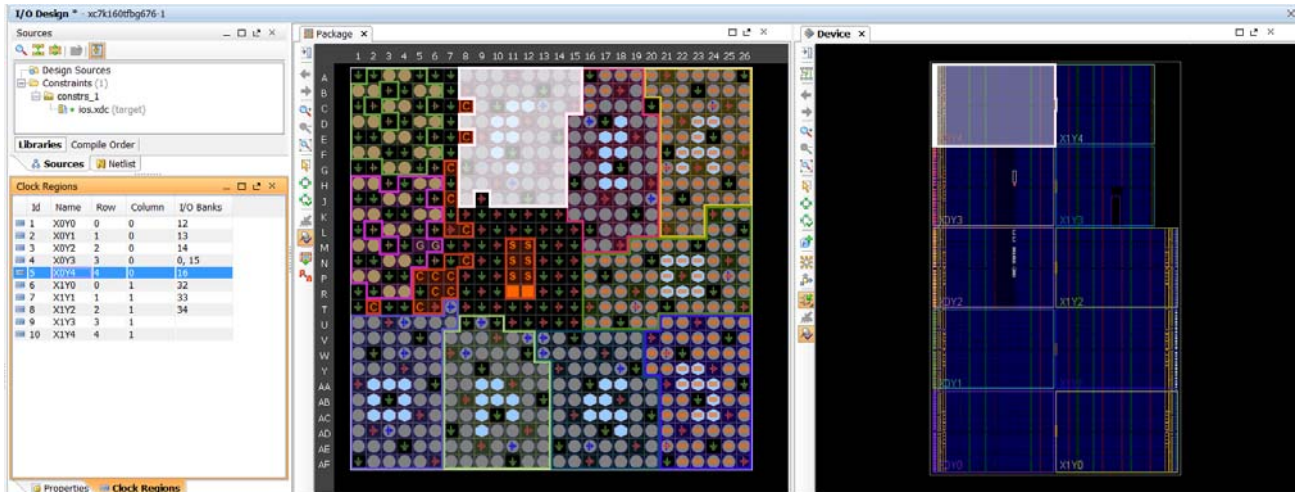


図 3-3 : [Clock Regions] ビュー

クロック領域をハイライトしたら、[Properties] ビューで選択したクロック領域のプロパティを確認できます。[Clock Region Properties] ビューでは、次を実行できます。

- [Statistics] タブをクリックして、選択したクロック領域のリソース統計および内容を表示します。
- [Resources] タブをクリックして、ロジックを割り当てるデバイス クロック リソースを見つけます (図 3-4)。

注記 : [Clock Regions Properties] ビューでオブジェクトを選択すると、[Device] ビューなど、開いているほかのビューでも選択されます。

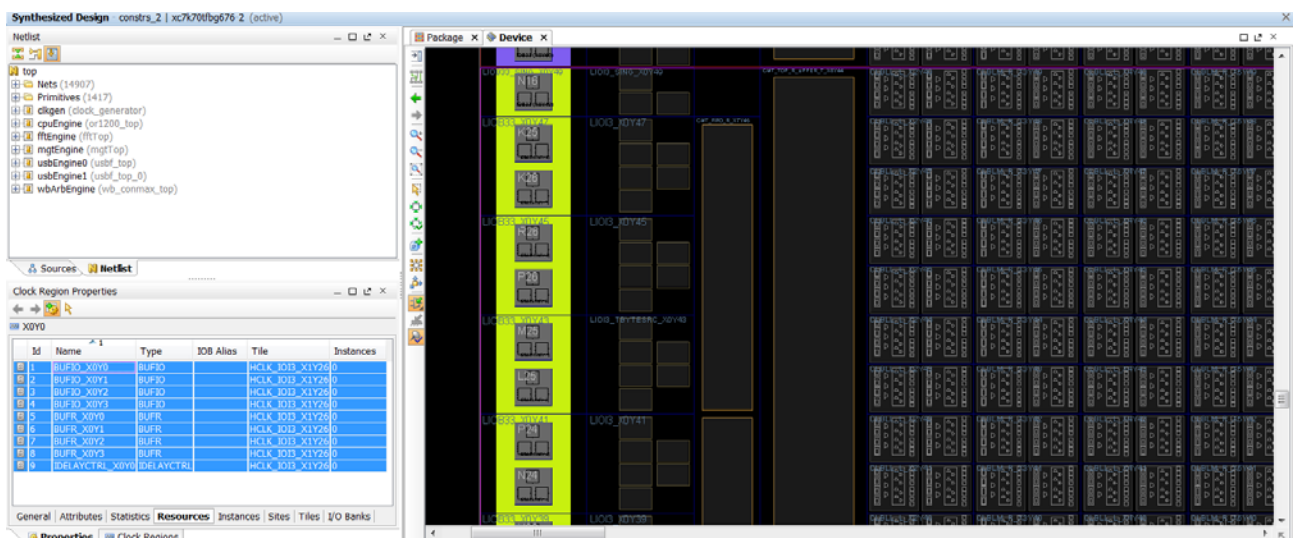


図 3-4 : [Clock Region Properties] ビューの [Resources] タブ

[Clock Resources] ビューには、使用可能なクロック リソースが表示されるので、グローバルおよびリージョナル クロック ツリーの要素の配置に役立ちます。詳細は、「[Clock Resources] ビューの使用」を参照してください。

I/O バンク リソース

I/O リソースは、[I/O Planning] レイアウトのどのビューでも選択でき、図 3-3 に示したように選択したデータはほかのすべてのビューでハイライト表示されるため、物理パッケージと内部チップの関係を簡単に確認できます。

特定の I/O バンクに関する情報を表示するには、次の手順に従います。

1. [Package Pins] ビューで I/O バンクの 1 つを選択します。
2. [I/O Bank Properties] ビュー (図 3-5) の下部にあるタブをクリックし、情報を確認します。

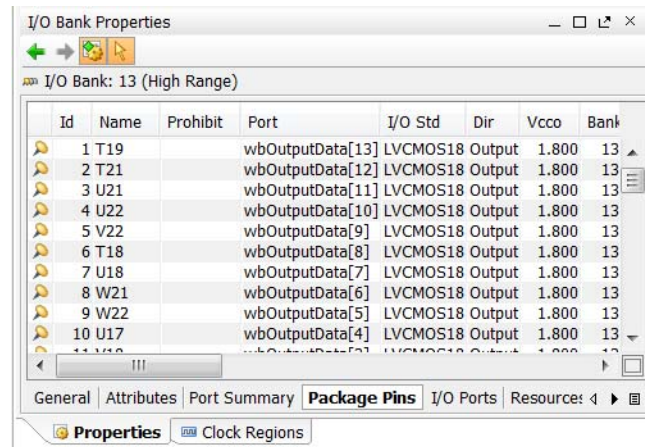


図 3-5 : [I/O Bank Properties] ビュー :

多機能ピン

[Package Pins] ビュー (図 3-6) には、数種類のデータが表形式で表示されます。このビューでは、次を実行できます。

- データの展開表示、フィルター処理、並べ替え
- 列を移動、非表示、設定変更して、さまざまな多機能ピンを表示および比較
- テキストを入力するか、ドロップダウン リストから値を選択し、一部のセルを直接編集



[Package Pins] ビューには、次の情報が含まれます。

- [Type]: 多機能ピンのタイプを示します。
- [Config]: デバイス コンフィギュレーション モードを設定した後の多機能ピンのピン定義を示します。

注記: 多くのデバイス コンフィギュレーション モードで多機能ピンが使用されます。詳細は、「[デバイス コンフィギュレーション モードの設定](#)」を参照してください。

- その他の列: 多機能ピンに関するロジックまたはコンフィギュレーション モードなどの情報を示します。
- GT、メモリ コントローラー、または PCI™ ロジックを含むデザインで競合する多機能ピンを示します。

[Package] ビューでは、多機能ピンの機能が次のシンボルで示されます。

- クロック兼用ピンは、青い六角形で表示されます。 
- V_{REF} ピンには、電源マークが表示されます。 

Name	Prohibit	Port	I/O Std	Dir	Vcco	Bank	Bank Type	Type	Diff Pair	Clock	Voltage	Config
AB22		error	LVCMO...	Output	1.800	13	High Range	User IO	L9N			
AA19						13	High Range	User IO	L10P			
AB20						13	High Range	User IO	L10N			
V20		wbClk	LVCMO...	Input	1.800	13	High Range	Multi-function	L11P	SRCC		
W20						13	High Range	Multi-function	L11N	SRCC		
V19						13	High Range	Multi-function	L12P	MRCC		
W19						13	High Range	Multi-function	L12N	MRCC		
Y18						13	High Range	Multi-function	L13P	MRCC		
Y19						13	High Range	Multi-function	L13N	MRCC		
W17		bftClk	LVCMO...	Input	1.800	13	High Range	Multi-function	L14P	SRCC		

図 3-6 : [Package Pins] ビュー

互換性のある代替デバイスの指定

デザインに互換性のある代替デバイスを選択でき、必要に応じてターゲット デバイスを変更できます。I/O ピン割り当てが選択された代替デバイスすべてに対して有効かどうかチェックされます。現在選択されているターゲット デバイスと同じパッケージの代替デバイスが選択され、できるだけ多くの I/O 割り当てが保持されます。

互換性のある代替デバイスを定義するには、次の手順に従います。

1. [Tools] → [I/O Planning] → [Set Part Compatibility] をクリックします。
2. [Set Part Compatibility] ダイアログ ボックス (図 3-7) で代替デバイスを選択し、[OK] をクリックします。

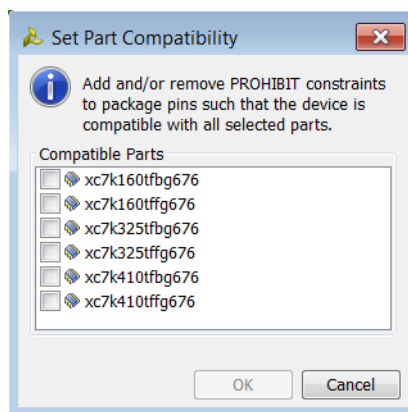


図 3-7 : [Set Part Compatibility] ダイアログ ボックス

選択されたすべての代替デバイス間で共通のピンが特定され、すべてのデバイスに共通でないピンに対しては PROHIBIT 制約が設定されます。選択するデバイスの数が増えると、配置可能なパッケージ ピンの数が減ります。

また、選択した代替デバイスのボンディングされていないピンに信号が割り当てられないように、PROHIBIT 制約が自動的に設定されます。使用禁止のパッケージ ピン数を示すダイアログ ボックスが表示されます。使用禁止のピンは、[Package]、[Package Pins]、[Device] ビューで確認できます。

デバイス コンフィギュレーション モードの設定

デバイス コンフィギュレーション モードを設定し、モードに関する情報を表示および印刷するには、次の手順に従います。

1. [Tools] → [I/O Planning] → [Set Configuration Modes] をクリックします。
2. [Set Configuration Modes] ダイアログ ボックス (図 3-8) で次を実行し、[OK] をクリックします。
 - 。 コンフィギュレーション図を含む情報を表示するコンフィギュレーション モードを選択します。
 - 。 コンフィギュレーション図を印刷するには、[Print] をクリックします。
 - 。 コンフィギュレーション モードを選択します。

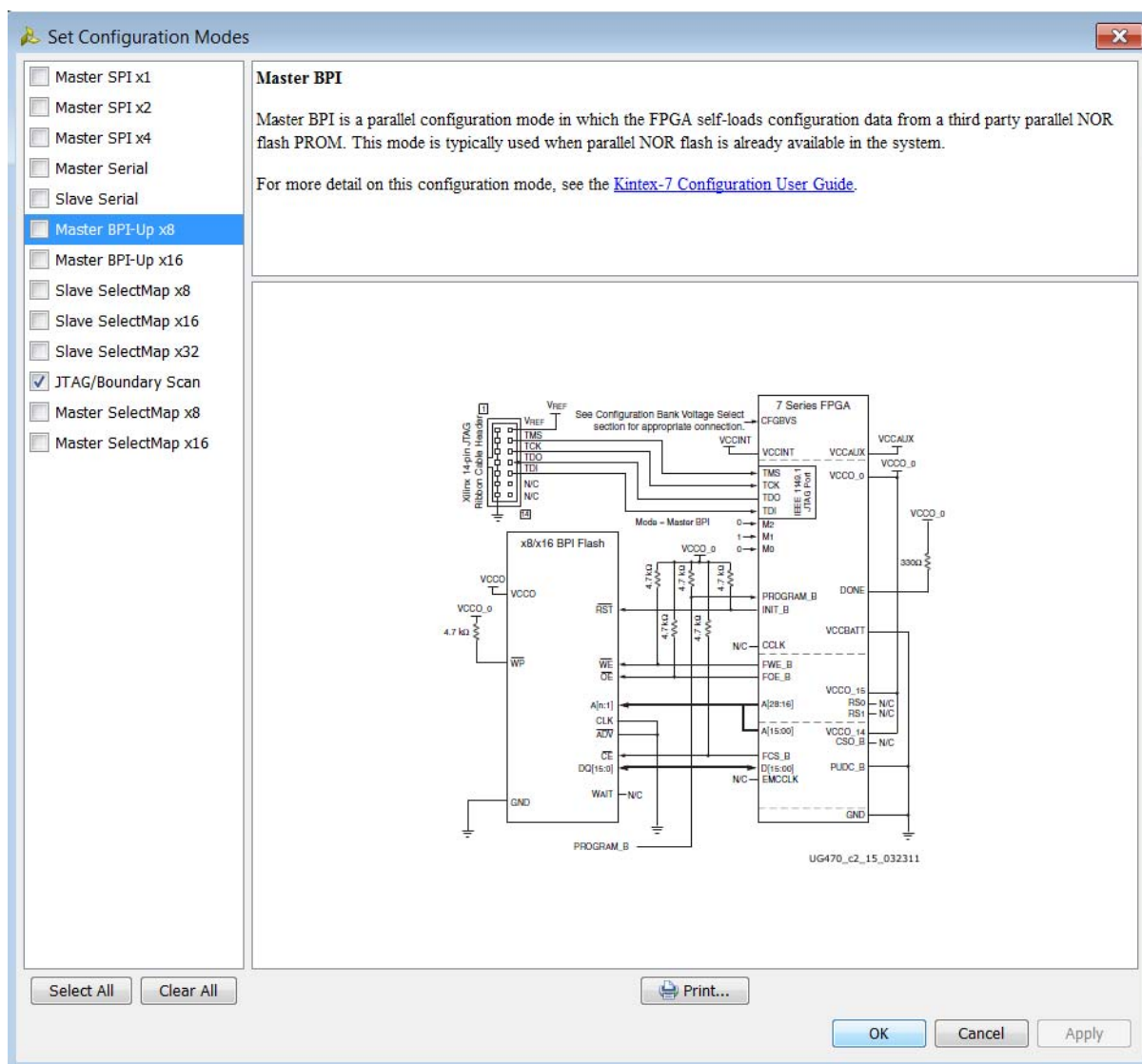


図 3-8 : [Set Configuration Modes] ダイアログ ボックス

コンフィギュレーション モードを選択すると、[Package Pins] ビューの [Config] 列に関連する I/O ピンが表示されます。[Package Pins] ビューの [Config] 列を基準に I/O ピンを並べ替えるかどうかを尋ねるダイアログ ボックスが表示されます。

注記：コンフィギュレーション モードとその他の多機能ピンとに競合があるかどうかを解析する場合は、「[多機能ピン](#)」を参照してください。

I/O ポートの定義と設定

Vivado IDE を使用して、I/O ポートをインポート、作成、および設定できます。

I/O ポートのインポート

プロジェクトのタイプによって、次の方法で I/O ポートをインポートできます。

- **I/O 配置プロジェクト**：プロジェクト作成時、またはファイルのインポート機能を使用して、空の I/O ピン配置プロジェクトに XDC または CSV ファイルをインポートできます。詳細は、「[CSV ファイルのインポート](#)」および「[XDC ファイルのインポート](#)」を参照してください。
- **RTL プロジェクト**：RTL ファイルまたはヘッダーを使用して I/O ピン配置用に RTL プロジェクトを作成し、設計プロセスが進行してからより完全な RTL ソース ファイルを追加します。RTL ベースまたは合成済みネットリストベースのプロジェクトを作成すると、[I/O Ports] ビューにデザインで定義された I/O ポートが自動的に表示されます。
- **I/O 配置プロジェクトを RTL プロジェクトに変換**：I/O ピン配置プロジェクトを RTL プロジェクトに変換し、I/O ポートをデザインの最上位 Verilog または VHDL モジュール定義に変換できます。詳細は、「[RTL デザインへの変換](#)」を参照してください。

CSV ファイルのインポート

CSV ファイルをインポートして、[I/O Planning] レイアウトの [I/O Ports] ビューに表示できます。これらの I/O ポートを物理パッケージピンに割り当てて、デバイスピンの設定を定義できます。

CSV ファイルから I/O ポートのリストをインポートするには、次の手順に従います。

1. [File] → [Import] → [Import I/O Ports] をクリックします。
2. [Import I/O Ports] ダイアログ ボックス (図 3-9) で [CSV File] をオンにし、参照ボタンをクリックしてインポートするファイルを選択します。

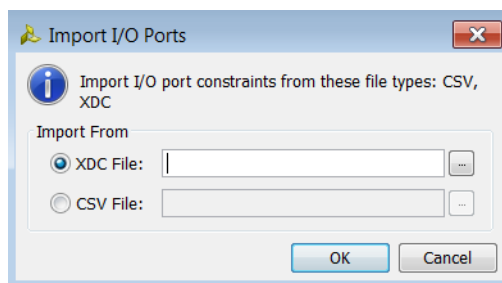


図 3-9 : [Import I/O Ports] ダイアログ ボックス

図 3-10 に、CSV ファイル形式を示します。CSV は、FPGA やボード設計で、デバイス ピンおよびピン配置のデータを交換するために使用される標準ファイル形式です。Vivado IDE で I/O ピン関連のデータをインポートするには、特定の CSV ファイル形式が必要です。詳細は、付録 A 「CSV ファイル形式の I/O ポート リスト」を参照してください。

A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P
#Top: ios Floorplan: io_xc7k160tffg676-1 Part: xc7k160tffg676-1															
#Build: Vivado v2012.2															
IO Bank	Pin Number	IOB Alias	Site Type	Min Trace	Max Trace	Trace Len	Prohibit	Interface	Signal Name	Direction	DiffPair Ty	DiffPair Sig	IO Standard	Drive (mA)	Slew Rate
14	A25	IOB_X0Y147	IO_L1N_T0_D01_DIN_14	191.467	193.391				port_1[0]	OUT			LVC MOS18	12	SLOW
14	B24	IOB_X0Y148	IO_L1P_T0_D00_MOSI_14	180.881	182.699				port_1[1]	OUT			LVC MOS18	12	SLOW
14	K21	IOB_X0Y149	IO_0_14	73.73	74.471				port_1[2]	OUT			LVC MOS18	12	SLOW
13	U16	IOB_X0Y50	IO_25_13	73.041	73.775				port_1[3]	OUT			LVC MOS18	12	SLOW
13	P18	IOB_X0Y51	IO_L24N_T3_13	73.003	73.737				port_1[4]	OUT			LVC MOS18	12	SLOW
13	R18	IOB_X0Y52	IO_L24P_T3_13	63.796	64.437				port_1[5]	OUT			LVC MOS18	12	SLOW
13	T17	IOB_X0Y53	IO_L23N_T3_13	73.336	74.073				port_1[6]	OUT			LVC MOS18	12	SLOW
13	U17	IOB_X0Y54	IO_L23P_T3_13	78.405	79.193				port_1[7]	OUT			LVC MOS18	12	SLOW
13	M19	IOB_X0Y55	IO_L22N_T3_13	100.104	101.11				port_1[8]	OUT			LVC MOS18	12	SLOW
13	N18	IOB_X0Y56	IO_L22P_T3_13	86.656	87.527				port_1[9]	OUT			LVC MOS18	12	SLOW
13	R17	IOB_X0Y57	IO_L21N_T3_DQS_13	66.334	67.001				port_1[10]	OUT			LVC MOS18	12	SLOW
13	R16	IOB_X0Y58	IO_L21P_T3_DQS_13	66.536	67.205				port_1[11]	OUT			LVC MOS18	12	SLOW
13	N17	IOB_X0Y59	IO_L20N_T3_13	65.725	66.385				port_1[12]	OUT			LVC MOS18	12	SLOW
13	P16	IOB_X0Y60	IO_L20P_T3_13	53.671	54.21				port_1[13]	OUT			LVC MOS18	12	SLOW
13	T19	IOB_X0Y61	IO_L19N_T3_VREF_13	53.96	54.503				port_1[14]	OUT			LVC MOS18	12	SLOW

図 3-10 : CSV ファイル形式の I/O ポート リスト

CSV ファイルでは、差動ペアを複数の方法で定義できます。たとえば、DiffPair Signal および DiffPair Type 属性を定義すると差動ペアが認識されます。また、CSV ファイルでペアの 1 つのポートのみを定義した場合、または 2 つのネットに適切な名前が使用されている場合、差動ペアが推論されます。詳細は、付録 A の「CSV ファイルでの差動ペア」を参照してください。

差動ペアが推論されると、ペアの割り当てを確認するメッセージが表示されます (図 3-11)。

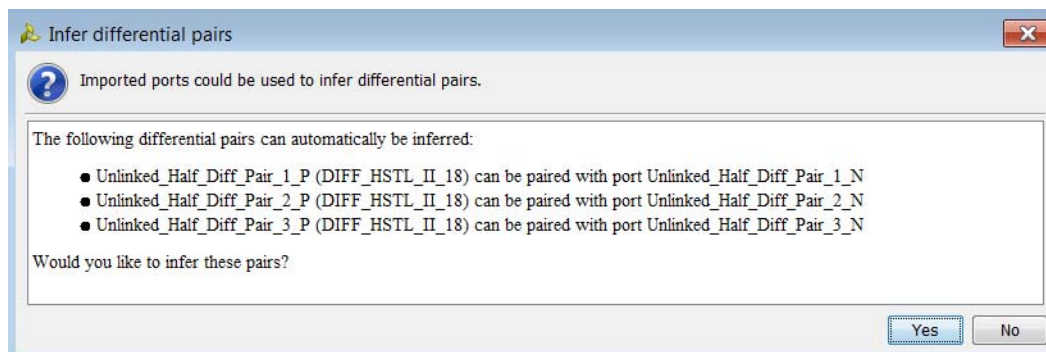


図 3-11 : [Infer differential pairs] ダイアログ ボックス

CSV ファイルには、Vivado IDE では認識されない追加情報を含めることもできます。インポートされた CSV ファイルに認識できない情報が含まれる場合、[Package Pins] ビューのユーザー列に表示されます。このようなユーザー CSV フィールドの値を変更または定義するには、[Package Pins] ビューでポップアップ メニューから [Set User Column Values] をクリックします。

注記 : CSV ファイルのエクスポートの詳細は、「I/O ピンとパッケージ データのエクスポート」を参照してください。

XDC ファイルのインポート

XDC ファイルから I/O ポートの定義をインポートするには、次の手順に従います。

1. [File] → [Import] → [Import I/O Ports] をクリックします。
2. [Import I/O Ports] ダイアログ ボックス (図 3-9) で [XDC File] をオンにし、参照ボタンをクリックしてインポートするファイルを選択します。

XDC ではポートの方向は定義されていないので、方向は未定義になります。I/O ポートの方向を定義するには、[I/O Ports] ビューでポップアップ メニューから [Set Direction] をクリックします。[I/O Ports] ビューで特定の I/O ポートの方向を直接変更することもできます。詳細は、「[I/O ポート方向の設定](#)」を参照してください。

I/O ポートの作成

I/O ピン配置プロジェクトでは、新しいポートを手動で定義できます。デバイスの電圧に関する情報は、ザイリンクス デバイスの資料を参照してください。

I/O ポートを作成するには、次の手順に従います。

1. [I/O Ports] ビューで、ポップアップ メニューから [Create I/O Ports] をクリックします。
2. [Create I/O Ports] ダイアログ ボックス (図 3-12) で次のオプションを指定し、[OK] をクリックします。
 - [Name]: 作成するポートまたはバスの名前を指定します。
 - [Direction]: ポートの方向を選択します。
 - [Diff Pair]: 差動ペア信号を定義する場合にオンにします。これにより 2 つのポートが作成され、指定した名前に _P と _N がそれぞれ付きます。
 - [Create Bus]: バスを作成する場合にバスの範囲を指定します。
 - [I/O standard]: I/O 規格を選択します。
 - [Drive strength]: 駆動電流の値を選択します。
 - [Slew type]: スルー レートのタイプを選択します。
 - [Pull type]: 抵抗のタイプを選択します。
 - [In Term type]: 入力信号の並列終端を定義します。

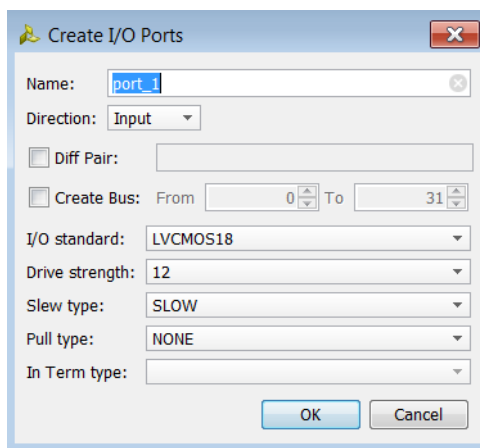


図 3-12 : [Create I/O Ports] ダイアログ ボックス

I/O ポートの設定

1 つまたは複数の I/O ポートの I/O 規格、駆動電流、スルー レートのタイプ、抵抗のタイプ、および入力信号の並列終端を設定できます。この方法は、適切な特性が指定されていない CSV または XDC ファイルからインポートされたポートを設定する場合に便利です。デバイスの電圧に関する情報は、ザイリンクス デバイスの資料を参照してください。

ポートまたはポートのグループを設定するには、次の手順に従います。

1. [I/O Ports] ビューで、ポートを選択します。
2. 右クリックして [Configure I/O Ports] をクリックします。
3. [Configure Ports] ダイアログ ボックス (図 3-13) で次のオプションを指定し、[OK] をクリックします。
 - [I/O standard]: I/O 規格を選択します。I/O 規格は指定したときにはチェックされません。ポートにはどの I/O 規格でも割り当てることができますが、DRC を実行したときにエラーとなる可能性があります。
 - [Drive strength]: 駆動電流の値を選択します。
 - [Slew type]: スルー レートのタイプを選択します。
 - [Pull type]: 抵抗のタイプを選択します。
 - [In Term type]: 入力信号の並列終端を定義します。

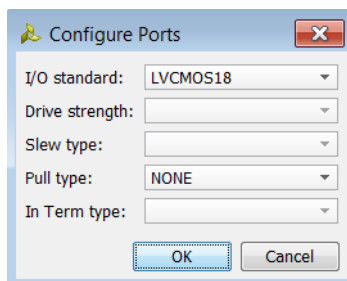


図 3-13 : [Configure Ports] ダイアログ ボックス

I/O ポート方向の設定

I/O ポートの方向を指定するには、次のいずれかの方法を使用します。

- (I/O 配置プロジェクトのみ) [I/O Ports] ビューで [Direction] 列をクリックし、ドロップ ダウン メニューから方向を選択します。
- (I/O 配置プロジェクトのみ) [I/O Ports] ビューで I/O ポートをクリックし、[I/O Ports Properties] ビューで方向を変更します。
- (I/O 配置プロジェクトのみ) [I/O Ports] ビューで設定する I/O ポート、バス、またはインターフェイスを右クリックし、[Set Direction] をクリックします。
- (RTL プロジェクトのみ) RTL ソースでポートの方向を定義します。

差動ペアの作成と分割

I/O ピン配置プロジェクトで差動ペアを定義するには、次の手順に従います。

1. [I/O Ports] ビューで 2 つの I/O ポートを選択し、右クリックして [Make Diff Pair] を選択します。



重要 : [Make Diff Pair] オプションは RTL プロジェクトでは使用できません。RTL プロジェクトでは、適切な I/O バッファのインスタンスエーションを使用して、ソースコードで差動ペアを定義する必要があります。

[Make I/O Diff Pair] ダイアログ ボックス (図 3-14) では、ツールにより 2 つの I/O ポートが P 側と N 側に割り当てられています。

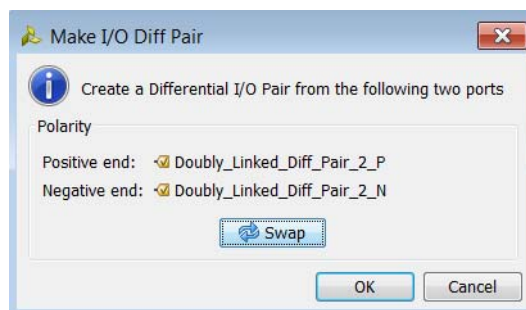


図 3-14 : [Make I/O Diff Pair] ダイアログ ボックス

2. P 側と N 側の信号を入れ替える場合は [Swap] をクリックし、[OK] をクリックします。



ヒント : ポップアップ メニューで [Split Diff Pair] をクリックすると、差動ペアを 2 つのポートに分割できます。

DCI_CASCADE 制約の設定

DCI_CASCADE 制約は、DCI 基準電圧用に近接する複数の I/O バンクをリンクするために使用します。DCI 基準電圧を含む I/O バンクは「マスター」と呼ばれ、カスケード内のそれ以外の I/O バンクは「スレーブ」と呼ばれます。カスケードのすべてのバンクは、デバイスの同じ I/O 列に配置されている必要があります。次に、DCI_CASCADE 制約の設定方法を示します。

注記 : DCI_CASCADE 制約は、ザイリンクス 7 シリーズ デバイスで設定できます。この制約の詳細は、『制約ガイド』(UG625) を参照してください。

DCI_CASCADE 制約の作成

DCI_CASCADE 制約を作成するには、次の手順に従います。

1. [Package Pins] ビューまたは [Package] ビューで I/O バンクを選択し、右クリックして [Create a DCI Cascade] をクリックします。

[DCI Cascade Editor] ダイアログ ボックス (図 3-15) に選択した I/O バンクが表示されます。

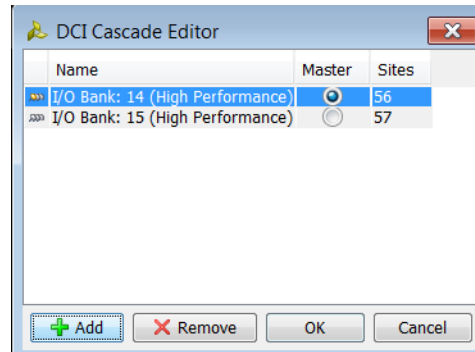


図 3-15 : [DCI Cascade Editor] ダイアログ ボックス

2. I/O バンクを追加するには、[Add] ボタンをクリックします。

デバイスの同じ列から I/O バンクを選択します。これは、DCI_CASCADE の作成時にはチェックされません。エラーは DRC を実行するとチェックできます。

3. マスターにする I/O バンクの [Master] 列のボタンをオンにし、[OK] をクリックします。

DCI カスケードが [Physical Constraints] ビュー (図 3-16) に表示されます。[Physical Constraints] ビューで [DCI Cascade] を選択すると、[Package] および [Device] ビューなどの関連のビューで I/O バンクがハイライトされます。

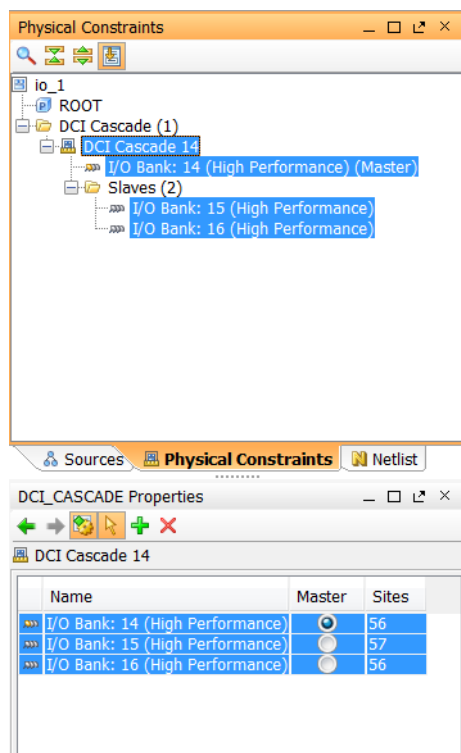




図 3-16 : [Physical Constraints] ビュー

DCI カスケード制約の変更と削除

DCI カスケードを変更するには、[Physical Constraints] ビューで DCI カスケードを選択し、[DCI_CASCADE Properties] ビューで次のように設定を変更します。

- マスターを変更するには、別の I/O バンクの [Master] をオンにします。
- DCI カスケードから I/O バンクを削除するには、I/O バンクを選択し、ツールバーの [Delete I/O Banks] ボタン  をクリックします。
- DCI カスケードに I/O バンクを追加するには、I/O バンクを選択し、ツールバーの [Add I/O Banks] ボタン  をクリックします。[Select I/O Banks] ダイアログ ボックスで追加する I/O バンクを選択します。追加された I/O バンクが、ほかのビューでもハイライトされます。
- 変更を保存するには、[DCI_CASCADE Properties] ビューで [Apply] をクリックします。



ヒント : DCI_CASCADE 制約を削除するには、[Physical Constraints] ビューで制約を右クリックし、[Delete] をクリックします。

I/O ピンおよび I/O バンクの使用禁止

[I/O Planning] レイアウトでは、I/O ピン、I/O ピンのグループ、または I/O バンクを使用禁止に設定できます。[Device]、[Package]、[Package Pins] ビューでピンを選択し、禁止にします。

I/O ピンまたは I/O バンクを使用禁止にするには、次の手順に従います。

1. [Device]、[Package]、または [Package Pins] ビューで、I/O ピンまたは I/O バンクを選択します。
2. 右クリックして [Set Prohibit] をクリックします。

使用禁止に設定されたピンは、次のように表示されます。

- [Device] ビューおよび [Package] ビューでは、斜線の入った赤丸が表示されます (図 3-17)。
- [Package Pins] ビューの [Prohibit] 列にチェック マークが表示されます。



図 3-17 : 使用禁止に設定されたパッケージ ピン

I/O ポート インターフェイスの作成

複数のポートまたはバスをまとめてグループにするには、インターフェイスを作成します。インターフェイス ポートが 1 つのグループとして処理されるので、ピンの割り当てに有益です。ピンをすべて同時に割り当てると、クロック領域または PCB 配線関連のインターフェイスをまとめたり分離しやすくなります。特定のロジック インターフェイスに関連付けられた信号の表示および管理も容易になります。

インターフェイスを作成するには、次の手順に従います。

1. [I/O Ports] ビューで、1 つのグループにまとめる信号を選択します。
2. 右クリックして [Create I/O Port Interface] をクリックします。
3. [Create I/O Port Interface] ダイアログ ボックス (図 3-18) で、インターフェイスの名前を指定してオプションを指定し、[OK] をクリックします。

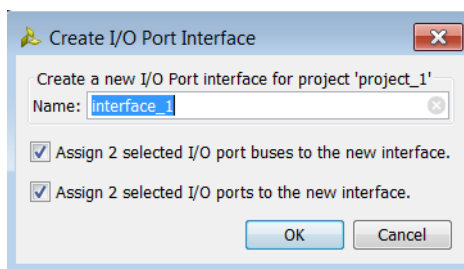


図 3-18 : [Create I/O Port Interface] ダイアログ ボックス

インターフェイスが [I/O Ports] ビューに展開可能なフォルダーとして表示されます (図 3-19)。

Name	Direction	Neg Diff Pair	Site	Fixed	Bank	I/O Std
All ports (71)						
interface_1 (66)	(Multiple)				(Multiple)	LVC MOS18
wbInputData (32)	Input				14	LVC MOS18
wbOutputData (32)	Output					LVC MOS18
Scalar ports (2)						
bftClk	Input		W17	<input checked="" type="checkbox"/>	13	LVC MOS18
wbClk	Input		V20	<input checked="" type="checkbox"/>	13	LVC MOS18
Scalar ports (5)						
error	Output		AB22	<input checked="" type="checkbox"/>	13	LVC MOS18
reset	Input		Y22	<input checked="" type="checkbox"/>	13	LVC MOS18

図 3-19 : [I/O Ports] ビューの I/O ポート インターフェイス



ヒント：インターフェイスを削除するには、削除するインターフェイスを選択し、右クリックして [Delete] をクリックするか、Delete キーを押します。

インターフェイスへの I/O ポートの追加

インターフェイスに I/O ポートを追加するには、[I/O Ports] ビューで次のいずれかを実行します。

- I/O ポートを選択し、インターフェイス フォルダーにドラッグします。
- ポートまたはバスを右クリックし、[Assign to Interface] をクリックします。[Select I/O Port Interface] ダイアログ ボックスで、インターフェイスを選択します。

インターフェイスからの I/O ポートの削除


インターフェイスから I/O ポートを削除するには、[I/O Ports] ビューで次を実行します。

1. ポートを右クリックします。
2. ポップアップ メニューから [Unassign from Interface] をクリックします。

インタラクティブ DRC のディスエーブル/イネーブル

Vivado IDE では、I/O 配置中、ピン配置が有効であるかどうかを確認されますが、最終的な DRC は Vivado インプリメンテーションでのみ実行可能です。そのため、最終的なピン配置が有効かどうか確認するには、インプリメンテーションまで実行する必要があります。

ピン配置中は、インタラクティブな I/O 配置ルーチンにより、よく発生するエラーがチェックされます。この機能は、次のいずれかを実行してオン/オフを切り替えることができます。

- [Device] または [Package] ビューで、ツールバーの [Autocheck I/O Placement] ボタン  をクリックします。
- [Tools] → [Options] をクリックし、[Vivado Options] ダイアログ ボックスの [General] ページで [Automatically enforce legal I/O placement] をオン/オフにします。

この自動チェック機能をオンにすると、問題を引き起こすピンに I/O ポートを配置できなくなります。[Place I/O Ports Sequentially] をオンして I/O ポートを順次に割り当てる場合、問題のあるピンに I/O ポートを配置しようとすると、I/O ポートを配置できない理由がツール ヒントに表示されます。インタラクティブ DRC は、デフォルトでオンになっています。



重要: チェックの多くは、デザイン全体の合成済みネットリストが読み込まれている場合にのみ実行可能です。

インタラクティブ I/O 配置ルールには、次のものが含まれます。

- 禁止：
 - GT に関連するノイズの影響を受けやすいピンまたはノイズの影響を受けやすくなる可能性のある I/O パッケージピンへの配置
 - I/O 規格に違反する配置
- 確認：
 - バンクでサポートされていない I/O 規格が使用されていない
 - バンクに互換性のない V_{CC} ポートが割り当てられていない
 - V_{REF} ポートが必要なバンクに使用可能な V_{REF} ピンある
 - グローバル クロックおよびリージョナル クロックが適切に割り当てられている (ネットリストおよび XDC ファイルがインポートされている場合のみ)
 - 差動 I/O ポートが正しい極性ピンに割り当てられている
 - 出力ピンが入力のためのピンに配置されていない



推奨: I/O ポートの配置は、インタラクティブ DRC をオンにして実行することをお勧めします。I/O に関する DRC の詳細は、付録 B 「I/O ポート DRC の詳細」を参照してください。

I/O ポートの配置

[I/O Planning] レイアウトでは、複数の方法で I/O ポートをパッケージ ピンに割り当てることができます。[I/O Ports] ビューで個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択し、[Package] ビューでパッケージ ピンに、または [Device] ビューで I/O パッドに割り当てることができます。


[Package] ビューでは、次の操作を実行できます。

- ポートをパッケージ ピンにドラッグ アンド ドロップします。
- ポートの配置と制約を確認します。
- ピン上にカーソルを移動し、ビューの上と左に I/O ピンの座標を表示します。
- ピン上にカーソルを置き、ピン情報を含むツール ヒントを表示します。

注記 : I/O ピンおよびバンクのその他の情報は、Vivado IDE の下部にあるステータス バーに表示されます。

I/O ポートの順次配置

I/O ポートを順次に配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次のいずれかを実行します。
 - [I/O Ports] ビューで、ポップアップ メニューから [Place I/O Ports Sequentially] をクリックします。
 - [Package] または [Device] ビューで、ツールバーの [Place Ports] ボタンをクリックし、[Place I/O Ports Sequentially]  をオンにします。

カーソルをパッケージ ピンまたは I/O パッド上に移動すると、グループの最初の I/O ポートがカーソルと共に移動します。ツール ヒントには、I/O ポート名およびパッケージ ピン名が表示されます。

3. ピンまたはパッドをクリックすると、I/O ポートが割り当てられます。

配置されていない I/O ポートが残っている場合は、コマンドは継続されます。I/O ポートがすべて割り当てられるまでこの操作を繰り返すか、または Esc キーを押してモードを解除します。



ヒント : ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューでポートを並べ替えると、並べ替えられた順序で割り当てられます。

図 3-20 に I/O ポートを順次に配置しているところを示します。

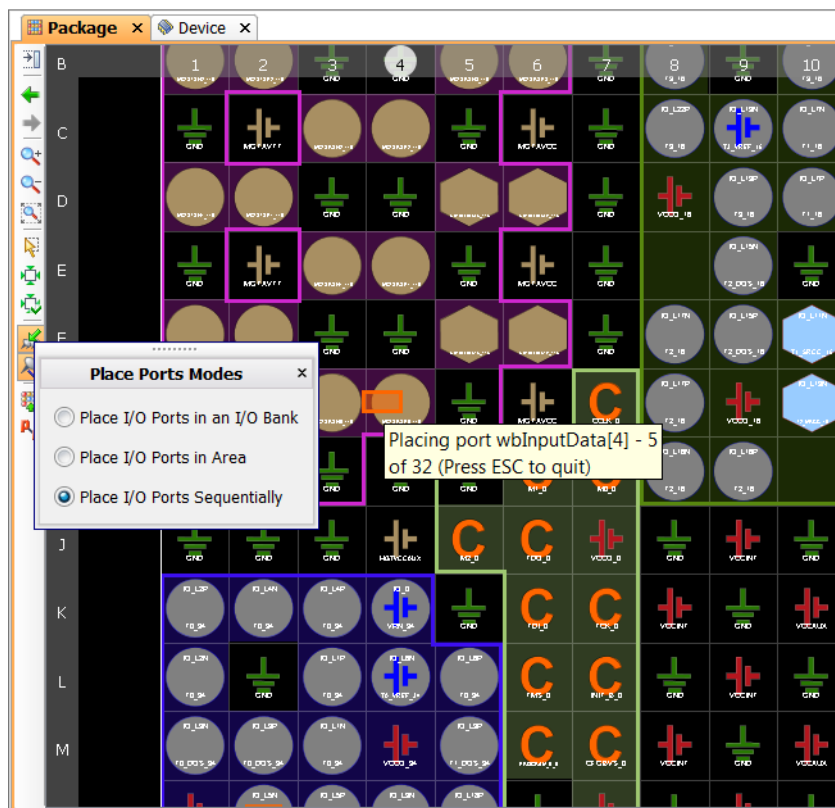


図 3-20 : I/O ポートを順次に配置

I/O ポートの I/O バンクへの配置

I/O ポートを I/O バンクに配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次のいずれかを実行します。
 - 。 [I/O Ports] ビューのポップアップ メニューから [Place I/O Ports in an I/O Bank] をクリックします。
 - 。 [Package] または [Device] ビューで、ツールバーの [Place Ports] ボタンをクリックし、[Place I/O Ports in an I/O Bank] をオンにします。

カーソルをパッケージ ピンまたは I/O パッド上に移動すると、I/O ポートのグループがカーソルと共に移動します。ツール ヒントには、カーソルの置かれた I/O バンクに配置可能なピン数が表示されます。

3. ピンまたはパッドをクリックすると、選択された I/O ポートが割り当てられます。

I/O バンクに収まらない数の I/O ポートが選択されている場合、選択された I/O バンクにできるだけ多くのポートが配置され、残りのポートを配置する別の I/O バンクを選択できます。I/O ポートがすべて配置されるまでこの操作を繰り返すか、または Esc キーを押してモードを解除します。



ヒント：ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューでポートを並べ替えると、並べ替えられた順序で割り当てられます。

デバイス リソースへのポートの割り当ても、I/O バンクの最初の選択から実行されます。I/O バンクの一端にあるピンを選択すると、バスが I/O バンク全体に割り当てられます。

バスに関連する PCB 配線も考慮されます。ピンは、割り当て領域内でバス ビットのベクターが保持されるような順序で割り当てられます。割り当てパターンは、その他のバス配線の考慮事項に対応するようカスタマイズできます。

図 3-21 に、I/O バンクに I/O ポートを配置するところを示します。

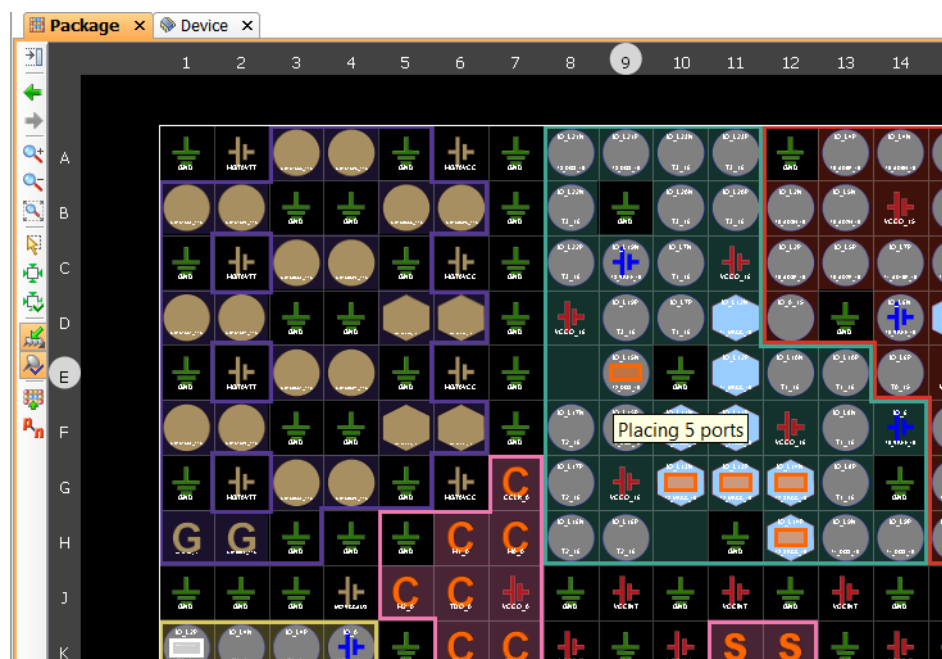



図 3-21 : I/O ポートの I/O バンクへの配置

I/O ポートの定義された領域への配置

I/O ポートを定義された領域に配置するには、次の手順に従います。

1. [I/O Ports] ビューで、個別の I/O ポート、I/O ポートのグループ、またはインターフェイスを選択します。
2. 次のいずれかを実行します。
 - [I/O Ports] ビューで、ポップアップメニューから [Place I/O Ports in Area] をクリックします。
 - [Package] または [Device] ビューで、ツールバーの [Place Ports] ボタンをクリックし、[Place I/O Ports in Area]  をオンにします。
 カーソルが十字型に変化し、ポートを配置する長方形を定義できるようになります。
3. [Package] ビューまたは [Device] ビューのいずれかで長方形を描画し、割り当て領域を定義します。

定義した領域に選択された I/O ポートすべてを配置できない場合は、コマンドが継続します。カーソルは十字型のみで、残りの I/O ポートがすべて配置されるまで、長方形を続けて描画できます。Esc キーを押すと、I/O ポートを配置し終える前にコマンドを終了できます。



ヒント：ポートは、[I/O Ports] ビューに表示されている順序で割り当てられます。割り当ての前に [I/O Ports] ビューでポートを並べ替えると、並べ替えられた順序で割り当てられます。

長方形の描画方向によって割り当て順序が変わります。I/O ポートは最初選択された長方形の座標の内側のピンから順に割り当てられます。領域の長方形の定義を工夫することにより、PCB 配線の観点から有益なピン配置が得られます。

図 3-22 に、I/O ポートを領域に配置するところを示します。



図 3-22 : I/O ポートの領域への配置

配置済み I/O ポートの入れ替え

配置済みの 2 つの I/O ポートの配置を入れ替えるには、次の手順に従います。

1. 使用可能なビューで 2 つの I/O ポートを選択します。
2. 右クリックして [Swap Locations] をクリックします。



重要：インプリメント済みデザインで固定されていない 2 つのポートの配置を入れ替えると、入れ替えることによりポートの配置が固定され、制約が XDC ファイルに記述されます。

配置済み I/O ポートの移動

既に割り当てられているポートまたはポートのグループを移動するには、選択して別の場所にドラッグします。ある I/O バンクのポート グループを別の I/O バンクに移動する場合、選択したポートに最適な場所が自動的に検出されます。

注記：これは、[Place I/O Ports in an I/O Bank] コマンドを使用するのと同様です。

I/O ポートの自動配置

I/O ポートを自動的にパッケージピンに割り当てることができます。自動配置では、I/O 規格および差動ペアの規則すべてに従い、グローバルクロックピンが正しく配置されます。

I/O ポートを自動配置するには、次の手順に従います。

1. [I/O Ports] ビューで、自動配置する I/O ポートを選択します。
2. [Tools] → [I/O Planning] → [Autoplace I/O Ports] をクリックします。

注記：または、[I/O Ports] ビューでポップアップメニューから [Auto-place I/O Ports] をクリックします。

3. Autoplace I/O Ports ウィザード (図 3-23) で、配置する I/O ポートを選択し、[Next] をクリックします。

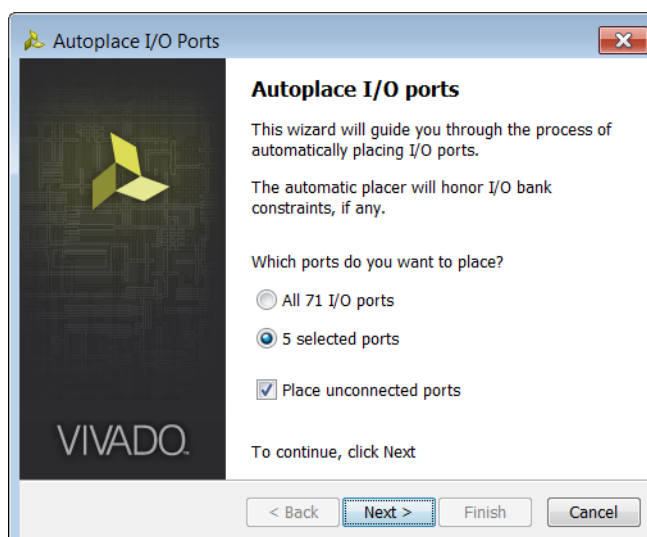


図 3-23 : Autoplace I/O Ports ウィザード

4. 既にパッケージピンに割り当てられている I/O ポートを選択している場合、[Placed I/O Ports] ページ (図 3-24) でオプションを選択し、[Next] をクリックします。

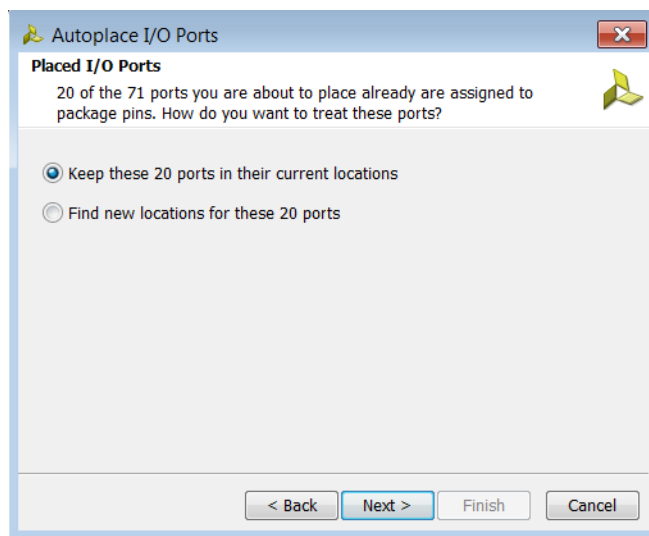


図 3-24 : Autoplace I/O Ports ウィザードの [Placed I/O Ports] ページ

5. [Place I/O Ports Summary] で [Finish] をクリックします。

ギガビット トランシーバーの I/O ポートの配置

GT をより適切に管理するため、[I/O Planning] レイアウトのビューでは、関連する 2 つの I/O 差動ペアと GTX ロジック オブジェクトが、選択、配置、移動の際に自動的にグループ化されます。GT の複数のオブジェクトは 1 つのオブジェクトとして選択され、まとめて移動されるので、GT リソースの無効な配置は実行されません。

インタラクティブ DRC がオンの場合、ポート配置中に、GTX の周囲のノイズの影響を受けやすい I/O ピンが自動的に配置禁止になります。詳細は、「[インタラクティブ DRC のディスエーブル/イネーブル](#)」を参照してください。

I/O 配置制約の削除

配置制約を削除するには、配置されたロジックを右クリックし、[Unplace] をクリックします。

クロック ロジックの配置

BUFGCTRL、MMCM、BUFR、IDELAYCTRL などのグローバルおよびリージョナル クロック関連のロジックは、[\[Clock Resources\] ビューの使用](#) で説明するように、[Clock Resources] ビューを使用して手動で配置できます。クロック ロジックは、[Device] ビューでも手動で配置できます。[Device] ビューには、デバイス特有のリソースに対して適切なロジック サイトが表示されます。

ロジック インスタンスの検索

ロジック インスタンスを配置するために検索するには、次の手順に従います。

1. [Edit] → [Find] をクリックします。
2. [Find] ダイアログ ボックスで、[Find] フィールドで [Instances] を選択し、インスタンスの検索条件を定義します。
3. [Find Results] ビューからインスタンスを [Clock Resources] または [Device] ビューにドラッグし、最適なデバイス リソースに割り当てます。



ヒント：グローバル クロック バッファ (BUFGCTRL) など、ロジック インスタンスを配置するデバイス上の物理リソースも検索できます。[Find] フィールドで [Sites] を選択し、検索条件を定義します。[Find Results] ビューの検索結果を選択すると、[Clock Resources] または [Device] ビューでデバイス リソースがハイライトされます。

[Clock Resources] ビューの使用

[Clock Resources] ビューには、BUFR、BUFIO、BUFG、MMCM、GT などのリージョナルおよびグローバル クロック リソース間の関係が表示されます。[Clock Resources] ビューに表示されるデバイス リソースは簡略化されていますが、これらのリソース間の相対的な位置関係は正しく保持されています。

注記：[Device] ビューに表示される FPGA デバイスの詳細のほとんどは、[Clock Resources] ビューには表示されません。

図 3-25 に、Kintex™-7 K70T デバイスの [Clock Resources] ビューを示します。

- デバイスには 8 つのクロック領域が 4x2 の行列で配置され、デバイスの左下 X0Y0 から右上 X1Y3 に向かって番号が付けられています。
- 各クロック領域には、CCIO (クロック兼用 I/O)、BUFIO、BUFR を含む I/O バンクもあり、これらも [Clock Resources] ビューに表示されます。
- デバイスは、4 つのクロック領域を含む上半分と、4 つのクロック領域を含む下半分に分割されています。
- デバイスのグローバル クロックを制御する BUFG は、デバイスの中央列にあります。

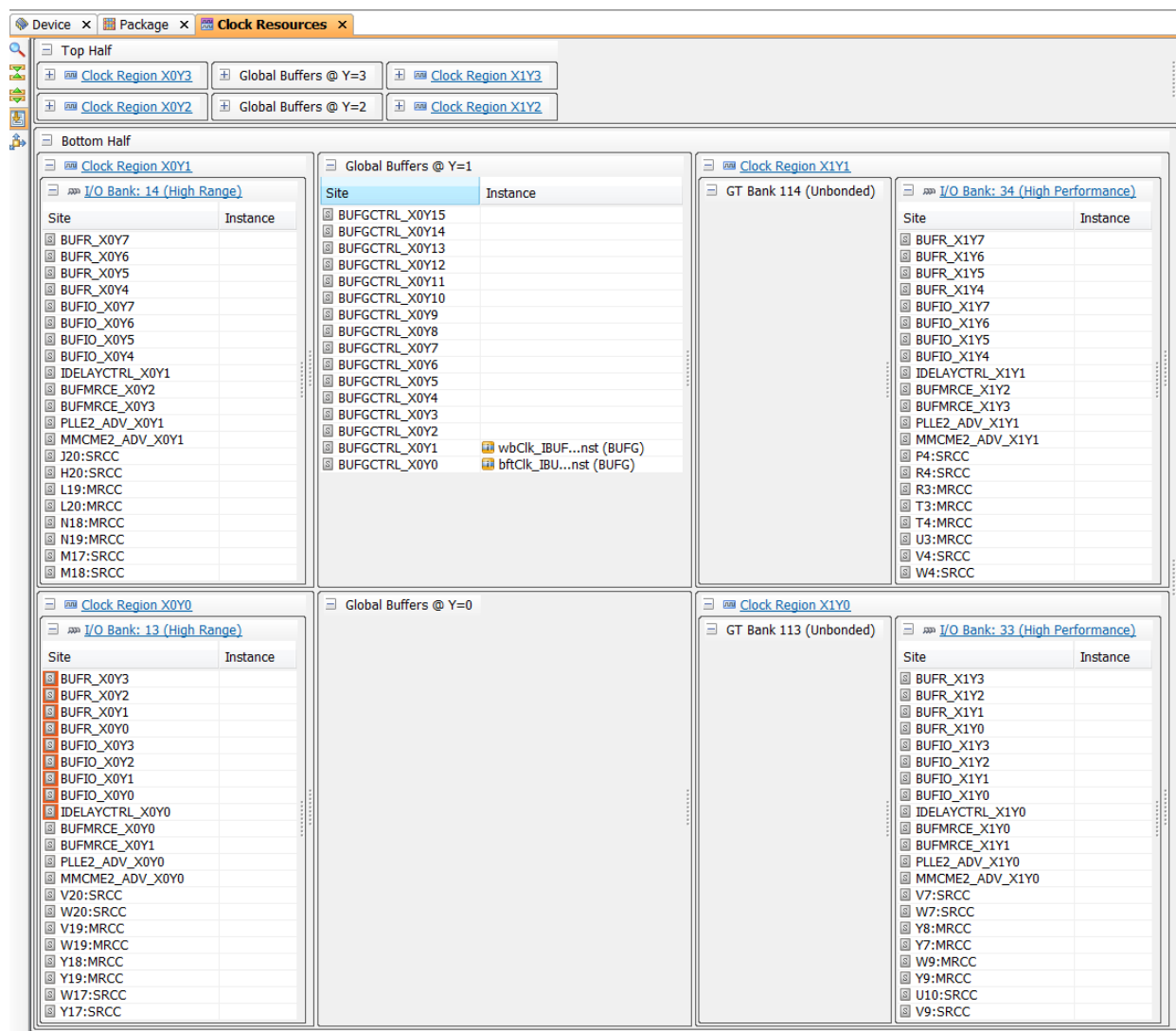


図 3-25 : [Clock Regions] ビュー

レベルの展開/非展開

レベルを展開または非展開にして必要な情報のみを表示するには、次を実行します。


- プラス記号 (+) およびマイナス記号 (-) をクリックして、ツリーの該当する部分を展開または非展開にします。
- ツールバーの [Expand All] および [Collapse All] ボタンをクリックして、すべてのツリーを展開または非展開にします。

オブジェクト選択の連動

ビュー間でのオブジェクトの選択を連動させるには、[Clock Resources] ビューで次のいずれかを実行します。

- クロック領域または I/O バンクの名前をクリックします。

この方法を使用して、デバイス、パッケージ、またはネットリストで特定のオブジェクトをすばやく見つけることができます。

- ツールバーの [Automatically scroll to selected object] ボタン  をクリックして、別のビューで選択したオブジェクトが表示されるようにします。

この方法を使用して、デバイスの特定リソースを [Clock Resources] ビューですばやく見つけることができます。



ヒント: この機能をオフにして、ほかのビューでオブジェクト選択されるたびに、表示されるリソースが変わるのを避けることができます。

デザイン インスタンスの配置

[Clock Resources] ビューには [Site] と [Instance] の 2 つの列があり、デバイス リソースとそれに割り当てられているデザイン インスタンスが示されます。

デザイン インスタンスを配置するには、次の手順に従います。

- [Find Results]、[Schematic]、[Netlist]、または [I/O Ports] ビューで、デバイス リソースに配置するロジック インスタンスを選択します。
- インスタンスを [Clock Resources] ビューの適切なデバイス リソースの [Instance] 列にドラッグします。

[Clock Resources] ビューにインスタンスをドラッグすると、そのインスタンスを配置できないサイトではカーソルがスラッシュの入った円に変わり、配置できるサイトでは長方形になります。



重要: インスタンスを配置する際は、グローバルおよびリージョナル クロック ツリー構造に関する規則および制限が適用されます。これらの規則や制限の詳細は、該当するデバイスの **FPGA クロック リソース ガイド** を参照してください。


クロック接続の確認

クロックの接続をグラフィックで確認するには、[Clock Resources] ビューでサイトを右クリックし、次のいずれかのコマンドをクリックします。

- [Select Drivers]
- [Select Loads]
- [Show Clock Connections]

[Device] ビューでのクロック ロジックの配置

クロック ロジックを手動で配置するには、次の手順に従います。

- [Device] ビューを拡大表示し、ロジックを配置するデバイス サイトを表示します。
- ツールバーの [Instance Drag & Drop Modes] ボタンをクリックし、[Create Site Constraint Mode]  をオンにします。
- [Find Results]、[Schematic]、[Netlist]、または [I/O Ports] ビューで配置するロジック インスタンスを選択し、[Device] の適切なデバイス リソースにドラッグします。

I/O およびクロック ロジックの配置の検証

このセクションでは、I/O ポートおよびクロックに関する DRC の実行と、DRC 違反の表示について説明します。

I/O ポートおよびクロック ロジック関連の DRC の実行

DRC ルールを選択して実行するには、次の手順に従います。

1. [Tools] → [Report DRC] をクリックします。
注記：または、Flow Navigator で [Report DRC] をクリックします。
2. [Report DRC] ダイアログ ボックス (図 3-26) で、[Results name] フィールドに結果の名前を入力します。

ここで指定した名前が [DRC] ビューに表示されるので、識別しやすい名前を付けます。この名前は出力ファイル名としても使用されます。

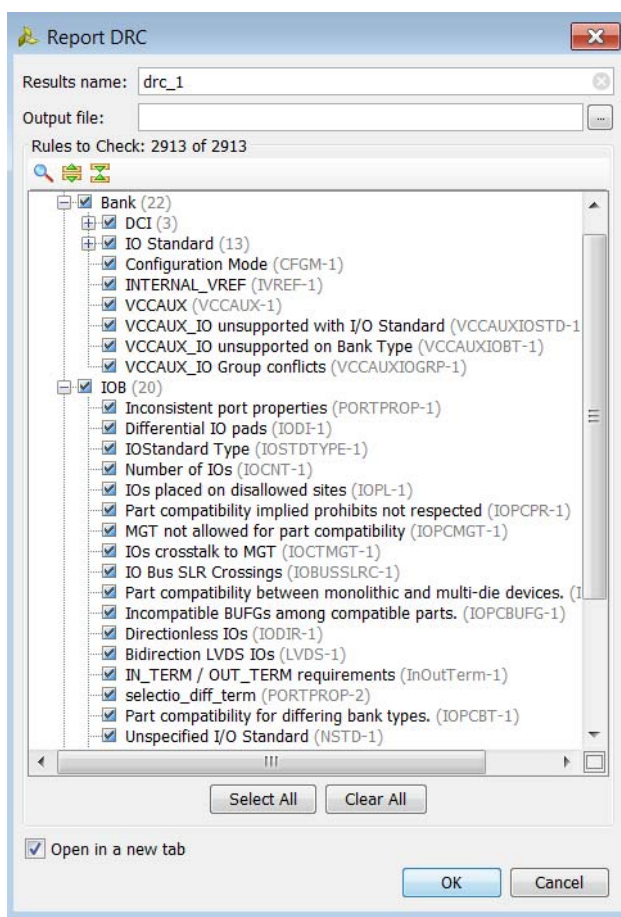







図 3-26 : [Report DRC] ダイアログ ボックス

3. [Rules to Check] フィールドで、チェックを実行するルールをチェック ボックスをオンにします。このフィールドでは、次を実行できます。
 - ・ ツールバーの [Expand All] ボタン  をクリックするか、各カテゴリまたはデザイン オブジェクトの横のプラス記号 (+) をクリックして、階層を展開します。
 - ・ [All Rules] の横のチェック ボックスをオンにして、すべてのデザイン オブジェクトに対してすべてのルールをチェックします。
 - ・ デザイン オブジェクトの横にあるチェック ボックスをオンにして、そのオブジェクトのすべての DRC を実行します。
 - ・ 個々の DRC をオンにします。


注記：各ルールの詳細は、付録 B 「I/O ポート DRC の詳細」を参照してください。
4. [OK] をクリックし、選択した DRC を実行します。

DRC エラーの表示

DRC で違反が検出された場合、図 3-27 に示す [DRC] ビューが表示されます。[DRC] ビューには、検出されたルール違反が [Report DRC] ダイアログ ボックスで定義されたカテゴリ別に表示されます。ルール違反はその重要度によっても分類されており、次のように色分け表示されます。

- ・ 情報のみ：デザイン プロセスに関する一般的なステータスおよびフィードバックを示します。 
- ・ 警告：制約または仕様が意図どおりに適用されていないために、最適なデザイン結果にならない可能性を示します。 
- ・ クリティカル警告：ユーザー入力または制約に適用されないものがあつたり、適切な方法に従っていないものがあることを示します。これらの問題を確認し、変更することをお勧めします。 
- ・ エラー：デザイン結果が使用できない状態になり、ユーザーが対処しないと回避されない問題を示します。デザイン フローは停止します。 



ヒント：警告および情報メッセージを非表示にし、エラーのみを表示するには、ツールバーの [Hide Warnings and Informational Messages] ボタン  をクリックします。

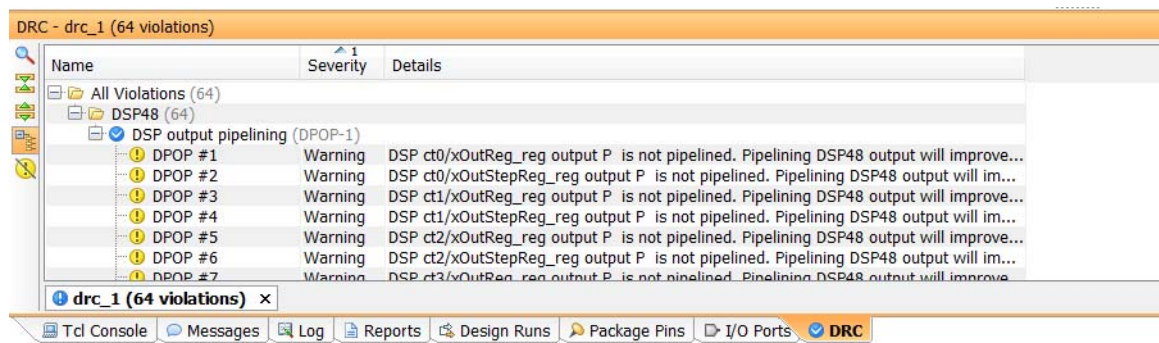


図 3-27 : DRC 違反

DRC 違反の並べ替え

DRC 違反を重要度で並べ替えるには、次のように [Severity] 列の見出しをクリックします。

- ・ クリックして重要度の低いものから高いものの順に並べ替えます。
- ・ もう一度クリックして重要度の高いものから低いものの順に並べ替えます。

注記：詳細は、『Vivado Design Suite ユーザー ガイド : Vivado IDE の使用』(UG893) の「データ表ビューの使用」を参照してください。

DRC 違反プロパティの表示

[DRC] ビューで違反メッセージを右クリックし、[Violations Properties] をクリックすると、DRC 違反のプロパティが表示されます。[Violation Properties] ビューで次のタブをクリックします。

- [General]: DRC ルール違反のタイプ、重要度、説明など、全体的な情報を示します。
- [Details]: ルールに違反するデザイン エレメントに関する情報を示します。DRC に違反するデザイン オブジェクトへのリンクが含まれる場合もあります。リンクをクリックすると、そのデザイン オブジェクトが [RTL Netlist] ビュー、[Device] ビュー、[Schematic] ビュー、およびソース RTL ファイルで表示されます。

RTL デザインへの変換

I/O ポートを定義してパッケージピンに配置したら、I/O ピン配置プロジェクトを RTL プロジェクトに変換できます。ポート定義は、RTL デザインの最上位モジュールを指定に応じて Verilog または VHDL のいずれかで作成するために使用されます。差動ペア バッファは最上位モジュールに追加されます。バス定義も RTL に含まれます。プロジェクト属性は、RTL プロジェクト タイプに適合するよう変更されます。



重要: RTL プロジェクトに変換した後、I/O ピン配置プロジェクトに戻すことはできません。

プロジェクト変換するには、次の手順に従います。

1. [File] → [Migrate to RTL] をクリックします。
注記: または、Flow Navigator で [Migrate to RTL] をクリックします。
2. [Migrate to RTL] ダイアログ ボックス (図 3-28) で次のオプションを指定し、[OK] をクリックします。
 - [Top RTL file]: デザインの最上位モジュールを作成するための Verilog (.v) または VHDL (.vhd) ファイルを指定します。この HDL ファイルには、モジュール定義、ポート定義、方向、バス ピンの幅が含まれます。
 - [Netlist format]: 最上位モジュールのフォーマットを [Verilog] または [VHDL] から選択します。
 - [Write diff buffers]: 最上位モジュール定義の一部として差動ペア バッファを記述します。これにより、I/O ピン配置プロジェクトで定義した差動ペアがすべて保持されます。

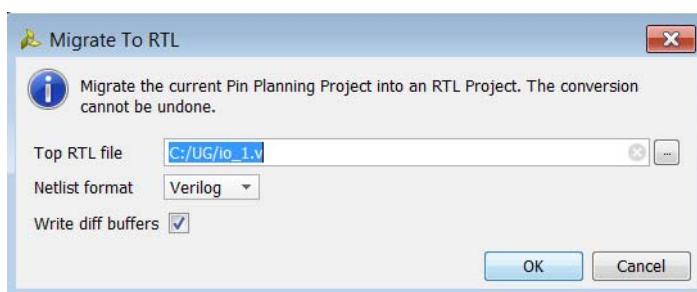


図 3-28 : [Migrate to RTL] ダイアログ ボックス

I/O ピン配置プロジェクトを RTL プロジェクトに変換したら、プロジェクトにソースを追加し、デザインで作業を開始できます。詳細は、『Vivado Design Suite ユーザー ガイド : システム レベル デザイン入力』(UG895) を参照してください。

I/O ピンとパッケージ データのエクスポート

I/O ピンおよびパッケージ ピンの情報を、次に目的でエクスポートできます。

- **I/O ピン情報** : I/O ポート リストをファイルにエクスポートし、RTL のコード記述や PCB 回路図シンボルの作成に使用できます。
- **パッケージ ピン情報** : エラボレート済みデザイン、合成済みデザイン、またはインプリメント済みデザインで作業している場合、デバイス パッケージ ピンの情報を CSV ファイルにエクスポートできます。エクスポートされたリストのパッケージ ピン セクションを基に、I/O ポートをスプレッドシートで定義できます。エクスポートされる情報には、デバイスに含まれるすべてのパッケージ ピン、デザイン特定の I/O ポート割り当てとそのコンフィギュレーションが含まれます。追加された列およびユーザー定義の値が保持され、出力ファイルにエクスポートされます。エクスポートされた CSV ファイルの詳細は、「[I/O ポートの定義と設定](#)」を参照してください。

I/O ポート リスト情報をエクスポートするには、次の手順に従います。

1. [File] → [Export] → [Export I/O Ports] をクリックします。
2. [Export I/O Ports] ダイアログ ボックスで、生成する I/O ポートのタイプとパスを指定し、[OK] をクリックします。

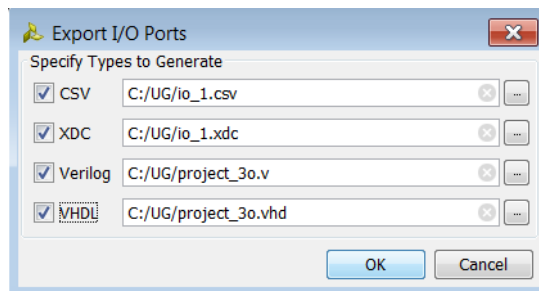


図 3-29 : [Export I/O Ports] ダイアログ ボックス

IBIS モデルのエクスポート

PCB 設計では、システム レベルのシグナル インテグリティの理解を深めるため、IBIS モデルを使用したデザインのシミュレーションが必要な場合がよくあります。クロストーク、グラウンド バウンス、SSN などのシグナル インテグリティの問題について考慮する必要があります。IBIS モデルを使用すると、パッケージ デバイスの I/V カーブおよび寄生情報などの特性化に役立ちます。



ヒント : 汎用の IBIS モデルをザイリンクス ウェブサイトのダウンロード ページからダウンロードできます。

Vivado IDE からは、デザインおよびピンごとのパッケージ データから IBIS モデルを生成できます。Vivado IDE は、デザインのネットリストおよびインプリメンテーションの詳細を使用し、その情報とピンごとの寄生パッケージ情報を統合して、そのデザイン専用のカスタム IBIS モデルを作成します。

デザイン解析に使用する IBIS ファイルをエクスポートするには、エラボレート済みデザイン、合成済みデザイン、またはインプリメント済みデザインが開いている状態で次を実行します。

1. [File] → [Export] → [Export IBIS Model] をクリックします。
2. [Export IBIS Model] ダイアログ ボックス (図 3-30) で次のオプションを指定し、[OK] をクリックします。
 - [Output File] : 出力される IBIS ファイルのファイル名とパスを指定します。
 - [Include all models] : デバイスで使用可能な I/O バッファ モデルをすべて含みます。デフォルトでは、デザインで使用されるバッファ モデルのみが含まれます。
 - [Disable per pin modeling] : パッケージのピンごとのモデル記述を含めないようにします。これは、デバイスのダイパッドからパッケージピンまでのパスです。オフにすると、パッケージは、すべてのピンに適用される 1 つの RLC 伝送ライン モデルに削減され、IBIS ファイルの [Package] セクションで定義されます。
 - [Maximum length of signal names] : 信号名の長さを指定した文字数に制限し、それより長い場合は切り捨てます。
 - [40] : 信号名の長さが IBIS バージョン 4.2 でサポートされる 40 文字までに制限されます (デフォルト)。
 - [20] : 信号名の長さが 40 文字までに制限されます。
 - [Unlimited] : 信号名の長さには制限はありません。
 - [Updated generic IBIS model file] : デバイス用の IBIS モデル ファイルを指定します (オプション)。このファイルが、インストール ディレクトリの parts ディレクトリに含まれる IBIS モデルの代わりに使用されます。



重要 : インストールに IBIS モデルが含まれないデバイスを使用する場合は、ここで IBIS モデル ファイルを指定する必要があります。

- [Updated parasitic package data file] : ピンごとの抽出に使用する寄生パッケージ ファイル (.pkg) を指定します (オプション)。このファイルが、インストール ディレクトリの parts ディレクトリに含まれる寄生パッケージ ファイルの代わりに使用されます。



重要 : インストールに IBIS モデルが含まれないデバイスを使用する場合は、ここで寄生パッケージ ファイルを指定する必要があります。

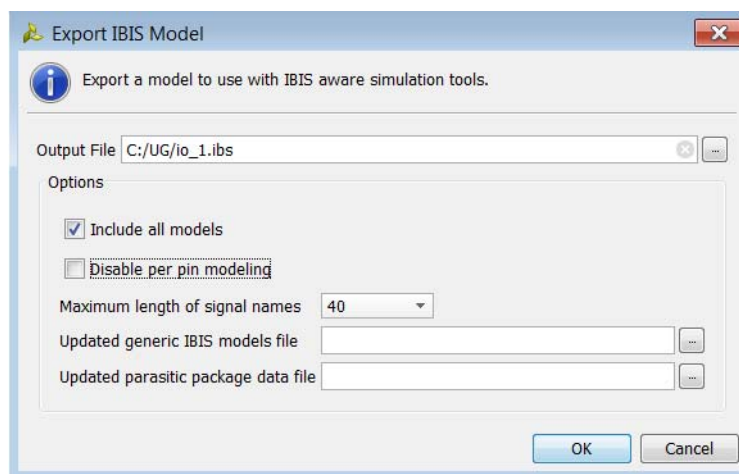


図 3-30 : [Export IBIS Model] ダイアログ ボックス

SSN 解析の実行

Vivado IDE には、異なるデバイスの I/O に関連するスイッチ ノイズ レベルを解析する機能があります。SSN 解析では、同時に切り替わる出力が I/O バンク内のほかの出力ポートに与える影響を予測します。I/O バンク特定の電気特性も考慮され、SSN でのパッケージの影響が正確に予測されます。

I/O は I/O バンクにグループ化され、各バンクに固有の電源分配ネットワークがあり、それぞれスイッチング アクティビティに対する応答は異なります。パッケージに実装された FPGA 内の電源分配ネットワークのノイズに対する応答はそれぞれ異なるため、デザインで使用される I/O 規格や I/O 数だけでなく、デバイスの電源システムのスイッチング アクティビティに対する応答も理解することが重要です。

ザイリンクスでは、すべてのバンクを 3 次元抽出およびシミュレーションを使用して特性化しています。この情報が SSN 解析で使用されます。SSN 解析では、デバイスのスイッチング プロファイルを使用して、スイッチング アクティビティによるシステムの電源ネットワークへの影響と I/O バンク内のほかの出力への影響が予測されます。



重要：出力スイッチがインターフェイス ノイズ マージンにどのように影響するかを予測するには、SSN 解析が最も正確です。その計算と結果は、さまざまなパターンを網羅しています。これらの予測値は、デザインで発生する可能性のあるノイズに関連した問題を特定するためのもので、最終デザインを確定するための検証方法としては使用しないでください。

SSN 解析を実行するには、次の手順に従います。

1. [Tools] → [Report Noise] をクリックします。

注記：または、Flow Navigator で [Report Noise] をクリックします。

2. [Run SSN Analysis] ダイアログ ボックス (図 3-31) で次のオプションを指定し、[OK] をクリックします。

- [Results Name] : [Noise] ビューに表示する解析結果の名前を入力します。
- [Export to File] : 解析をレポート ファイルにエクスポートします。出力ファイル名を入力するか、参照ボタンをクリックして選択します。出力ファイルのフォーマットを [CSV] または [HTML] に指定します。

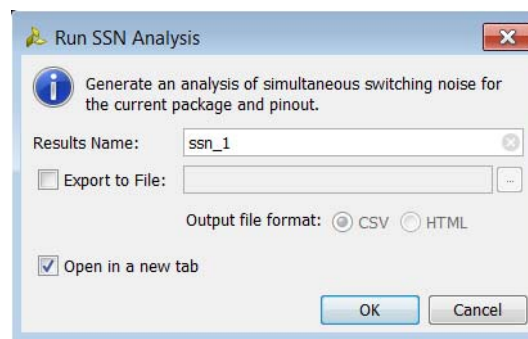


図 3-31 : [Run SSN Analysis] ダイアログ ボックス

SSN 解析結果の表示

SSN 解析が完了すると、[Noise] ビュー (図 3-32) が表示されます。

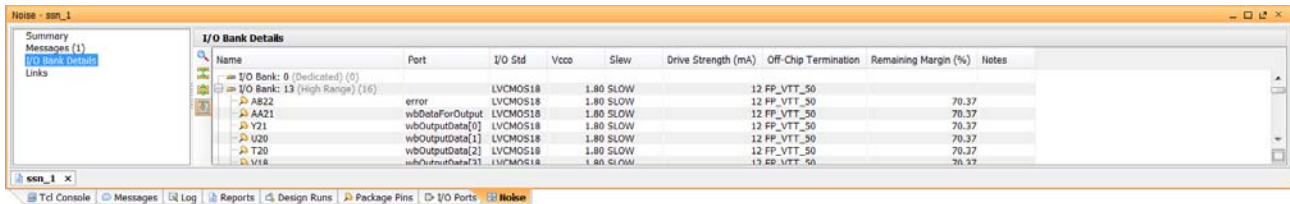


図 3-32 : [Noise] ビュー

左側のペインで各アイテムをクリックし、SSN 解析に関する情報を確認します。たとえば [I/O Bank Details] をクリックすると、次の情報が表示されます。

- **[Name]**: デバイスで使用可能な I/O バンクを示します。各 I/O バンクにはピンアイコンが表示され、バンクがどれくらい使用されているかが示されます。チェックマークは問題がないことを示し、赤い丸は問題があることを示します。
- **[Port]**: FPGA デザインのユーザー I/O の名前を表示します。
- **[I/O Std]**、**[V_{CCO}]**、**[Slew]**、**[Drive Strength]**: ポートまたはバンクの I/O 規格、V_{CCO}、スルーレート、および駆動電流を示します。
- **[Off-Chip Termination]**: 各 I/O 規格にデフォルト終端がある場合は、それを示します。[None] またはオフチップ終端スタイルが表示されます。たとえば [FP_VTT_50] は、VTT への遠端並列 50Ω 終端を示します。すべての終端スタイルのリストは、該当するデバイスの FPGA Select I/O™ リソース ユーザー ガイドを参照してください。

LVTTL (2mA、4mA、6mA および 8mA) では終端はなしとなり、LVTTL (12mA、16mA、および 24mA) では VTT への 50 オームの遠端並列終端となります。この終端が使用されると、駆動電流が 12mA 以上の信号のノイズ マージンが、2mA ~ 8mA よりも小さくなります。ザイリンクス 7 シリーズ デバイスではこの仮定が使用されます。

設定を変更するには、次のいずれかの方法を使用します。

- 「CSV ファイルのインポート」に示す CSV ファイルのインポート機能を使用します。
- [I/O Ports] ビューで、ドロップダウン リストから選択します。
- **[Remaining Margin %]**: バンクの SSN をすべて考慮した後のノイズ マージン値の残りを示します。
- **[Notes]**: I/O バンクまたはグループに関する情報が表示されます。



重要: SSN 結果には SSN 解析が実行されたときのデザインの状態が反映されており、ダイナミックなレポートではありません。

SSN 結果の改善

違反が発生した場合に SSN 結果を改善するには、次を実行します。

- 違反が発生しているグループに SSN の影響をあまり受けない I/O 規格を使用します。低い駆動電流に変更、並列終端の DCI I/O 規格を変更、または低いクラスのドライバーに変更 (SSTL Class II から SSTL Class I に変更するなど) します。
- 違反が発生しているピンを複数のバンクに分散させます。このようにすると、1 つのバンクの電源システムで問題のある出力数を低減できます。
- 違反が発生しているグループを複数の同期位相に分散させます。

SSN 結果の I/O バンク プロパティの表示

[Noise] ビューで I/O バンクを選択すると、そのバンクに割り当てられている I/O ポート、ピン、およびグループの情報が [I/O Bank Properties] ビューに表示されます。[I/O Bank Properties] ビューには、次の情報が表示されます。

- [General] タブ : I/O バンクに割り当てられているポートの数とタイプ
- [Package Pins] または [I/O Ports] タブ : バンク内のピンまたはポートの詳細情報 (図 3-33)

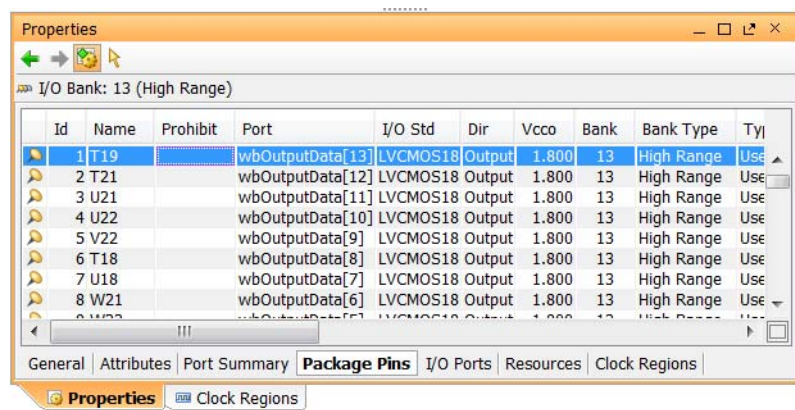


図 3-33 : [I/O Bank Properties] ビューの [Package Pins] タブ

CSV ファイル形式の I/O ポート リスト

CSV ファイル

CSV ファイルは、FPGA やボード設計で、デバイス ピンおよびピン配置のデータを交換するために使用される標準ファイル形式です。詳細は、「[CSV ファイルのインポート](#)」および第 3 章の「[I/O ピンとパッケージ データのエクスポート](#)」を参照してください。

CSV には、次の列が含まれます。

- **[I/O Bank]** : ピンが配置される I/O バンク。デバイスのすべてのピンに対して、ツールによりデータが自動挿入されます。値は数値または空白です。入力 CSV ファイルでは必須のフィールドではありません。
- **[Pin Number]** : パッケージ ピンの名前またはロケーション。デバイスのすべてのピンに対して、ツールによりデータが自動挿入されます。入力ファイルで必須のフィールドではありません。入力で使用される場合は、配置を定義するために使用されます。値はデバイスの有効なピンです。
- **[IOB Alias]** : パッケージ ピンの代替デバイス名。ツールにより指定され、入力 CSV ファイルで指定されている場合は使用されません。
- **[Site Type]** : デバイス データシートからのピン名。ツールにより指定され、入力 CSV ファイルで指定されている場合は使用されません。
- **[Min Trace Delay (ps)]/[Max Trace Delay (ps)]** : デバイスのパッド サイトとパッケージのボール間の距離で、単位はピコ秒 (ps) です。ツールにより指定され、ボード設計時にトレース遅延を一致させるために使用します。また、これらのフィールドは出力ファイルのみに含まれており、入力ファイルには含まれていません。
- **[Trace Length (um)]** : パッケージ ピンとダイ パッド間の内部トレース長を指定します。
- **[Prohibit]** : ユーザー I/O がサイトに追加されないよう指定します。さまざまな理由で特定のサイトを使用禁止にできます。次に例を示します。
 - 。 ボード レイアウトの問題を緩和するため
 - 。 信号間のクロストークを削減するため
 - 。 同じパッケージの複数の FPGA 間でピン配置を有効にするため

注記 : XDC ファイルでは、これは PROHIBIT プロパティとして記述されます。

- **[Interface]** : ユーザー I/O のセットをユーザーが指定してグループ化します。たとえば、メモリ インターフェイスのデータ、アドレス、およびイネーブル信号の関係を指定できます。値は文字列または空白です。
- **[Signal Name]** : FPGA デザインのユーザー I/O 名。値は文字列、または割り当てられていないパッケージ ピンの場合は空白です。
- **[Direction]** : 信号の方向。値は IN、OUT、INOUT、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- **[DiffPair Type]** : 差動ペアのピンが N 側または P 側のどちらかを指定します。これは差動信号に対してのみ使用されます。ツールでは、ピン名からではなく、この列の情報を使用してどのピンが N 側でどのピンが P 側かを判断します。値は P、N、またはユーザー I/O がサイトに割り当てられていない場合は空白です。
- **[DiffPair Signal]** : 差動ペアのもう 1 つのピン名を指定します。値はユーザー I/O 名、または未使用の場合は空白です。

- [I/O Standard]: 特定ユーザー I/O の I/O 規格。このフィールドがユーザー I/O に対して空白の場合、該当するデバイスのデフォルト値が使用されます。値は有効な I/O 規格、または空白です。
- [Drive]: ユーザー I/O の I/O 規格の駆動電流。すべての I/O 規格で駆動電流が指定できるわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は数値または空白です。
- [Slew Rate]: ユーザー I/O の I/O 規格のスルー レート。すべての I/O 規格でスルー レートが指定できるわけではありません。このフィールドが空白の場合、デフォルト値が使用されます。値は **FAST** および **SLOW** です。
- [Pull Type]: 選択されているポートの抵抗のタイプを指定します。トライステート出力バッファ (OBUFT) または双方向バッファ (IOBUF) を使用する場合、出力に弱いプルアップ抵抗、弱いプルダウン抵抗、またはウィーク キーパー回路を付けることができます。入力バッファ (IBUF) を使用する場合は、入力に弱いプルアップ抵抗または弱いプルダウン抵抗を付けることができます。
- [Phase]: 同期位相オフセットの場合に、バンク内のほかの I/O の位相に対する I/O の位相を指定します。
- [Board Signal]: ボード レベル デザインから I/O に入力される信号の名前を指定します。
- [Board Voltage]: ボード レベル デザインから I/O に入力される信号の電圧レベルを定義します。
- [BUFIO2_REGION]: ポートが関連付けられる BUFIO2 クロック領域を定義します。
- [IN_TERM]/[OUT_TERM]: オプションの IN_TERM または OUT_TERM ドライバーのインピーダンス属性を定義します。ほとんどの場合、このフィールドは空白のままにします。製品デバイスではまだサポートされていません。この終端定義を使用すると、SLEW および DRIVE STRENGTH 属性が上書きされます。SSN の計算ではサポートされません。
- [OFFCHIP_TERM]: I/O の外部ボード レベルの終端を指定します。SSN の計算ではサポートされません。このフィールドを空白のままにすると、SSN の計算に予測される終端が使用され、この終端がデフォルトで SSN レポートおよび [I/O Ports] ビューに表示されます。

注記: 予測される終端とそのツールでの表示名は、該当するデバイスの **FPGA Select IO™** リソース ユーザー ガイドを参照してください。



重要: Vivado™ ツールでは、CSV ファイルを読み込む際、認識され列はユーザー定義列として保持され、[I/O Ports] ビューに表示されます。

CSV ファイルでの差動ペア

CSV ファイルで差動ペアを定義するプロパティは複数あります。

- [Signal Name]
- [DiffPair Signal]
- [DiffPair Type]
- [I/O Standard]

CSV ファイルのそれ以外の値は、差動ペアを検証するために使用され、互換性のあるものであることが確認されますが、ペアを定義するためには使用されません。CSV ファイルでは、差動ペアを次の方法で定義します。

- 2つのポートで差動ペアを定義：差動ペアを構成する2つの信号を直接定義します。2つのポート エントリで、[DiffPair Signal] にお互いの [Signal Name] の値を指定し、[DiffPair Type] で一方に N、もう一方に P を指定します。ツールで差動ペアを作成する際、[I/O Standard] などのほかの属性に互換性があるかどうかチェックされます。
- 1つのポートのみで差動ペアをリンク：2つのポート エントリの [DiffPair Type] で一方に N、もう一方に P を指定していますが、1つのポートでのみ [DiffPair Signal] にもう一方の [Signal Name] の値を指定します。この場合、ほかのすべての属性に互換性があれば、差動ペアが作成されます。
- 差動ペアの1つのポートのみを指定：1つのポート エントリで、[I/O Standard] に差動規格、[DiffPair Type] に値を指定し、[DiffPair Signal] には CSV ファイルに含まれない信号を指定します。この場合、このポート エントリのプロパティに一致する差動ペアのもう一方がツールにより作成されます。
- 差動ペアを推論：2つのポート エントリで、DIFF_HSTL、DIFF_SSTL などの差動 I/O 規格を指定し、[Signal Names] に N 側と P 側が推論されるような名前を指定します。この場合、すべての属性に互換性があれば、差動ペアが推論されます。

I/O ポート DRC の詳細

DRC

Vivado™ で使用可能な I/O ポート DRC は、I/O 関連 DRC のすべてではありません。I/O ポートおよびクロック領域の仕様については、該当するデバイスの資料を参照してください。

IOB の DRC

表 B-1 に、入出力ブロック (IOB) の DRC の略称、説明、重要度を示します。

表 B-1 : IOB の DRC

ルール名	略称	説明	重要度
Inconsistent port properties	PORTPROP	ポートのプロパティ内の矛盾をチェックします。	エラー
Differential IO pads	IODI	差動 I/O の P 信号および N 信号が、専用の差動ペアに定義されていることをチェックします。	エラー
IOStandard Type	IOSTDTYPE	差動ペア I/O 規格が、差動ピンのペアにのみ割り当てられていることを確認します。	警告
Number of IOs	IOCNT	ターゲットデバイスにあるピンの数よりも多くの I/O ポートが定義されていないことをチェックします。	警告
IOs placed on disallowed sites	IOPL	許可されないサイトに I/O が配置されていないことをチェックします。IOPL には、次のチェックが含まれます。 <ul style="list-style-type: none"> • IOPR : ポートが禁止ピンに配置されていないことをチェックします。 • IOLVDSCC : 差動出力規格が、この規格をサポートしない低キャパシタンス サイトで使用されていないことをチェックします。 	エラー
Part compatibility for differing bank types	IOPCBT	互換性のあるパーツを複数含む 7 シリーズ デザインで、I/O 規格が 1 つのパーツの配置されているバンクでは有効で、別のパーツの対応するバンクでは無効な場合にメッセージを表示します。 この問題は、1 つのパーツのバンクが HP (High Performance) I/O バンクで、互換性のある別のパーツの対応バンクが HR (High Range) I/O バンクの場合に発生します。これら 2 つのバンク タイプでは、有効な I/O 規格のセットは異なります。 この問題を回避するには、次を実行します。 <ul style="list-style-type: none"> • 互換性のあるパーツすべてで、その I/O 規格をサポートする I/O バンクにポートを配置します。 • HP バンクおよび HR バンクの両方で有効な I/O 規格に変更します。 • 互換性のある別のパーツに変更します。 	警告

表 B-1 : IOB の DRC (続き)

ルール名	略称	説明	重要度
Part compatibility implied prohibits not respected	IOPCPR	互換性のあるパーツを使用するデザインに対し、いずれかのパーツに含まれていないパッケージ ピンがある場合に、そのピンが「prohibit」とマークされ、何も配置されていないことをチェックします。	エラー
MGT not allowed for part compatibility	IOPCMGT	異なるシリアル トランシーバー 供給電圧を持つ 2 つの互換性 パーツが使用されているかどうかをチェックし、使用されている場合はシリアル トランシーバーの使用を無効にします。	警告
IOs Crosstalk to MGT	IOCTMGT	I/O とシリアル トランシーバー間で発生する可能性のあるクロストーク問題をチェックします。	警告
IO Bus SLR Crossings	IOBUSSLRC	<p>同じバスのビットが別の SLR (Super Logic Region) に配置されている場合に、次のメッセージを表示します。</p> <pre>Bus port <BUSPORT[LO:HI]> spans more than one Super Logic Region (SLR). Bits placed in SLR <SLR1>: 0-3 Bits placed in SLR <SLR2>: 4-7</pre> <p>配線およびタイミング クロージャが困難になるので、これはお勧めしません。</p> <p>すべての関連するバス ポートを同じ SLR に移動して警告が出ないようにしてください。</p>	警告
Part compatibility between monolithic and multi-die devices	IOPCSLR	モノリシック デバイスとマルチダイ デバイス間のパーツの互換性をチェックします。	情報
IOB clock sharing	IOCS	IOB サイトはペアに分けられ、クロック配線リソースが共有できるようになっています。通常これらのペアは、LVDS ペアでもあります。フリップフロップが IOB にパックされている方法によっては、配線で問題が発生することがあります。この問題を解決するには、フリップフロップを特定の BEL に割り当てる必要があります。	警告
IOB set reset sharing	IOSR	IOB サイトには入力、出力、トライステート レジスタがあり、これらすべてで同じセット/リセット信号を共有しているので、別のリセット信号を使用するレジスタをパックすることはできません。	エラー

バンク I/O 規格の DRC

表 B-2 に、バンク I/O 規格の DRC の略称、説明、重要度を示します。

表 B-2 : バンク I/O 規格の DRC

ルール名	略称	説明	重要度
Bank IO standard V_{CC}	BIVC	バンク内の I/O に対して IOSTANDARD に基づく V_{OUT} 電圧の互換性をチェックします。	エラー
Bank IO standard Support	BIVB	I/O 規格が I/O バンクでサポートされていることをチェックします。	エラー
Bank IO standard Termination	BIVT	バンク内の I/O に対して IOSTANDARD に基づく DCI 終端電圧の互換性をチェックします。	エラー
Bank IO standard V_{REF}	BIVR	バンク内の I/O に対して IOSTANDARD に基づく V_{REF} 電圧の互換性をチェックします。	エラー
Bank IO standard V_{REF} utilization	BIVRU	V_{REF} を必要とする I/O 規格をインプリメントする I/O バンクに使用可能な V_{REF} サイトがあるかどうかをチェックします。	警告
Bank IO standard internal Vref conflict	BIIVRC	バンクの I/O 規格と INTERNAL_VREF 制約間の競合をチェックします。バンクの規格には、バンクの INTERNAL_VREF 制約で指定される V_{REF} 電圧と異なる電圧は使用できません。	警告
Bank IO standard limits	BISLIM	I/O バンク内に配置されている I/O に対し SSN 出力をチェックします。	エラー
Bank IO standard V_{RN}/V_{RP} Occupied	DCIP	I/O バンクに、通常の I/O としても使用できる専用の V_{RP} サイトおよび V_{RN} I/O サイトがあることをチェックします。バンクで DCI I/O 規格を使用する場合、これらの I/O を未使用にしておく必要があります。	エラー
Inconsistent Diff pair IOStandards	DIFFISTD	差動ペアのターミナルに同じ I/O 規格が設定されているかをチェックします。	エラー
Inconsistent Diff pair IOStandards	DIFFISTDDrv	差動ペアのターミナルに同じ駆動電流が設定されているかをチェックします。	エラー
Inconsistent Diff pair IOStandards	DIFFISTDSlew	差動ペアのターミナルに同じスルー レートが設定されているかをチェックします。	エラー
V_{CCAUX} voltage requirement for LVCMOS25	VCCAUX1	LVCMOS25 の要件について警告します。	警告
V_{CCAUX} voltage requirement for LVPECL_33 and TMDS_33	VCCAUX2	LVPECL_33 および TMDS_33 の要件について警告します。	エラー

その他のリソース

ザイリンクス リソース

アンサー、資料、ダウンロード、フォーラムなどのサポート リソースは、次のザイリンクス サポート サイトを参照してください。

<http://japan.xilinx.com/support>

ザイリンクス資料で使用する用語集は、次を参照してください。

<http://japan.xilinx.com/company/terms.htm>

ソリューション センター

デバイス、ツール、IP のサポートについては、[ザイリンクス ソリューション センター](#)を参照してください。トピックには、デザイン アシスタンス、アドバイザリ、トラブルシュート ヒントなどが含まれます。

リファレンス

- Vivado™ Design Suite 2012.3 資料ページ : http://japan.xilinx.com/support/documentation/dt_vivado_vivado2012-2.htm
- 『高集積度 FPGA 設計手法ガイド』([UG782](#))
- 『制約ガイド』([UG625](#))
- ザイリンクス ダウンロード ページ : japan.xilinx.com/support/download