

Zynq-7000 All Programmable SoC パッケージおよびピン配置の仕様

Advance 製品仕様

UG865 (v1.1) 2012 年 9 月 24 日



Notice of Disclaimer

The information disclosed to you hereunder (the "Materials") is provided solely for the selection and use of Xilinx products. To the maximum extent permitted by applicable law: (1) Materials are made available "AS IS" and with all faults, Xilinx hereby DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and (2) Xilinx shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under, or in connection with, the Materials (including your use of the Materials), including for any direct, indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or Xilinx had been advised of the possibility of the same. Xilinx assumes no obligation to correct any errors contained in the Materials or to notify you of updates to the Materials or to product specifications. You may not reproduce, modify, distribute, or publicly display the Materials without prior written consent. Certain products are subject to the terms and conditions of the Limited Warranties which can be viewed at <http://www.xilinx.com/warranty.htm>; IP cores may be subject to warranty and support terms contained in a license issued to you by Xilinx. Xilinx products are not designed or intended to be fail-safe or for use in any application requiring fail-safe performance; you assume sole risk and liability for use of Xilinx products in Critical Applications: <http://www.xilinx.com/warranty.htm#critapps>.

Automotive Applications Disclaimer

XILINX PRODUCTS ARE NOT DESIGNED OR INTENDED TO BE FAIL-SAFE, OR FOR USE IN ANY APPLICATION REQUIRING FAIL-SAFE PERFORMANCE, SUCH AS APPLICATIONS RELATED TO: (I) THE DEPLOYMENT OF AIRBAGS, (II) CONTROL OF A VEHICLE, UNLESS THERE IS A FAIL-SAFE OR REDUNDANCY FEATURE (WHICH DOES NOT INCLUDE USE OF SOFTWARE IN THE XILINX DEVICE TO IMPLEMENT THE REDUNDANCY) AND A WARNING SIGNAL UPON FAILURE TO THE OPERATOR, OR (III) USES THAT COULD LEAD TO DEATH OR PERSONAL INJURY. CUSTOMER ASSUMES THE SOLE RISK AND LIABILITY OF ANY USE OF XILINX PRODUCTS IN SUCH APPLICATIONS.

This document contains advance information and is subject to change without notice.

© Copyright 2012 Xilinx, Inc. Xilinx, the Xilinx logo, Artix, ISE, Kintex, Spartan, Virtex, Vivado, Zynq, and other designated brands included herein are trademarks of Xilinx in the United States and other countries. All other trademarks are the property of their respective owners.

本資料は英語版(v1.1)を翻訳したもので、内容に相違が生じる場合には原文を優先します。

資料によっては英語版の更新に対応していないものがあります。

日本語版は参考用としてご使用の上、最新情報につきましては、必ず最新英語版をご参照ください。

この資料に関するフィードバックおよびリンクなどの問題につきましては、jpn_trans_feedback@xilinx.comまでお知らせください。いただきましたご意見を参考に早急に対応させていただきます。なお、このメールアドレスへのお問い合わせは受け付けておりません。あらかじめご了承ください。

改訂履歴

次の表に、この文書の改訂履歴を示します。

日付	バージョン	内容
2012年5月8日	1.0	初版
2012年9月24日	1.1	資料全体にCLG225を追加。 8ページの表1-5にRSVDVCC[3:1]およびPS_MIO_VREFに関する説明を追加。注記8にDXN_0に関する説明を追加。 第3章:ピン配置図用の記号を変更。 第4章:図を追加。

目次

改訂履歴	2
第 1 章：パッケージ概要	
はじめに	5
概要	5
デバイス/パッケージの組み合わせおよび最大 I/O 数	6
ピンの説明	8
パッケージ間のピン互換性	13
ダイ レベルでのバンク番号の概要	14
第 2 章：Zynq-7000 AP SoC のパッケージ ファイル	
ASCII のパッケージ ファイルの概要	19
ASCII ピン配置ファイル	20
第 3 章：デバイスの図	
はじめに	21
Zynq-7000 AP SoC デバイスの図	22
第 4 章：機械的図面	
はじめに	52
CLG225 ワイヤーボンド チップスケール BGA (XC7Z010) (0.8mm ピッチ)	53
CLG400 ワイヤーボンド チップスケール BGA (XC7Z010 および XC7Z020) (0.8mm ピッチ)	54
CLG484 ワイヤーボンド チップスケール BGA (XC7Z020) (0.8mm ピッチ)	55
FBG484 フリップチップ リッドレス BGA (XC7Z030) (1.0mm ピッチ)	56
FBG676 フリップチップ リッドレス BGA (XC7Z030 および XC7Z045) (1.0mm ピッチ)	57
FFG676 フリップチップ BGA (XC7Z030 および XC7Z045) (1.0mm ピッチ)	59
FFG900 フリップチップ BGA (XC7Z045) (1.0mm ピッチ)	60
第 5 章：温度仕様	
はじめに	61
概要	61
熱管理ストラテジ	63
熱管理の方法	65
CTM (コンパクト熱モデル) のサポート	66
はんだ付けガイドライン	67
第 5 章の参考資料	70

第 6 章：パッケージ マーク	
マーキング	72
付録 A：推奨する PCB デザイン ルール	
BGA パッケージ	74
付録 B：リッドレス フリップチップ パッケージ用ヒート シンクのガイドライン	
リッドレス FCBGA (FB/FBG) 用ヒート シンクの 取り付け方法	76
ヒート シンクの取り付け方法の種類	77
熱伝導材料の役割	78
熱伝導材料の取り扱いガイドライン	82
付録 C：その他リソース	
ザイリンクス リソース	83
ソリューション センター	83
他のリソース	83

パッケージ概要

はじめに

この章では、次について説明します。

- ・「概要」
- ・「デバイス/パッケージの組み合わせおよび最大 I/O 数」
- ・「ピンの説明」
- ・「パッケージ間のピン互換性」
- ・「ダイレベルでのバンク番号の概要」

概要

このセクションでは、0.8mm ピッチのワイヤーボンド パッケージ、ならびに 1.0mm ピッチのフリップチップおよびファインピッチ BGA パッケージで利用可能な Zynq™-7000 All Programmable (AP) SoC のピン配置について説明します。

配置の最適化と分配の均等化に加え、電源ピンおよび GND ピン数の最適化を行うことによって、パッケージのインダクタンスを最小限に抑えます。

すべてのパッケージは鉛フリー (パッケージ名に「G」を追加) で提供されています。ただし、一部のパッケージでは鉛を使用したオプションのみとなります。

特定パッケージでサポートされている Zynq-7000 AP SoC デバイスはすべてピン配置の互換性があります。あるデバイスで利用できるピンが、ピン互換パッケージの小規模デバイスでは利用できない場合は「No Connects (未接続)」として表示しています。

Zynq-7000 AP SoC には、専用 I/O や多目的 I/O が数多くあり、メモリ インターフェイス (DDR I/O)、多重化されたペリフェラル (MIO)、および制御用に利用できるピンが常に 130 本あります。プログラマブル ロジックは、コンフィギュレーションやアナログ/デジタル変換 (XADC) 専用のピンを提供するほか、各デバイスで必要な SelectIO™ リソース (SIO) やマルチギガビットシリアル ランシーバー (GTX) 用のピンを追加で提供します。SIO を使用して MIO を拡張し、プロセッシング システム (PS) の固定されたペリフェラルをより有効に活用できます。

各デバイスは、I/O 規格を柔軟に選択できるように I/O バンクに分割されています (『7 シリーズ FPGA SelectIO リソース ユーザーガイド』 ([UG471](#)) 参照)。表 1-5 で、すべてのピン タイプについて説明しています。

デバイス/パッケージの組み合わせおよび最大 I/O 数

表 1-1 に、Zynq-7000 AP SoC BGA パッケージのユーザー I/O の最大数を示します。一部のデバイスは、標準の注文オプションとして鉛パッケージと鉛フリー パッケージ(パッケージ名に「G」を追加)の両方で提供されています。

表 1-1 : Zynq-7000 AP SoC パッケージの仕様

パッケージ ⁽¹⁾	説明	パッケージの仕様				
		パッケージ タイプ	ピッチ (mm)	サイズ (mm)	最大 SelectIO リソース数 ⁽²⁾	最大 PS I/O 数
CL/CLG225	ワイヤーボンド	BGA	0.8	13 x 13	54	86
CL/CLG400		BGA	0.8	17 x 17	125	130
CL/CLG484		BGA	0.8	19 x 19	200	130
FB/FBG484	フリップチップ リッドレス	BGA	1.0	23 x 23	163	130
FB/FBG676		BGA	1.0	27 x 27	250	130
FF/FFG676	フリップチップ ファインピッチ	BGA	1.0	27 x 27	250	130
FF/FFG900		BGA	1.0	31 x 31	362	130

注記 :

1. 鉛パッケージオプション(CLxxx/FFxxx/FBxxx)があります。
2. 最大 I/O 数には、コンフィギュレーションバンク 0(表 1-2) または GTX シリアルトランシーバーのピンは含まれていません。

表 1-2 に 17 本の専用 I/O ピンを示します。

表 1-2 : コンフィギュレーションバンク(バンク 0)内の Zynq-7000 AP SoC ピン

DXP_0	VCCBATT_0	INIT_B_0	TDO_0	TDI_0	GNDADC_0
DXN_0	DONE_0	VN_0	TCK_0	VREFN_0	VCCADC_0
PROGRAM_B_0		VP_0	TMS_0	VREFP_0	CFGBVS_0

デバイス/パッケージ別のシリアルトランシーバー チャネル

表 1-3 に、Zynq-7000 AP SoC デバイスの GTX シリアルトランシーバーのチャネル数を示します。すべてのデバイスで、1 つのシリアルトランシーバー チャネルは MGTRXP、MGTRXN、MGTTXP、および MGTTXN ピンで 1 組です。

表 1-3: デバイス/パッケージごとのシリアルトランシーバー チャネル (GTX)

デバイス	パッケージ別 GTX チャネル						
	CL225/ CLG225	CL400/ CLG400	CL484/ CLG484	FB484/ FBG484	FB676/ FBG676	FF676/ FFG676	FF900/ FFG900
XC7Z010	—	—	—	—	—	—	—
XC7Z020	—	—	—	—	—	—	—
XC7Z030	—	—	—	4	4	4	—
XC7Z045	—	—	—	—	8	8	16

表 1-4 に、Zynq-7000 AP SoC デバイス/パッケージの組み合わせにおける使用可能な SelectIO リソース (SIO) 数、差動 SIO 数、および PS I/O 数を示します。該当する場合、3.3V 対応の HR (High Range) バンクおよび 1.8V 対応の HP (High Performance) バンクの SIO 数も記載します。

表 1-4: デバイス/パッケージの組み合わせにおける使用可能な SIO 数および PS I/O 数

デバイス	I/O ピン	CL225/ CLG225		CL400/ CLG400		CL484/ CLG484		FB484/ FBG484		FB676/ FBG676		FF676/ FFG676		FF900/ FFG900	
		SIO		ps I/O	SIO		ps I/O	SIO		ps I/O	SIO		ps I/O	SIO	
		HR	HP		HR	HP		HR	HP		HR	HP		HR	HP
XC7Z010	ユーザー I/O	54	0	86	100	0	130	—	—	—	—	—	—	—	—
	差動	27	0	—	48	0	—	—	—	—	—	—	—	—	—
XC7Z020	ユーザー I/O	—	—	—	125	0	130	200	0	130	—	—	—	—	—
	差動	—	—	—	60	0	—	96	0	—	—	—	—	—	—
XC7Z030	ユーザー I/O	—	—	—	—	—	—	—	—	100	63	130	100	150	130
	差動	—	—	—	—	—	—	—	—	48	29	—	48	72	—
XC7Z045	ユーザー I/O	—	—	—	—	—	—	—	—	—	—	100	150	130	100
	差動	—	—	—	—	—	—	—	—	—	—	48	72	—	102

ピンの説明

表 1-5 で、Zynq-7000 AP SoC パッケージで使用されるピンについて説明します。

注記：専用の汎用ユーザー I/O ピンもあり、個別に表 1-5 に示します。これらにはピン名が IO_LXXY_ZZZ_# または IO_XX_ZZZ_# で始まる多機能ピンもあります。ZZZ は、汎用ユーザー I/O であることに加えて、1 つまたは複数の機能を表します。特定の機能を使用しない場合は、これらのピンをユーザー I/O として使用できます。

表 1-5 : Zynq-7000 AP SoC ピンの説明

ピン名	方向	方向	説明
ユーザー I/O ピン			
IO_LXXY_# IO_XX_#	専用	入力/ 出力	<p>ほとんどのユーザー I/O ピンは差動信号に対応しており、差動ペアとしてインプリメントできます。上下にある I/O ピンは常にシングルエンドです。各ユーザー I/O は IO_LXXY_# という形式で表されます。</p> <ul style="list-style-type: none"> • IO はユーザー I/O ピンを示す • L は差動ペアを示す (XX はバンク固有のペア、Y = [P N] は差動ペアの正/負側) • # はバンク番号を示す
コンフィギュレーション ピン			
これらのピンの詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) の表「コンフィギュレーション ピンの定義」を参照してください。その他に、『Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル』(UG585) の章「ブートおよびコンフィギュレーション」も参照してください。			
DONE_0	専用 ⁽¹⁾	双方向	アクティブ High で、コンフィギュレーションが正常に終了したことを表します。
INIT_B_0	専用 ⁽¹⁾	双方向 (オープン ドレイン)	アクティブ Low で、コンフィギュレーション メモリの初期化を表します。
PROGRAM_B_0	専用 ⁽¹⁾	入力	コンフィギュレーション ロジックに対するアクティブ Low の非同期リセット信号です。
TCK_0	専用 ⁽¹⁾	入力	JTAG クロックです。
TDI_0	専用 ⁽¹⁾	入力	JTAG データ入力です。
TDO_0	専用 ⁽¹⁾	出力	JTAG データ出力です。
TMS_0	専用 ⁽¹⁾	入力	JTAG モード セレクトです。
CFGBVS_0	専用 ⁽¹⁾	入力	<p>専用のコンフィギュレーション バンク 0 のコンフィギュレーション前の I/O 規格の種類を選択します。バンク 0 の V_{CCO} に 2.5V または 3.3V が供給されている場合は、このピンを V_{CCO_0} に接続する必要があります。バンク 0 の V_{CCO} に 1.8V 以下が供給されている場合は、このピンを GND に接続する必要があります。</p> <p>注記：デバイスの損傷を防ぐため、このピンを正しく接続してください。詳細は、『7 シリーズ FPGA コンフィギュレーション ユーザー ガイド』(UG470) の「コンフィギュレーション バンク 電圧の選択」セクションを参照してください。</p>
PUDC_B	多機能	入力	<p>すべての SelectIO ピンに対してコンフィギュレーション中に、内部 プルアップを有効にするアクティブ Low 入力です。</p> <p>0 = コンフィギュレーション前の弱い I/O プルアップ抵抗が有効 1 = コンフィギュレーション前の弱い I/O プルアップ抵抗が無効</p>

表 1-5 : Zynq-7000 AP SoC ピンの説明 (続き)

ピン名	方向	方向	説明
電源/グランド ピン			
GND	専用	N/A	グランド コモンへ接続するピンです。
VCCPINT	専用	N/A	PS 用の 1.0V ロジック電源ピンです。PL V _{CCINT} 電源から独立しています。
VCCPAUX	専用	N/A	PS 用の 1.8V 補助電源ピンです。PL V _{CCAUX} 電源から独立しています。
VCCO_MIO0	専用	N/A	MIO バンク 500 用の 1.8V ~ 3.3V PS I/O 電源ピンです。
VCCO_MIO1	専用	N/A	MIO バンク 501 用の 1.8V ~ 3.3V PS I/O 電源ピンです。
VCCO_DDR	専用	N/A	1.2V ~ 1.8V DDR I/O 電源ピンです。
VCCPLL	専用	N/A	PS 用の 1.8V PLL 電源ピンです。V _{CCAUX} から電源供給する場合は、V _{CCPLL} にフェライト ビーズ (120Ω、100MHz、サイズ 0602) とデカップリング キャパシタ (10μF、サイズ 0602) を用いてフィルタリングし、PLL ジッターを最小限に抑える必要があります。
VCCAUX	専用	N/A	補助回路の 1.8V 電源ピンです。
VCCAUX_IO_G# ⁽²⁾	専用	N/A	補助 I/O 回路の 1.8V/2.0V 電源ピンです。
VCCINT	専用	N/A	内部コア ロジックの 1.0V 電源ピンです。
VCCO_ ⁽³⁾	専用	N/A	出力ドライバーの電源ピンです (バンクごと)。
VCCBRAM	専用	N/A	PL ブロック RAM の 1.0V 電源ピンです。
VCCBATT_0	専用	N/A	復号化キーを格納したメモリのバックアップ電源です。このメモリを使用しない場合は、適切な V _{CC} または GND に接続する必要があります。 ⁽⁴⁾
VREF	多機能	N/A	入力しきい値電圧ピンです。外部しきい値電圧が不要な場合、ユーザー I/O です (バンクごと)。
RSVDVCC[3:1]	専用	N/A	予約ピン — V _{CCO_0} へ接続してください。
RSVDGND	専用	N/A	予約ピン — GND へ接続してください。
PS MIO ピン			
PS_POR_B	専用	入力	パワー オン リセットピンです。このピンは、すべての PS 電源供給が電圧仕様を満たし、PS_CLK 基準クロックが仕様範囲内になるまで 0 を保持する必要があります。ディアサートされると、PS がブート プロセスを開始します。
PS_CLK	専用	入力	システムの基準クロック ピンです。このピンは、30MHz ~ 60MHz で駆動する必要があります。
PS_SRST_B	専用	入力	システムのリセット ピンです。デバッグ時に使用します。0 になると、強制的に PS のシステム リセット シーケンスを実行します。
PS_MIO_VREF	専用	電圧基準	MIO インターフェイスの電圧基準です。MIO インターフェイスが RGMII としてコンフィギュレートされている場合には、1.8V の V _{CCO_MIO1} でこのピンを 0.9V に設定してください。その他の場合は、V _{CCO_MIO1} へ接続するか、フローティングにしてください。
PS_MIO[53:0]	多機能	入力/出力	このピンは多目的 I/O であり、柔軟にコンフィギュレートできるため、SPI や クワッド フラッシュ、NAND、USB、イーサネット、SDIO、UART、SPI、GPIO インターフェイスなど、複数の I/O インターフェイスをサポートします。

表 1-5 : Zynq-7000 AP SoC ピンの説明 (続き)

ピン名	方向	方向	説明
PS DDR ピン			
PS_DDR_CKP	専用	出力	DDR 差動クロックの正側です。
PS_DDR_CKN	専用	出力	DDR 差動クロックの負側です。
PS_DDR_CKE	専用	出力	DDR クロック イネーブルです。
PS_DDR_CS_B	専用	出力	DDR チップ セレクトです。
PS_DDR_RAS_B	専用	出力	DDR RAS 制御信号です。
PS_DDR_CAS_B	専用	出力	DDR CAS 制御信号です。
PS_DDR_WE_B	専用	出力	DDR 書き込みイネーブル信号です。
PS_DDR_BA[2:0]	専用	出力	DDR バンク アドレスです。
PS_DDR_A[14:0]	専用	出力	DDR 行および列アドレスです。
PS_DDR_ODT	専用	出力	DDR 終端制御です。
PS_DDR_DRST_B	専用	出力	DDR3 デバイスの DDR リセット信号です。
PS_DDR_DQ[31:0]	専用	入力/出力	DDR データです。
PS_DDR_DM[3:0]	専用	出力	DDR データ マスクです。
PS_DDR_DQS_P[3:0]	専用	入力/出力	DDR 差動データ ストローブの正側です。
PS_DDR_DQS_N[3:0]	専用	入力/出力	DDR 差動データ ストローブの負側です。
PS_DDR_VRP	専用	出力	DDR DCI 電圧基準の正側であり、DDR I/O の駆動能力を調整するために使用されます。抵抗を付けて GND へ接続します。抵抗値は、DDR 終端とトレースのインピーダンスの 2 倍にしてください。
PS_DDR_VRN	専用	出力	DDR DCI 電圧基準の負側であり、DDR I/O の駆動能力を調整するために使用されます。抵抗を付けて V _{CCO} DDR へ接続します。抵抗値は、DDR 終端とトレースのインピーダンスの 2 倍にしてください。
PS_DDR_VREF[1:0]	専用	電圧基準	DDR インターフェイスの電圧規準です。
アナログ-デジタルコンバーター (XADC) のピン			
詳細は、『7 シリーズ FPGA XADC ユーザー ガイド』(UG480) の表「XADC パッケージピン」を参照してください。			
VCCADC_0 ⁽⁵⁾	専用	N/A	XADC アナログ正電源電圧です。
GNDADC_0 ⁽⁵⁾	専用	N/A	XADC アナログ グラウンド基準です。
VP_0 ⁽⁵⁾	専用	入力	XADC 専用の差動アナログ入力 (正側) です。
VN_0 ⁽⁵⁾	専用	入力	XADC 専用の差動アナログ入力 (負側) です。
VREFP_0 ⁽⁵⁾	専用	N/A	1.25V の入力参照電圧です。
VREFN_0 ⁽⁵⁾	専用	N/A	1.25V の参照電圧です (GND)。
AD0P ~ AD15P AD0N ~ AD15N	多機能	入力	XADC (アナログ-デジタルコンバーター) の差動補助アナログ入力 0-15 です。
マルチギガビットシリアルトランシーバーピン (GTXE2)			
GTXE2 ピンに関する詳細は、『7 シリーズ FPGA GTX/GTH トランシーバー ユーザー ガイド』(UG476) の「ピンの説明およびデザインのガイドライン」セクションを参照してください。			
MGTXRXP[0:3]	専用	入力	GTX クワッドの差動受信ポートの正 (P) 側です。
MGTXRXN[0:3]	専用	入力	GTX クワッドの差動受信ポートの負 (N) 側です。

表 1-5 : Zynq-7000 AP SoC ピンの説明 (続き)

ピン名	方向	方向	説明
MGTXTXP[0:3]	専用	出力	GTX クワッドの差動送信ポートの正 (P) 側です。
MGTXTXN[0:3]	専用	出力	GTX クワッドの差動送信ポートの負 (N) 側です。
MGTAVCC_G# ⁽⁶⁾	専用	入力	レシーバーおよび内部トランスマッター回路の 1.0V アナログ電源ピンです。
MGTAVTT_G# ⁽⁶⁾	専用	入力	送信ドライバーの 1.2V アナログ電源ピンです。
MGTVCCAUX_G# ⁽⁶⁾	専用	入力	トランシーバーの クワッド PLL (QPLL) の 1.8V 補助アナログ電源電圧です。
MGTREFCLK0/1P	専用	入力	トランシーバーの差動基準クロックの正側です。
MGTREFCLK0/1N	専用	入力	トランシーバーの差動基準クロックの負側です。
MGTAVTTRCAL	専用	N/A	内部キャリブレーション終端の精度参照抵抗ピンです。XC7Z010 および XC7Z020 デバイスでは使用されません。
MGTRREF	専用	入力	内部キャリブレーション終端の精度参照抵抗ピンです。
その他のピン			
MRCC	多機能	入力	BUFR、BUFIO、BUFG、および MMCM/PLL を駆動する CC (クロック兼用) I/O です。さらにこれらのピンは、複数の領域の BUFIO および BUFR をサポートするために BUFMR を駆動できます。クロックとして使用する必要がない場合は通常のユーザー I/O になります。シングルエンド クロックを差動 CC に接続する場合、そのクロックは差動クロック ピンペアの正 (P) 側に接続する必要があります。MRCC (複数の領域) ピンは、シングル領域のリソースとして使用される場合、1 つのバンクで BUFIO および BUFR をそれぞれ 4 つ駆動できます。
SRCC	多機能	入力	BUFR、BUFIO、および MMCM/PLL を駆動する CC (クロック兼用) I/O です。クロックに使用する必要がない場合は通常のユーザー I/O になります。シングルエンド クロックを差動 CC に接続する場合、そのクロックは差動クロック ピンペアの正 (P) 側に接続する必要があります。SRCC (シングル領域) ピンは、1 つのバンクで BUFIO および BUFR をそれぞれ 4 つ駆動できます。
VRN ⁽⁷⁾	多機能	N/A	N トランジスタの DCI 電圧参照抵抗用です (バンクごと、参照抵抗を使用して High にプルアップ)。
VRP ⁽⁷⁾	多機能	N/A	P トランジスタの DCI 電圧参照抵抗用です (バンクごと、参照抵抗を使用して Low にプルダウン)。
DXP_0、DXN_0 ⁽⁸⁾	専用	入力	温度検出ダイオード ピンです (陽極 : DXP、陰極 : DXN)。熱ダイオードへのアクセスはバンク 0 の DXP および DXN ピンを使用します。使用しない場合は GND に接続する必要があります。 熱ダイオードを使用する場合は、外部に温度監視 IC を追加する必要があります。 Zynq-7000 AP SoC デバイスの場合、温度監視ソリューションとして XADC ブロックの温度センサーを使用することを推奨しています。
T0、T1、T2、または T3	多機能	入力	メモリ バイト グループ 0 ~ 3 に属します。

表 1-5 : Zynq-7000 AP SoC ピンの説明 (続き)

ピン名	方向	方向	説明
T0_DQS、T1_DQS、 T2_DQS、T3_DQS	多機能	入力	メモリ バイト グループ T0 ~ T3 に属する DDR の DQS ストローブ ピンです。

注記 :

- 専用ピン (JTAG およびコンフィギュレーション) はすべて、V_{CCO_0} から電源が供給されています。
- デバイスに V_{CCAUX_IO_G#} ピンが含まれない場合、I/O 補助回路は V_{CCAUX} ピンから電源が供給されます。
- ボンディングされていないパンクの V_{CCO} ピンは、パッケージ移行のために当該パンクの V_{CCO} に接続する必要があります。ボンディングされていない V_{CCO} ピンをほかの電源に接続しないでください。パッケージ移行の必要がなければ、ボンディングされていないパンクの V_{CCO} ピンは、汎用電源 (V_{CCO} またはグランド接続) に接続できます。
- データシートに記載されている V_{CCBATT_0} の仕様を参照してください。
- オンチップ モニタリングのサポートに必要なデフォルト接続の詳細は、『7 シリーズ FPGA XADC ユーザー ガイド』([UG480](#)) を参照してください。
- MGT 電源グループを 1 つのみ備えたパッケージの場合、MGTAVCC_G#、MGTAVTT_G#、および MGTVCVCAUX_G# ピンは「_G#」なしの表記となります。これらのピンは、[第 3 章「デバイスの図」](#) の電源および GND の配置図においても番号は付いていません。
- Zynq-7000 AP SoC デバイスと従来の Virtex デバイスでは DCI ガイドラインが異なります。VRN/VRP ピンの詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』([UG471](#)) の「7 シリーズ FPGA の DCI (HP I/O パンク内にのみ使用可能)」セクションを参照してください。
- CL225/CLG225 パッケージの XC7Z010 デバイスでは、DXN_0 ピンを使用できません。このパッケージの熱ダイオードを温度監視 IC へ接続するには、DXN_0 の代わりに GNDADC_0 を使用してください。

パッケージ間のピン互換性

Zynq-7000 AP SoC デバイスの場合、同じパッケージ内の別の Zynq-7000 AP SoC デバイスとのみピンの互換性があります。その他、同じピン識別番号を持つ FB/FBG と FF/FFG パッケージともピンの互換性があります。

注記 : FB/FBG と FF/FFG パッケージでは、推奨されるデカップリング キャパシタが大きく異なります。

一部の FB/FBG パッケージには V_{CCAUX_IO} ピンが含まれていますが、これらは I/O で使用されません。これらのピンは FF/FFG パッケージとの互換性を保つためのプレースホルダーです。FF/FFG パッケージでは、HP I/O で高性能オプションを使用する場合に、 V_{CCAUX} とは別の電源に V_{CCAUX_IO} ピンを接続しなければなりません。したがって、FF/FFG パッケージへ移行する場合は、 V_{CCAUX_IO} ピンを適切な電圧レギュレーターへ接続する必要があります。

ダイレベルでのバンク番号の概要

バンキングおよびクロッキングのまとめ

- 中央のクロッキング バックボーンはすべての垂直方向クロック ラックおよびクロック バッファー接続で構成されています。
- CMT バックボーンはすべての垂直 CMT 方向接続で構成され、CMT カラムに配置されています。
- デバイス/パッケージの組み合わせによっては、バンクがボンディングされていない場合があります。
- GTX カラムのまとめ
 - 1 バンク = 1 GTX クワッド = 4 トランシーバー = 4 GTXE2 プリミティブ
 - パッケージによっては、GTX クワッドがボンディングされていない場合があります。
- I/O バンクのまとめ
 - 各バンクには CC (Clock Capable) 入力が 4 組あり、4 つの差動入力、または 4 つのシングルエンド クロック 入力を提供します。
 - 同一領域および上下領域 (制限あり) の CMT に接続できます。
 - 2 つの MRCC ペアは、同一領域/バンクとその上下領域/バンクの BUFR および BUFIO に接続できます。
 - 2 つの SRCC ペアは、同一領域/バンクの BUFR および BUFIO にのみ接続できます。
 - MRCC および SRCC 入力は CMT および BUFG へ接続してグローバル クロッキングを提供できます。
 - 各ユーザー I/O バンクには 50 本のシングル エンド I/O または 24 本の差動ペア (48 本の差動 I/O) があります。上下にある I/O ピンは常にシングル エンドです。1 つのバンクにある 50 のパッドすべてがピンにボンディングされているわけではありません。
- 専用の多目的ピンのバンク位置
 - Zynq-7000 AP SoC デバイスの場合、バンク 500 と 501 には PS MIO ピンが含まれ、バンク 502 には PS DDR ピンが含まれています。バンク 35 には XADC の補助入力があります。
 - コンフィギュレーション専用の I/O (バンク 0) すべてが 3.3V に対応しています。
- 各 IDELAYCTRL の物理的な XY 位置は下の最も左側のバンクの X0Y0 から始まります。垂直 Y 方向の各カラムの最下位のバンク番号から水平 X 方向の各カラムに 1 つずつインクリメントします。IDELAYCTRL は、各 HROW に配置されています。

図 1-1 から図 1-4 では、番号付けされた PL バンクを図示します。

XC7Z010 バンク

図 1-1 に、XC7Z010 の I/O を示します。これらのデバイスにはトランシーバーバンクは含まれていません。

CL225/CLG225 パッケージ

- すべての HR I/O バンク 34 および 35 は部分的にボンディングされている
- PS バンク 500、501、502 は部分的にボンディングされている

CL400/CLG400 パッケージ

- すべての HP I/O バンクは完全にボンディングされている
- すべての PS バンクは完全にボンディングされている

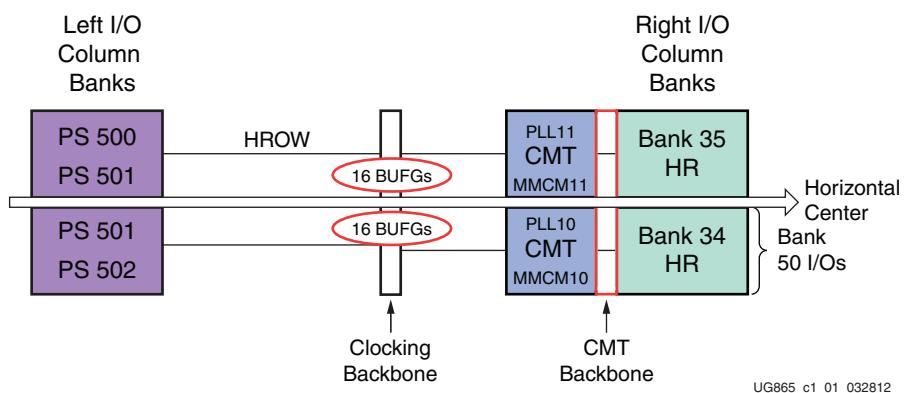


図 1-1 : XC7Z010 バンク

XC7Z020 バンク

図 1-2 に、XC7Z020 の I/O バンクを示します。これらのデバイスにはトランシーバー バンクは含まれていません。

CL400/CLG400 パッケージ

- HR I/O バンク 33 はボンディングされていない
- HR I/O バンク 13 は部分的にボンディングされている
- すべての PS バンクは完全にボンディングされている

CL484/CLG484 パッケージ

- すべての HP I/O バンクは完全にボンディングされている
- すべての PS バンクは完全にボンディングされている

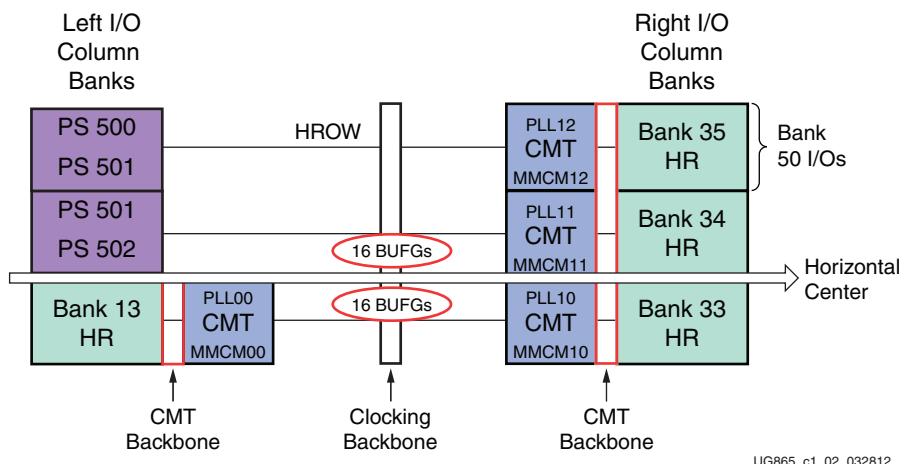


図 1-2 : XC7Z020 バンク

XC7Z030 バンク

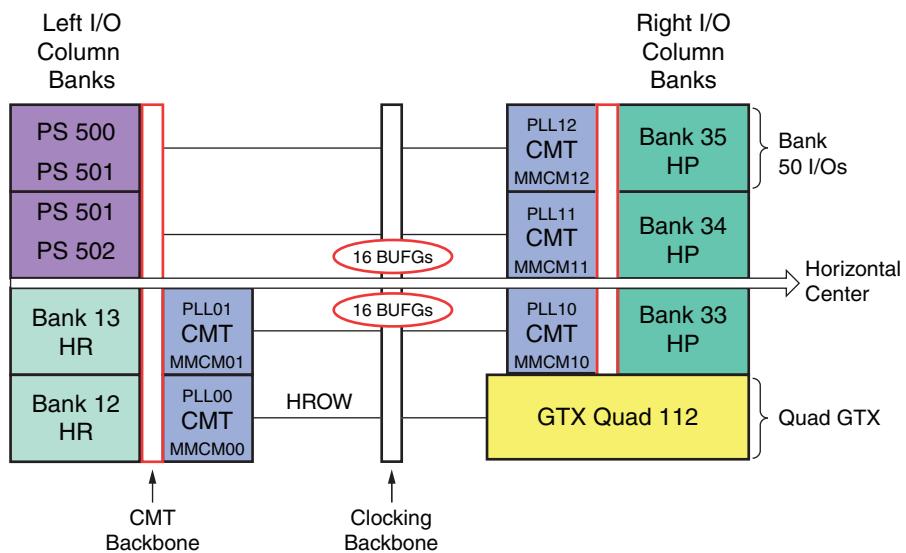
図 1-3 に、XC7Z030 の I/O バンクを示します。

FB484/FBG484 パッケージ

- すべての HP I/O バンクは完全にボンディングされている
- HR I/O バンク 33 はボンディングされていない
- HR I/O バンク 35 は部分的にボンディングされている
- すべての GTX クワッドは完全にボンディングされている
- すべての PS バンクは完全にボンディングされている

FB676/FBG676 パッケージおよび FF676/FFG676 パッケージ

- すべての HP I/O バンクは完全にボンディングされている
- すべての HP I/O バンクは完全にボンディングされている
- すべての GTX クワッドは完全にボンディングされている
- すべての PS バンクは完全にボンディングされている



UG865_c1_03_032812

図 1-3 : XC7Z030 バンク

XC7Z045 バンク

図 1-4 に、XC7Z045 の I/O バンクを示します。

FB676/FBG676 パッケージまたは FF676/FFG676 パッケージ

- HR I/O バンク 9、10、11 はボンディングされていない
- すべての HP I/O バンクは完全にボンディングされている
- TX クワッド 109 および 110 はボンディングされていない
- すべての PS バンクは完全にボンディングされている

FF900/FFG900 パッケージ

- HR I/O バンク 9 は部分的にボンディングされている
- すべての HP I/O バンクは完全にボンディングされている
- すべての GTX クワッドは完全にボンディングされている
- すべての PS バンクは完全にボンディングされている

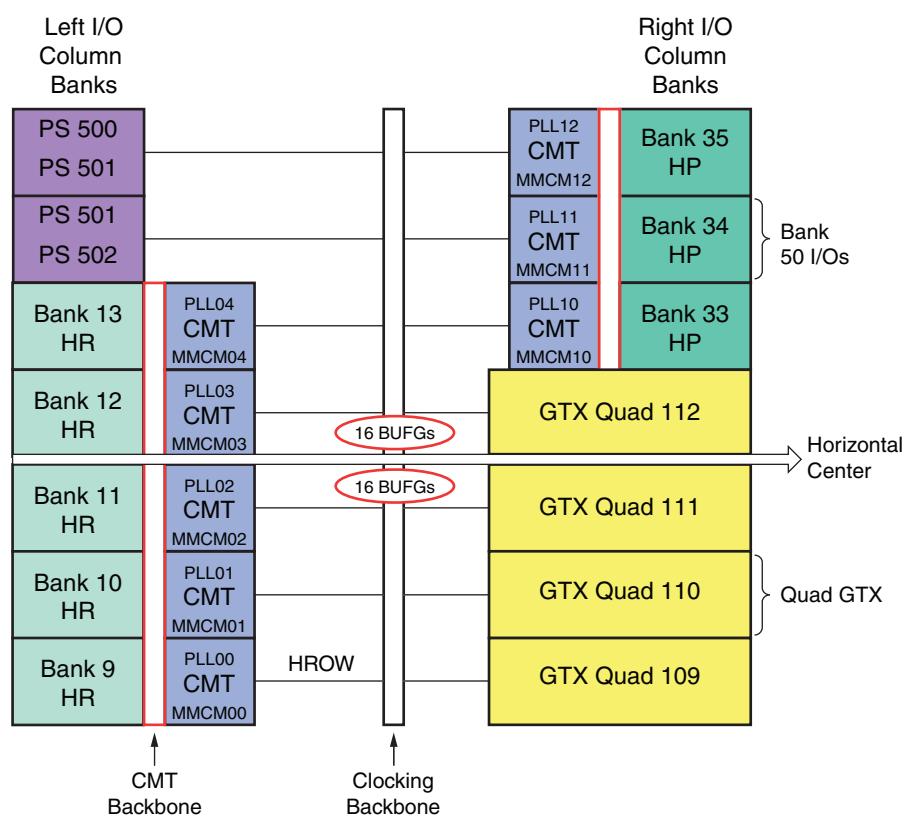


図 1-4 : XC7Z045 バンク

Zynq-7000 AP SoC のパッケージファイル

ASCII のパッケージファイルの概要

各パッケージの ASCII ファイルは、CSV (Comma Separated Values) 形式ならびにブラウザーまたはテキスト エディターに最適なテキスト形式で構成されています。次に各ファイルの構成要素を示します。

- デバイス/パッケージ名 (デバイス - パッケージ)、作成日および時間
- 各ピンのデータが含まれる 8 つの列
 - Pin — 該当するパッケージのピンの位置
 - Pin Name — 割り当てられたピンの名前
 - Memory Byte Group — メモリ バイト グループ 0 ~ 3。メモリ バイト グループの詳細は、『7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド』(UG586) [参照 6] を参照してください。
 - Bank — バンク番号
 - VCCAUX Group — 任意のピンの VCCAUX_IO 電源に対応する番号。VCCAUX は、複数のパッケージに対して 1 つの VCCAUX グループを示します。
 - Super Logic Region — スタックドシリコン インターコネクト (SSI) テクノロジを用いてインプリメントされたデバイスの SLR (Super Logic Region) に対応する番号
 - I/O Type — CONFIG、HR、HP、MIO、DDR、または GTX があります。I/O タイプの詳細は、『7 シリーズ FPGA SelectIO リソース ユーザー ガイド』(UG471) [参照 7] を参照してください。
 - No-Connect — パッケージ サイズが同一かつ特定ピンで接続されていないデバイスで、移行に使用されるものを示します。
- パッケージのピンの総数

ASCII ピン配置ファイル

この章では、Zynq-7000 AP SoC のピン配置情報をデバイスごとに示しています。

表 2-1 内に表示されている各ファイルにはリンクが付いており、次のウェブサイトでまとめられています。

<http://japan.xilinx.com/support/packagefiles/zynq7000-pkgs.htm>

表 2-1 : Zynq-7000 AP SoC パッケージ/デバイスごとのピン配置ファイル

デバイス	CL225/ CLG225	CL400/ CLG400	CL484/ CLG484	FB484/ FBG484	FB676/ FBG676	FF676/ FFG676	FF900/ FFG900
XC7Z010	CLG225	CLG400					
XC7Z020		CLG400	CLG484				
XC7Z030				FBG484	FBG676	FFG676	
XC7Z045					FBG676	FFG676	FFG900

Zynq-7000 AP SoC ASCII パッケージのすべてのファイル (TXT および CSV 形式) は、次のサイトからダウンロードできます。

<http://japan.xilinx.com/support/packagefiles/z7packages/z7all.zip>

デバイスの図

はじめに

この章では、Zynq-7000 AP SoC のパッケージ/デバイスの組み合わせごとに、ピン配置、HP および HR の I/O バンク、メモリのグループ化、および電源およびグランドの配置図を示します。

この章に記載の図は上面図を示したものです。

多機能 I/O ピンは、使用可能なピン機能の 1 つのみを示すシンボルで表されます。表記されるシンボルの優先順位 (機能別) は次のとおりです。

- PUDC_B
- AD0P/AD0N–AD15P/AD15N
- VRN、VRP、または VREF
- DQS、MRCC、または SRCC

たとえば、IO_L8P_SRCC_12 は SRCC シンボル、IO_L19N_T3_AD0P_VREF_14 は AD0P/AD0N–AD15P/AD15N シンボル、IO_L21N_T3_DQS_PUDC_B_14 は PUDC_B シンボルで表されています。

Zynq-7000 AP SoC デバイスの図

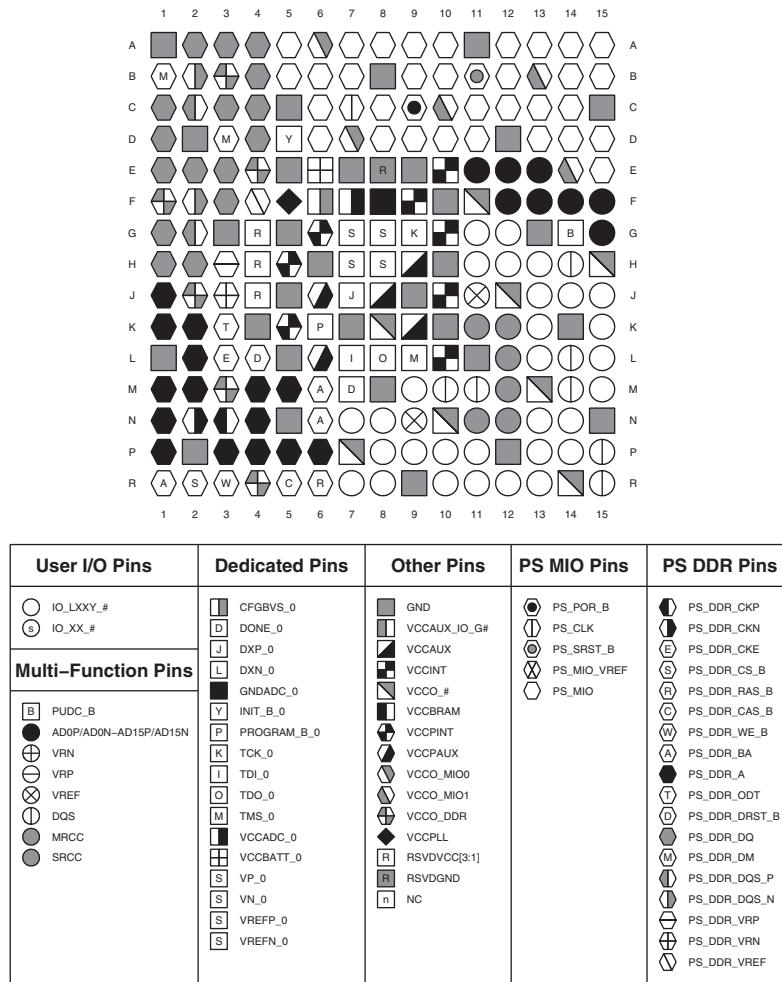
表 3-1 に各デバイスの図へのリンクを示します。

注記：これらの Zynq-7000 AP SoC デバイスの一部の図は現在作成中です。

表 3-1 : Zynq-7000 AP SoC デバイスの図の相互参照

デバイス	CL225/ CLG225	CL400/ CLG400	CL484/ CLG484	FB484/ FBG484	FB676/ FBG676	FF676/ FFG676	FF900/ FFG900
XC7Z010	23 ページ	26 ページ					
XC7Z020		28 ページ	30 ページ				
XC7Z030				33 ページ	36 ページ	39 ページ	
XC7Z045					42 ページ	45 ページ	48 ページ

CL225/CLG225 パッケージ – XC7Z010



ug865_c3_05_091712

図 3-1 : CL225/CLG225 パッケージ – XC7Z010 ピン配置図

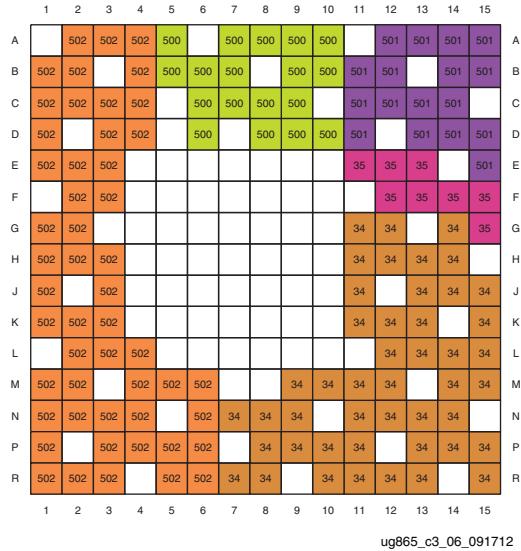


図 3-2 : CL225/CLG225 パッケージ – XC7Z010 I/O バンク

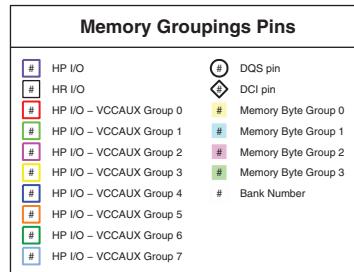
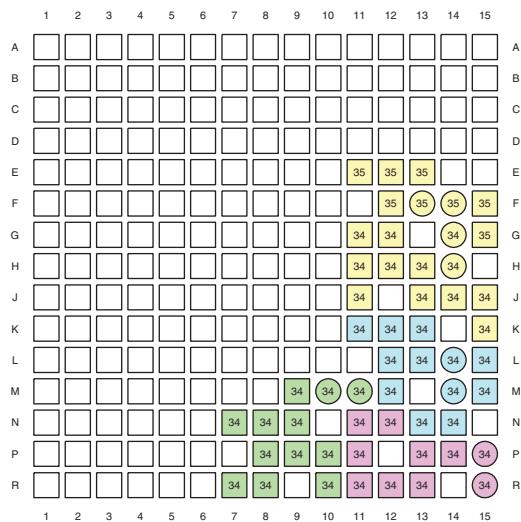
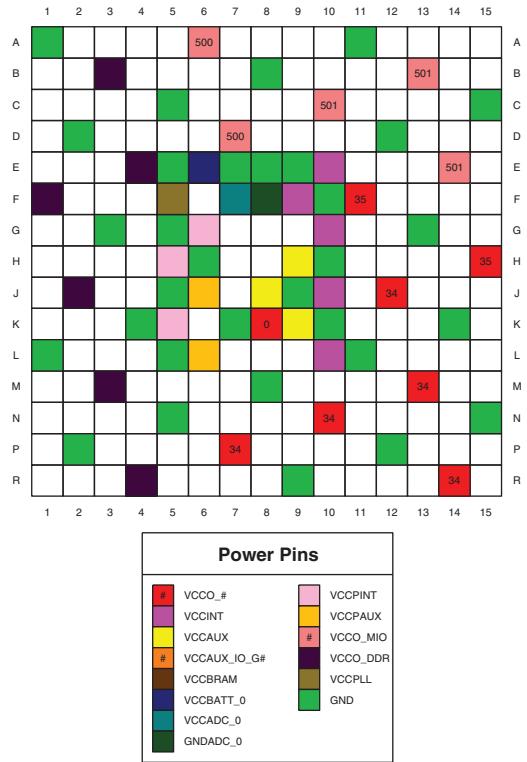


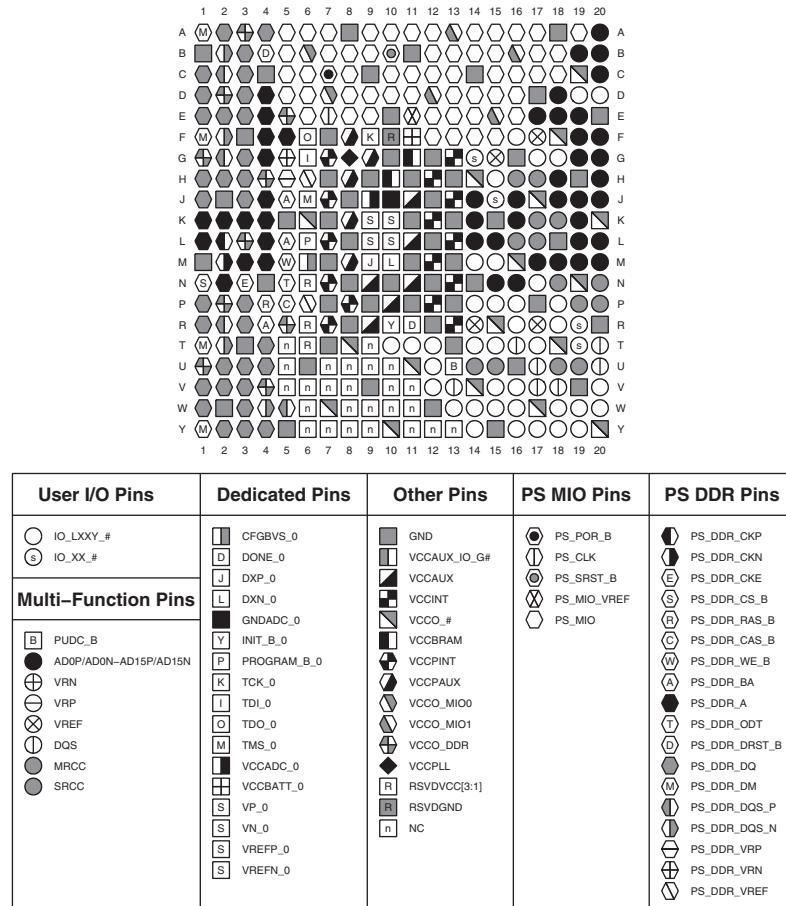
図 3.3 : CL225/CLG225 パッケージ – XC7Z010 マトリクルのグループ化



ug865_c3_08_091712

図 3-4 : CL225/CLG225 パッケージ – XC7Z010 電源および GND の配置

CL400/CLG400 パッケージ – XC7Z010



ug865_c3_01_082212

図 3-5 : CL400/CLG400 パッケージ – XC7Z010 ピン配置図

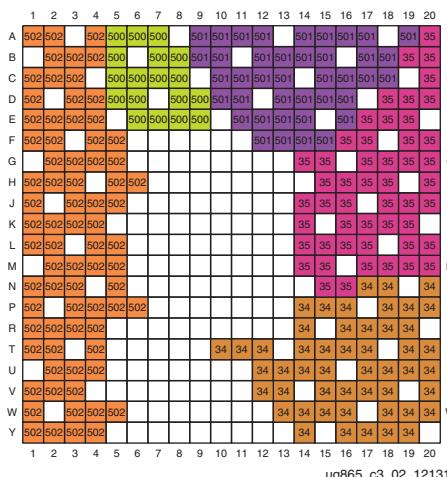
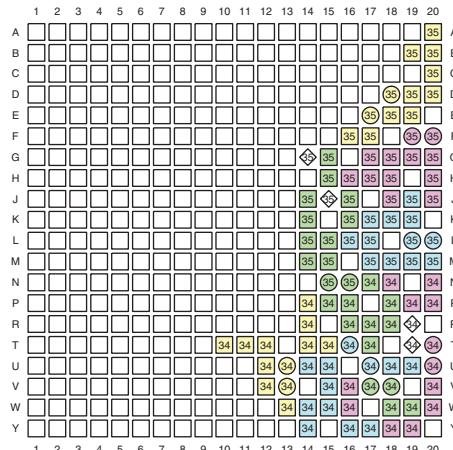


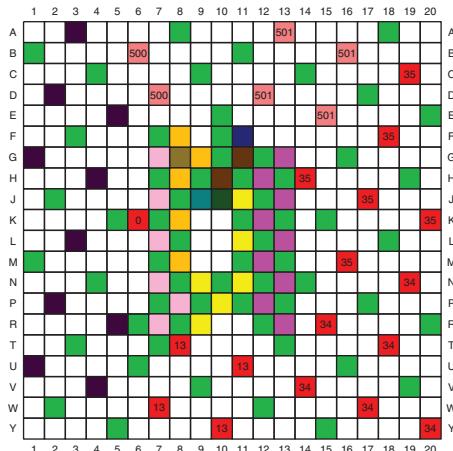
図 3-6 : CL400/CLG400 パッケージ – XC7Z010 I/O バンク



Memory Groupings Pins	
■	HP I/O
■	HR I/O
■	HP I/O – VCCAUX Group 0
■	HP I/O – VCCAUX Group 1
■	HP I/O – VCCAUX Group 2
■	HP I/O – VCCAUX Group 3
■	HP I/O – VCCAUX Group 4
■	HP I/O – VCCAUX Group 5
■	HP I/O – VCCAUX Group 6
■	HP I/O – VCCAUX Group 7
○	DQS pin
◇	DCI pin
■	Memory Byte Group 0
■	Memory Byte Group 1
■	Memory Byte Group 2
■	Memory Byte Group 3
■	Bank Number

ug865_c3_03_121311

図 3-7 : CL400/CLG400 パッケージ – XC7Z010 メモリのグループ化

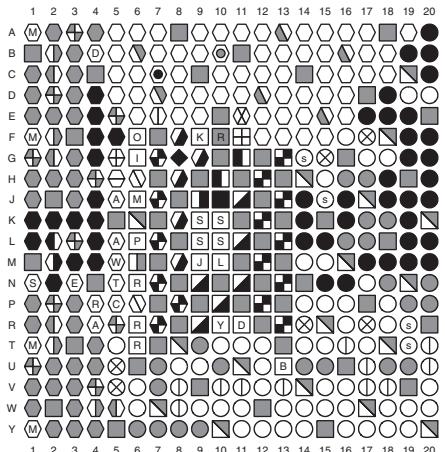


Power Pins	
■	VCCO_#
■	VCCINT
■	VCCAUX
■	VCCAUX_IO_G#
■	VCCBRAM
■	VCCBATT_0
■	VCCADC_0
■	GNDADC_0
■	VCCPINT
■	VCCPAUX
■	VCCO_MIO
■	VCCO_DDR
■	VCCPLL
■	GND

ug865_c3_04_121311

図 3-8 : CL400/CLG400 パッケージ – XC7Z010 電源および GND の配置

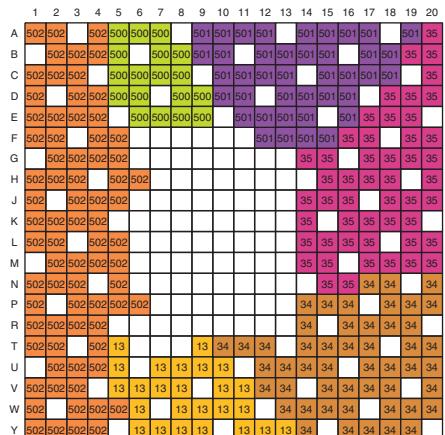
CL400/CLG400 パッケージ – XC7Z020



User I/O Pins	Dedicated Pins	Other Pins	PS MIO Pins	PS DDR Pins
○ IO_LXXY_#	CFGBVS_0	GND	PS POR_B	PS DDR_CKP
◎ IO_XX_#	DONE_0	VCCAUX_IO_G#	PS CLK	PS DDR_CKN
	J DXP_0	VCCAUX	PS SRST_B	PS DDR_CKE
	L DXN_0	VCCINT	PS MIO_VREF	PS DDR_CS_B
	■ GNDADC_0	VCCO_#	PS MIO	PS DDR_RAS_B
	■ PUDC_B	VCCBRAM		PS DDR_CAS_B
	● AD0P/AD0N-AD15P/AD15N	VCCPINT		PS DDR_WE_B
⊕ VRN	Y INIT_B_0	VCCPAUX		PS DDR_BA
⊖ VRP	P PROGRAM_B_0	VCCO_MIO0		PS DDR_A
⊗ VREF	K TCK_0	VCCO_MIO1		PS DDR_ODT
⊖ DQS	I TDI_0	VCCO_DDR		PS DDR_DRST_B
● MRCC	O TDO_0	VCCPLL		PS DDR_DQ
● SRCC	M TMS_0	RSVDGND		PS DDR_DM
	■ VCCADC_0	NC		PS DDR_DQS_P
	■ VCCBATT_0			PS DDR_DQS_N
	S VP_0			PS DDR_VRP
	S VN_0			PS DDR_VRN
	S VREFP_0			PS DDR_VREF
	S VREFN_0			

ug865_c3_09_082212

図 3-9 : CL400/CLG400 パッケージ – XC7Z020 ピン配置図



1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	
A 502 502	502 500	500 500		501 501	501 501		501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 35	A	
B 502 502	502 502	500 500		500 500	501 501		501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 35	35 35	B	
C 502 502	502 502	500 500	500 500		501 501	501 501		501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 35	35 35	C	
D 502	502 502	502 500	500 500		500 500	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 501	501 35	35 35	D	
E 502 502	502 502	502 502																35 35	35 35	E
F 502 502		502 502																35 35	35 35	F
G 502 502	502 502	502 502																35 35	35 35	G
H 502 502	502 502	502 502																35 35	35 35	H
J 502	502 502	502 502																35 35	35 35	J
K 502 502	502 502	502 502																35 35	35 35	K
L 502 502	502 502	502 502																35 35	35 35	L
M 502 502	502 502	502 502																35 35	35 35	M
N 502 502	502 502	502 502																35 35	35 35	N
P 502	502 502	502 502	502 502															34 34	34 34	P
R 502 502	502 502	502 502																34 34	34 34	R
T 502 502	502 13							13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	T	
U 502 502	502 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	U	
V 502 502	502 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	V	
W 502	502 502	502 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	W	
Y 502 502	502 502	13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	13 13	Y	

ug865_c3_10_121311

図 3-10 : CL400/CLG400 パッケージ – XC7Z020 I/O パンク

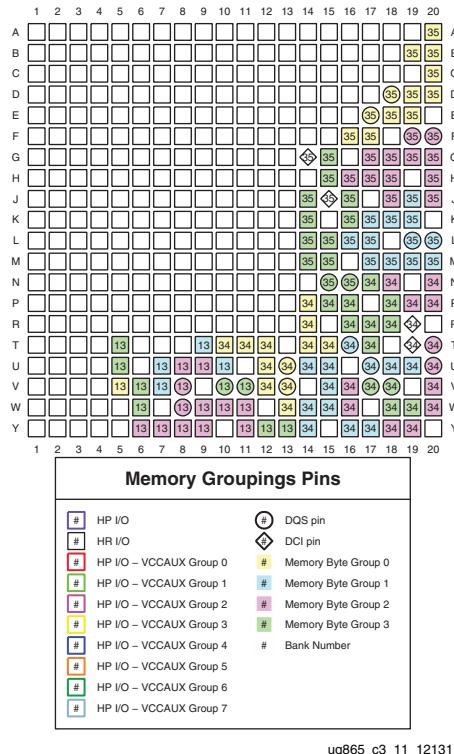


図 3-11 : CL400/CLG400 パッケージ – XC7Z020 メモリのグループ化

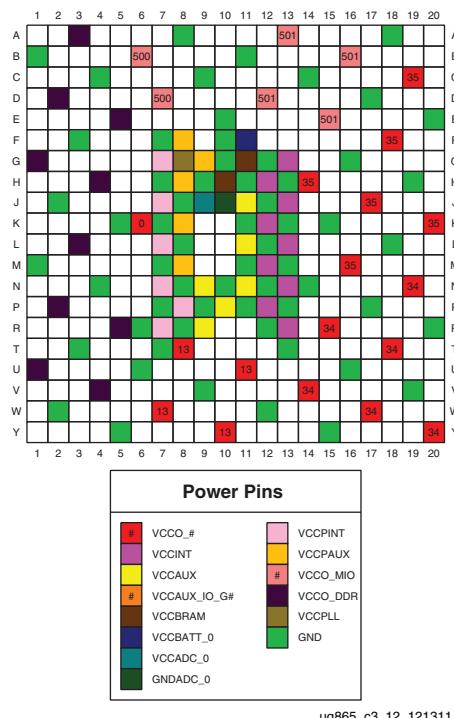
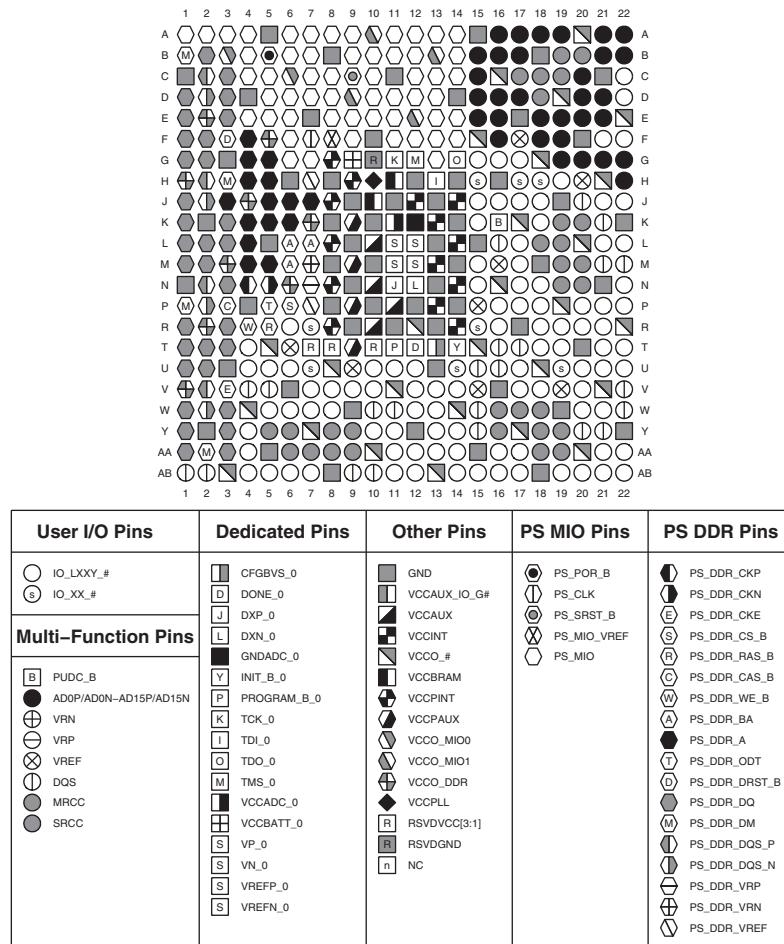


図 3-12: CL400/CLG400 パッケージ – XC7Z020 電源および GND の配置

CL484/CLG484 パッケージ – XC7Z020



ug865_c3_13_082212

図 3-13 : CL484/CLG484 パッケージ – XC7Z020 ピン配置図

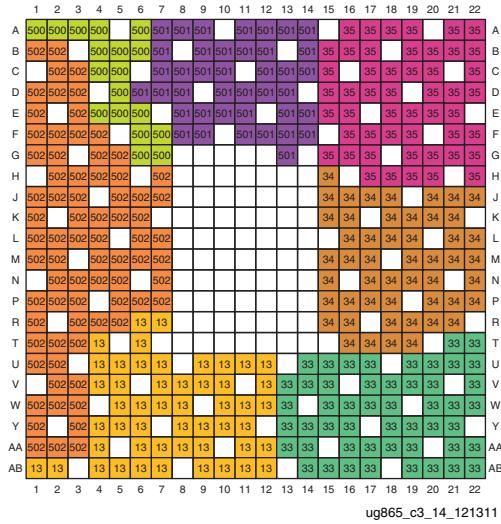


図 3-14 : CL484/CLG484 パッケージ – XC7Z020 I/O バンク

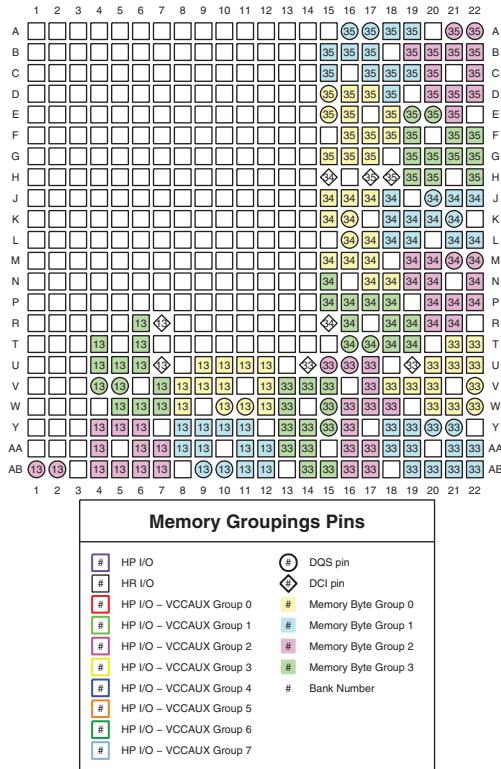


図 3-15 : CL484/CLG484 パッケージ – XC7Z020 メモリのグループ化

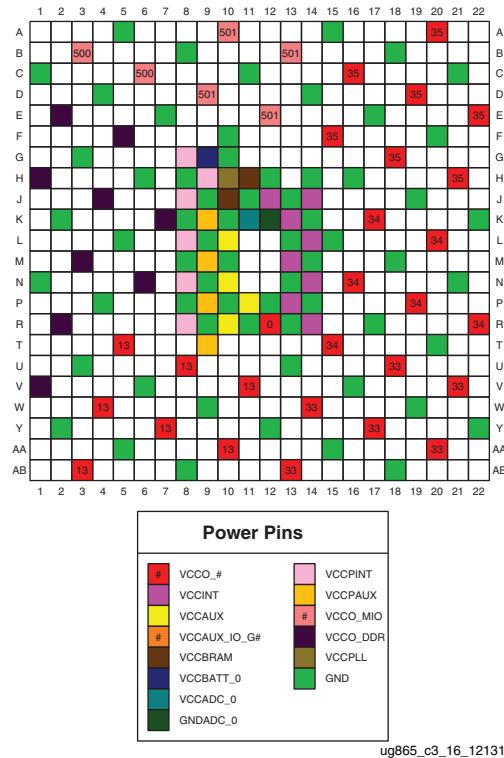
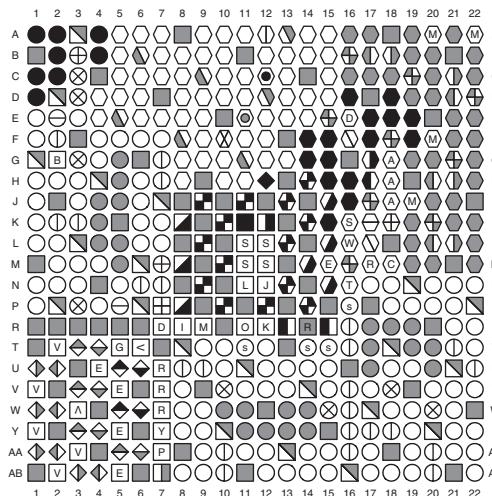


図 3-16 : CL484/CLG484 パッケージ – XC7Z20T 電源および GND の配置

FB484/FBG484 パッケージ – XC7Z030



User I/O Pins	Transceiver Pins	Dedicated Pins	Other Pins	PS MIO Pins	PS DDR Pins
○ IO_LXXY_#	[E] MGTAVCC_G#	[■] CFGBVS_0	[■] GND	○ PS_POR_B	○ PS_DDR_CKP
○ IO_XX_#	[V] MGTAVTT_G#	[D] DONE_0	[■] VCCAUX_IO_G#	○ PS_CLK	○ PS_DDR_CKN
	[A] MGTVCCAUX_G#	[J] DXP_0	[■] VCCAUX	○ PS_SRST_B	○ PS_DDR_CKE
	[<] MGTAVTTRCAL	[L] DXN_0	[■] VCCINT	○ PS_MIO_VREF	○ PS_DDR_CS_B
	[G] MGTRREF	[■] GNDADC_0	[■] VCCO_#	[○] PS_MIO	○ PS_DDR_RAS_B
	◆ MGTREFCLK1/0P	[Y] INIT_B_0	[■] VCCBRAM		○ PS_DDR_CAS_B
	◆ MGTREFCLK1/0N	[P] PROGRAM_B_0	[■] VCCPINT		○ PS_DDR_WE_B
	◆ MGTXRXP	[K] TCK_0	[■] VCCPAUX		○ PS_DDR_BA
	◆ MGT_RXN	[I] TDI_0	[■] VCCO_MIO0		● PS_DDR_A
	◆ MGT_XTP	[O] TDO_0	[■] VCCO_MIO1		○ PS_DDR_ODT
	◆ MGT_RXTN	[M] TMS_0	[◆] VCCPLL		○ PS_DDR_DRST_B
		[■] VCCADC_0	[■] RSVDVCC[3:1]		○ PS_DDR_DQ
		[■] VCCBATT_0	[■] RSVDGND		○ PS_DDR_DM
		[S] VP_0	[n] NC		○ PS_DDR_DQS_P
		[S] VN_0			○ PS_DDR_DQS_N
		[S] VREFP_0			○ PS_DDR_VRP
		[S] VREFN_0			○ PS_DDR_VRN
					○ PS_DDR_VREF

ug865_c3_17_082212

図 3-17 : FB484/FBG484 パッケージ – XC7Z030 ピン配置図

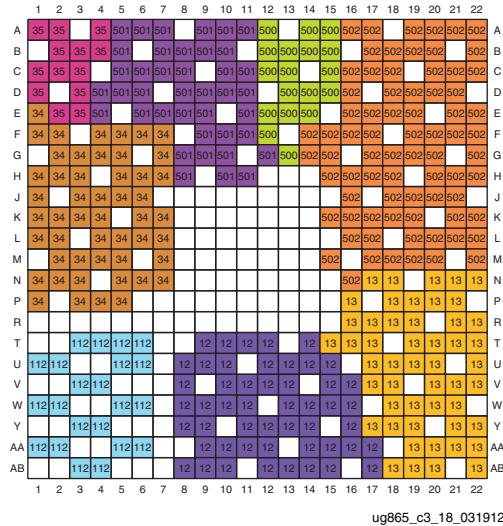


図 3-18 : FB484/FBG484 パッケージ – XC7Z030 I/O バンク

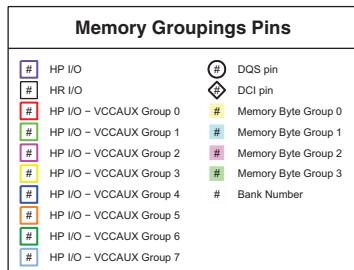
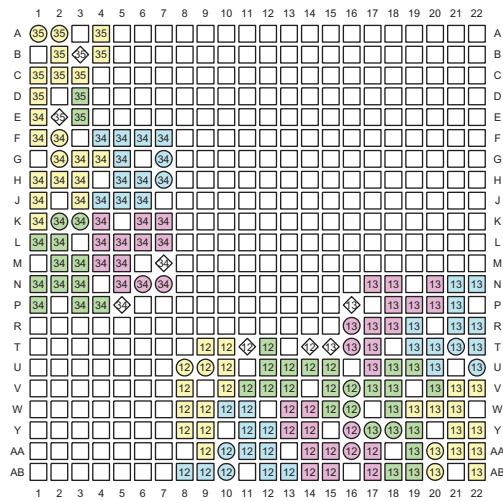
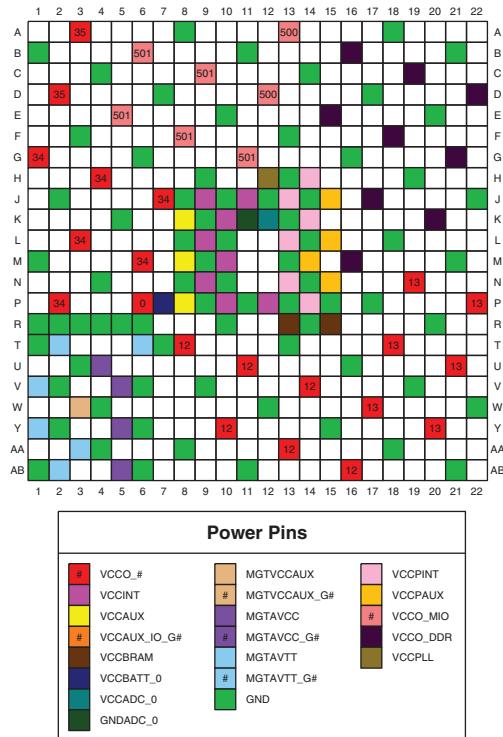


図 3-19: FB484/FBG484 パッケージ – XC7Z030 メモリのグループ化



ug865_c3_20_031912

図 3-20 : FB484/FBG484 パッケージ – XC7Z030 電源および GND の配置

FB676/FBG676 パッケージ – XC7Z030

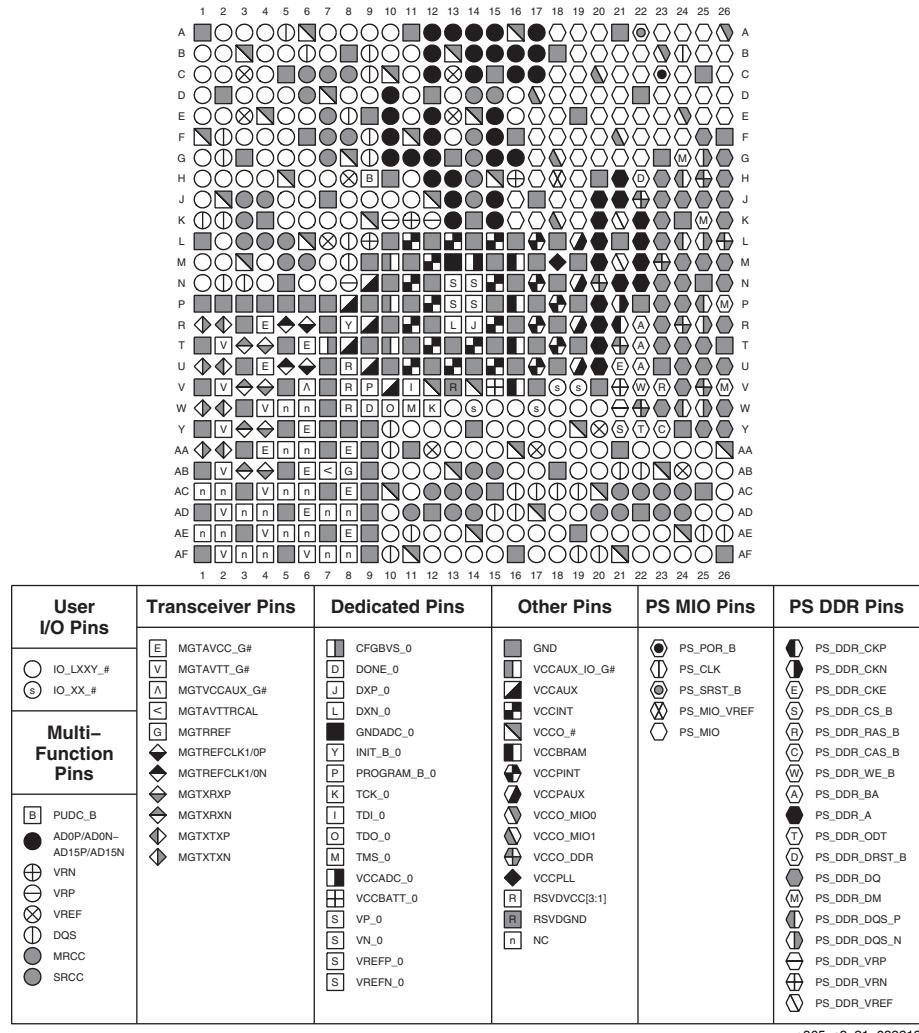


図 3-21 : FB676/FBG676 パッケージ – XC7Z030 ピン配置図

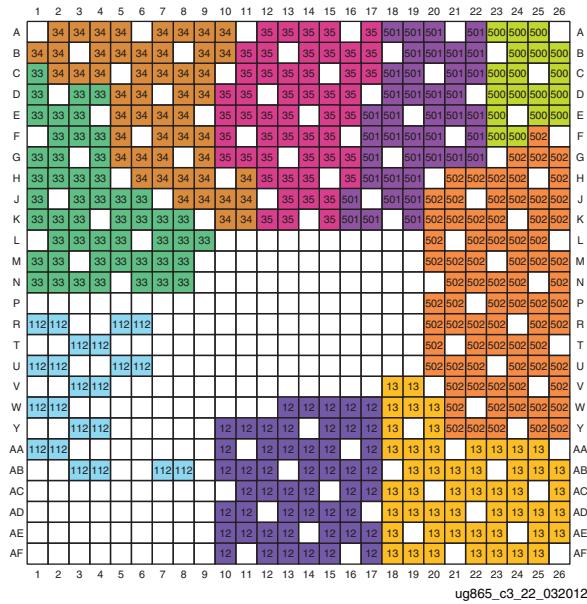


図 3-22 : FB676/FBG676 パッケージ – XC7Z030 I/O バンク

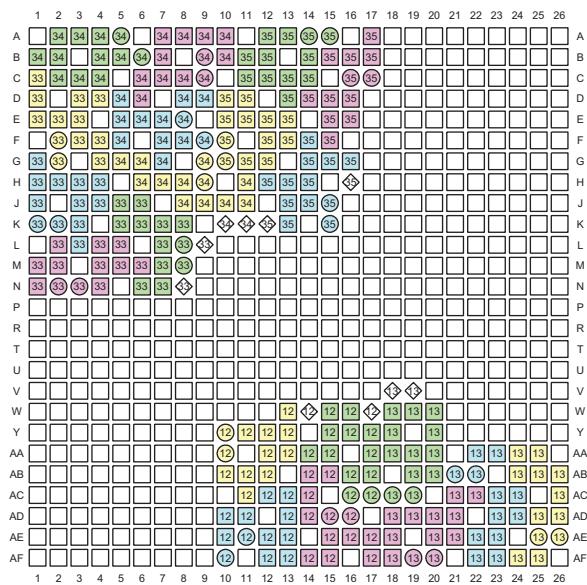
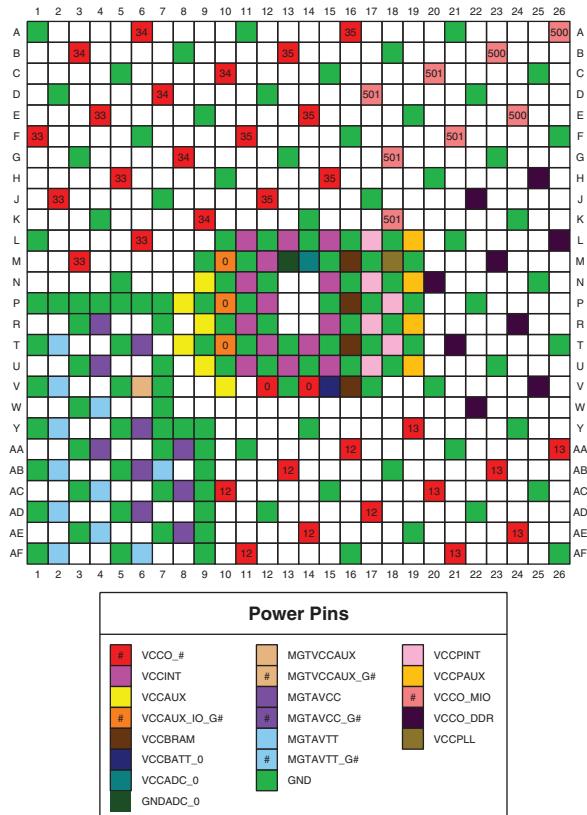


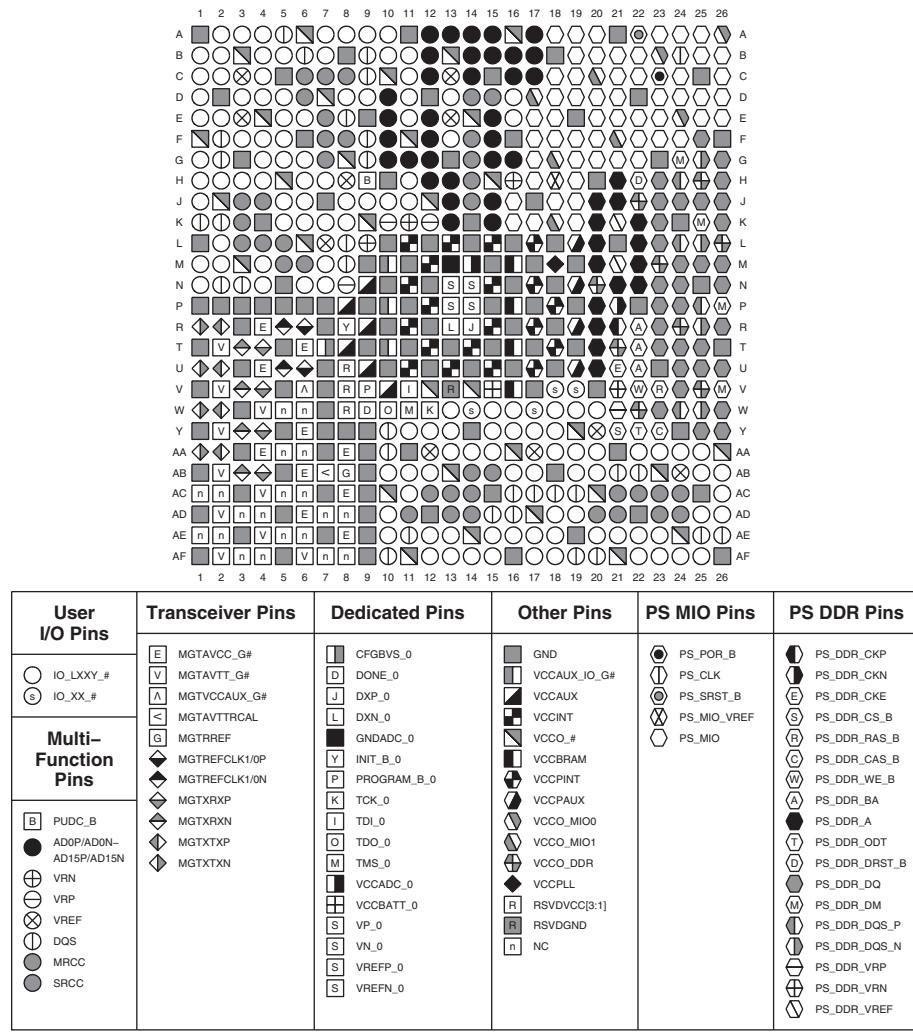
図 3-23 : FB676/FBG676 パッケージ – XC7Z030 メモリのグループ化



ug865_c3_24_032012

図 3-24 : FB676/FBG676 パッケージ – XC7Z030 電源および GND の配置

FF676/FFG676 パッケージ – XC7Z030



ug865_c3_25_082212

図 3-25 : FF676/FFG676 パッケージ – XC7Z030 ピン配置図

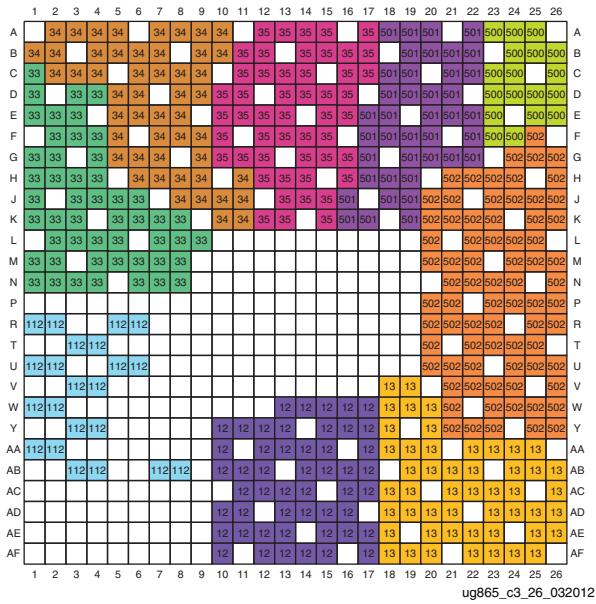


図 3-26 : FF676/FFG676 パッケージ – XC7Z030 I/O バンク

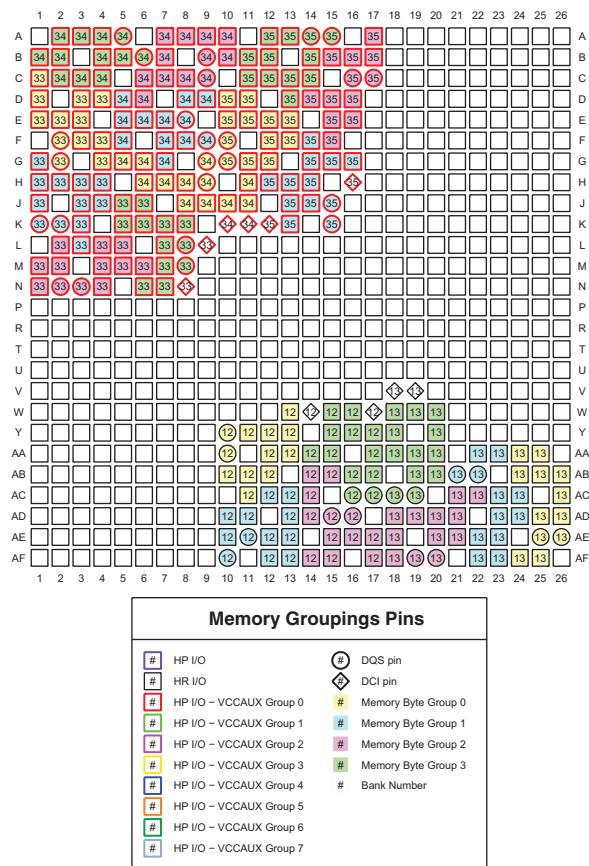
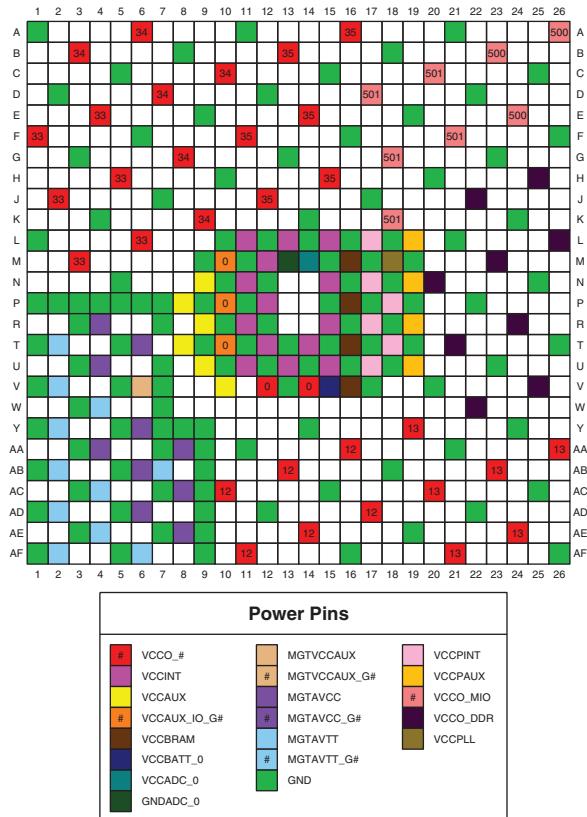


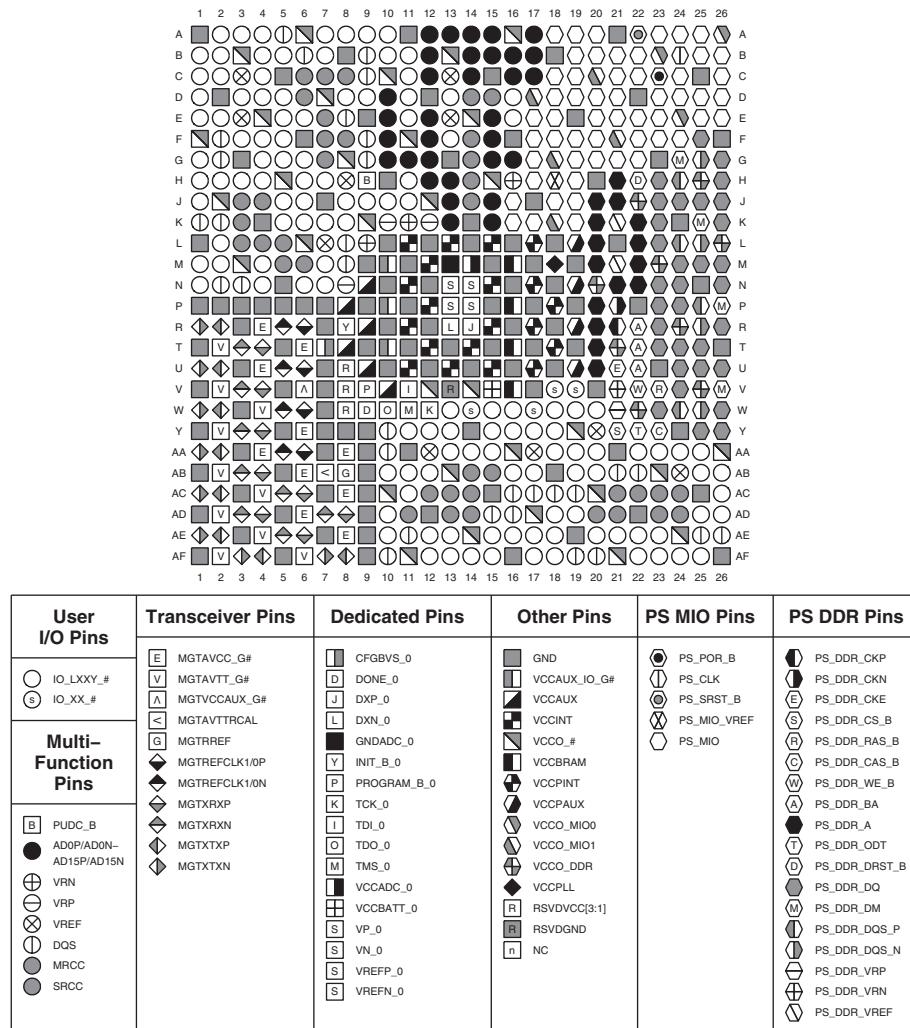
図 3-27 : FF676/FFG676 パッケージ – XC7Z030 メモリのグループ化



ug865_c3_28_032012

図 3-28 : FF676/FFG676 パッケージ – XC7Z030 電源および GND の配置

FB676/FBG676 パッケージ – XC7Z045



ug865_c3_29_082212

図 3-29 : FB676/FBG676 パッケージ – XC7Z045 ピン配置図

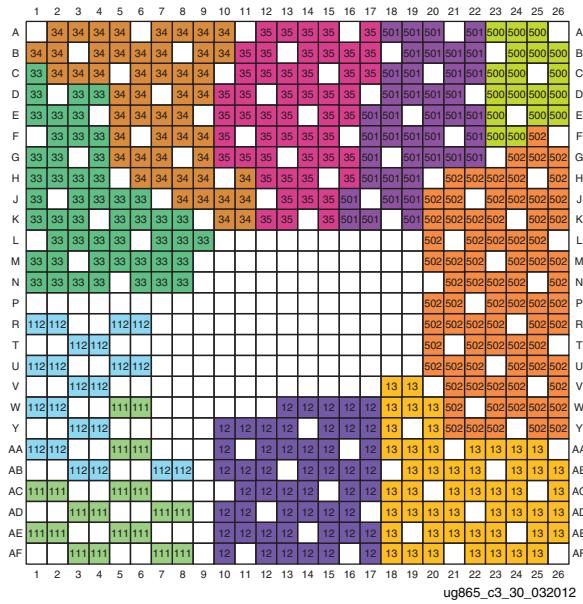
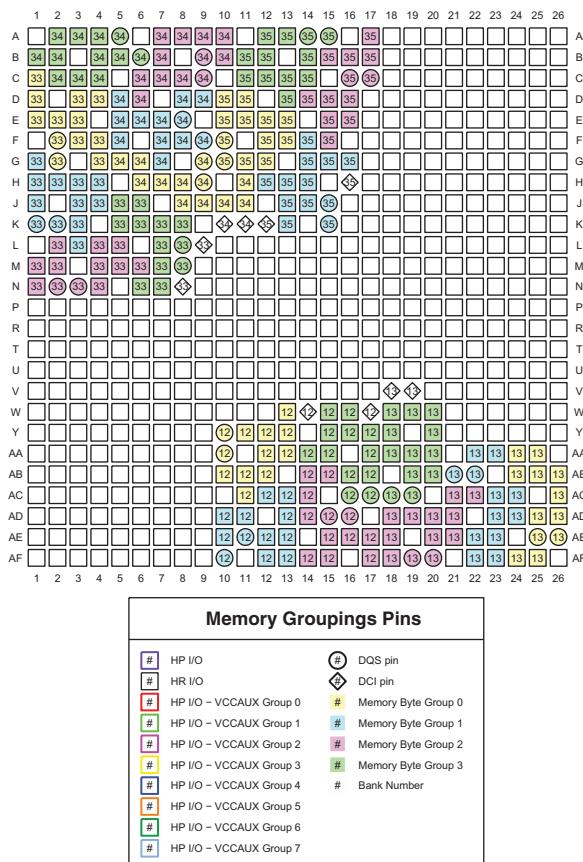
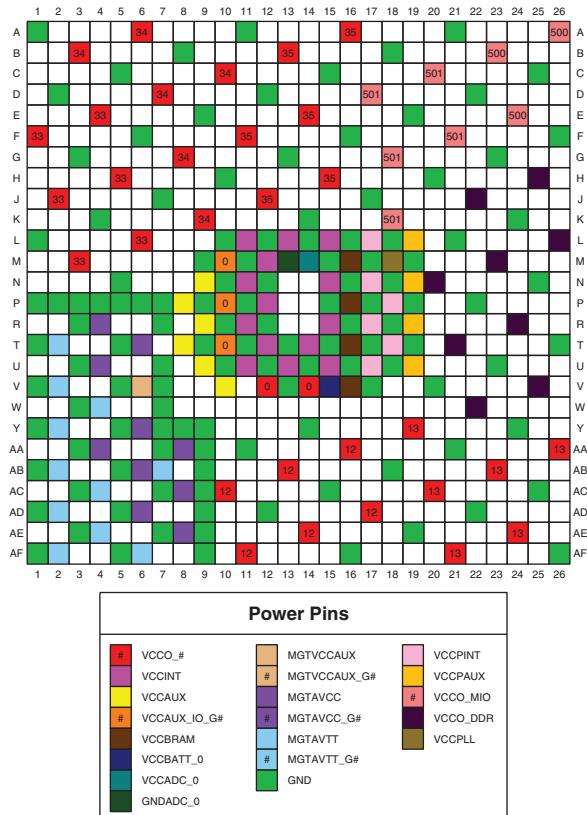


図 3-30 : FB676/FBG676 パッケージ – XC7Z045 I/O パンク



ug865_c3_31_032012

図 3-31 : FB676/FBG676 パッケージ – XC7Z045 メモリのグループ化



ug865_c3_32_032012

図 3-32 : FB676/FBG676 パッケージ – XC7Z045 電源および GND の配置

FF676/FFG676 パッケージ – XC7Z045

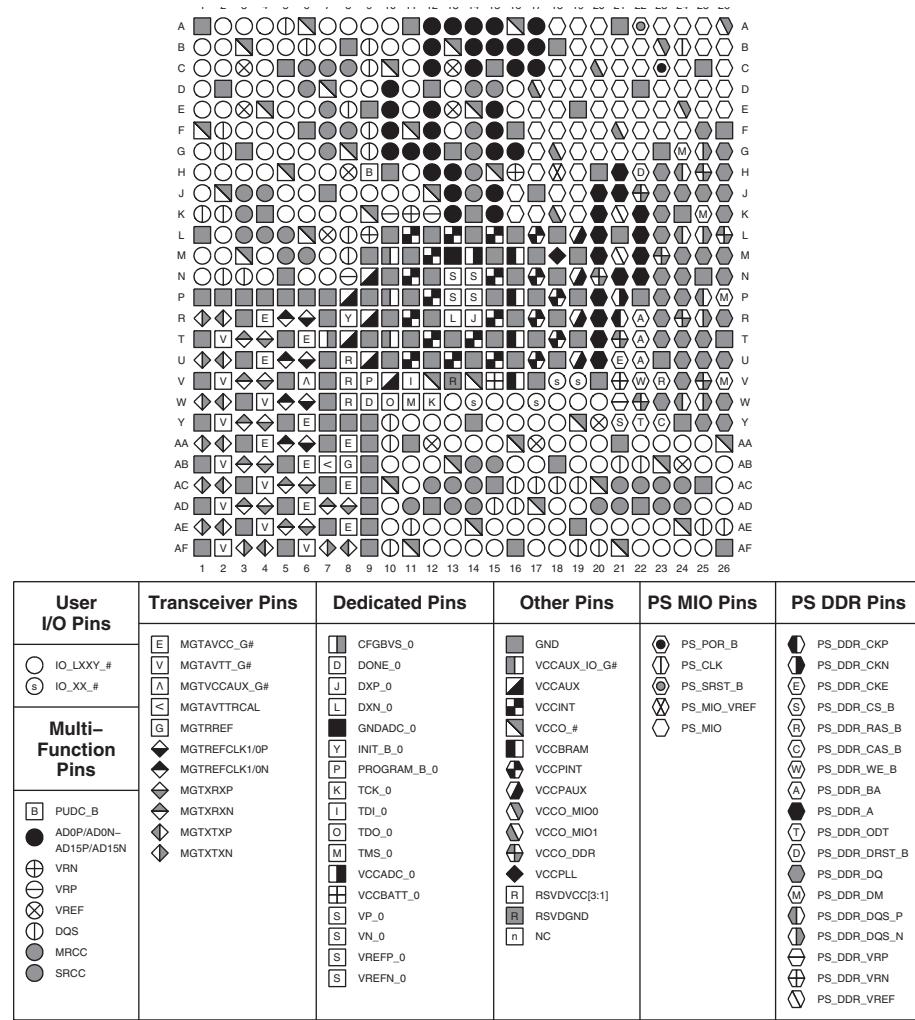


図 3-33 : FF676/FFG676 パッケージ – XC7Z045 ピン配置図

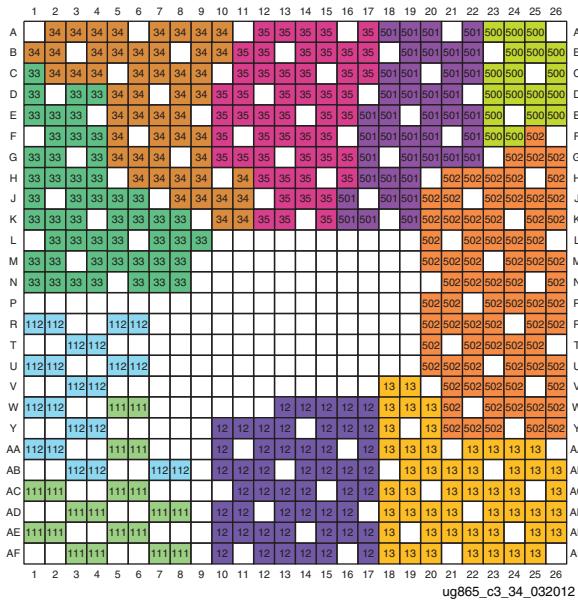


図 3-34 : FF676/FFG676 パッケージ – XC7Z045 I/O バンク

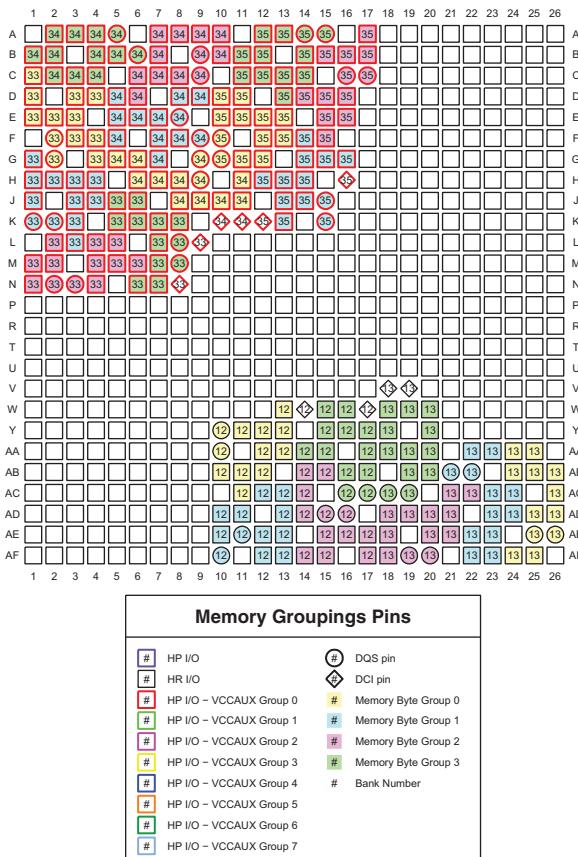
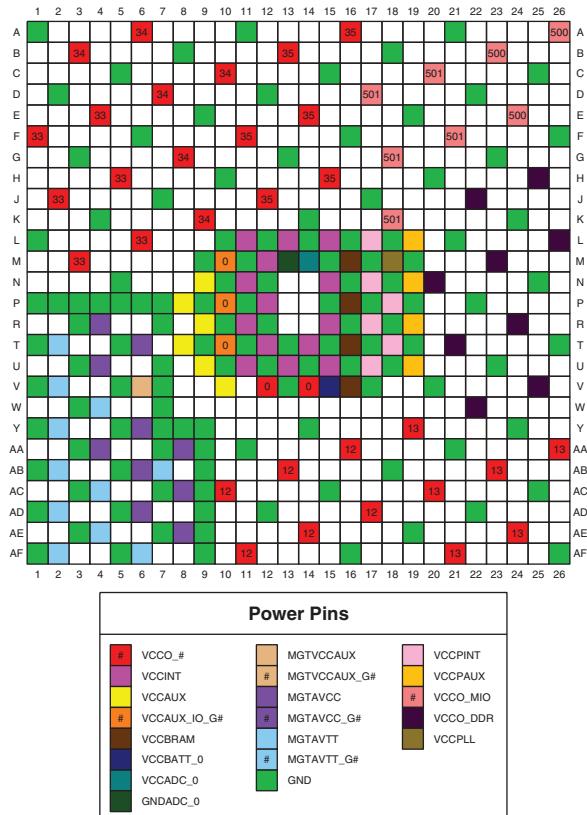


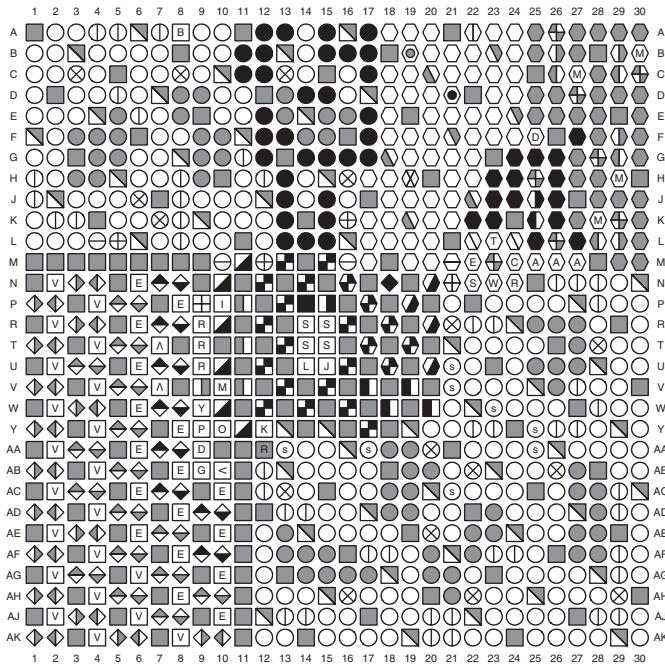
図 3-35 : FF676/FFG676 パッケージ – XC7Z045 メモリのグループ化



ug865_c3_36_032012

図 3-36 : FF676/FFG676 パッケージ – XC7Z045 電源および GND の配置

FF900/FFG900 パッケージ – XC7Z045



User I/O Pins	Transceiver Pins	Dedicated Pins	Other Pins	PS MIO Pins	PS DDR Pins
○ IO_LXXY_#	E MGTAVCC_G#	CFGBVS_0	GND	PS POR_B	PS DDR_CKP
○ IO_XX_#	V MGTAVTT_G#	D DONE_0	VCCAUX_IO_G#	PS CLK	PS DDR_CKN
	A MGTVCCAUX_G#	J DXP_0	VCCAUX	PS SRST_B	PS DDR_CKE
	< MGTAVITTRCAL	L DXN_0	VCCINT	PS MIO_VREF	PS DDR_CS_B
	G MGTREF	GNDADC_0	VCCO #	PS MIO	PS DDR_RAS_B
	◆ MGTREFCLK1/0P	Y INIT_B_0	VCCBRAM		PS DDR_CAS_B
	◆ MGTREFCLK1/0N	P PROGRAM_B_0	VCCPINT		PS DDR_WE_B
	◆ MGTXRXP	K TCK_0	VCCPAUX		PS DDR_BA
	◆ MGTXRXN	I TDI_0	VCCO_MIO0		PS DDR_A
	◆ MGTXXP	O TDO_0	VCCO_MIO1		PS DDR_ODT
	◆ MGTXTN	M TMS_0	VCCO_DDR		PS DDR_DRST_B
		■ VCCADC_0	VCCPLL		PS DDR_DQ
		■ VCCBATT_0	R RSVDVCC[3:1]		PS DDR_DM
		S VP_0	RSVDGND		PS DDR_DQS_P
		S VN_0			PS DDR_DQS_N
		S VREFP_0			PS DDR_VRP
		S VREFN_0	n NC		PS DDR_VRN
					PS DDR_VREF

ug865_c3_37_082212

図 3-37 : FF900/FFG900 パッケージ – XC7Z045 ピン配置図

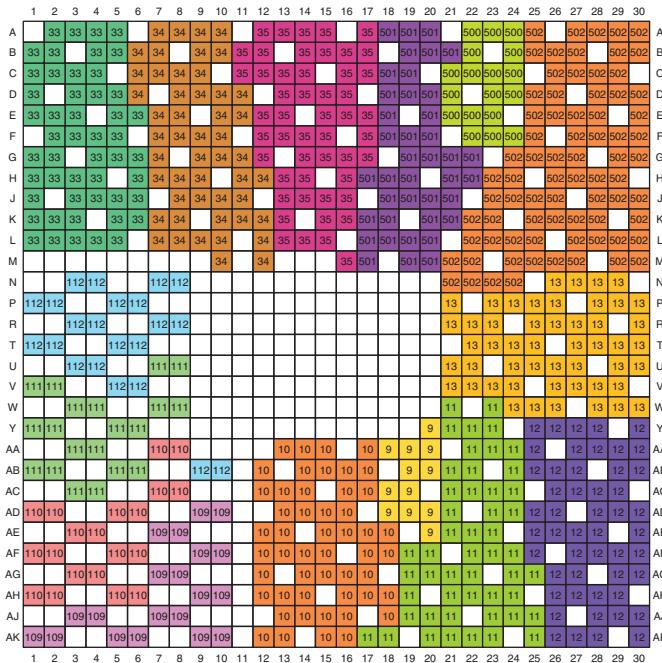
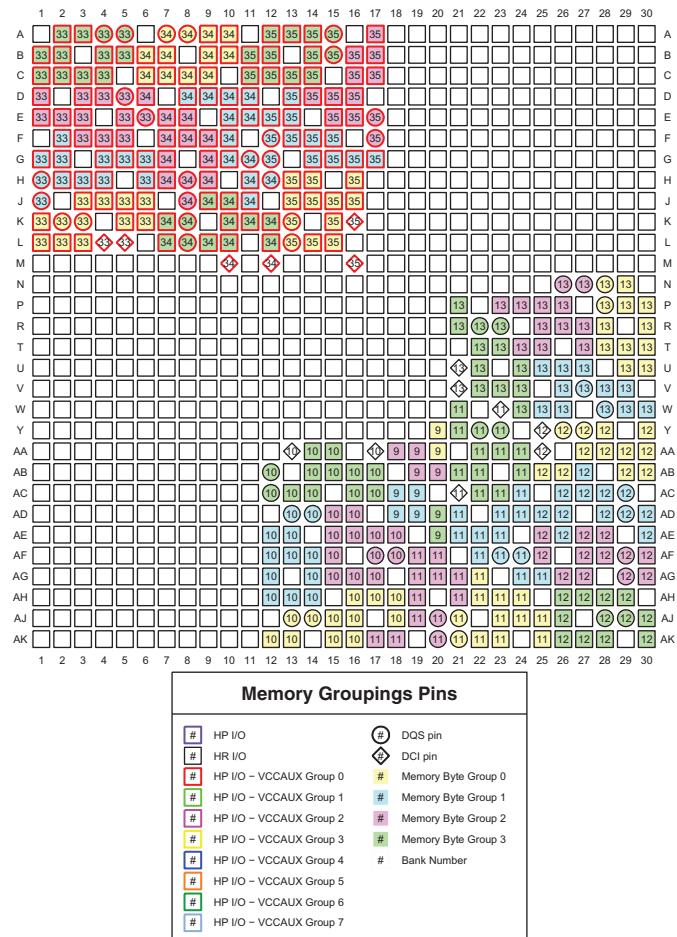
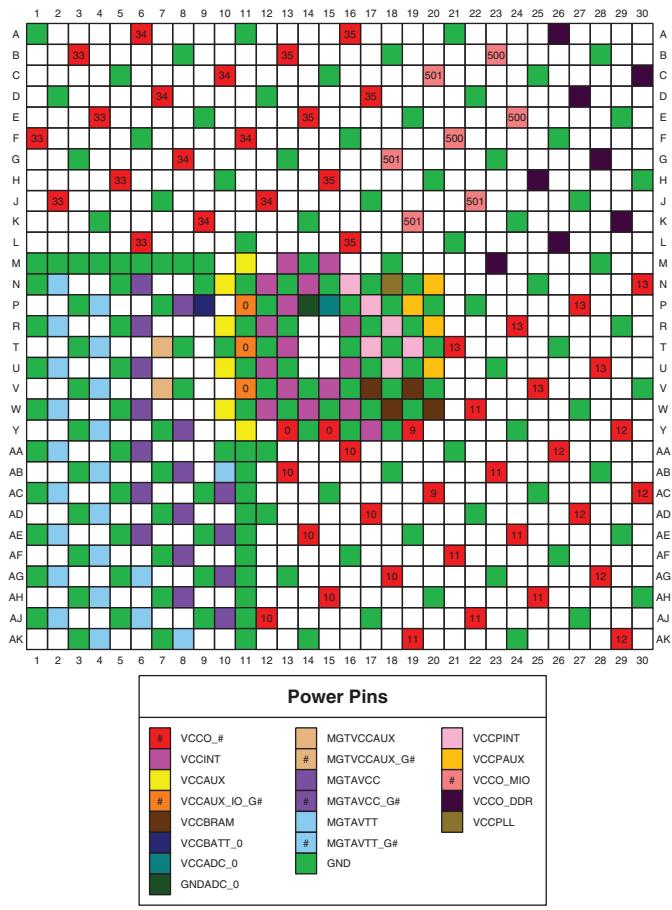


図 3-38 : FF900/FFG900 パッケージ – XC7Z045 I/O バンク



ug865_c3_39_032012

図 3-39 : FF900/FFG900 パッケージ – XC7Z045 メモリのグループ化



ug865_c3_40_032012

図 3-40 : FF900/FFG900 パッケージ – XC7Z045 電源および GND の配置

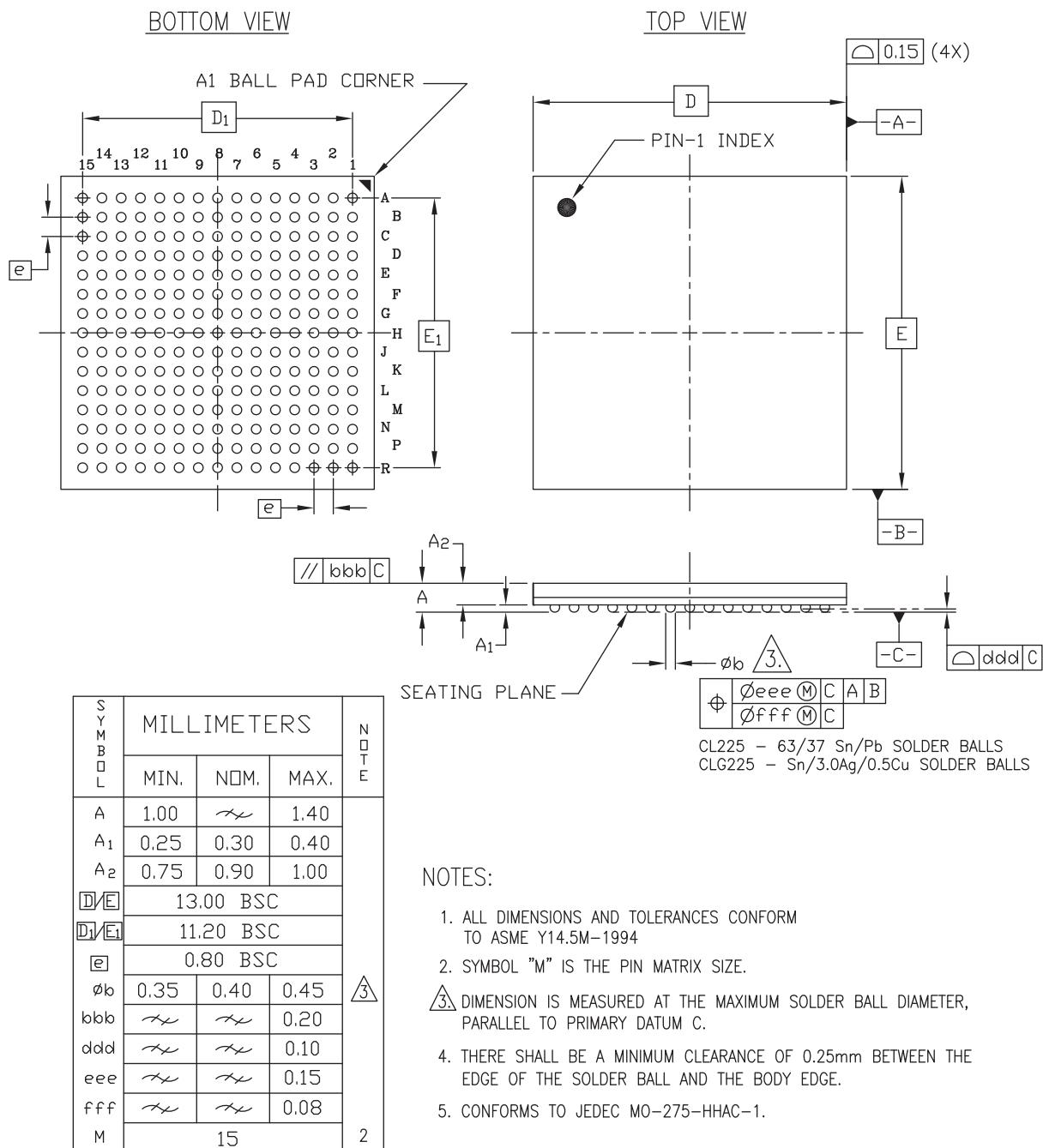
機械的図面

はじめに

この章では、次の Zynq-7000 AP SoC FPGA パッケージの機械的図面 (パッケージ仕様) を記載します。

- 53 ページの「CLG225 ワイヤーボンド チップスケール BGA (XC7Z010) (0.8mm ピッチ)」
- 54 ページの「CLG400 ワイヤーボンド チップスケール BGA (XC7Z010 および XC7Z020) (0.8mm ピッチ)」
- 55 ページの「CLG484 ワイヤーボンド チップスケール BGA (XC7Z020) (0.8mm ピッチ)」
- 56 ページの「FBG484 フリップチップリッドラス BGA (XC7Z030) (1.0mm ピッチ)」
- 57 ページの「FBG676 フリップチップリッドラス BGA (XC7Z030 および XC7Z045) (1.0mm ピッチ)」
 - 58 ページの「XC7Z045 FBG676 ダイの寸法 (キャパシタ エリアを表示)」
- 59 ページの「FFG676 フリップチップ BGA (XC7Z030 および XC7Z045) (1.0mm ピッチ)」
- 60 ページの「FFG900 フリップチップ BGA (XC7Z045) (1.0mm ピッチ)」

CLG225 ワイヤーボンド チップスケール BGA (XC7Z010) (0.8mm ピッチ)



ug865_c4_01_082212

図 4-1: XC7Z010 の CLG225 ワイヤーボンド チップスケール BGA パッケージの仕様

CLG400 ワイヤーボンド チップスケール BGA (XC7Z010 および XC7Z020) (0.8mm ピッチ)

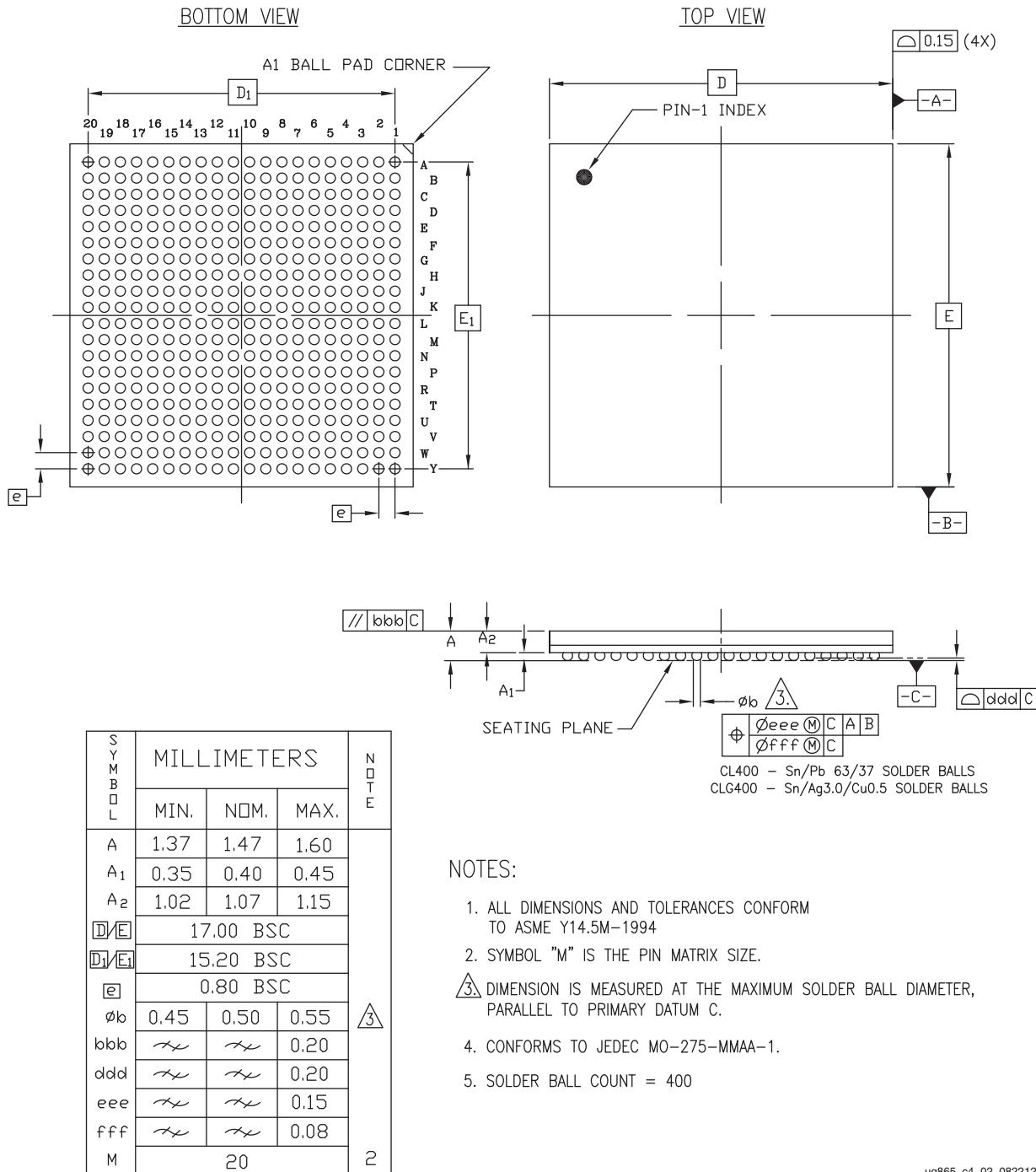


図 4-2 : XC7Z010 および XC7Z020 の CLG400 ワイヤーボンド チップスケール BGA パッケージの仕様

CLG484 ワイヤーボンド チップスケール BGA (XC7Z020) (0.8mm ピッチ)

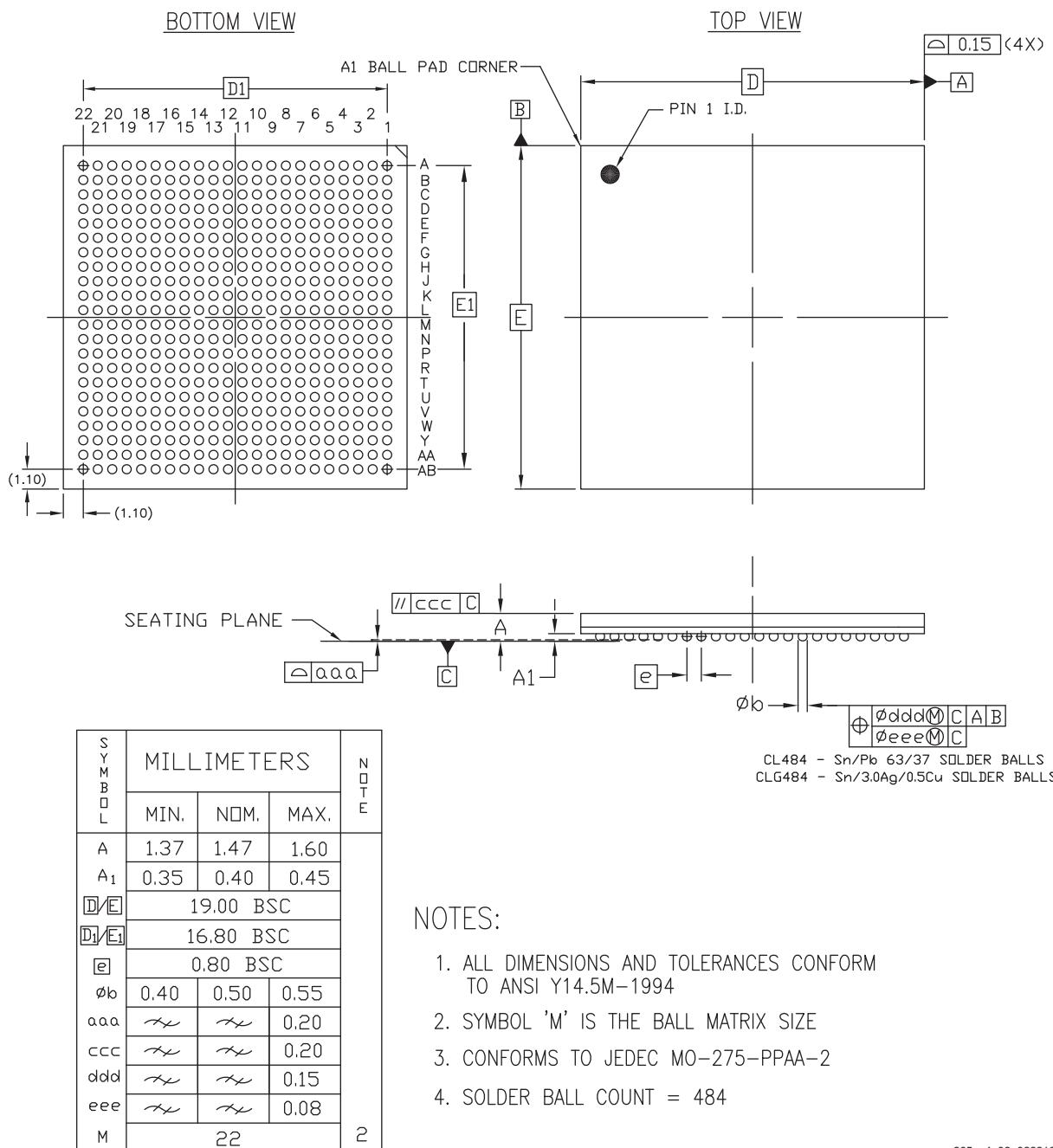


図 4-3 : XC7Z020 の CLG484 ワイヤーボンド チップスケール BGA パッケージの仕様

FBG484 フリップチップ リッドレス BGA (XC7Z030) (1.0mm ピッチ)

注記：これらの Zynq-7000 AP SoC デバイス用の図は現在作成中です。

FBG676 フリップチップ リッドレス BGA (XC7Z030 および XC7Z045) (1.0mm ピッチ)

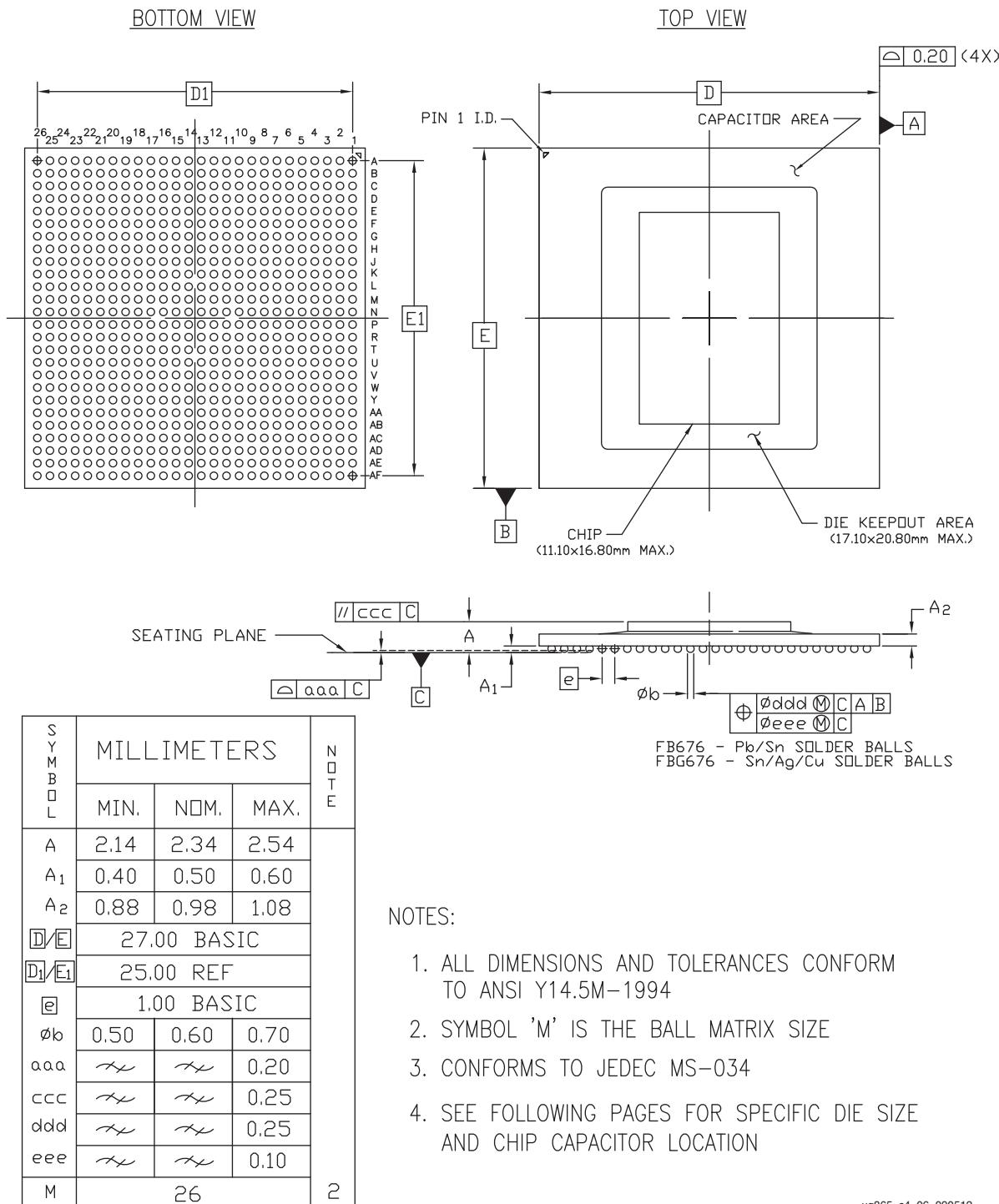


図 4-4 : XC7Z030 および XC7Z045 の FBG676 フリップチップ BGA パッケージの仕様

注記：これらの Zynq-7000 AP SoC デバイスの一部の図は現在作成中です。

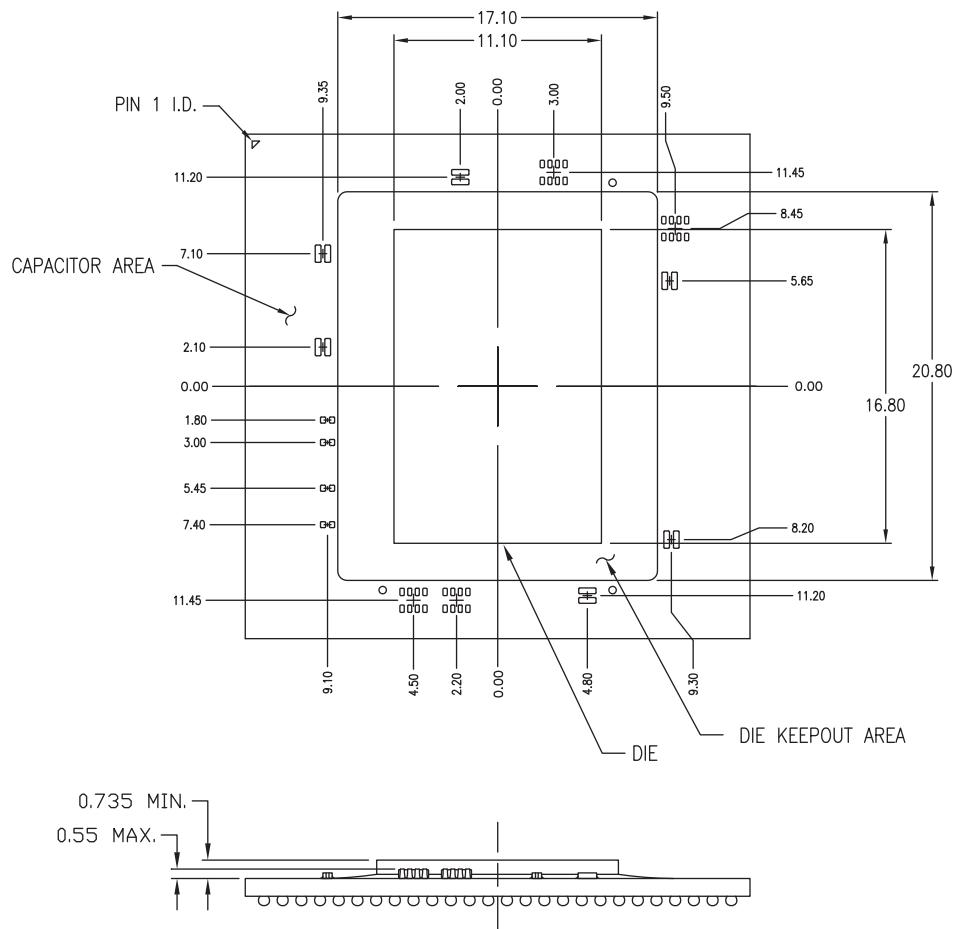
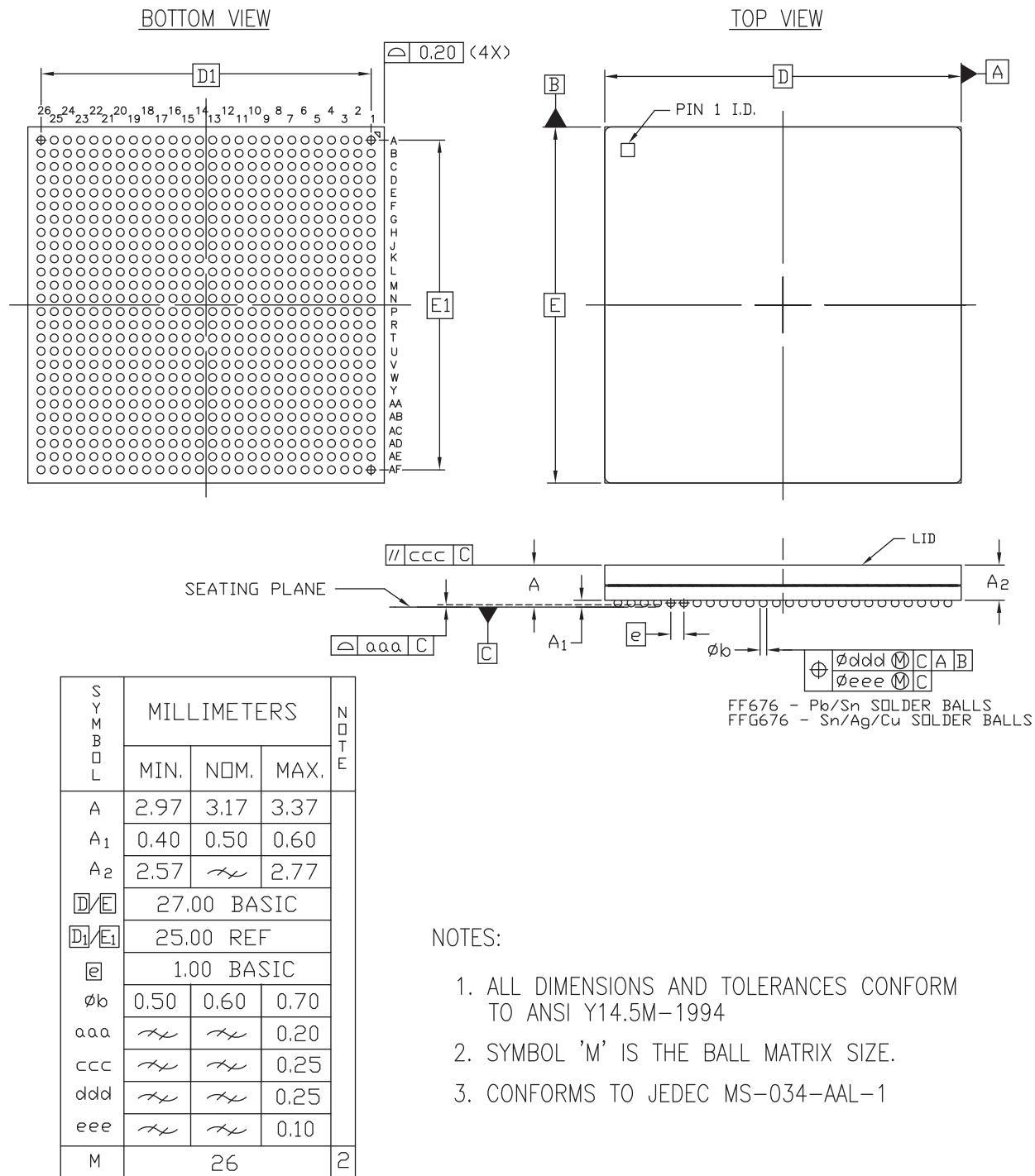


図 4-5 : XC7Z045 FBG676 ダイの寸法 (キャパシタ エリアを表示)

FFG676 フリップチップ BGA (XC7Z030 および XC7Z045) (1.0mm ピッチ)

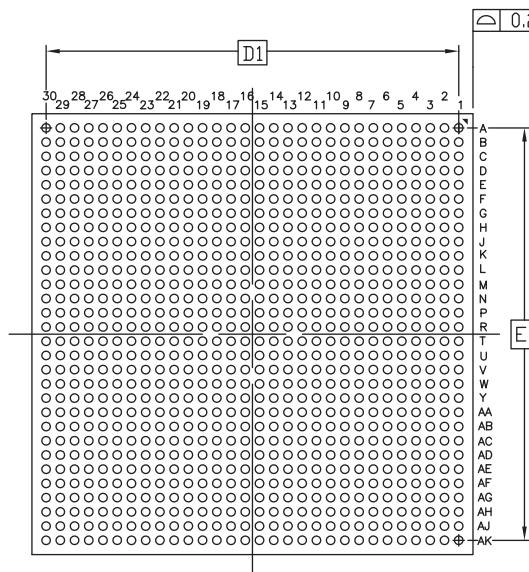


ug865_c4_09_082212

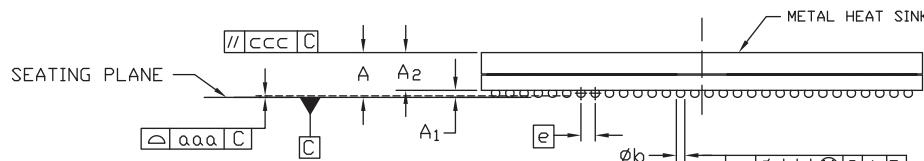
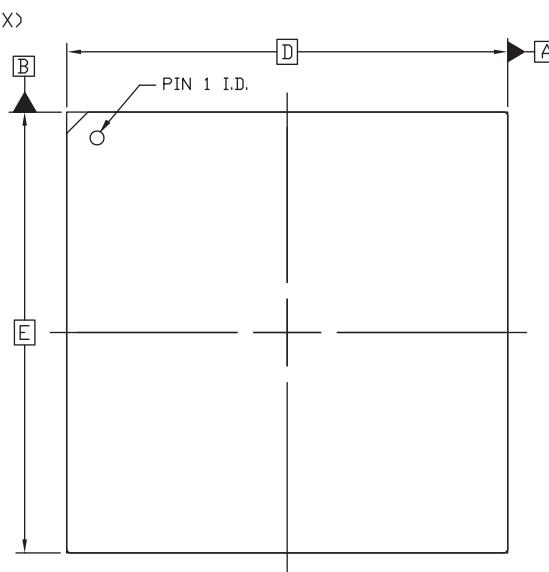
図 4-6 : XC7Z030 および XC7Z045 の FFG676 フリップチップ BGA パッケージの仕様

FFG900 フリップチップ BGA (XC7Z045) (1.0mm ピッチ)

BOTTOM VIEW



TOP VIEW



FF900 - Pb/Sn SOLDER BALLS
FFG900 - Sn/Ag/Cu SOLDER BALLS

S Y M B D L	MILLIMETERS			N O T E
	MIN.	NOM.	MAX.	
A	2.95	3.15	3.35	
A ₁	0.40	0.50	0.60	
A ₂	2.55	2.75		
D/E	31.00 BASIC			
D ₁ /E ₁	29.00 REF			
e	1.00 BASIC			
øb	0.50	0.60	0.70	
aaa	2.55	2.75	2.95	
ccc	2.55	2.75	2.95	
ddd	2.55	2.75	2.95	
eee	2.55	2.75	2.95	
M	30			
				4
				2

NOTES:

1. ALL DIMENSIONS AND TOLERANCES CONFORM TO ANSI Y14.5M-1994
2. SYMBOL 'M' IS THE BALL MATRIX SIZE
3. CONFORMS TO JEDEC MS-034-AAN-1
4. ACTUAL SOLDER BALL COUNT = 900

ug865_c4_10_082212

図 4-7 : XC7Z045 の FFG900 フリップチップ BGA パッケージの仕様

温度仕様

はじめに

この章では、Zynq-7000 AP SoC パッケージに関する熱データについて説明します。次のトピックについて説明します。

- ・「概要」
- ・「熱管理ストラテジ」
- ・「熱管理の方法」
- ・「CTM (コンパクト熱モデル) のサポート」
- ・「第 5 章の参考資料」

概要

Zynq-7000 AP SoC デバイスは、熱効率の良いワイヤーボンドおよびフリップチップ BGA パッケージで提供されています。これらの 0.8mm および 1.0mm ピッチのパッケージは、ピン数に幅があり、小型のもので 13 x 13mm CLG225 から 31 x 31mm FFG900 までさまざまです。Zynq-7000 AP SoC デバイスでは、これらのパッケージで多様な電源要件に対応します。Zynq-7000 AP SoC デバイスはすべて 28nm プロセス テクノロジで実装されています。

7 シリーズ FPGA と同様に、Zynq-7000 AP SoC デバイスはいずれも、さまざまな I/O 規格をサポートする SelectIO™ リソースを豊富に備えています。また、アナログ-デジタル コンバーター (XADC)、DSP および以前のザイリンクス 製品にも搭載されているその他の機能やブロック (ブロック RAM など) も含まれています。

ムーアの法則によると、このデバイス ファミリのトランジスタ数は相当豊富と言えます。この製品ではシリコン レベルで革新的な機能が採用され、28nm ノードにおけるリーク電流など、電力損失が最小限に抑えられていますが、その上、トランジスタの集積度を上げ、ブロックをさらに密集しています。このため、ロジック インターコネクトの動作速度を活かし、複数の内蔵回路とシステムを組み込んでコンフィギュレーションされた Zynq-7000 AP SoC デザインでは、消費電力の管理が課題となる場合があります。

ASIC や ASSP の機能とは異なり、ユーザー アプリケーションで使用されるデバイス機能の組み合わせはコンポーネント サプライヤーでは把握ていません。したがって、ザイリンクスにとって、製品が出荷される時点でデバイスの電源要件を予測するのは非常に困難です。正確な予測値は、ボードのデザインが具体化した時点で算出されます。ザイリンクスでは、デザインの電源要件を迅速かつ正確に予測できるように消費電力解析ツールを提供し、サポートしています。このツールでは、従来のザイリンクス 製品同様に Zynq-7000 AP SoC デバイスがサポートされます。デザインの電源要件は不確定であり、すべてのユーザーに合うような既製の熱ソリューションを適用することは難しいことです。したがって、ザイリンクス デバイスには調整済みの熱ソリューションは用意されていません。適切なソリューションは、ユーザー アプリケーションの動作条件から決定されます。

表 5-1 に、Zynq-7000 AP SoC デバイスの熱抵抗データをパッケージ別に示します。これには、JEDEC 準拠の 4 層基板での測定法に基づいて算出された、空気抵抗なしのジャンクションと周囲間、ジャンクションとケース間、およびジャンクションとボード間の熱データが含まれます。

- 熱データは、ザイリンクスのウェブサイトより入手できます。

<http://japan.xilinx.com/cgi-bin/thermal/thermal.pl>

- これらの製品の CTM (コンパクト熱モデル) は、ザイリンクスのダウンロード センターから入手できます ([デバイス モデル] タブ)。

<http://japan.xilinx.com/support/download/index.htm>

表 5-1: 热抵抗データ – Zynq-7000 AP SoC デバイス

パッケージ	パッケージ 本体サイズ	デバイス	q_{JA} (°C/W)	q_{JB} (°C/W)	q_{JC} (°C/W)	θ_{JA} (°C/W) @ 250 LFM	θ_{JA} (°C/W) @ 500 LFM	θ_{JA} (°C/W) @ 750 LFM
CLG225	13 x 13	XC7Z010						
CLG400	17 x 17	XC7Z010	20.3	8.4	5.55	15.8	14.6	14.0
		XC7Z020	17.8	6.4	4.11	14.0	12.6	11.9
CLG484	19 x 19	XC7Z020	17.2	6.6	3.92	13.3	12.2	11.5
FBG484	23 x 23	XC7Z030	14.3	5.4	0.10	11.0	9.9	9.4
FBG676	27 x 27	XC7Z030	14.2	6.2	0.10	10.9	9.9	9.3
		XC7Z045	12.2	5.2	0.05	9.5	8.5	8.0
FFG676	27 x 27	XC7Z030	10.9	4.1	0.43	7.6	6.6	5.9
		XC7Z045	9.6	3.7	0.25	7.2	6.2	5.6
FFG900	31 x 31	XC7Z045	8.3	2.7	0.27	6.5	5.6	5.2

熱管理ストラテジ

このセクションで説明したとおり、ザイリンクスでは Zynq-7000 AP SoC デバイスを使用するシステムの熱放射を抑えるためにあらゆる方面からのアプローチを行っています。

デザインおよびシリコン

28nm ノードの Zynq-7000 AP SoC デバイスを使用する場合の消費電力削減は、革新的なプロセス テクノロジと回路設計によって対応できます。たとえば、低消費電力 Zynq-7000 AP SoC アーキテクチャにマルチゲート酸化膜トランジスタを導入することで、トランジスタの静的リーク電流を 50% 以上低減します。

このような改善が見られ、動作電圧が低減されていますが、基本となるトランジスタ数は増加しています (Zynq-7000 AP SoC デバイスはゲート集積度が高い)。それでも、以前のシリコン世代と比べた場合、Zynq-7000 AP SoC プログラマブル ロジックでのインプリメンテーションの方が低電力となります。

ゲート密度が高くなり、ファブリックでのスイッチングが高速化したことに関連したリソースおよび機能の増加は、より短い遅延でさらに多くの計算が可能になったことを示します。また、機能改善に伴い、シリコンやデバイスを駆使した電力損失の軽減も見込まれます。

キャビティアップ プラスチック BGA パッケージ

BGA は、パッケージの底面にあるアレイはんだボールを活用してユーザー システムの回路基板との電気的接続を行うプラスチック パッケージ技術です。リード パッケージ製品と比較すると、はんだボールがアレイ状に配列されているため、パッケージ サイズが大幅に縮小します。また、電気特性が向上し、製造歩留りも高くなります。基板の材質は、複層 BT (Bismaleimide Triazene) エポキシベースとなっています。電源およびグランド ピンが共にグループ化され、信号ピンはボードへの配線の容易さを目的として周囲に割り当てられています。パッケージは、ダイを上にした形で提供され、モールド コンパウンドで覆われたワイヤボンド デバイスが備えられています。図 5-1 の断面図に示すように、BGA パッケージは、シングル コアの PC ボード上にワイヤボンドされたダイが装着され、モールド処理されています。

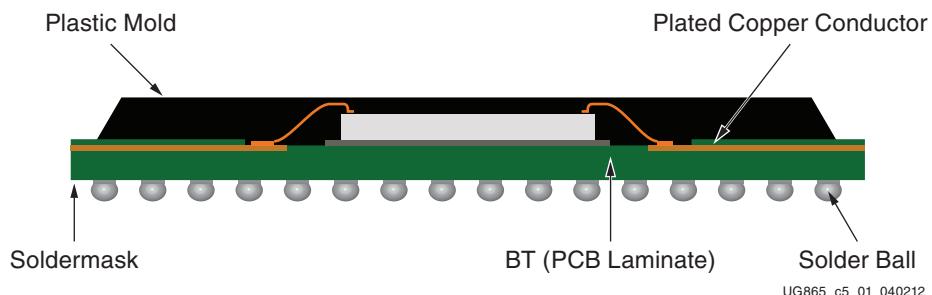


図 5-1: キャビティアップ ボールグリッド アレイ パッケージ

キャビティアップ BGA パッケージの主な特長/利点

- 低プロファイル温度および小規模フットプリント
- 熱特性の向上
- ボード レベルの信頼性が高い

ワイヤーボンド パッケージ

ワイヤーボンド パッケージは、性能を向上させながら小型化を実現させたいという要求に応えます。このパッケージは、ボード スペースが最優先事項で、小型化が求められ、電力の消費/浪費を低く抑えたい携帯用製品や民生品への適用をターゲットとしています。Zynq-7000 AP SoC ワイヤーボンド パッケージでは、ボードエリアを大幅に縮小できます。ザイリンクスのワイヤーボンド パッケージは、リジッド BT ベース基板です(図 5-2 参照)。

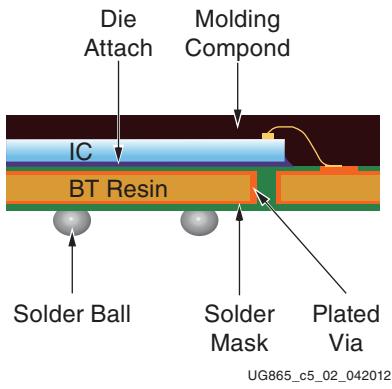


図 5-2: リジッド BT ベース基板ワイヤーボンド パッケージ

ワイヤーボンド パッケージの主な特長/利点は次のとおりです。

- ・ 携帯およびワイヤレス デザイン、PC アドイン カードなどのアプリケーションに対応するようボード エリアが大幅に縮小された超小型フォームファクタ
- ・ より低いインダクタンスおよび容量
- ・ ほかの小規模パッケージで使用される薄く、壊れやすいリードが不要
- ・ 非常に薄く、軽量のパッケージ

フリップチップ パッケージ

大規模 Zynq-7000 AP SoC デバイスは、最小となる熱抵抗のパスを提示するフリップチップ BGA パッケージで提供されています。これらのパッケージには、図 5-3 に示すように、熱伝導材料(サーマル インターフェイス マテリアル (TIM))を使用したヒート スプレッダが組み込まれています。

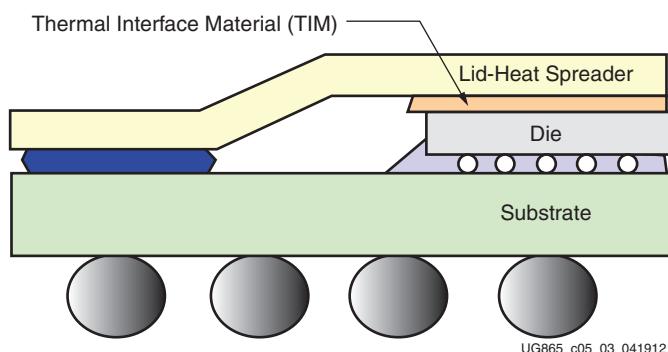


図 5-3: ヒート スプレッダと熱インターフェイス材料

熱伝導性が高い材料と一貫性のあるプロセス アプリケーションでは、ヒート スプレッダまでの熱抵抗が低くなります。すべての Zynq-7000 AP SoC パッケージのジャンクションとケース間の熱抵抗(ヒート スプレッダ上部)は、通常

0.20°C/W 未満です。このようなパッケージでは、ヒートシンク アプリケーションに低抵抗のプラットフォームが実現されます。

同時に、パッケージの電流リターン パスの確実な最適化に取り組むことで、電源とグランド プレーンの配置が改善されるという利点ももたらされました。プレーンの銅密度の増加により、積層板を介する熱伝導率全体が向上します。また、一層高い密度で、かつ分散させてパッケージに配置されたビア領域によって垂直方向の熱伝導率が高まります。このパッケージの θ_{JB} は、前世代のフリップチップ パッケージと比較して、最大で 20% 低くなります。

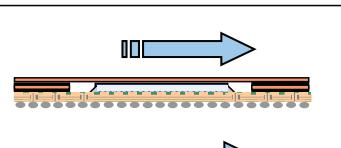
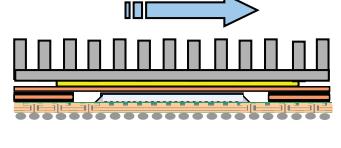
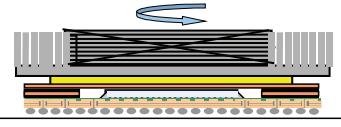
システム レベルにおけるヒートシンク ソリューション

熱管理ストラテジの第 3 の取り組みとして、システムの物理的、機械的な制約に応じて、カスタムまたは OEM のヒートシンク ソリューションを用いて全体的な熱バジェットを維持することが挙げられます。ヒートシンク ソリューションは、システム レベル設計者に任せられ、設計者はデバイスには熱を表面に伝播する本質を十分に理解した上で、システムの制約に応じてデザインとソリューションを調整します。このような θ_{JB} が低いフリップチップ プラットフォームにもヒートシンク ソリューションがいくつかあり、効率的に熱を拡散させることができます。

Zynq-7000 AP SoC で使用されるパッケージは、電力処理能力に基づいて中～高性能のパッケージに分類できます。すべての Zynq-7000 AP SoC パッケージでは、シンプルなエアフローを利用したり、パッシブヒートシンクまたはアクティブヒートシンクを使用するなどして熱特性を向上させることができます。これは、大型のフリップチップ BGA パッケージほど重要で、システムおよび物理的な制約を考慮した 25W を超える電力にも対応するよう、より大型で精巧なヒートシンクを備えたパッケージへの拡張が可能です。

熱管理の方法

図 5-4 のフリップチップでの熱管理の表に、フリップチップ BGA パッケージに適用できる電力管理の方法を簡潔かつ段階別に示します。

Low End 1–6W	Bare package with moderate air 8–12°C/W	Bare package Package can be used with moderate airflow within a system	  
Mid Range 4–10W	Passive heat sink plus air 5–10°C/W	Package used with various forms of passive heat sinks Heat spreader techniques	
High End 8–25W	Active heat sink 2–3°C/W or Better	Package used with active heat sinks TEC and board level heat spreader techniques	

UG865_c5_04_042012

図 5-4: フリップチップ BGA パッケージの熱管理の方法

- 中程度の消費電力 (6W 未満) の場合、パッシブヒートシンクおよびヒートスプレッダを熱伝導性の両面テープまたはリテナー (TIM は 0.2°C/W 程度) で装着すると、フリップチップ BGA パッケージの熱効率が向上します。
- 消費電力が 10 ~ 25W までの大型パッケージの場合には、軽量でフィン付きのパッシブヒートシンクの外付けが効率的です。外部ヒートシンクはサイズが大きくなるほど効果が高くなる傾向があるため、ヒートシンクの圧力によってコンポーネント結合部がクラックしないように配慮した設計を行う必要があります。大規模ヒートシンクを設計する場合には、ばねで留められたピンやクリップを使用して、回路ボードにかかる実装圧力を軽減することを推奨します。

- Zynq-7000 AP SoC のフリップチップ BGA パッケージは、熱特性向上させた BGA で、ダイ表面を下向きにして装着します (Note 参照)。このパッケージの上部には、金属のヒートシンクがあります。これらのハイエンドな熱パッケージは、アクティブまたはパッシブヒートシンクを外部に取り付けることで、さらに効果的に放熱できます。大規模ヒートシンクを接続する場合には、コンポーネントが損傷しないよう考慮する必要があります。熱インターフェイス抵抗は、これらのパッケージの機能を最大限に活用するように制御してください。

注記：リッドレス (FB) パッケージでは熱効率の改善は行われていません。リッドレスパッケージにヒートシンクを適用する場合のガイドラインは、付録 B 「リッドレスフリップチップパッケージ用ヒートシンクのガイドライン」を参照してください。

- アクティブヒートシンクには、小型のファンを組み込んだシンプルなものから、ファン付きのペルチェ冷却装置 (TEC) を使用して発生した熱を逃がすものまであります。TEC を逆さまに装着するとコンポーネントの破壊を招く可能性があるため、熱管理に TEC を使用する際は、デバイスの専門家に相談してください。また、結露が問題となることもあります。
- 熱特性は、パッケージを実装するボードにも大きく左右される可能性があります。発生した熱の 60 ~ 80% 程度が BGA ボールを通ってボードに伝わります。通常、システムボードは JEDEC 準拠の標準的な 4 x 4 の熱ボードより大きいものです。複数の銅層を持つボードに実装されたコンポーネントおよび内部ビアにより、ジャンクションと周囲間の熱抵抗が低下します。

表 5-2 に、一般的なフリップチップパッケージを例に、ジャンクションと周囲間の熱抵抗が、実装するボードによって変わることを示します。

表 5-2: 搭載されたボードの特性 (θ_{JA}) への影響

		ボード サイズ別の θ_{JA} (°C/W)		
		4 x 4 in	10 x 10 in	20 x 20 in
実装ボードの層の数	4	9.1 ⁽¹⁾	8.3	—
	8	8.0	5.5	4.9
	12	7.5	4.7	4.4
	16	7.2	4.5	4.2
	24	—	4.3	4.0

注記：

- Base JEDEC 実装条件に準拠します。
- ボードの放熱性を活かすようなボード設計も可能です。ボードが生む効果は、ボードの大小と熱伝導率によって異なります。ボードのサイズ、銅トレースの階層、内部の銅プレーン数は、すべてそのボードに実装するパッケージのジャンクションと周囲の間の熱抵抗を低下させます。Zynq-7000 AP SoC パッケージのコールド リングジャンクションとボード間の熱データは表 5-1 に示しています。ただし、デバイスからボードへの伝熱パスが存在するということは、デバイスがボード上のほかの熱源の影響を受けるということに留意してください。特に、ボードが効果的に冷却されていない場合には、ほかのコンポーネントが熱源となってボードに熱を与える場合があるため注意が必要です。

CTM (コンパクト熱モデル) のサポート

表 5-1 に、Zynq-7000 AP SoC デバイスの熱抵抗データを示します。これらのデータは、JEDEC 規格に従って計測されていますが、実際のユーザー環境やボード特性を反映しているものではありません。 θ_{JA} および θ_{JC} の値は環境に依存し、JEDEC 規格は従来より基準値としての使用が推奨されています。より正確なジャンクション温度を見積もるには、システム レベルでの熱シミュレーションを必要とする場合があります。

ザイリンクスでは、これらのデータ値を今後もサポートする予定ですが、Zynq-7000 AP SoC デバイスでは、BCI-CTM (Boundary Conditions Independent Compact Thermal Models) を使用した熱シミュレーションもサポートしています。

すべての Zynq-7000 AP SoC デバイスには、8 ~ 10 個の抵抗を使用したネットワーク モデルおよび 2 つの抵抗モデルが提供されています。これらのコンパクト モデルによって、簡略化されたノード セットで、予測クリティカル ポイント (ジャンクション、ケース、上部、リードなど) におけるパッケージの熱動作をより正確に観察できます (図 5-5 参照)。

フル 3-D モデルとは異なり、これらは計算機能に優れ、統合システムのシミュレーション 環境に適応しています。デルファイ方式の CTM モデルは、次のザイリンクス ダウンロード センターから入手できます ([デバイス モデル] タブ)。

<http://japan.xilinx.com/support/download/index.htm>

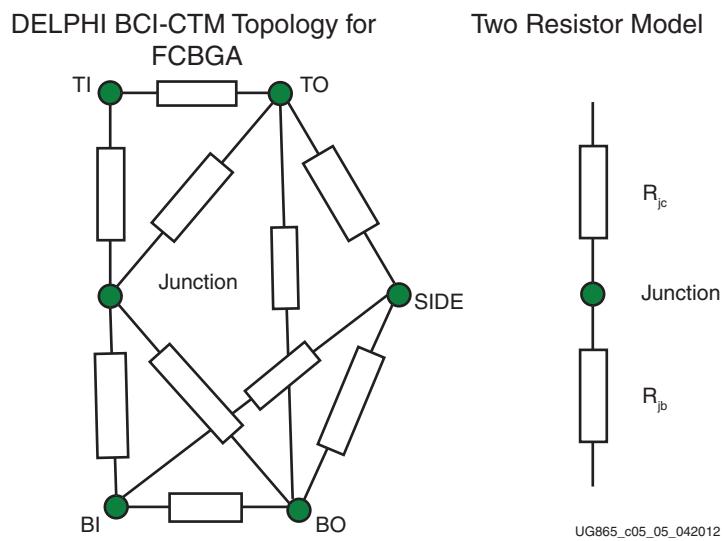


図 5-5: 热モデルのトポロジ

ザイリンクスの CTM モデルは、デルファイ方式に基づいて JEDEC が提案したものです。JEDEC によるニュートラル (XML) 形式はまだ適用されていないため、このファイル形式ではなく、デルファイ方式を使用してファイルを生成し、ターゲット CFD ツールの対応ファイル形式でオリジナルデータを保存しています。CTM ライブラリは Flotherm (PDML) 形式で提供されており、V5.1 以降、Icepack (バージョン 4.2 以降) 形式に対応しています。

はんだ付けガイドライン

表面実装部品の使用および管理に関しては、はんだリフロー プロセスの動力学およびそのプロセスの各段階と最終結果の関連性について十分に理解する必要があります。

注記 :ザイリンクスは、パッケージ サンプルを使用してカスタム PCB アセンブリ プロセスの適性を得ることを推奨しています。推奨されるアセンブリ手順の詳細は、『デバイス パッケージ ユーザー ガイド』([UG112](#)) を参照してください。

リフロー プロセスには、主に次の段階があります。

- はんだ粒子をペースト状に融解する
- 結合する表面に塗布する
- はんだを凝固させてしっかりと金属を結合させる

鉛フリーのはんだ付けの場合、手順は同じですが、高いリフロー 温度が適用されます。プラスチック表面実装コンポーネント (PSMC) 本体の最大リフロー 温度は、標準パッケージでは 220°C 以下、鉛フリー パッケージでは 245 ~ 260°C 以下 (パッケージ サイズによって異なる) で、これらの温度を超えてはいけません。1 つのボード上に複数の

BGA がある場合、周囲コンポーネントが異なるため、ザイリンクスではすべての BGA 位置で変動温度を確認することを推奨しています。

赤外線リフロー (IR) プロセスは、装置やローディングに強く依存します。温度抑制が十分でない場合、コンポーネントがオーバーヒートします。不平衡なローディングは、ボード上に大きな温度変化をもたらす可能性があります。これらのガイドラインは、ユーザーによってコンポーネントが破損されないようにすることを目的としたものです。実際の温度プロファイルについては、これらのガイドラインを使用するユーザーが作成する必要があります。パッケージの湿度/リフローの分類およびパッケージのリフロー条件は、「Joint IPC/JEDEC 規格 J-STD-020C」を参照してください。

Sn/Pb のリフローはんだ付け

図 5-6 に、IR/対流を使用する Sn/Pb はんだ付けのリフロー プロセスにおける一般的な条件を示します。BGA アセンブリには、IR 方式と熱対流式のはんだ付け装置が使用されます。PSMC の湿度感度は、表面実装フローを行う前に検証しておく必要があります。

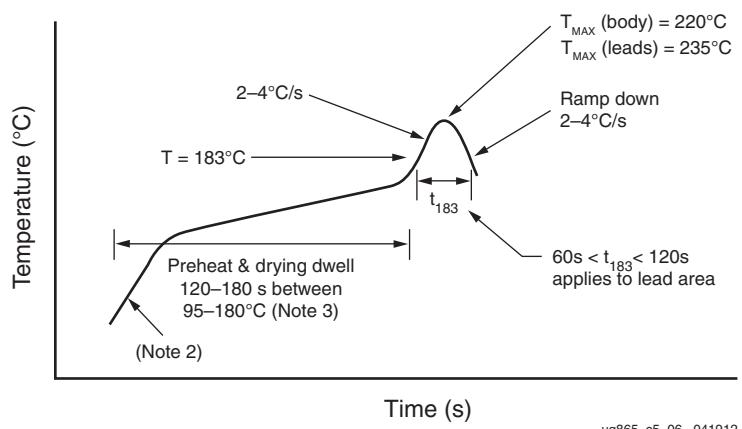


図 5-6 : Sn/Pb はんだ付けの IR リフローの一般的な条件

図 5-6 に関する備考

- 最大温度範囲 = 220°C (本体)、最低温度範囲 = 205°C 未満 (リード/ボール)
- 予熱乾燥の温度上昇速度 2 ~ 4°C/秒
- 予熱温度と維持時間 120 ~ 180 秒で 95 ~ 180°C
- IR リフローは必ずドライパッケージで実行

鉛フリーのリフローはんだ付け

ザイリンクスは、BGA パッケージ用に SnAgCu はんだボールを使用します。さらに、鉛フリーのはんだ付けプロセスで必要とされる高いリフロー温度 (245°C ~ 260°C) に適したマテリアルを使用します。

ザイリンクスでは、Sn/Pb はんだ付けプロセスを使用する SnPb はんだによる BGA パッケージ接合を推奨していません。従来の Sn/Pb はんだ付けプロセスのピーク リフロー温度は 220°C です。この温度範囲では、SnAgCu BGA はんだボールが適切に溶解されず、はんだ付け表面の濡れ性が十分ではありません。その結果、信頼性やアセンブリのイールドが低下します。

最適なリフロー温度プロファイルの実現には、使用するはんだペースト/フラックス、ボード サイズ、ボード上のコンポーネント密度、大規模コンポーネントと小規模で軽量コンポーネントの混合などを考慮する必要があります。温度プロファイルは、コンポーネント上の複数箇所にサーモカップルを使用しているすべての新しいボード デザインに対して作成する必要があります。大規模なコンポーネントをリフローするために最小リフロー温度まで確実に

達成すると同時に、熱に弱い小規模コンポーネントを損傷する可能性がある温度しきい値を超えないように注意が必要です。

表 5-3 および図 5-7 に、鉛フリーのはんだ付けフローのガイドラインを示します。

一般に、鉛フリー パッケージ用の最適化リフロープロファイルは、図 5-7 に示すようになだらかな傾斜となります。このプロファイルは、傾斜にくぼみが見られる従来の Sn/Pb システムのプロファイルよりも、濡れ性が向上し、熱ショックも減少しています。SnAgCu 合金は、235 °C で完全に液化します。プロファイルの際には、温度が最低であると考えられるはんだ接合部の位置を特定し、これらの位置において、235 °C の最低ピーク温度が最低 10 秒間維持されていることを確認してください。必ずしも 260 °C のピーク温度またはそれ以上に上昇させる必要はありません。260 °C またはそれ以上に高い温度でリフローすることは、熱に対して敏感なコンポーネントに損傷を与え、ボードに反りを起こす可能性があります。コンポーネント本体で許容可能なピーク温度については、最新の J-STD-20 規格を参照してください。この温度は、コンポーネントのサイズによって決定されます。各パッケージのピークリフロー温度については、表 5-3 を参照してください。いかなる場合においても、ピーク温度が最低となっているリフロー プロファイルを使用しなければなりません。

表 5-3: 鉛フリーのはんだ付けガイドライン

プロファイル	対流型、IR/対流型
温度上昇速度	3°C/秒 (最大)
予熱温度 150°~ 200°C	60 ~ 120 秒
217°C 以上に維持する時間	60 ~ 150 秒 (標準は 60 ~ 90 秒)
ピーク温度から 5°C 以内の時間	30 秒 (最大)
ピーク温度 (リード/ポール)	235°C (最小)、245°C (標準) (はんだペースト、ボード サイズ、コンポーネント混合物に依存)
最大温度 (本体)	245°C ~ 260°C、パッケージの本体規模に依存 (データシート参照)
温度下降速度	6°C/秒 (最大)
25°C からピーク温度までの時間	3.5 分 (最短)、5.0 分 (標準)、8 分 (最長)

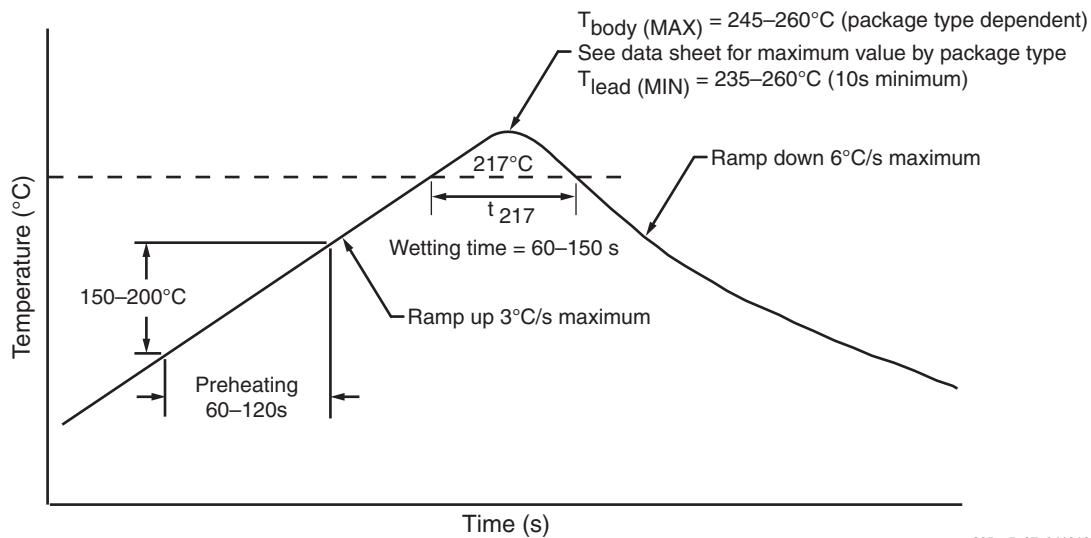


図 5-7: 鉛フリーのはんだ付けプロセスにおける一般的な条件

表 5-4: ザイリンクスの鉛フリー パッケージにおける本体の最大リフロー温度 (J-STD-020 規格に準拠)

パッケージ	パッケージのリフロー最大温度 (本体)	JEDEC 水分敏感度 (MSL)
BGA		
フリップチップ	FBG484 FBG676 FFG676 FFG900	注記 1 3
ワイヤーボンド	CLG225 CLG400 CLG484	注記 1 3

注記 :

1. 各 Zynq-7000 AP SoC デバイスのデータシート (http://japan.xilinx.com/support/documentation/zynq-7000_data_sheets.htm) を参照してください。

大小のコンポーネントが混在した高機能ボードの場合、ボードの温度偏差を最小に(10 °C 未満に維持)し、ボードに反りが起こらないようにして、高いアセンブリールドを達成することが非常に重要です。デルタ T を最小にすらには、予備加熱の段階で温度の上昇率を低くします。予備加熱およびソーカの段階では、1 °C / 秒未満の比率で温度を上昇させ、その後のプロファイルでは 3 °C / 秒以下で上昇させることを推奨します。

また、コンポーネントの表面と底面の温度偏差を最小にする必要があります。これは、特に冷却段階で重要になります。パッケージの表面とはんだ接合部分の温度差が最小となるように冷却することが重要です。リフロー プロセスの冷却段階ではコンポーネントの表面とはんだボールの温度差を 7 °C 未満に維持します。この段階は、ボールがまだ完全にはボードに接着されていない非常に重要な段階で、通常、このときの温度は 200 °C ~ 217 °C の範囲になります。冷却部分をいくつかに分割し、それぞれを異なる温度で効果的に冷却することで、温度差による問題を解決できます。

ザイリンクスの鉛フリー ソリューションの詳細は、次のサイトを参照してください。

http://japan.xilinx.com/system_resources/lead_free/index.htm

鉛フリー リフロー プロセスの詳細は、『鉛フリー パッケージのインプリメンテーションおよびはんだリフロー』([XAPP427](#)) を参照してください。

第5章の参考資料

熱管理についての詳細は、次のウェブサイトを参照してください。

- Wakefield : <http://www.wakefield.com>
- Aavid : <http://www.aavidthermalloy.com>
- Advanced Thermal Solutions : <http://www.qats.com>

インターフェイスの材料関連の詳細は、次のウェブサイトを参照してください。

- Power Devices : <http://www.powerdevices.com>
- Bergquist Company : <http://www.bergquistcompany.com>
- AOS Thermal Compound : <http://www-aosco.com>
- Chomerics : <http://www.chomerics.com>
- Kester : <http://www kester.com>

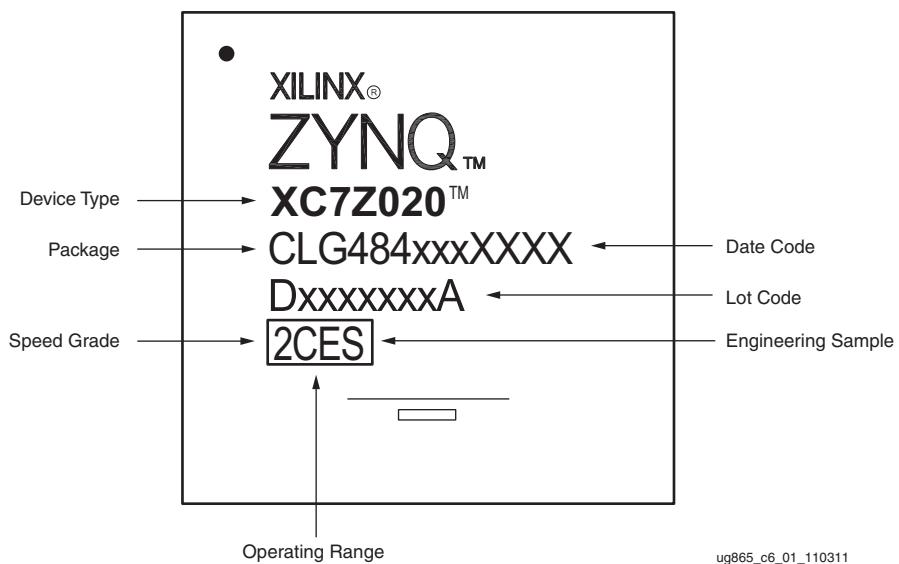
ザイリンクスがサポートする熱モデルの CFD ツールの詳細は、次のウェブサイトを参照してください。

- Flomerics、Flotherm/FloPCB : <http://www.flomerics.com>
- Fluent、Icepak : <http://www.icepak.com>

パッケージマーク

マーキング

すべての Zynq-7000 AP SoC デバイスには、図 6-1 に示すようなパッケージトップマークがあります。詳細を表 6-1 で説明します。



ug865_c6_01_110311

図 6-1: Zynq-7000 AP SoC デバイスパッケージマーク

表 6-1: ザイリンクスデバイスパッケージの定義 – 例

項目	説明
ザイリンクスロゴ	ザイリンクスロゴ、ザイリンクス社名を商標、登録商標と共に示す。
デバイスファミリロゴ	デバイスファミリ名を商標、登録商標と共に示す。この行はオプションで、無記載の場合がある。
1行目	デバイスタイプ
2行目	パッケージコード、回路デザインリビジョン、ウェハー工場の所在地コード、形状コード、および日付コード。 パッケージコードの 3 文字目に G がある場合、そのパッケージが鉛フリー RoHS に準拠したパッケージであることを示す。ザイリンクスの鉛フリーおよび RoHS 準拠製品の詳細は、 http://japan.xilinx.com/pbfree を参照。
3行目	アセンブリ、ロット、およびステッピング情報を 10 文字の英数字で示す。ステッピング情報がない場合、末尾の文字は通常 A または M である。

表 6-1: ザイリンクス デバイス パッケージの定義 – 例 (続き)

項目	説明	
4 行目	デバイスのスピード グレードおよび温度範囲。これらの記載がない場合は、コマーシャル (C) 温度範囲で動作するもの見なされる。4 行目に次のような情報が記載される場合がある。	
	2C xxxx	xxxx はデバイスの SCD を示す。SCD は特別な注文コードであり、デバイス トップ マークに必ず記載されるものではない。
	2C-ES	ES は、エンジニアリング サンプルを示す。

推奨する PCB デザイン ルール

BGA パッケージ

ザイリンクスでは、コンポーネント側のランド パッド径に関するデータを提供しています。ボードのレイアウトを設計するにあたって、ボード パッドをコンポーネント側のランドの形状と一致するよう設計するために、このデータが必要になります。図 A-1 にランド パッドの各部の直径を示し、表 A-1 にそれらの標準値を示します。ザイリンクス BGA パッケージでは、ボードに NSMD (非はんだマスク定義) パッドを使用することを推奨します。これによって、図 A-1 に示すように、ランド金属 (直径 L) とはんだマスクの開口部 (直径 M) の間に隙間があります。また、NSMD パッドとはんだマスクの間隔および実際の信号トレイス幅は、PCB ベンダーによって異なります。ライン幅および間隔が狭くなると、PCB のコストが高くなります。

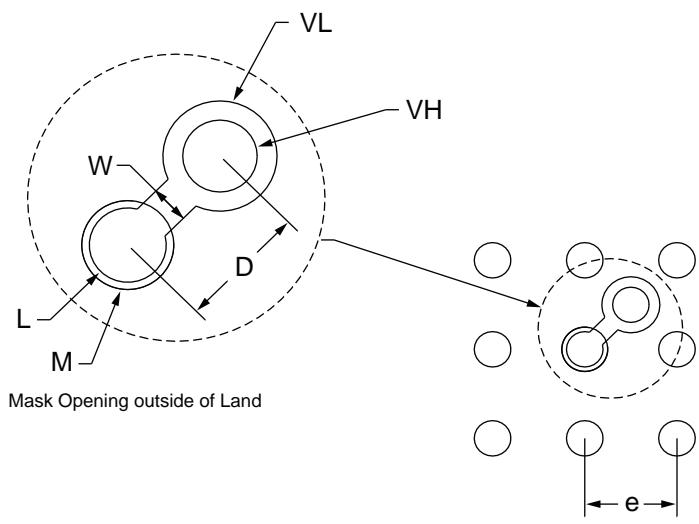


図 A-1: BGA パッケージでの推奨はんだパッド レイアウト

表 A-1: すべての FBG および FFG パッケージに推奨する PCB デザイン ルール

デザイン ルール	FBG および FFG パッケージ (単位: mm)
コンポーネント側のランド パッド径 (SMD) ⁽¹⁾	0.53
はんだランド (L) 径	0.45
はんだマスク (M) の開口径	0.55
はんだ (ボール) のランド ピッチ (e)	1.00
ビアとランドの間のライン幅 (w)	0.13
ビアとランドの距離 (D)	0.70
ビア ランド (VL) 径	0.61
スルー ホール (VH) 径	0.300

注記 :

1. コンポーネント側のランド パッド径とは、コンポーネント側のパッド開口部 (SMD : はんだマスク定義) を表します。

リッドレス フリップチップ パッケージ用 ヒートシンクのガイドライン

リッドレス FCBGA (FB/FBG) 用ヒートシンクの 取り付け方法

ヒートシンクは、さまざまな方法でパッケージに取り付けることができます。効果的に放熱させるために、各ヒートシンク取り付け方法の長所/短所を理解しておく必要があります。パッケージタイプ、熱源の接触部分、およびヒートシンクタイプなどによって取り付け方法を決定します。

シリコンおよびデカップリングキャパシタの高さに関する 注意事項

リッドレス フリップチップ BGA (FCBGA) パッケージ用ヒートシンクの取り付けを設計する際、回路基板上のダイの高さや、デカップリングキャパシタの高さを考慮する必要があります (図 B-1)。これは、ヒートシンク (金属) とデカップリングキャパシタ間における電気的短絡を回避するためです。

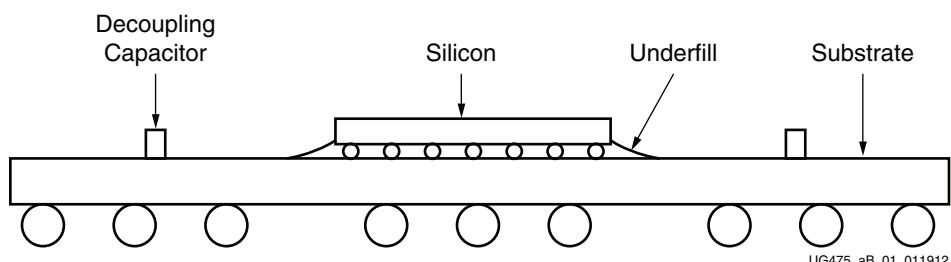


図 B-1: ヒートシンクの取り付け方法を設計

ヒートシンクの取り付け手順に関する注意事項

ザイリンクスでは、実装機を使用してリッドレス FCBGA を PCB へ配置する場合、ノズル部分にソフトチップまたは吸着カップを使用することを推奨しています。これによって、部品の欠損や磨耗、またはペアダイの損傷を防ぐことができます。

コンポーネントが PCB へ配置された後、ヒートシンクをリッドレスパッケージへ取り付ける際は次のことに注意してください。

- ヒートシンクの取り付け作業において、露出しているダイやパッシブキャパシタを損傷させていないか
- ヒートシンクは取り付け後に傾いていないか
- 接触部分が小さいために接着剤またはテープでの固定力が弱くなっていないか

パッケージローディングの仕様

リッドレス FCBGA の場合、ザイリンクスでは最大静的荷重を 60psi として定めています。この力学的な最大荷重制限値は、ヒートシンクの取り付け時、出荷時、または標準使用時において、必ず制限値内としてください。いかなる機械システムまたはコンポーネントのテストにおいても、この最大制限値を超えてはいけません。

最大静的荷重 60 psi の説明は以下のとおりです。

- この値は、通常はパッケージへかかる均一圧縮荷重に相当します。
- ヒートシンク固定用クリップで許容できる最大荷重です。
- この値は、デザイン特性評価用であり、限られたテストに基づくものです。荷重制限は、パッケージのみに適用されます。

注記：最小点載荷 75ft-lbs でダイが破損する可能性があるので注意してください。

熱的または物理的な対策を行う場合、パッケージ基板を物理的な基準(耐荷重表面)として使用できません。ヒートシンククリップのプリロード計算には、リフロー後のパッケージの高さを使用してください。

ヒートシンクの取り付け方法の種類

ヒートシンクの取り付け方法は 6 種類あります。表 B-1 に、それぞれの長所/短所を示します。

- 「熱伝導性テープ」
- 「熱伝導性の接着剤」
- 「Z 形状のワイヤークリップ」
- 「プラスチッククリップ」
- 「ねじ式スタンドオフ (PEN) と圧縮バネ」
- 「押しピンと圧縮バネ」

表 B-1: ヒート シンクの取り付け方法

取り付け方法	長所	短所
熱伝導性テープ	<ul style="list-style-type: none"> 一般的に取り付けが簡単で安価。 アルミニウム ヒート シンクの取り付けには最も低コストな方法。 PCB 上で追加スペースを確保する必要がない。 	<ul style="list-style-type: none"> テープがしっかりと接着するように、ヒート シンクとチップの表面をきれいに掃除する必要がある。 接触部分が小さいため、接着力が弱い可能性がある。 テープは中-低程度の熱伝導性で、ヒート シンクの効果に影響する。
熱伝導性の接着剤	<ul style="list-style-type: none"> 優れた機械的接着。 テープよりは高価だが比較的安価。 PCB 上で追加スペースを確保する必要がない。 	<ul style="list-style-type: none"> 接着手順が難しく、使用する接着剤の量の調節が困難。 やり直しが困難。 接触部分が小さいため、接着力が弱い可能性がある。
Z 形状の ワイヤー クリップ	<ul style="list-style-type: none"> 強力で安定した機械的取り付けが可能。衝撃や振動テストを行う必要がある環境では、この強力な取り付け方法が必要。 簡単に取り外し可能。半導体を破損することができない(エポキシ樹脂やテープはデバイスを破損させる可能性がある)。 TIM ヘプリロードを適用する。実際、このプリロードによって、熱伝導能力が向上する。 	<ul style="list-style-type: none"> PCB 上に固定器具用のスペースが必要。
プラスチック クリップ	<ul style="list-style-type: none"> PCB 上のスペースに限りがあるデザインに最適。 PCB ボードを傷つけることなくヒート シンクを取り外しできるため、やり直しが簡単。 衝撃や振動テストに対応できる十分な固定力がある。 	<ul style="list-style-type: none"> クリップを使用するため、シリコンデバイス周囲にスペースが必要。 局部的な刺激により、はんだボールやチップ基板が損傷する可能性があるため、クリップの取り付け/取り外しには注意が必要。
ねじ式スタンド オフ (PEN) と 圧縮バネ	<ul style="list-style-type: none"> 熱源へ安定した固定ができ、PCB、パッキング プレート、またはシャーシへ荷重を伝達できる。 高さのある大きなヒート シンクを固定するのに最適。 チップやはんだボール上にかかる実装時の力や負荷を厳しく管理できる。 	<ul style="list-style-type: none"> PCB 上に穴を開ける必要があり、ラインとして使用できる貴重なスペースを使用する必要がある。 高価になる傾向がある。特に、スタンドオフを使用するために、ドリルで穴を開けるか、または PCB 上にあらかじめ穴が開いたものを調達する必要がある。
押しピンと 圧縮バネ	<ul style="list-style-type: none"> 熱源へ安定した固定ができ、PCB へ荷重を伝達できる。 チップやはんだボール上にかかる実装時の力や負荷を厳しく管理できる。 	<ul style="list-style-type: none"> PCB 上に押しピン用のスペースが必要。

熱伝導材料の役割

Zynq-7000 AP SoC デバイスにヒート シンクを実装する際には、熱伝導材料(サーマル インターフェイス マテリアル (TIM))を使用してください。この材料は、コンポーネントからヒート シンクへの熱伝導に役立ちます。最善の熱伝導を行うために、ザイリンクスでは熱伝導材料を使用することを推奨しています。

リッドレス FCBGA の場合、シリコンの表面がヒート シンクと接触します。リッド付き FCBGA の場合は、リッドがヒート シンクと接触します。リッドレス FCBGA とリッド付き FCBGA の表面規模は異なります。ザイリンクスでは、それぞれの FCBGA パッケージ タイプで長く使用するために、異なる種類の TIM を推奨しています。

最も大規模なヒートシンクやファンであっても、ヒートシンクの底部と Zynq-7000 AP SoC の上部が物理的にきちんと接触していない限り Zynq-7000 AP SoC を効果的に冷却できないため、TIM が必要です。ヒートシンクと Zynq-7000 AP SoC シリコンの表面は、完全に平らではありません。顕微鏡レベルで見ると、表面の凹凸が良くわかります。表面が凹凸していると接触面が減少するため、TIM を使用せずにヒートシンクを取り付けた場合には、表面接触が不十分なために効果が半減します。

相変化物質、熱伝導性グリース、熱伝導性パッドなどの TIM を使用することによって、これらの隙間が埋まり、Zynq-7000 AP SoC ダイとヒートシンク間の効果的な熱伝導が可能になります。

TIM の種類

さまざまな種類の TIM が販売されています。その中で最も一般的に使用されている TIM には、次のものがあります。

- 熱伝導性パッド (相変化物質)
- 熱伝導性グリース (熱伝導性ペースト)

相変化物質とは、通常 1 インチ x 1 インチ (2.5cm x 2.5cm) の薄いパッドであり、両方の表面に保護フィルムを提供します。色はベンダーによって異なりますが、通常はグレーがピンクとなります。熱伝導性グリースは、注射器やチューブ、あるいは小さなビニール製の袋の中に入った状態で提供されます。歯磨き粉のような硬さで、色はグレーか白です。

TIM のガイドライン

プロセッサとヒートシンク間に使用するインターフェイスの材料を選択、適用、あるいはその性能を判断するには、次の 5 つの要素を考慮します。

- 「材料の熱伝導性」
- 「材料の電気伝導性」
- 「材料の広がり特性」
- 「材料の長期的な持続性と信頼性」
- 「利用難易度」

材料の熱伝導性

熱伝導性とは、材料(構成要素)が熱を伝導する能力を数値で表したもので、インターフェイスの材料の熱伝導性は、伝熱能力に大きな影響を与えます。熱伝導性が高いほど、その材料は熱を効果的に伝導します。熱伝導性が低い材料は、熱伝導の効果が低いため、インターフェイス間で高い温度差を生じさせることになります。低い熱伝導性を克服するには、さらに良い冷却ソリューション(通常、より高価なソリューション)を使用して、必要な放熱を行う必要があります。

材料の電気伝導性

一部のメタルベース TIM 化合物は、電気伝導性があります。セラミックベース化合物は、一般的に電気伝導性がありません。メーカーは、導電性が低いメタルベース化合物を製造していますが、それらの一部は完全に電気的に不活性とは限りません。メタルベースの熱伝導化合物は、Zynq-7000 AP SoC ダイ自体に影響を与えませんが、Zynq-7000 AP SoC やマザーボード上のその他のエレメントに化合物が混入している場合には、それらへのリスクがあります。このような理由から、ザイリンクスでは電気的伝導性のある TIM の使用を推奨していません。

材料の広がり特性

TIM は、取り付けられたヒートシンクの圧力を受けて、Zynq-7000 AP SoC とヒートシンク間の空気隙が埋まる(または無くなる)ため、その広がり特性によって性能が決まります。空気は熱伝導率が非常に悪いため、インターフェイスの材料が隙間を多く埋めるほど、熱伝導効率が高まります。

材料の長期的な持続性と信頼性

TIM の長期的な持続性と信頼性は、長期間の使用後でも十分な熱伝導を行う能力として定義されています。低品質の化合物は、硬化したり、時間が経つとポンプアウト(漏出)が生じる可能性があり、Zynq-7000 AP SoC の早期故障や過熱を引き起します。高品質の化合物はデバイスの寿命期間において安定かつ信頼性の高い TIM として機能します。一般的に、より高い粘性を持つ熱伝導性グリースは、リッドレス デバイスのポンプアウトに対して強い抵抗力があります。

利用難易度

熱伝導性グリースを塗布する場合、表面実装を担うサプライヤは材料を最適な量使用するように注意が必要です。多過ぎても、少なすぎても問題となります。一方、熱伝導性パッドは一定サイズなので、一貫した方法で簡単に使用できます。

インターフェイスの材料の比較

熱伝導性グリース

熱伝導性グリースとは、シリコーン油や炭化水素油に熱伝性のあるセラミック充填材を配合したものです。これは、2つの接触表面のいずれか一方に塗布します。これらの表面を合わせると、グリースが広がって隙間が埋まります。熱抵抗および使用上の長所/短所の詳細は、表 B-2 を参照してください。

表 B-2: 热伝導性グリース

熱抵抗	長所	短所
0.2 ~ 1°C cm ² /W	<ul style="list-style-type: none"> コンポーネントとヒートシンク間の空気隙を埋めることができる。 ヒートシンクやシリコンの表面が凸凹しているマイナス面をカバーできる。 柔軟で、複数コンポーネントの高低差に対して簡単に詰め込むことができる 力学的に優れた衝撃吸収力で圧力に強い。 	<ul style="list-style-type: none"> 粘性が高いため、適量を塗布することが難しく、製造時での使用が困難。 悪影響を及ぼす可能性があるため、後処理のクリーンアップが必要。 ヒートシンクやコンポーネントを特定箇所に固定するために、機械的な取り付け具が必要。 繰り返し電源をオン / オフすることによって、グリースが押し出される現象(ポンプアウト)が生じる可能性がある。ダイが過熱・冷却されたたびに、シリコンダイとヒートシンク間にあるグリースに圧力がかかるため、時間が経つと共に熱伝導能力が低下し、隣接コンポーネントに影響を及ぼす可能性がある。

熱伝導性ゲル

熱伝導性ゲルは、熱伝導性グリースと同じように塗布されますが、部分的に架橋結合して硬化するため、ポンプアップ問題は生じません。熱抵抗および使用上の長所/短所の詳細は、表 B-3 を参照してください。

表 B-3 : 热伝導性ゲル

熱抵抗	長所	短所
0.15 ~ 1°C cm ² /W	<ul style="list-style-type: none"> ポンプアップ問題はない。 コンポーネントとヒートシンク間の空気隙を埋めることができる。 ヒートシンクやシリコンの表面が凸凹しているマイナス面をカバーできる。 柔軟で、複数コンポーネントの高低差に対して簡単に詰め込むことができる 力学的に優れた衝撃吸収力で圧力に強い。 	<ul style="list-style-type: none"> 取り付け後には、接合部を固定するため機械的な留め具が必要。

熱伝導性化合物

熱伝導性のある化合物には、熱伝導性のある充填材が配合されていますが、熱伝導性グリースとは異なり、結合剤がゴム状の物質となります。適用すると、ペースト状の化合物は2つの表面の隙間に流れ込みます。その後、熱にさらされると、硬化して乾燥したゴム膜となります、この熱による性質のほかに、接着剤としての効果もあるため、留め具を使わなくても結合部分をしっかりと隙間なく固定できます。熱伝導性グリースでは結合部からはみ出す可能性がありますが、この熱伝導性化合物を使用すると、大きな隙間を確実に埋めることができます。適用方法や伝導率は熱伝導性グリースと同じですが、後処理のクリーンアップに関しては熱伝導性グリースよりも簡単で、硬化したゴム膜の過剰部分を取り除くだけのシンプルな作業です。熱抵抗および使用上の長所/短所の詳細は、表 B-4 を参照してください。

表 B-4 : 热伝導特性の化合物

熱抵抗	長所	短所
0.15 ~ 1°C cm ² /W	<ul style="list-style-type: none"> 機械的な留め具が不要。 	<ul style="list-style-type: none"> やり直しが不可。 メタルベースの伝導性接着剤は、Zynq-7000 AP SoC 上やマザーボードのその他のデバイス上の不純物質と電気的短絡を起こす可能性がある。

熱伝導性エラストマーパッド

熱伝導性エラストマーパッドは、シリコーンエラストマーに熱伝導性のセラミック粒子を配合したもので、編み込まれたグラスファイバーや誘電体膜強化剤を加えることも可能です。通常、推奨される厚さは0.1mm ~ 1mmで、推奨される硬度は5 ~ 85(ショア硬さ)です。これらは電気絶縁性と熱伝導性の両方を提供するため、電気的遮へいが必要なアプリケーションに最適です。大規模な隙間を埋める必要がある場合には、より厚いパッドを使用します。適用時には、パッドが2つの表面に挟まれて圧縮されることによって、表面の凸凹による隙間を埋めることができます。熱抵抗および使用上の長所/短所の詳細は、表 B-5 を参照してください。

表 B-5 : 热伝導性エラストマーパッド

熱抵抗	長所	短所
1 ~ 3°C cm ² /W	<ul style="list-style-type: none"> 取り付けが簡単。 	<ul style="list-style-type: none"> 取り付け後には、接合部を固定するために機械的な留め具が必要。 取り付け時の押しつける圧力は、エラストマーの硬度に応じて、隙間が埋まるように調節する必要がある。

熱伝導性テープ

熱伝導性テープは両面となり、熱伝導性のセラミックパウダーを含む圧力に弱い粘着フィルムです。扱い易くするため、アルミニウム箔やポリイミド薄膜を使用してテープを補強できます。ポリイミド薄膜は、電気絶縁性をもたらすこともできます。向き合う2つの表面にテープを張る際には、表面にテープがきちんと粘着するようにテープに圧力を掛ける必要があります。接合部が接着すれば、この粘着力で永久的に固定することができ、留め具を使用する必要はありません。接着剤を硬化させる必要もありません。熱抵抗および使用上の長所/短所の詳細は、表 B-6 を参照してください。

表 B-6 : 热伝導性テープ

熱抵抗	長所	短所
1 ~ 4°C cm ² /W	<ul style="list-style-type: none"> 取り付けが簡単。 機械的な留め具が不要。 	<ul style="list-style-type: none"> 向き合う表面間や液体の大きな隙間を埋めることができないため、熱伝導率の低下をまねく。

相変化物質

室温で固形状態の相変化物質は、温度が 104°F ~ 158°F (40°C ~ 70°C) の範囲まで上昇すると融解されます(つまり相変化する)。このような特性を持つことから、この材料はパッドとして簡単に適用でき、取り付け時に熱にさらされると、熱伝導性グリースのように表面の隙間に効果的に流れ込むことになります。通常、電子回路に電源を入れると、相変化を起こすのに必要な熱が加えられて確実な熱結合が可能です。これらの材料には、有機接合剤(ポリマー、およびワックスなどの低融点の結晶成分など)や熱伝導性セラミック充填剤、その他にもアルミニウム箔や編み込んだグラス メッシュなどのサポート材が含まれます。熱抵抗および使用上の長所/短所の詳細は、表 B-7 を参照してください。

表 B-7 : 相変化物質

熱抵抗	長所	短所
0.3 ~ 0.7°C cm ² /W	<ul style="list-style-type: none"> 取り付けが簡単。 機械的な留め具が不要。 	<ul style="list-style-type: none"> やり直しが不可。 取り付け後には、接合部を固定するため機械的な留め具が必要。

熱伝導材料の取り扱いガイドライン

Zynq-7000 AP SoC へのヒート シンクの取り付け作業に慣れていない方は、Sanmina 社 (<http://www.sanmina.com/>) などのシステム開発専門会社のサポートが必要です。Zynq-7000 AP SoC コンポーネントの不適切な取り扱いや組み立ては、デバイスの損傷、保証適用外、期待に沿わない結果を招く可能性があります。

選択したヒート シンクに熱伝導材料(サーマル インターフェイス マテリアル (TIM))が含まれていない場合で、使用経験が少ないユーザーは、推奨ソリューションについてザイリンクスのサポートを利用する必要があります。

TIM を適用する前には、常に接触表面をきれいに掃除して不純物を取り除いてください。ヒート シンクや Zynq-7000 AP SoC の表面がホコリや油脂で汚れている場合は、糸くずでのない布と変性アルコールなどの弱溶剤を使用してきれいに汚れをふき取ってください。

TIM は再利用できません。ヒート シンクを再利用する場合は、プラスチック製のヘラなどの非金属のものを用いて使用済み TIM の残留物をすべて取り除き、糸くずでのない布と変性アルコールなどの弱溶剤を使用して表面を完全にきれいにする必要があります。その後、新しい TIM を使用します。

その他のリソース

ザイリンクス リソース

アンサーデータベース、資料、ダウンロード、フォーラムなどのサポート リソースを利用するには、次のウェブサイトにアクセスしてください。

japan.xilinx.com/support

ザイリンクスの資料で使用されている技術用語については、次の用語集を参照してください。

japan.xilinx.com/company/terms.htm

ソリューションセンター

すべての設計段階におけるデバイス、ソフトウェアツール、およびIPに関するサポートは、[ザイリンクスのソリューションセンター](#)を参照してください。設計に関するアシスタンス、アドバイス、問題解決のヒントなどを記載しています。

その他のリソース

次の文書は、このユーザー ガイドの補足資料として役立ちます。

1. [UG585](#)、Zynq-7000 All Programmable SoC テクニカル リファレンス マニュアル
2. [UG821](#)、Zynq-7000 All Programmable SoC ソフトウェア開発者向けガイド
3. [DS187](#)、Zynq-7000 All Programmable SoC (XC7Z010、XC7Z020) データシート : DC 特性および AC スイッチ特性
4. [DS191](#)、Zynq-7000 All Programmable SoC (XC7Z030、XC7Z045) データシート : DC 特性および AC スイッチ特性
5. Zynq-7000 AP SoC のパッケージ/デバイス/ピン配置ファイルは、次のサイトから入手できます。

<http://japan.xilinx.com/support/packagefiles/zynq7000-pkgs.htm>

6. [UG586](#)、7 シリーズ FPGA メモリ インターフェイス ソリューション ユーザー ガイド
7. [UG471](#)、7 シリーズ FPGA SelectIO リソース ユーザー ガイド