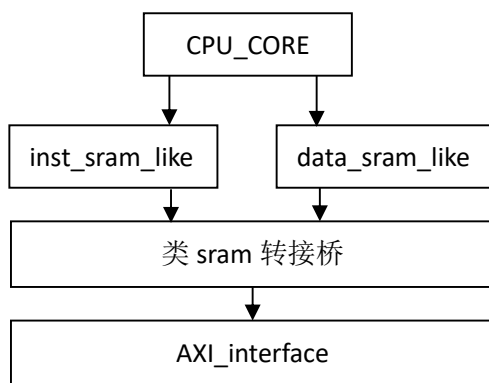


# NSCSCC2023 初赛设计报告

东北大学秦皇岛分校 2 队  
白艺琛、解博元、王淇、甘瑞杰

## 一、设计简介

本次比赛 CPU 采用哈佛架构，为顺序单发射静态五级流水，实现了初赛要求的 57 条指令、分支预测、中断例外，包括一个 CP0 协处理器，采用 AXI 接口与外界交互。



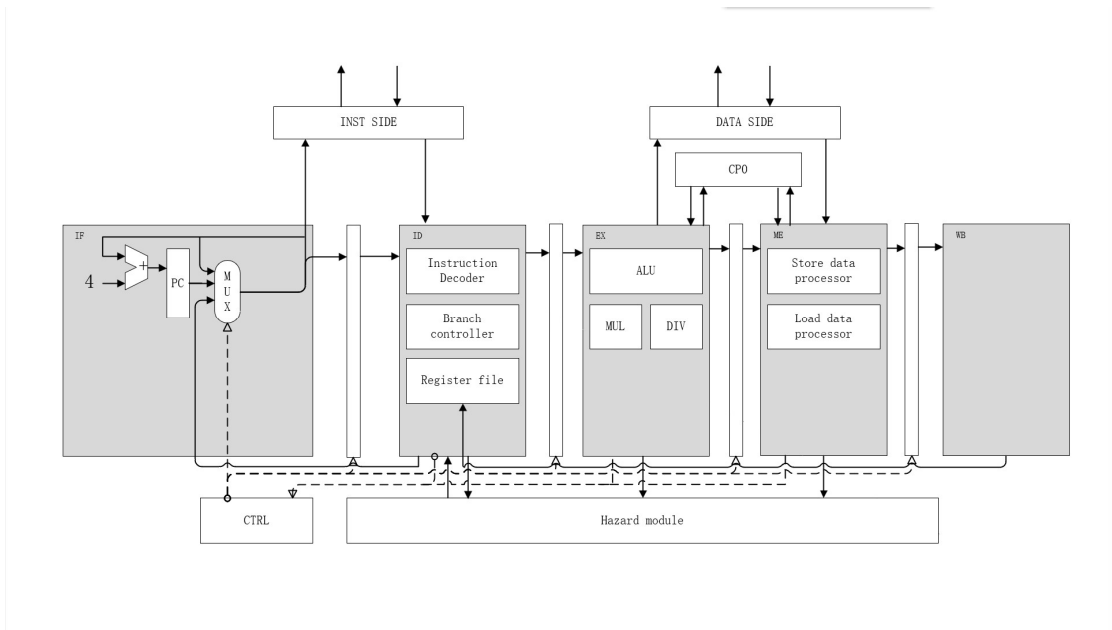
图一 总体工程结构

## 二、设计方案

### （一）总体设计思路

如图一所示，CPU 核心部分与外界采用类 sram 接口交互。inst 和 data 的数据分别调用一个类 sram 转接桥转换为 axi4 接口，再将数据集中仲裁处理后以单一 axi4 接口与外界交互。

### （二）流水线功能设计



图二 CPU 流水线结构

#### 1 取指阶段 Fetch

此部分根据传入的取值地址发出取值请求，从存储器中取出下一条待执行的指令。地址产生条件：复位信号保证 next\_pc 为 0xbfc0000。

#### 2 译码阶段 Decode

此部分接收指令并对指令进行解码。

暂停：在译码第一阶段，这一部分部分主要将上一级流水线传来的信息接受传递至 decode\_pt1 模块。取值模块未暂停时，正常向下传递信息；取值模块暂停而译码模块未暂停时，传递信号为 0；取值模块和译码模块都暂停时，传递信号不变。

相关性检测：在译码第二阶段，这一部分以数据前推来判断是否有数据。

#### 3 执行阶段 Execute

此部分主要负责逻辑运算与算数运算，并传递到下一阶段进行数据选择；数据前堆。

#### 4 访存阶段 Memory

此部分主要负责接收访存响应，访问存储内存数据，生成最终结果。

访存第一阶段： 传递读写请求， 在下一周期进行传递。

访存第二阶段： 保存上一周期的 flush、 resetn、 stall 信息， 用于数据选择。data\_tran

模块： 存储前一周期的数据， 根据 flush、 resetn、 stall 信息进行数据选择。

5 回写阶段 Write back

此部分主要负责通用寄存器的写入， 协处理器 CP0 的读写。

6 类 sram 接口

表一 类 sram 接口

State	保存是否处于传输过程中， 当处于传输过程中 req 为 0;
addr_ok	进入传输状态
data_ok	跳过传输状态

### 三、设计结果

实现了顺序单发射五级流水

主频： 77Mhz

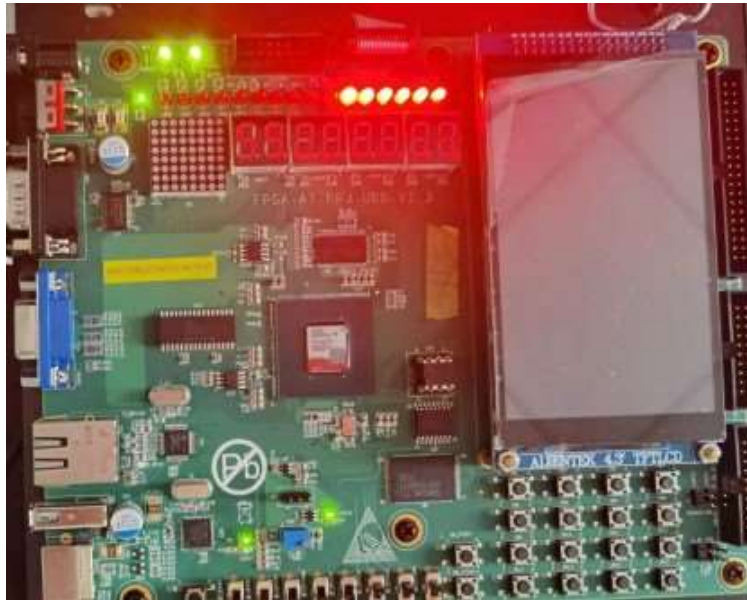
#### （一）设计交付物说明

表二 设计交付物说明

-axi/	包含类 sram 与 axi 接口相关文件
--axi_top.v	CPU 顶层模块，采用 axi4 与外界交互
--cpu_axi_interface.v	axi 转接桥
--sram_like_top.v	类 sram 接口顶层模块
--sram_like.v	类 sram 接口文件
-lib/	包含 CPU 核心内模块文件
--CTRL.v	控制器
--Decoder_2_4.v	2 转 4 译码器
--Defines.vh	宏定义文件
--DivCore.v	除法器核心
--Inst_reco.v	指令解码
--MultCore.v	乘法器核心
--Regfile_cp0.v	CP0 寄存器
--Regfile_general.v	通用寄存器
--Regfile_hilo.v	hilo 寄存器
--cpu_core.v	CPU 核心文件
--Decode.v	译码阶段
--Execute.v	执行阶段
--Fetch.v	取址阶段
--Memory.v	访存阶段
--WriteBack.v	回写阶段

## （二）设计演示结果

本 CPU 通过了 AXI 接口下的 89 个功能测试点、通过了记忆游戏测试、通过了 10 个性能测试点、通过了系统测试。



图三 上板调试

## 四、参考设计说明

设计中使用的 IP 核：

AXI crossbar (2.1) —— Xilinx

Bank RAM —— Xilinx

## 五、参考文献

[1] MIPS32 Architecture For Programmers Volume I: Introduction to the MIPS32™ Architecture

[2] MIPS32 Architecture For Programmers Volume II: The MIPS32™ Instruction Set

[3] MIPS32 Architecture For Programmers Volume III: The MIPS32™ Privileged Resource Architecture

[4] Xilinx IP:: AXI Crossbar (2.1) LogiCORE IP Product Guide