

# NSCSCC2024 初赛设计报告

东北大学秦皇岛分校 2 队

王淇、杨欣蕊、郭翀高翔、甘瑞杰

## 一、设计简介

本次比赛 CPU 采用哈佛架构，为顺序单发射静态六级流水，核心部分可实现最高 100M 的运行频率，实现了初赛要求的 46 条指令、分支预测、中断例外、TLB、控制状态寄存器

(CSR)，采用 AXI 接口与外界交互。本核使用 booth2 位乘的两周期乘法器，基 2 的 srt 除法器，并尝试性采用了除法历史查找表以应对可能的连续取商和取余的指令。

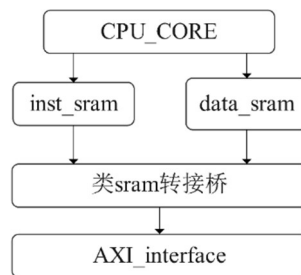


图 1. 总体工程结构

## 二、设计方案

### （一）总体设计思路

如图一所示，CPU 核心部分与外界采用带握手的类 SRAM 接口交互。inst 和 data 的数据在类 SRAM 转 AXI 的转接桥中进行仲裁处理并以单一 AXI4 接口与外界交互。

### （二）流水线功能设计

如图 2 所示，本次 CPU 采用六级流水线，比一般流水线增加一级用于分支预测，取代了前移至解码阶段的分支计算，以获得更高的主频。每个流水级之间采用基于握手的逐级互锁机制，取代了流水线控制模块。

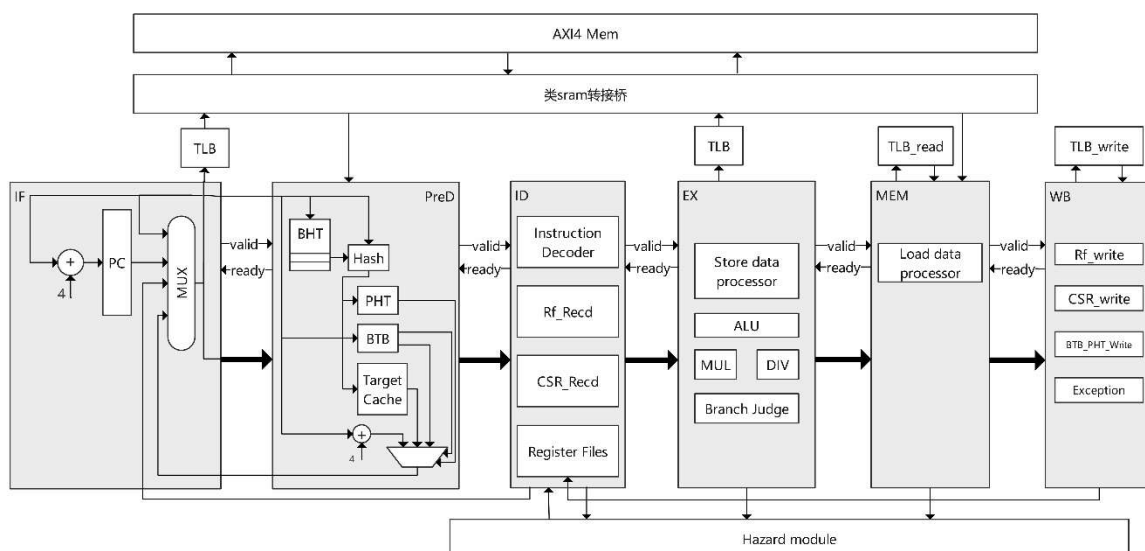


图 2. CPU 流水线结构

## 1、取指阶段 Fetch

此部分使用带握手的类 SRAM 接口对外交互，根据传入的取值地址及控制信号发出取值请求，等待获得下一条待执行的指令后发送给下一流水级。

## 2、预译码阶段 PreDecode

此部分主要功能为分支预测及指令预译码。

其中，直接跳转指令使用 BTB（Branch Target Buffer）进行预测；

间接跳转使用两级自适应预测器（Adaptive Two-level Predictor）。

## 3、译码阶段 Decode

此部分接收指令并对指令进行解码，以及数据前推操作。

指令解码采用独热码，每个指令都会有一根独属于其的控制线，便于数据流控制。

中断将会被标记在此一级的指令上。

## 4、执行阶段 Execute

此部分主要负责数据运算、访存处理与分支预测判断。

其中，乘法器采用 booth2 位乘和六层华莱士树，可实现两周期出结果，并在第二周期有较短的时延；

除法器采用基 2 的 srt 除法，并使用去除数据最前部分的连续 0 或 1 的方法减少运算周期，可实现 1 至 16 周期出结果。同时尝试性使用了除法历史表，在面对相同操作数的连续的取商取余指令时，可使用历史记录减少一次除法计算，以节约除法开销。

分支预测统一在执行阶段判断，预测错误开销为 3 个周期。

使用带握手的类 SRAM 接口与外界交互，进行访存的数据处理。

## 5、访存阶段 Memory

此部分主要负责接收访存响应，处理访存结果，生成最终存入寄存器中的值。并处理 TLB 读取指令。

## 6、回写阶段 Write back

此部分主要负责通用寄存器的写入，控制状态寄存器（CSR）的写入，分支预测的更新，TLB 的写入，以及中断例外的触发。

### 三、设计结果

本项目为顺序单发射六级流水，主频：100Mhz

#### （一）设计交付物说明

预赛提交的作品目录格式如下（*submission/NEUQ\_2\_WangQi*）:

表 1.设计交付物说明

-score.xlsx		分数表格
-design.pdf		PDF文件，为myCPU设计报告
--bit/		
-- func_test/		
-- soc_axi_func/	-func_test_soc.bit	功能测试比特流文件
-- perf_test/		
	-perf_test_soc.bit	性能测试比特流文件
--src/		
-perf_clk_pll.xci		性能测试的时钟频率PLL配置文件
--mycpu		
	-alu.v	算术逻辑单元
	-cpu_axi_interface.v	类SRAM转AXI转接桥
	-csrReg.v	csr寄存器
	-csrReg.vh	csr寄存器的宏定义
	-Decode.v	译码流水级
	-Defines.vh	宏定义文件
	-divCore_srt2.v	除法模块
	-Excute.v	执行流水级
	-Fetch.v	取指流水级
	-Memory.v	访存流水级
	-multCore.v	乘法核心
	-mycpu_top.v	CPU顶层模块
	-preDecode.v	预译码流水级
	-regfile.v	寄存器堆
	-tools.v	译码器
	-Writeback.v	写回流水级
	-tlb.v	Tlb模块
-- xilinx_ip/		
	--axi_clock_converter/	AXI时钟转换器
	--axi_crossbar_1x2/	AXI交叉开关
	--axi_ram/	基于AXI总线的RAM
	--clk_pll/	时钟管理单元

## (二) 设计演示结果

本 CPU 通过了 AXI 接口下的 58 个功能测试点、通过了 10 个性能测试点。

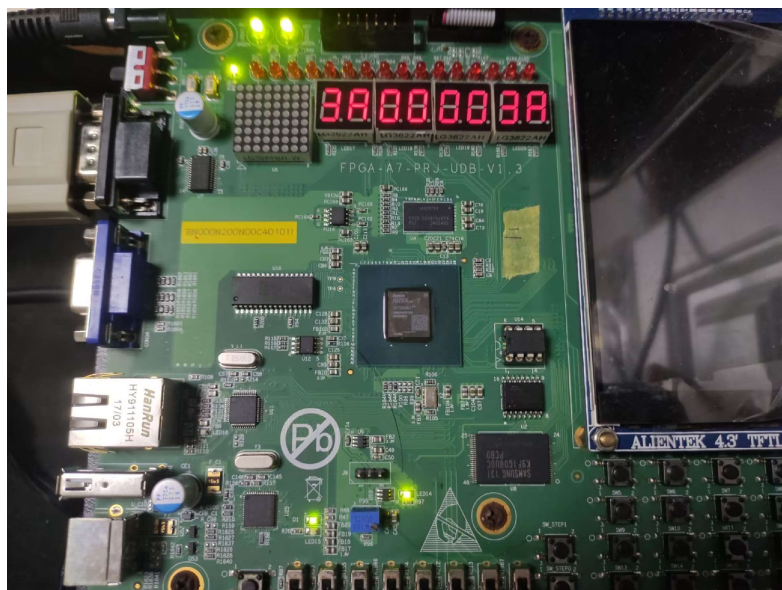


图 3.上板调试

## 四、参考设计说明

参考了《CPU 设计实战：Loongarch 版》的代码；

设计中使用的 IP 核：

AXI Clock Converter (2.1) —— Xilinx

AXI crossbar (2.1) —— Xilinx

Bank RAM (8.4) —— Xilinx

Clocking Wizard (6.0) —— Xilinx

## 五、参考文献

- [1] 卖红薯的小孩. FPGA 设计性能优化策略漫谈(一)--时序优化[EB/OL]. (2019-10-22)[2024-08-04]. <https://www.cnblogs.com/151009-on-the-way/p/11719683.html>.
- [2] [Vivado Design Suite]. AMD Technical Information Portal[EB/OL]. ([未找到发布时间])[2024-08-04]. <https://docs.amd.com/r/zh-CN/ug906-vivado-design-analysis>.
- [3] [未找到作者]. 【FPGA——时序篇】时序优化的几种方法[EB/OL]. (2019-05-09)[2024-08-04]. [https://blog.csdn.net/Lily\\_9/article/details/90041359](https://blog.csdn.net/Lily_9/article/details/90041359).Xilinx IP:: AXI Crossbar (2.1) LogiCORE IP Product Guide
- [4] 坚固 66. 分支预测器(Branch Predictor) 汇总介绍[EB/OL]. (2013-04-03)[2024-08-04]. <https://www.cnblogs.com/jiangu66/archive/2013/04/03/2997968.html>.
- [5] love 小酒窝. 超标量处理器设计——第四章\_分支预测[EB/OL]. (2022-12-21)[2024-08-04]. <https://www.cnblogs.com/lyc-seu/p/16995926.html>.
- [6] Xilinx IP:: AXI Crossbar (2.1) LogiCORE IP Product Guide
- [7] 雷思磊. 自己动手写CPU[M]. 1. 电子工业出版社, 2014年9月.
- [8] 汪文祥. CPU设计实战[M]. 第1版. 机械工业出版社, 2021年.
- [9] Patterson D A, Hennessy J L. 计算机组成与设计 硬件软件接口ARM版[M]. 第五版. 机械工业出版社, 2018年.
- [10] AMD. Xilinx. Vivado Design Suite 用户指南：设计分析与收敛技巧 (UG906).
- [11] AMD. Xilinx. 适用于 FPGA 和 SoC 的 UltraFast 设计方法指南 (UG949)