

Übung 12

Entwurf Cache und TLB

Übung 12

Entwerfen Sie für ein 32-Bit Rechnersystem einen Deskriptor-Cache (TLB) sowie einen Befehls- und Datencache mit Segment- und Seitenorganisation des virtuellen Speichers.

(Der TLB und der Befehls-Datencache sollen parallel arbeiten)

Gegeben sind folgende Größen:

- Maximale Segmentgröße: 16 MB
- Seitengröße im virtuellen Speicher: 8 KB
- Hauptspeichergröße: 64 MB
- Der TLB soll 64 Cachelines besitzen (als DM Cache)
- Befehls-Daten Cache:
 - Cache-Kapazität: 16 KB
 - Größe der Cacheline: 32 Byte