

Aufgabe: Pipeline - Verarbeitung

Gegeben sei folgende Programmsequenz für einen RISC-Prozessor:

```

S1:  SUB   R1, R2, R3      ; R1:= R2 – R3
S2:  ADD   R2, R1, R3      ; R2:= R1 + R3
S3:  SUB   R3, R2, R1      ; R3:= R2 – R1
S4:  MUL   R1, R2, R3      ; R1:= R2 * R3
  
```

Die einzelnen Befehle werden in einer fünfstufigen DLX-Befehls-Pipeline verarbeitet.

- a) Wie wäre die Belegung der Register R1, R2 und R3 am Ende der Programmsequenz, wenn der Prozessor keine Pipeline besäße, sondern die Befehle rein sequentiell abarbeiten würde und **R1 mit 2, R2 mit 8 und R3 mit 4** initialisiert ist.

R1	R2	R3

- b) Markieren Sie mit Pfeilen die Abhängigkeiten der DLX-Pipelinestufen, die zu Pipeline-Konflikten führen.

S1:

IF	ID/RF	EX	MEM	WB
----	-------	----	-----	----

S2:

IF	ID/RF	EX	MEM	WB
----	-------	----	-----	----

S3:

IF	ID/RF	EX	MEM	WB
----	-------	----	-----	----

S4:

IF	ID/RF	EX	MEM	WB
----	-------	----	-----	----

- c) Wieviele Takte werden benötigt, um das Programm nach b) abzuarbeiten ?

- d) Wie ist die Belegung der Register R1, R2 und R3 am Ende der Programmsequenz, wenn der Prozessor das Programm mit Pipeline abarbeitet, aber die Konflikte nicht gelöst sind und **R1 mit 2, R2 mit 8 und R3 mit 4** initialisiert ist.

R1	R2	R3

- e) Die auftretenden Pipeline-Konflikte sollen vom Compiler behandelt werden. Ergänzen Sie obiges Programmstück so, daß die auftretenden Pipeline-Konflikte beseitigt werden und das Ergebnis dem der normalen, sequentiellen Bearbeitung entspricht.
Wieviele Takte werden nun benötigt ?
- f) Wie viele Takte werden zu korrekten Abarbeitung benötigt, wenn zusätzlich Forwarding-Techniken angewendet werden?
- g) Zeichnen Sie nur die Modifikation des Rechenwerks, die notwendig ist, um die unter b) festgestellten Pipeline-Konflikte hardwaremäßig nach f) zu lösen, in das folgende Bild ein.

