

Übung 8

Cache - Speicher

Übung 8, Aufgabe 1

In einem Mikroprozessorsystem mit 32-Bit Datenzugriff auf den Hauptspeicher ist ein Datencache vorhanden. Das Laden dieses Cachespeichers erfolgt in **Blöcken von je 8 Byte** (2 Wörter). Die Hauptspeicheradresse umfasst 24 Bit und die **Cache-Kapazität beträgt 256 Byte**.

1. Geben Sie die Anzahl der Cachezeilen an und skizzieren Sie die Unterteilung der Hauptspeicheradresse jeweils für einen
 - Vollassoziativen Cache (VA)
 - Direct-mapped Cache (DM)
 - 4-Wege-satzassoziativen Cache (A4)
2. Geben Sie für die drei Cache Speicher die Anzahl der benötigten Vergleiche und die zu vergleichende Bitzahl an.
3. Für welche Zeilen muss man bei diesen Cache Speichern einen Alterungsmechanismus, z.B. nach dem LRU-Prinzip vorsehen?

Übung 8, Aufgabe 2

In die drei Cachespeicher der Aufgabe 1 sind drei Hauptspeicherblöcke mit den folgenden in hexadezimaler Schreibweise angegebenen Blockadressen in der angeführten Reihenfolge zu laden:

\$000008

\$0000F8

\$000108

Die Caches seien zu Beginn leer, und das Laden soll jeweils in die Zeile mit der niedrigsten verfügbaren Zeilennummer erfolgen. Geben Sie bei der Zuordnung von Blöcken zu Zeilen nicht die Blockadressen sondern die Blocknummern an.

Geben Sie für die drei Cache Speicher nun jeweils an, in welchen Zeilen die Blöcke abgelegt werden.

Übung 8, Aufgabe 3

Gegeben seien drei Cachespeicher VA, DM und A2, die jeweils **vier Cachelines** besitzen mit **je einem Byte**. Bei dem VA- und dem A2-Cache soll die „least recently used“ Ersetzungsstrategie angewendet werden.

1. Geben Sie für die drei Cache Speicher an, wie viele Bit zur Verwaltung eines Cache Blocks benötigt werden. Dabei sollen für den Zustand des Cache Blocks zwei Statusbits verwendet werden (Valid-Bit und Dirty-Bit).
2. Geben Sie für die drei Cache Speicher die Anzahl der erforderlichen Vergleiche und die jeweils zu vergleichende Bitanzahl an.
3. Die Cachespeicher sind zu Beginn alle leer. Dann wird eine Reihe von einzelnen Bytes mit den folgenden 32-Bit Adressen (dezimal) gelesen:

9, 42, 13, 9, 23, 12, 13, 42

Geben Sie tabellarisch für jeden Cache an, ob es sich beim Lesezugriff auf die jeweilige Adresse um einen Cache-Hit oder um einen Cache-Miss handelt.

Übung 8, Aufgabe 4

- Es soll ein 4-fach-assoziativer Cache-Speicher (4-way set associative cache) mit 128 Sätzen und einer Blockgröße von 8 Byte realisiert werden. Die Hauptspeicheradresse ist 32 Bit breit. Zur Verwaltung eines Cache-Blocks werden 2 Statusbits (Valid- und Dirty-Bit) verwendet.

Bestimmen Sie den insgesamt erforderlichen Speicherbedarf zur Realisierung dieses Cache-Speichers (Adress- und Datenspeicher).

Übung 8, Aufgabe 5

- Bei einem Cache-Speicher mit einer Speicherkapazität von 128 kByte ist die Hauptspeicheradresse in ein 16 Bit Tag-Feld, ein 12 Bit Index-Feld und ein 4 Bit Byte-Offset unterteilt.
 1. Bestimmen Sie die Blockgröße in Bytes
 2. Wie viele Zeilen besitzt der Cache-Speicher ?
 3. Wie ist der Cache-Speicher organisiert (welcher Typ)?