

Tema d'esame Architettura degli Elaboratori I – 21 Febbraio 2019

+1 per ogni risposta esatta; -0.25 per ogni risposta errata; 0 per ogni risposta non data.
Soglia per passare alla prova orale è di 12.5/20.

1. Qual è la distanza tra due numeri decimali codificati in binario in virgola fissa.
A. 2^{-N} dove N è il numero di cifre della parte decimale.
B. 2^{-19}
C. 2^{-19} per la potenza binaria che esprime la parte intera del numero.
D. 10^{-N} dove N è il numero di cifre decimali.
E. Uno
2. Scrivere in complemento a 2 il risultato della sottrazione $2 - 3$ su 6 bit.
A. 1 1 1 1 1 1
B. 1 1 0 1 1 1
C. 1 1 1 0 1 0
D. 1 0 0 0 1 0
E. 0 0 0 0 0 1
3. Qual è il cammino critico del circuito che implementa questa funzione logica: $y = !ABC + !B$
A. 3
B. 2
C. 4
D. 1
E. 0
4. Qual è la complessità del circuito che implementa questa funzione logica: $y = !ABC + !B$
A. 3
B. 2
C. 4
D. 1
E. 0
5. La funzione logica $y = !ABC + A!B$ è una forma canonica?
A. No
B. Sì
C. Solo se $C = 0$
D. Solo se $A = 1$
E. Solo se $B = 1$
6. L'equazione $X!Y = !(X + Y)$ è:
A. Vera
B. Falsa
C. Vera se $X = 0$
D. Vera se $Y = 1$
E. Falsa se $X = 0$
7. $(ABC + !BC)$ è uguale a:
A. $AC + !BC$
B. $A!BC + C$
C. $ABC + !BC$ non si può semplificare
D. $BC + !C$
E. $AC + BC$
8. Data una funzione logica con 3 ingressi e 2 uscite, tale per cui la prima uscita richiede 3 mintermini e la seconda uscita 4 mintermini, e la prima uscita e la seconda uscita hanno un mintermine in comune, quali requisiti deve avere la PLA a complessità minima che implementa la funzione:
A. 3 ingressi, 2 uscite, 6 mintermini
B. 3 ingressi, 2 uscite, 7 mintermini
C. 3 ingressi, 2 uscite, 8 mintermini
D. Servono due PLA, ciascuna con 3 ingressi, 2 uscite, 8 mintermini.
E. Servono due PLA, ciascuna con 3 ingressi, 2 uscite, 6 mintermini.
9. Data una ROM che implementa una funzione logica di 3 ingressi, 2 uscite, ciascuna composta dalla somma di 4 mintermini, quale sarà il suo cammino critico?
A. 4
B. 2
C. 3
D. 5
E. Non si può calcolare.

10. Data una ROM che implementa una funzione logica di 3 ingressi, 2 uscite, ciascuna composta dalla somma di 4 mintermini, quale sarà la sua complessità?

- A. 22
- B. 12
- C. 9
- D. 6
- E. 1

11. Quale è la funzione a complessità minima che implementa l'uscita di un latch sincrono SR?

- A. $Q(t+1) = Ck (S + !S!R Q(t)) + !CkQ(t)$
- B. $Q(t+1) = CkS!R + Q(t)!Ck$
- C. $Q(t+1) = S(Q+R) + CkS$
- D. Non si può definire
- E. $Q(t+1) = Q(t)Ck + S!Ck$

12. Qual è il cammino critico di un latch sincrono SR?

- A. 3
- B. 2
- C. Non si può definire
- D. 1
- E. Dipende

13. [1] Consideriamo un latch di tipo SR asincrono, la cui uscita valga 1 e nel quale uno dei due ingressi, inizialmente a 1, passi al valore 0. L'uscita non commuta. Quale dei due ingressi è compatibile con questa situazione?

- A. S
- B. R
- C. S o R
- D. S e R
- E. Dipende

14. Perché i latch sincroni vengono chiamati "trasparenti"?

- A. Perché quando il clock è alto l'uscita è uguale all'ingresso.
- B. Perché quando il clock è alto, l'ingresso non influenza l'uscita.
- C. Perché quando il clock è basso l'uscita è uguale all'ingresso.
- D. Perché quando il clock è basso, l'ingresso non influenza l'uscita.
- E. Perché si sa tutto sul loro funzionamento, in particolare il tempo di commutazione

15. [1] Quali sono le fasi del ciclo di esecuzione di un MIPS a ciclo singolo e quali sono le funzionalità principali di ciascuna fase?

Risposta A. 1. Fetch (lettura istruzione), 2. Decodifica (comprensione dell'istruzione e lettura operandi), 3. Esecuzione (operazione e calcolo indirizzo salto), 4. Accesso alla memoria dati e salto condizionato, 5. Scrittura del risultato nel register file.

Risposta B. 1. Fetch (lettura istruzione), 2. Decodifica (comprensione dell'istruzione, lettura operandi, calcolo indirizzo di salto), 3. Esecuzione (operazione e calcolo indirizzo memoria), 4. Accesso alla memoria dati, 5. Scrittura del risultato nel register file.

Risposta C. 1. Fetch (lettura istruzione), 2. Decodifica (comprensione dell'istruzione, lettura operandi, calcolo indirizzo di salto), 3. Esecuzione (operazione e calcolo indirizzo memoria), 4. Accesso alla memoria dati e salto condizionato, 5. Scrittura del risultato nel register file.

Risposta D. 1. Fetch (lettura istruzione), 2. Decodifica (comprensione dell'istruzione, lettura operandi), 3. Esecuzione (operazione e calcolo indirizzo memoria), 4. Accesso alla memoria dati e salto condizionato, 5. Scrittura del risultato nel register file.

Risposta E. Ci possono essere cicli di lunghezza diversa a seconda dell'istruzione.

16. [1] Possono due CPU diverse avere la stessa ISA? Due CPU diverse devono avere una ISA necessariamente diversa?

- A. Si' No
 - B. No No
 - C. Si' Si'
 - D. No Si'
 - E. Dipende
- Cos'è un'ISA?

17. Qual è la struttura di un moltiplicatore HW di numeri su N bit?

- A. Una matrice di $N \times N$ AND la cui uscita è inviata a full e half adder organizzati per righe.
- B. Una matrice di N AND la cui uscita è inviata a N tra full e half adder organizzati per righe.
- C. Un certo numero di AND la cui uscita è inviata separatamente a un singolo sommatore: l'uscita di tutti i sommatore che calcolano una cifra con un certo peso vengono sommati per produrre l'uscita finale.
- D. Un certo numero di AND la cui uscita è inviata a un circuito costituito da OR e XOR.
- E. Una matrice di N OR la cui uscita è inviata a una matrice $N \times N$ di AND.

18. Supponiamo che l'istruzione corrente si trovi all'indirizzo 0x0000 0010, scrivere l'istruzione in linguaggio macchina che effettua il salto incondizionato jump (codice operativo = 2) all'indirizzo: 0x0000 0100. Cosa deve contenere nel campo costante (in decimale) l'istruzione jump?

- A. 64
- B. 256
- C. 236
- D. 86
- E. 90

19. Supponiamo che l'istruzione corrente si trovi all'indirizzo 0x0000 0010, scrivere l'istruzione assembler e in linguaggio macchina che effettua il salto condizionato beq (codice operativo = 4) all'indirizzo: 0x0000 0100. Cosa deve contenere nel campo costante (in decimale) l'istruzione branch?

- A. 59
- B. 256
- C. 64
- D. 236
- E. Si può determinare solo a run-time.

20. Sintetizzare come SOP la seguente funzione logica: $Y = !AB + B(!C)$.

- A. $Y = !ABC + !AB!C + AB!C$
- B. $Y = !ABC + AB!C$
- C. $Y = !AB!C + !AB!C$
- D. $Y = B(!A+!C)$
- E. E' una domanda mal-posta.

21. Data la CPU in figura, qual è il contenuto del bus (a), quando è in esecuzione l'istruzione 0x0000 4000 add \$0, \$2, \$3, sapendo che il codice operativo della sub è 0, il codice funzione è 34.

Figura 1

- A. 0x0000 4004
- B. 0x0000 4034 perché il registro destinazione è il registro 0
- C. 0x0000 4000
- D. 34
- E. Si può sapere solo durante l'esecuzione.

Figura 1

