

Cognome e nome dello studente:

Matricola:

1. [4] Convertire in binario secondo la codifica IEEE754, il numero decimale 2,25. Quale sarà la rappresentazione binaria in IEEE754 del numero decimale ottenuto sommando una unità (1,0) al numero 2,25? Qual è la risoluzione della codifica in virgola mobile IEEE 754, della codifica intera e della codifica in virgola fissa? Scrivere in complemento a 2, su 8 bit, la sottrazione espressa da numeri in base 10: 6-7 e calcolarne il risultato in binario.
2. [4] Scrivere un algoritmo della moltiplicazione binaria intera firmware a 4 bit, e implementarlo in un circuito contenente tre registri: 1 registro moltiplicando a **8 bit**, 1 registro moltiplicatore a **4 bit** e 1 registro risultato a **8 bit**. **Evidenziare tutti i cammini relativi al data path, dimensionarli e definire la loro funzione.**
3. [4] Descrivere come si possa modificare il datapath del circuito disegnato per l'esercizio 2 per eseguire anche l'operazione di divisione intera di numeri su 4 bit. Quali segnali di controllo occorre aggiungere? Motivare le modifiche e definire chiaramente la loro funzione. Riportare l'algoritmo della divisione per questo circuito e, per i primi due passi della divisione 8 : 2, riportare il contenuto dei registri all'inizio e alla fine di ogni passo.
4. [6] Data l'espressione logica: $xyz + x!z$,
a) Scrivere la tabella della verità [1],
b) Semplificare l'espressione mediante mappe di Karnaugh [1],
c) Sintetizzare la prima e la seconda forma canonica [2].
d) Mediante manipolazione algebrica, trasformare la prima forma canonica nella seconda o viceversa [2].
5. [2] Dato un latch sincrono di tipo D la cui uscita è $Q = 0$ e l'ingresso è $D = 0$. Cosa succede quando D va a 1? Quanto tempo viene richiesto per la eventuale commutazione, supponendo che il tempo di commutazione di una porta logica a due ingressi sia 0,1 ps. Definire di quali tempi occorre tenere conto per dimensionare il clock di un'architettura. Scrivere la tabella di eccitazione di questo latch.
6. [1] Disegnare il circuito dell'"Estensione del segno" per la CPU in Figura 1.
7. [6] Progettare una macchina a stati finiti che scorra un testo (leggendo un carattere alla volta) e riconosca nel testo la stringa "AAA" (la tripletta di lettere NON deve necessariamente essere preceduta o seguita da spazi). Progettare la macchina di Huffman associata; calcolarne complessità e cammino critico.
8. [3] Specificare il contenuto di **tutti i bus** della CPU riportata in Figura 1 quando è in esecuzione l'istruzione di sw \$2, 16(\$1), sapendo che il codice operativo dell'istruzione sw è 43. Evidenziare i bus che trasportano dati utili per l'esecuzione dell'istruzione.
9. [3] Disegnare il ciclo di esecuzione di un'istruzione su un'architettura MIPS a singolo ciclo. Quante fasi si distinguono? Quando l'architettura capisce di che istruzione si tratta? I componenti appartenenti a quali fasi vengono configurati dall'unità di controllo? Perché? Cos'è un'ISA? Possono due CPU avere la stessa ISA? Due CPU diverse devono avere una ISA necessariamente diversa? Definire i diversi formati delle istruzioni MIPS e specificare la funzione dei diversi campi. Descrivere come viene suddivisa in modo logico per convenzione una memoria principale dai processori MIPS e quali sono le ragioni per la scelta dei confini dei diversi segmenti.
10. [2] Disegnare un moltiplicatore HW a 3 bit.
11. [1] Spiegare come viene effettuata la somma in virgola mobile tra due numeri, in una ALU Firmware.

Figura 1

