

Cognome e nome dello studente:

Matricola:

1. [5] Convertire in binario secondo la codifica IEEE754, il numero decimale 12,25. Quale sarà la rappresentazione binaria in IEEE754 del numero decimale ottenuto sommando una unità (1,0) al numero 12,25? Qual è la risoluzione della codifica in virgola mobile IEEE 754, della codifica intera e della codifica in virgola fissa? Scrivere in complemento a 2 su 8 bit la sottrazione espressa da numeri in base 10: 7-11 e calcolarne il risultato in binario.
2. [4] Scrivere un algoritmo della moltiplicazione binaria intera firmware a 4 bit, e implementarlo in un circuito contenente tre registri: 1 registro moltiplicando a 8 bit, 1 registro moltiplicatore a 4 bit e 1 registro risultato a 8 bit. **Evidenziare tutti i cammini relativi al data path, dimensionarli e definire la loro funzione.**
3. [4] Descrivere come si possa modificare il datapath del circuito disegnato per l'esercizio 3 per eseguire anche l'operazione di divisione intera di numeri su 4 bit. Quali segnali di controllo occorre aggiungere? Motivare le modifiche e definire chiaramente la loro funzione. Riportare l'algoritmo della divisione per questo circuito e, per i primi due passi della divisione 9 : 2, riportare il contenuto dei registri all'inizio e all'fine di ogni passo.
4. [2] Progettare con sole porte NAND un multiplexer a due ingressi. Calcolare il cammino critico e complessità del multiplexer così realizzato e confrontarlo con un multiplexer realizzato utilizzando combinazioni di porte AND, OR e NOT.
5. [7] Progettare una macchina a stati finiti che scorra un testo (leggendo un carattere alla volta) e riconosca nel testo la stringa “BBC” (la tripletta di lettere NON deve necessariamente essere preceduta o seguita da spazi). Progettare la macchina di Huffman associata; calcolarne complessità e cammino critico. Implementare le funzioni della macchina utilizzando la prima forma canonica, e semplificare le forme canoniche ottenute. Spiegare cosa sono i maxtermini e come si implementa la seconda forma canonica.
6. [3] Specificare il contenuto di tutti i bus della CPU riportata in Figura 1 quando è in esecuzione l'istruzione di sw \$2, 16(\$1), sapendo che il codice operativo dell'istruzione sw è 43.
7. [2] Disegnare il ciclo di esecuzione di un'istruzione su un'architettura MIPS a singolo ciclo. Quante fasi si distinguono? Quando l'architettura capisce di che istruzione si tratta? I componenti appartenenti a quali fasi vengono configurati dall'unità di controllo? Perché? Cos'è un'ISA? Possono due CPU avere la stessa ISA? Due CPU diverse devono avere una ISA necessariamente diversa? Descrivere come viene suddivisa in modo logico per convenzione una memoria principale dai processori MIPS e quali sono le ragioni per la scelta dei confini dei diversi segmenti.
8. [2] Definire i formati delle istruzioni MIPS specificando la dimensione e la funzione dei diversi campi.
9. [3] Disegnare un moltiplicatore HW a 3 bit.
10. [3] Costruire il circuito del sommatore a propagazione di riporto e spiegare chiaramente come il sommatore ad anticipazione di riporto possa velocizzare il calcolo (ridurre il cammino critico) della somma.

Figura 1

