

*Cognome e nome dello studente:*

*Matricola:*

1. [7] Data l'espressione logica:  $xyz + x!z$ ,
  - a) Scrivere la tabella della verità [1],
  - b) Semplificare l'espressione mediante mappe di Karnaugh [1],
  - c) Sintetizzare la prima e la seconda forma canonica [2].
  - d) Mediante manipolazione algebrica, trasformare la prima forma canonica nella seconda o viceversa [3].
2. [5] Convertire in binario secondo la codifica IEEE754, il numero decimale 2,25. Quale sarà la rappresentazione binaria in IEEE754 del numero decimale ottenuto sommando una unità (1,0) al numero 2,25? Qual è la risoluzione della codifica in virgola mobile IEEE 754, della codifica intera e della codifica in virgola fissa? Scrivere in complemento a 2 su 8 bit la sottrazione espressa da numeri in base 10: 7-8 e calcolarne il risultato in binario.
3. [4] Scrivere un algoritmo della moltiplicazione binaria intera firmware a 4 bit, con un circuito contenente tre registri: 1 registro moltiplicando a 4 bit, 1 registro moltiplicatore a 8 bit e 1 registro risultato a 8 bit. **Evidenziare tutti i cammini relativi al data path, dimensionarli e definire la loro funzione.** Quale sarà il cammino critico di questo circuito? (considerare pari a  $3*N$  il cammino critico di un sommatore e pari a  $5*N$  la complessità). E quale sarà la sua complessità?
4. [4] Descrivere come si possa modificare il datapath del circuito disegnato per l'esercizio 3 e quali segnali di controllo debbano essere aggiunti per eseguire anche l'operazione di divisione intera di numeri su 4 bit. Motivare le modifiche e definire chiaramente la loro funzione. Riportare l'algoritmo della divisione per questo circuito e, per i primi due passi della divisione  $8 : 2$ , riportare il contenuto dei registri all'inizio e all'fine di ogni passo.
5. [2] Cosa si intende per sommatore ad anticipazione di riporto e per sommatore a propagazione di riporto. Spiegare chiaramente in base a quali principi cardine siano realizzati. Quali sono i vantaggi e svantaggi di questi due sommatori?
6. [2] Progettare con sole porte NAND un multiplexer a due ingressi. Calcolare il cammino critico e complessità del multiplexer così realizzato e confrontarlo con un multiplexer realizzato utilizzando combinazioni di porte AND, OR e NOT.
7. [6] Progettare una macchina a stati finiti che scorra un testo (leggendo un carattere alla volta) e riconosca nel testo la stringa “ AA ” (la coppia di lettere AA deve essere preceduta e seguita da uno spazio). Progettare la macchina di Huffman associata; calcolarne complessità e cammino critico.
8. [3] Specificare il contenuto di tutti i bus della CPU riportata in Figura 1 quando è in esecuzione l'istruzione di sw \$2, 32(\$1), sapendo che il codice operativo dell'istruzione SW è 43.
9. [2] Disegnare il ciclo di esecuzione di un'istruzione su un'architettura MIPS a singolo ciclo. Quante fasi si distinguono? Quando l'architettura capisce di che istruzione si tratta? I componenti appartenenti a quali fasi vengono configurati dall'unità di controllo? Perché? Cos'è un'ISA? Possono due CPU avere la stessa ISA? Due CPU diverse devono avere una ISA necessariamente diversa? Descrivere come viene suddivisa in modo logico per convenzione una memoria principale dai processori MIPS e quali sono le ragioni per la scelta dei confini dei diversi segmenti.

**Figura 1**

